



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0109736
(43) 공개일자 2007년11월15일

<p>(51) Int. Cl. <i>G02F 1/136</i> (2006.01) <i>G02F 1/133</i> (2006.01)</p> <p>(21) 출원번호 10-2006-0043149</p> <p>(22) 출원일자 2006년05월12일 심사청구일자 없음</p>	<p>(71) 출원인 엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지</p> <p>(72) 발명자 양준영 경기도 부천시 원미구 상1동 행복한마을 서해아파트 2407동1303호</p> <p>(74) 대리인 박장원</p>
--	--

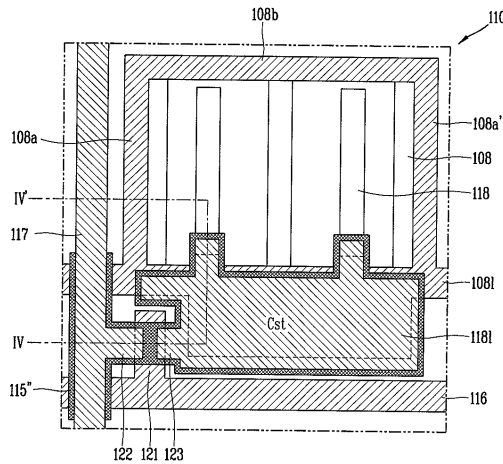
전체 청구항 수 : 총 62 항

(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명의 액정표시장치 및 그 제조방법은 회절노광을 이용하여 게이트전극과 공통전극 및 화소전극을 함께 형성하고 액티브패턴과 소오스/드레인전극을 함께 형성함으로써 마스크수를 감소시켜 제조공정을 단순화하는 동시에 에치 스탑퍼(etch stopper)를 이용하여 액티브패턴의 채널(channel)영역을 보호함으로써 소자의 신뢰성을 향상시키기 위한 것으로, 제 1 기판과 제 2 기판을 제공하는 단계; 제 1 마스크공정을 통해 상기 제 1 기판에 게이트전극, 게이트라인과 연결전극 및 공통전극과 화소전극을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하는 단계; 제 2 마스크공정을 통해 상기 제 1 기판 위에 제 1 콘택홀, 제 2 콘택홀, 제 3 콘택홀, 제 1 홀 및 제 2 홀이 형성된 1차 절연막패턴을 형성하는 단계; 제 3 마스크공정을 통해 상기 제 1 기판 위에 액티브패턴을 형성하며, 상기 제 2 콘택홀 및 제 3 콘택홀을 통해 상기 액티브패턴의 소정영역과 전기적으로 접속하는 소오스전극 및 드레인전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

제 1 기관과 제 2 기관을 제공하는 단계;

제 1 마스크공정을 통해 상기 제 1 기관에 게이트전극, 게이트라인과 연결전극 및 공통전극과 화소전극을 형성하는 단계;

상기 제 1 기관 위에 제 1 절연막을 형성하는 단계;

제 2 마스크공정을 통해 상기 제 1 기관 위에 제 1 콘택홀, 제 2 콘택홀, 제 3 콘택홀, 제 1 홀 및 제 2 홀이 형성된 1차 절연막패턴을 형성하는 단계;

제 3 마스크공정을 통해 상기 제 1 기관 위에 액티브패턴을 형성하며, 상기 제 2 콘택홀 및 제 3 콘택홀을 통해 상기 액티브패턴의 소정영역과 전기적으로 접속하는 소오스전극 및 드레인전극을 형성하는 단계; 및

상기 제 1 기관과 제 2 기관을 합착하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 1 마스크공정을 통해 상기 제 1 기관에 공통라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3

제 2 항에 있어서, 상기 공통라인은 실질적으로 상기 게이트라인과 평행하게 배열하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제 2 항에 있어서, 상기 공통전극은 상기 공통라인과 연결되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제 1 항에 있어서, 상기 제 1 마스크공정을 통해 상기 제 1 기관에 제 1 연결라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 5 항에 있어서, 상기 제 3 마스크공정을 통해 상기 게이트라인과 실질적으로 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 6 항에 있어서, 상기 제 1 연결라인은 상기 화소영역의 좌, 우측 가장자리에 형성되어 상기 공통라인과 연결되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 6 항에 있어서, 상기 제 1 연결라인은 실질적으로 상기 데이터라인과 평행하게 배열하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 5 항에 있어서, 상기 제 1 마스크공정을 통해 상기 제 1 기관에 제 2 연결라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 9 항에 있어서, 상기 좌, 우측의 제 1 연결라인은 상기 제 2 연결라인과 연결되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제 9 항에 있어서, 상기 제 2 연결라인은 실질적으로 상기 게이트라인과 평행하게 배열하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

제 1 항에 있어서, 상기 제 1 마스크공정은

상기 제 1 기판 위에 제 1 도전막과 제 2 도전막을 형성하는 단계;

상기 제 1 기판 위에 제 1 두께의 제 1 감광막패턴 내지 제 4 감광막패턴을 형성하며 제 2 두께의 제 5 감광막패턴과 제 6 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 6 감광막패턴을 마스크로 하여 상기 제 1 도전막과 제 2 도전막을 선택적으로 제거함으로써, 상기 제 1 기판 위에 상기 제 2 도전막으로 이루어진 게이트전극과 게이트라인을 형성하며 상기 제 1 도전막으로 이루어진 공통전극과 화소전극을 형성하는 단계;

상기 제 1 도전막으로 이루어진 상기 공통전극 및 화소전극 상부에 각각 상기 제 2 도전막으로 이루어지며 상기 공통전극 및 화소전극과 동일한 형태로 패터닝된 연결전극용 도전막패턴 및 연결라인용 도전막패턴을 형성하는 단계;

상기 제 5 감광막패턴과 제 6 감광막패턴을 제거하는 동시에 상기 제 1 감광막패턴 내지 제 4 감광막패턴의 일부를 제거하여 제 3 두께의 제 7 감광막패턴 내지 제 10 감광막패턴을 형성하는 단계; 및

상기 제 7 감광막패턴 내지 제 10 감광막패턴을 마스크로 하여 상기 연결전극용 도전막패턴 및 연결라인용 도전막패턴을 선택적으로 제거하여 상기 화소전극 위에 상기 화소전극의 일부와 전기적으로 접속하는 연결전극을 형성하며, 상기 공통전극 위에 상기 공통전극의 일부와 전기적으로 접속하는 제 1 연결라인과 제 2 연결라인을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

제 12 항에 있어서, 상기 제 2 도전막으로 이루어진 게이트전극 및 게이트라인 하부에 각각 상기 제 1 도전막으로 이루어지며 상기 게이트전극 및 게이트라인과 동일한 형태로 패터닝된 게이트전극패턴 및 게이트라인패턴을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제 12 항에 있어서, 상기 제 1 도전막은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투명한 도전물질로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제 12 항에 있어서, 상기 제 2 도전막은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬 또는 폴리브덴과 같은 불투명 도전물질로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제 12 항에 있어서, 상기 제 1 감광막패턴 내지 제 4 감광막패턴은 애싱공정을 통해 실질적으로 상기 제 5 감광막패턴 또는 제 6 감광막패턴의 두께만큼 줄어든 제 3 두께의 제 7 감광막패턴 내지 제 10 감광막패턴으로 패터닝되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제 12 항에 있어서, 상기 제 1 두께는 상기 제 2 두께보다 두꺼운 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 1 항에 있어서, 상기 에치 스타퍼는 절연막으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제 1 항에 있어서, 상기 제 1 콘택홀은 상기 연결전극의 일부를 노출시키는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 1 항에 있어서, 상기 제 2 콘택홀과 제 3 콘택홀은 상기 게이트전극 좌, 우측 상부의 비정질 실리콘 박막의 일부를 노출시키는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 21

제 1 항에 있어서, 상기 제 2 콘택홀과 제 3 콘택홀 사이에 패터닝되어 있는 일부의 에치 스타퍼는 n+ 비정질 실리콘 박막의 패터닝시 액티브패턴의 백 채널로 식각액이나 식각가스가 침투하는 것을 방지하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 22

제 2 항에 있어서, 상기 제 2 마스크공정은

상기 제 1 기판 위에 비정질 실리콘 박막과 제 2 절연막을 형성하는 단계;

상기 제 1 기판에 제 1 두께를 갖는 제 1 감광막패턴과 제 2 두께를 갖는 제 2 감광막패턴 내지 제 5 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 5 감광막패턴을 마스크로 하여 상기 제 1 절연막과 비정질 실리콘 박막 및 제 2 절연막을 선택적으로 제거함으로써, 상기 연결전극의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계;

상기 제 2 감광막패턴 내지 제 5 감광막패턴을 제거하는 동시에 상기 제 1 감광막패턴의 일부를 제거하여 제 3 두께의 제 6 감광막패턴을 형성하는 단계; 및

상기 제 6 감광막패턴을 마스크로 하여 상기 제 2 절연막의 일부를 제거하여 상기 게이트전극 좌, 우측 상부의 비정질 실리콘 박막의 일부를 노출시키는 제 2 콘택홀과 제 3 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 23

제 22 항에 있어서, 상기 공통라인 상부의 비정질 실리콘 박막의 일부를 노출시키는 제 1 홀과 데이터라인이 형성될 영역의 비정질 실리콘 박막의 일부를 노출시키는 제 2 홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 24

제 22 항에 있어서, 상기 제 2 절연막은 상기 제 1 콘택홀, 제 2 콘택홀, 제 3 콘택홀, 제 1 홀 및 제 2 홀이 패터닝되어 1차 절연막패턴을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 25

제 22 항에 있어서, 상기 제 1 감광막패턴은 애싱공정을 통해 실질적으로 상기 제 2 감광막패턴 내지 제 5 감광막패턴의 두께만큼 줄어진 제 3 두께의 제 6 감광막패턴으로 패터닝되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 26

제 22 항에 있어서, 상기 제 1 두께는 상기 제 2 두께보다 두꺼운 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 27

제 6 항에 있어서, 상기 드레인전극의 일부는 상기 화소영역으로 연장되어 상기 제 1 홀을 통해 상기 연결전극 및 화소전극과 전기적으로 접속하는 화소전극라인을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 28

제 1 항에 있어서, 상기 제 3 마스크공정은

상기 제 1 기판 위에 n+ 비정질 실리콘 박막과 제 3 도전막을 형성하는 단계;

상기 제 1 기판 위에 제 1 두께의 제 1 감광막패턴 내지 제 3 감광막패턴을 형성하며 제 2 두께의 제 4 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 4 감광막패턴을 마스크로 상기 제 3 도전막을 선택적으로 제거하여 상기 제 3 도전막으로 이루어진 제 3 도전막패턴과 데이터라인을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 4 감광막패턴을 마스크로 상기 n+ 비정질 실리콘 박막과 1차 절연막패턴을 선택적으로 제거하여 제 1 n+ 비정질 실리콘 박막패턴과 제 2 n+ 비정질 실리콘 박막패턴 및 2차 절연막패턴을 형성하는 단계;

상기 제 4 감광막패턴을 제거하는 동시에 상기 제 1 감광막패턴 내지 제 3 감광막패턴의 일부를 제거하여 제 3 두께의 제 5 감광막패턴 내지 제 7 감광막패턴을 형성하는 단계;

상기 제 5 감광막패턴 내지 제 7 감광막패턴을 마스크로 상기 제 3 도전막패턴의 일부를 제거하여 상기 제 3 도전막을 이루어진 소오스전극과 드레인전극을 형성하는 단계; 및

상기 제 5 감광막패턴 내지 제 7 감광막패턴을 마스크로 상기 제 1 n+ 비정질 실리콘 박막패턴과 제 2 n+ 비정질 실리콘 박막패턴 및 비정질 실리콘 박막을 선택적으로 제거하여 상기 비정질 실리콘 박막을 이루어진 액티브패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 29

제 28 항에 있어서, 상기 제 3 도전막패턴은 상기 제 1 감광막패턴의 일부와 제 2 감광막패턴 및 제 4 감광막패턴 하부에 상기 제 1 감광막패턴의 일부와 제 2 감광막패턴 및 제 4 감광막패턴보다 좁은 폭을 가지도록 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 30

제 28 항에 있어서, 상기 데이터라인은 상기 제 1 감광막패턴의 나머지 일부와 제 3 감광막패턴 하부에 상기 제 1 감광막패턴의 나머지 일부와 제 3 감광막패턴 보다 좁은 폭을 가지도록 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 31

제 28 항에 있어서, 상기 제 1 n+ 비정질 실리콘 박막패턴은 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 제 1 감광막패턴의 일부와 제 2 감광막패턴 및 제 4 감광막패턴 하부에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 32

제 28 항에 있어서, 상기 2차 절연막패턴은 상기 제 2 절연막으로 이루어지며 상기 제 1 감광막패턴의 일부와 제 2 감광막패턴 및 제 4 감광막패턴 하부에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 33

제 28 항에 있어서, 상기 제 2 n+ 비정질 실리콘 박막패턴은 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 제 1 감광막패턴의 나머지 일부와 제 3 감광막패턴의 하부에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 34

제 28 항에 있어서, 상기 제 5 감광막패턴 내지 제 7 감광막패턴은 상기 제 3 도전막패턴과 데이터라인의 폭과 동일한 폭을 가지는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 35

제 28 항에 있어서, 상기 소오스전극은 상기 제 5 감광막패턴의 일부 하부에 형성되는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 36

제 28 항에 있어서, 상기 드레인전극과 화소전극라인은 상기 제 6 감광막패턴의 하부에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 37

제 28 항에 있어서, 상기 액티브패턴의 상부에 상기 n+ 비정질 실리콘 박막을 이루어지며 상기 액티브패턴의 소정영역과 상기 소오스/드레인전극 사이를 오믹-콘택시키는 오믹-콘택층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 38

제 37 항에 있어서, 상기 화소전극라인은 상기 오믹-콘택층을 통해 상기 연결전극과 전기적으로 접속하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 39

제 28 항에 있어서, 상기 데이터라인 하부에 상기 n+ 비정질 실리콘 박막과 비정질 실리콘 박막으로 이루어진 제 3 n+ 비정질 실리콘 박막패턴과 비정질 실리콘 박막패턴을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 40

제 28 항에 있어서, 상기 제 2 홀이 형성된 영역의 비정질 실리콘 박막은 그 상부의 데이터라인과 동일한 폭을 가지도록 패터닝되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 41

제 28 항에 있어서, 제 3 도전막은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬 또는 몰리브덴과 같은 불투명 도전물질로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 42

제 1 기판에 형성되며 제 1 도전막으로 이루어진 공통전극과 화소전극 및 제 2 도전막으로 이루어진 게이트전극과 게이트라인 및 연결전극;

상기 제 1 기판 위에 형성된 제 1 절연막;

상기 제 1 기판 위에 형성되며 제 1 콘택홀, 제 2 콘택홀, 제 3 콘택홀 및 제 1 홀이 패터닝된 에치 스타퍼;

상기 제 1 기판 위에 형성된 액티브패턴 및 제 3 도전막으로 이루어지며 상기 제 2 콘택홀과 제 3 콘택홀을 통해 상기 액티브패턴의 소정영역과 전기적으로 접속하는 소오스전극과 드레인전극; 및

상기 제 1 기판과 대향하여 합착하는 제 2 기판을 포함하는 액정표시장치.

청구항 43

제 42 항에 있어서, 상기 제 2 도전막으로 이루어진 공통라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 44

제 43 항에 있어서, 상기 공통라인은 실질적으로 상기 게이트라인과 평행하게 배열하는 것을 특징으로 하는 액정표시장치.

청구항 45

제 43 항에 있어서, 상기 공통전극은 상기 공통라인과 연결되는 것을 특징으로 하는 액정표시장치.

청구항 46

제 42 항에 있어서, 상기 제 1 도전막으로 이루어진 제 1 연결라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 47

제 46 항에 있어서, 상기 제 3 도전막으로 이루어지며 상기 게이트라인과 실질적으로 교차하여 화소영역을 정의하는 데이터라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 48

제 47 항에 있어서, 상기 제 1 연결라인은 상기 화소영역의 좌, 우측 가장자리에 형성되어 상기 공통라인과 연결되는 것을 특징으로 하는 액정표시장치.

청구항 49

제 47 항에 있어서, 상기 제 1 연결라인은 실질적으로 상기 데이터라인과 평행하게 배열하는 것을 특징으로 하는 액정표시장치.

청구항 50

제 47 항에 있어서, 상기 제 1 도전막으로 이루어진 제 2 연결라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 51

제 50 항에 있어서, 상기 좌, 우측의 제 1 연결라인은 상기 제 2 연결라인과 연결되는 것을 특징으로 하는 액정표시장치.

청구항 52

제 50 항에 있어서, 상기 제 2 연결라인은 실질적으로 상기 게이트라인과 평행하게 배열하는 것을 특징으로 하는 액정표시장치.

청구항 53

제 42 항에 있어서, 상기 제 1 도전막은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투명한 도전물질로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 54

제 42 항에 있어서, 상기 제 2 도전막 또는 제 3 도전막은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬 또는 폴리브덴과 같은 불투명 도전물질로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 55

제 42 항에 있어서, 상기 에치 스타퍼는 절연막으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 56

제 42 항에 있어서, 상기 제 1 콘택홀은 상기 연결전극의 일부를 노출시키는 것을 특징으로 하는 액정표시장치.

청구항 57

제 42 항에 있어서, 상기 제 2 콘택홀과 제 3 콘택홀은 상기 게이트전극 좌, 우측 상부의 비정질 실리콘 박막의 일부를 노출시키는 것을 특징으로 하는 액정표시장치.

청구항 58

제 42 항에 있어서, 상기 제 2 콘택홀과 제 3 콘택홀 사이에 패터닝되어 있는 일부의 에치 스타퍼는 n+ 비정질 실리콘 박막의 패터닝시 액티브패턴의 백 채널로 식각액이나 식각가스가 침투하는 것을 방지하는 것을 특징으로 하는 액정표시장치.

청구항 59

제 47 항에 있어서, 상기 드레인전극의 일부는 상기 화소영역으로 연장되어 상기 제 1 홀을 통해 상기 연결전극 및 화소전극과 전기적으로 접속하는 화소전극라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 60

제 59 항에 있어서, 상기 액티브패턴의 상부에 n+ 비정질 실리콘 박막을 이루어지며 상기 액티브패턴의 소정영역과 상기 소오스/드레인전극 사이를 오믹-콘택시키는 오믹-콘택층을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 61

제 60 항에 있어서, 상기 화소전극라인은 상기 오믹-콘택층을 통해 상기 연결전극과 전기적으로 접속하는 것을 특징으로 하는 액정표시장치.

청구항 62

제 59 항에 있어서, 상기 화소전극라인의 일부는 제 1 절연막을 사이에 두고 공통라인의 일부와 중첩하여 스토리지 커패시터를 구성하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하며 소자의 신뢰성을 향상시킨 액정표시장치 및 그 제조방법에 관한 것이다.
- <19> 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.
- <20> 상기 액정표시장치는 크게 제 1 기관인 컬러필터(color filter) 기관과 제 2 기관인 어레이(array) 기관 및 상기 컬러필터 기관과 어레이 기관 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.
- <21> 이때, 상기 액정표시장치의 스위칭소자로는 일반적으로 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하며, 상기 박막 트랜지스터의 채널층으로는 비정질 실리콘(amorphous silicon) 박막을 사용한다.
- <22> 상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기관의 제작에 다수의 마스크 공정(즉, 포토리소그래피(photolithography)공정)을 필요로 하므로 생산성 면에서 상기 마스크공정의 수를 줄이는 방법이 요구되어지고 있다.
- <23> 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.
- <24> 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.
- <25> 도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기관(5)과 어레이 기관(10) 및 상기 컬러필터 기관(5)과 어레이 기관(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

- <26> 상기 컬러필터 기관(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.
- <27> 또한, 상기 어레이 기관(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.
- <28> 이와 같이 구성된 상기 컬러필터 기관(5)과 어레이 기관(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기관(5)과 어레이 기관(10)의 합착은 상기 컬러필터 기관(5) 또는 어레이 기관(10)에 형성된 합착키(미도시)를 통해 이루어진다.
- <29> 이때, 전술한 상기의 액정표시장치는 네마틱상의 액정분자를 기관에 대해 수직인 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식의 액정표시장치를 나타내며, 상기 방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기관과 수평하게 배향된 액정분자가 액정표시패널에 전압이 인가될 때 기관과 거의 수직방향으로 배향되기 때문이다.
- <30> 이에 액정분자를 기관에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 횡전계(In Plane Switching; IPS)방식 액정표시장치가 있으며, 이하 도면을 참조하여 상기 횡전계방식 액정표시장치에 대해 설명한다.
- <31> 도 2는 일반적인 횡전계방식 액정표시장치의 어레이 기관 일부를 나타내는 평면도로써, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 단지 한 화소만을 나타내었다.
- <32> 도면에 도시된 바와 같이, 투명한 유리기관(10) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(16)과 데이터라인(17)이 형성되어 있으며, 상기 게이트라인(16)과 데이터라인(17)의 교차영역에는 스위칭소자인 박막 트랜지스터(Thin Film Transistor; TFT)가 형성되어 있다.
- <33> 이때, 상기 박막 트랜지스터는 상기 게이트라인(16)에 연결된 게이트전극(21), 상기 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극라인(181)을 통해 화소전극(18)에 연결된 드레인전극(23)으로 구성된다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(21)과 소오스/드레인전극(22, 23)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(21)에 공급되는 게이트전압에 의해 상기 소오스전극(22)과 드레인전극(23) 간에 전도채널(conductive channel)을 형성하는 액티브패턴(미도시)을 포함한다.
- <34> 상기 화소영역 내에는 횡전계를 발생시키기 위해 복수개의 공통전극(8)과 화소전극(18)이 상기 데이터라인(17)과 평행한 방향으로 교대로 배치되어 있다. 이때, 상기 화소전극(18)은 제 1 콘택홀(40a)을 통해 상기 화소전극라인(181)과 연결되어 드레인전극(23)과 전기적으로 접속하게 되며, 상기 공통전극(8)은 상기 게이트라인(16)과 평행하게 배치된 공통전극라인(81)과 제 2 콘택홀(40b)을 통해 전기적으로 접속하게 된다.
- <35> 도 3a 내지 도 3e는 도 2에 도시된 어레이 기관의 II-II'선에 따른 제조공정을 순차적으로 나타내는 단면도이다.
- <36> 도 3a에 도시된 바와 같이, 기관(10) 위에 포토리소그래피공정(제 1 마스크공정)을 이용하여 도전성 금속물질로 이루어진 게이트전극(21)과 게이트라인(미도시) 및 공통라인(미도시)을 형성한다.
- <37> 다음으로, 도 3b에 도시된 바와 같이, 상기 게이트전극(21)과 게이트라인 및 공통라인이 형성된 기관(10) 전면(全面)에 차례대로 제 1 절연막(15a)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 패터닝함으로써 상기 게이트전극(21) 상부에 비정질 실리콘 박막으로 이루어진 액티브패턴(24)을 형성한다.
- <38> 이때, 상기 액티브패턴(24) 위에는 상기 액티브패턴(24)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막 패턴(25)이 형성되게 된다.
- <39> 이후, 도 3c에 도시된 바와 같이, 상기 기관(10) 전면에도 도전성 금속물질을 증착한 후 포토리소그래피공정(제 3 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 액티브패턴(24) 상부에 소오스전극(22)과 드레인전극

(23)을 형성한다. 이때, 상기 액티브패턴(24) 위에 형성되어 있는 n+ 비정질 실리콘 박막 패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(24)과 소오스/드레인전극(22, 23) 사이를 오믹-콘택(ohmic contact)시키는 오믹-콘택층(25n)을 형성하게 된다.

<40> 이때, 상기 소오스전극(22)의 일부는 일 방향으로 연장되어 데이터라인(17)을 구성하게 되며, 상기 드레인전극(23)의 일부는 화소영역으로 연장되어 화소전극라인(181)을 구성하게 된다.

<41> 다음으로, 도 3d에 도시된 바와 같이, 상기 소오스전극(22)과 드레인전극(23)이 형성된 기판(10) 전면에서 제 2 절연막(15b)을 증착한 후, 포토리소그래피공정(제 4 마스크공정)을 통해 상기 제 2 절연막(15b)의 일부 영역을 제거하여 상기 화소전극라인(181)의 일부를 노출시키는 제 1 콘택홀(40a)을 형성한다. 이때, 상기 제 4 마스크공정을 통해 상기 제 2 절연막(15b)의 다른 일부 영역을 제거하여 상기 공통라인의 일부를 노출시키는 제 2 콘택홀(미도시)을 형성한다.

<42> 마지막으로, 도 3e에 도시된 바와 같이, 투명한 도전성 금속물질을 기판(10) 전면에서 증착한 후, 포토리소그래피공정(제 5 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 제 1 콘택홀(40)을 통해 상기 화소전극라인(181)과 전기적으로 접속하는 화소전극(18)을 형성하며 상기 제 2 콘택홀을 통해 상기 공통라인과 전기적으로 접속하는 공통전극(8)을 형성한다.

<43> 상기에 설명된 바와 같이 박막 트랜지스터를 포함하는 어레이 기판의 제조에는 게이트전극, 액티브패턴, 소오스/드레인전극, 콘택홀 및 화소전극 등을 패터닝하는데 최소한 5번의 포토리소그래피공정을 필요로 한다.

<44> 상기 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기판 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광 및 현상공정 등 다수의 공정으로 이루어져 있다. 그 결과 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리며 형성된 박막 트랜지스터에 결함이 발생할 확률을 높이게 하는 등 많은 문제점이 있다.

<45> 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하는 문제점이 있다.

<46> 또한, 상기에 설명된 박막 트랜지스터는 액티브패턴의 채널 상부가 노출되는 백 채널 에치(back channel etch) 타입의 박막 트랜지스터로 n+ 비정질 실리콘 박막을 식각하는 과정에서 상기 박막 트랜지스터의 백 채널이 손상을 받을 수 있으며, 이로 인해 소자의 신뢰성이 저하되는 문제가 발생하고 있다. 이를 해결하기 위해 채널 상부에 절연물질로 이루어진 에치 스타퍼(etch stopper)를 형성한 에치 스타퍼 타입의 박막 트랜지스터는 상기 에치 스타퍼를 형성하는데 있어 또 하나의 마스크공정이 추가되는 단점이 있다.

발명이 이루고자 하는 기술적 과제

<47> 본 발명은 상기한 문제를 해결하기 위한 것으로, 박막 트랜지스터의 제조에 사용되는 마스크수를 감소시킨 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.

<48> 본 발명의 다른 목적은 마스크공정의 추가 없이 에치 스타퍼를 형성하여 소자의 신뢰성을 향상시킨 액정표시장치 및 그 제조방법을 제공하는데 있다.

<49> 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성 및 작용

<50> 상기한 목적을 달성하기 위하여, 본 발명의 액정표시장치의 제조방법은 제 1 기판과 제 2 기판을 제공하는 단계; 제 1 마스크공정을 통해 상기 제 1 기판에 게이트전극, 게이트라인과 연결전극 및 공통전극과 화소전극을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하는 단계; 제 2 마스크공정을 통해 상기 제 1 기판 위에 제 1 콘택홀, 제 2 콘택홀, 제 3 콘택홀, 제 1 홀 및 제 2 홀이 형성된 1차 절연막패턴을 형성하는 단계; 제 3 마스크공정을 통해 상기 제 1 기판 위에 액티브패턴을 형성하며, 상기 제 2 콘택홀 및 제 3 콘택홀을 통해 상기 액티브패턴의 소정영역과 전기적으로 접속하는 소오스전극 및 드레인전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

<51> 또한, 본 발명의 액정표시장치는 제 1 기판에 형성되며 제 1 도전막으로 이루어진 공통전극과 화소전극 및 제 2 도전막으로 이루어진 게이트전극과 게이트라인 및 연결전극; 상기 제 1 기판 위에 형성된 제 1 절연막; 상기 제 1 기판 위에 형성되며 제 1 콘택홀, 제 2 콘택홀, 제 3 콘택홀 및 제 1 홀이 패터닝된 에치 스타퍼; 상기 제 1

기관 위에 형성된 액티브패턴 및 제 3 도전막으로 이루어지며 상기 제 2 콘택홀과 제 3 콘택홀을 통해 상기 액티브패턴의 소정영역과 전기적으로 접속하는 소오스전극과 드레인전극; 및 상기 제 1 기관과 대향하여 합착하는 제 2 기관을 포함한다.

- <52> 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.
- <53> 도 4는 본 발명의 실시예에 따른 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도로서, 실제의 어레이 기관에는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.
- <54> 도면에 도시된 바와 같이, 본 실시예의 어레이 기관(110)에는 상기 기관(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있으며, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있다.
- <55> 상기 박막 트랜지스터는 상기 게이트라인(116)에 연결된 게이트전극(121), 상기 데이터라인(117)에 연결된 소오스전극(122) 및 화소전극라인(118)을 통해 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(121)과 소오스/드레인전극(122, 123)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브패턴(미도시)을 포함한다.
- <56> 이때, 상기 소오스전극(122)의 일부는 일 방향으로 연장되어 상기 데이터라인(117)에 연결되며, 상기 드레인전극(123)의 일부는 화소영역으로 연장되어 화소전극라인(118)을 구성하게 된다.
- <57> 상기 화소영역 내에는 항전계를 발생시키기 위한 복수개의 공통전극(108)과 화소전극(118)이 교대로 배치되어 있다. 이때, 도면에는 상기 공통전극(108)과 화소전극(118)이 상기 데이터라인(117)과 실질적으로 평행한 방향으로 배열된 경우를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니며, 상기 공통전극(108)과 화소전극(118)은 상기 게이트라인(116)과 실질적으로 평행한 방향으로 배열될 수도 있다.
- <58> 또한, 상기 화소전극(118)은 제 1 콘택홀(미도시)을 통해 상기 화소전극라인(118)과 전기적으로 접속하게 되며, 상기 공통전극(108)은 상기 게이트라인(116)과 실질적으로 평행하게 배열된 공통라인(1081)과 연결되어 있다. 상기 공통라인(1081)은 상기 화소영역의 좌, 우측 가장자리에서 상기 데이터라인(117)과 실질적으로 평행하게 배열된 제 1 연결라인(108a, 108a')에 연결되며, 상기 좌, 우측의 제 1 연결라인(108a, 108a')은 상기 게이트라인(116)과 실질적으로 평행하게 배열된 제 2 연결라인(108b)에 의해 서로 연결되게 된다.
- <59> 이때, 상기 게이트전극(121), 게이트라인(116), 공통라인(1081), 제 1 연결라인(108a, 108a') 및 제 2 연결라인(108b)은 투명한 도전물질로 이루어진 하부층과 불투명한 도전물질로 이루어진 상부층의 이중층으로 구성되며, 상기 화소영역 내에 노출되는 공통전극(108)과 화소전극(118)은 상기 투명한 도전물질로 이루어진 단일층으로 구성된다.
- <60> 상기 공통전극(108)은 그 측면이나 상, 하부면의 일부가 상기 공통라인(1081)이나 제 1 연결라인(108a, 108a') 또는 제 2 연결라인(108b)의 하부로 연장되어 상기 공통라인(1081)이나 제 1 연결라인(108a, 108a') 또는 제 2 연결라인(108b)에 연결되어 있게 된다.
- <61> 그리고, 상기 공통라인(1081)은 그 일부가 제 1 절연막을 사이에 두고 상부의 화소전극라인(118)의 일부와 중첩하여 스토리지 커패시터(storage capacitor)(Cst)를 형성하게 된다. 상기 스토리지 커패시터는 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 한다.
- <62> 이러한 스토리지 커패시터는 신호 유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가진다.
- <63> 참고로, 도면부호 115"은 절연물질로 이루어진 에치 스타퍼를 나타내며, 상기 액티브패턴의 채널영역 상부에 위치한 에치 스타퍼는 n+ 비정질 실리콘 박막의 식각시 박막 트랜지스터의 백 채널이 손상 받는 것을 방지하게 된다.
- <64> 이와 같이 구성된 본 실시예의 어레이 기관은 회절마스크 또는 하프-톤 마스크를 이용하여 게이트전극과 공통전극 및 화소전극을 함께 형성하고 액티브패턴과 소오스/드레인전극을 함께 형성함으로써 총 3번의 마스크공정을 통해 제작할 수 있게 되는데, 이를 다음의 액정표시장치의 제조공정을 통해 상세히 설명한다.

- <65> 도 5a 내지 도 5c는 도 4에 도시된 어레이 기관의 IV-IV'선에 따른 제조공정을 순차적으로 나타내는 단면도이며, 도 6a 내지 도 6e는 도 4에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도이다.
- <66> 도 5a 및 도 6a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기관(110) 위에 게이트전극(121), 게이트라인(116), 공통라인(1081), 제 1 연결라인(108a, 108a'), 제 2 연결라인(108b) 및 공통전극(108)과 화소전극(118)을 형성한다.
- <67> 이때, 상기 게이트전극(121), 게이트라인(116), 공통라인(1081), 제 1 연결라인(108a, 108a'), 제 2 연결라인(108b) 및 공통전극(108)과 화소전극(118)은 제 1 도전막과 제 2 도전막을 기관(110) 전면(全面)에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 패터닝하여 형성하게 된다.
- <68> 여기서, 상기 제 1 도전막으로 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명 도전물질을 사용할 수 있으며, 상기 제 2 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다.
- <69> 이때, 상기 제 2 도전막으로 이루어진 게이트전극(121)과 게이트라인(116) 및 공통라인(1081) 하부에는 상기 제 1 도전막으로 이루어지며 각각 상기 게이트전극(121)과 게이트라인(116) 및 공통라인(1081)의 형태대로 패터닝된 게이트전극패턴(120')과 게이트라인패턴(미도시) 및 공통라인패턴(120)이 형성되어 있다.
- <70> 또한, 상기 제 1 도전막으로 이루어진 공통전극(108)은 그 측면이나 상, 하부면 일부가 상기 공통라인(1081)이나 제 1 연결라인(108a, 108a') 또는 제 2 연결라인(108b)의 하부면으로 연장되어 있으며, 상기 제 1 도전막으로 이루어진 화소전극(118)은 그 하부면 일부가 제 2 도전막으로 이루어진 연결전극(130')의 하부면으로 연장되어 있다.
- <71> 이와 같이 상기 제 2 도전막으로 이루어진 게이트전극(121), 게이트라인(116), 공통라인(1081), 제 1 연결라인(108a, 108a') 및 제 2 연결라인(108b)은 회절노광을 이용함으로써 상기 제 1 도전막으로 이루어진 공통전극(108) 및 화소전극(118)과 동시에 형성할 수 있게 되는데, 이를 도면을 참조하여 상세히 설명한다.
- <72> 도 7a 내지 도 7e는 도 5a 및 도 6a에 도시된 제 1 마스크공정을 구체적으로 나타내는 단면도이다.
- <73> 도 7a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기관(110) 전면(全面)에 차례대로 제 1 도전막(120)과 제 2 도전막(130)을 증착한다.
- <74> 이때, 상기 제 1 도전막(120)으로 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투명 도전물질을 사용할 수 있으며, 상기 제 2 도전막(130)으로 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다.
- <75> 이후, 상기 기관(110) 전면(全面)에 포토레지스트와 같은 감광성물질로 이루어진 감광막(170)을 형성한 후 본 실시예의 회절마스크(또는, 하프-톤 마스크)(180)를 통해 상기 감광막(170)에 선택적으로 광을 조사한다.
- <76> 이때, 본 실시예에 사용한 회절마스크(180)에는 조사된 광을 모두 투과시키는 투과영역(I)과 슬릿패턴이 적용되어 광의 일부만 투과시키고 일부는 차단하는 슬릿영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 회절마스크(180)를 투과한 광만이 감광막(170)에 조사되게 된다.
- <77> 이어서, 상기 회절마스크(180)를 통해 노광된 감광막(170)을 현상하고 나면, 도 7b에 도시된 바와 같이, 상기 차단영역(III)과 슬릿영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 감광막패턴(170a~170f)들이 남아있게 되고, 모든 광이 투과된 투과영역(I)에는 감광막이 완전히 제거되어 상기 제 2 도전막(130) 표면이 노출되게 된다.
- <78> 이때, 상기 차단영역(III)을 통해 형성된 제 1 감광막패턴(170a) 내지 제 4 감광막패턴(170d)은 슬릿영역(II)에 형성된 제 5 감광막패턴(170e)과 제 6 감광막패턴(170f)보다 두껍게 형성된다. 또한, 상기 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.
- <79> 다음으로, 상기와 같이 형성된 감광막패턴(170a~170f)들을 마스크로 하여 그 하부에 형성된 제 1 도전막(120)과 제 2 도전막(130)을 패터닝하게 되면, 도 7c에 도시된 바와 같이 상기 기관(110) 위에 상기 제 2 도전막으로 이루어진 게이트전극(121)과 게이트라인(미도시) 및 공통라인(1081)이 형성되며, 상기 제 1 도전막으로 이루어진

공통전극(108)과 화소전극(118)이 형성되게 된다.

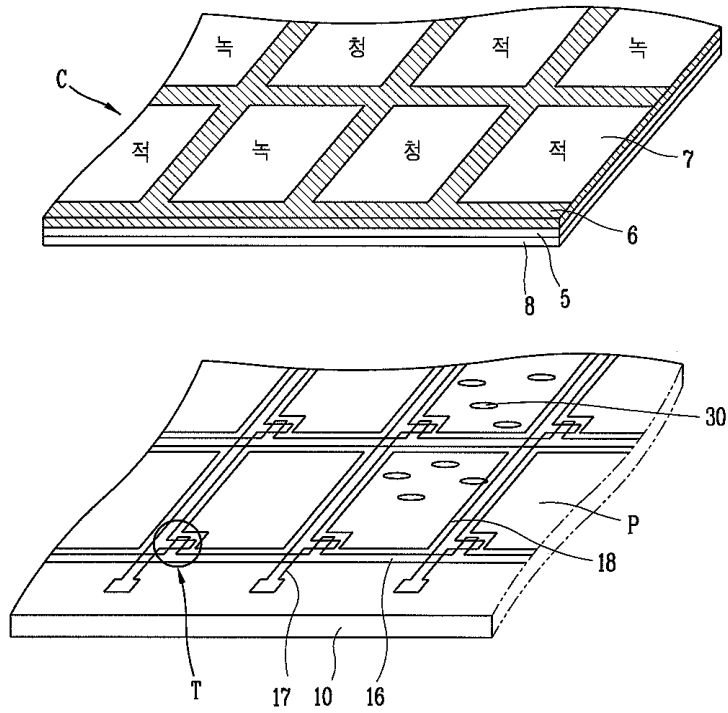
- <80> 이때, 제 2 도전막으로 이루어진 상기 게이트전극(121)과 게이트라인 및 공통라인(1081) 하부에는 각각 상기 제 1 도전막으로 이루어지며 상기 게이트전극(121) 및 공통라인(1081)과 동일한 형태로 패터닝된 게이트전극패턴(120')과 게이트라인패턴 및 공통라인패턴(120')이 형성되게 된다.
- <81> 또한, 제 1 도전막으로 이루어진 상기 공통전극(108) 및 화소전극(118) 상부에는 각각 상기 제 2 도전막으로 이루어지며 상기 공통전극(108) 및 화소전극(118)과 동일한 형태로 패터닝된 연결전극용 도전막패턴(130') 및 연결라인용 도전막패턴(130')이 형성되어 있다.
- <82> 그리고, 상기 감광막패턴(170a~170f)들의 일부를 제거하는 애싱(ashing)공정을 진행하게 되면, 도 7d에 도시된 바와 같이, 상기 연결전극용 도전막패턴(130') 및 연결라인용 도전막패턴(130')의 상부, 즉 회절노광이 적용된 슬릿영역(II)의 제 5 감광막패턴(170e) 및 제 6 감광막패턴(170f)이 완전히 제거되어 상기 연결전극용 도전막패턴(130') 및 연결라인용 도전막패턴(130') 표면이 노출되게 된다.
- <83> 이때, 상기 제 1 감광막패턴 내지 제 4 감광막패턴은 상기 제 5 감광막패턴 및 제 6 감광막패턴의 두께만큼 제거된 제 7 감광막패턴(170a') 내지 제 10 감광막패턴(170f')으로 상기 차단영역(III)에 대응하는 소정영역에만 남아있게 된다.
- <84> 이후, 도 7e에 도시된 바와 같이, 상기 남아있는 제 7 감광막패턴(170a') 내지 제 10 감광막패턴(170f')을 마스크로 하여 각각 상기 연결전극용 도전막패턴 및 연결라인용 도전막패턴을 선택적으로 제거하게 되면, 상기 화소전극(118) 위에 상기 화소전극(118)의 일부와 전기적으로 접촉하는 연결전극(130")이 형성되는 동시에 상기 공통전극(108) 위에 상기 공통전극(108)의 일부와 전기적으로 접촉하는 제 1 연결라인(108a)과 제 2 연결라인(미도시)이 형성되게 된다.
- <85> 다음으로, 도 5b 및 도 6b에 도시된 바와 같이, 상기 게이트전극(121), 게이트라인(116), 공통라인(1081), 제 1 연결라인(108a, 108a'), 제 2 연결라인(108b) 및 공통전극(108)과 화소전극(118)이 형성된 기관(110) 전면에서 차례대로 제 1 절연막(115a)과 비정질 실리콘 박막(124) 및 제 2 절연막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 상기 제 1 절연막(115a)과 비정질 실리콘 박막(124) 및 제 2 절연막을 선택적으로 패터닝함으로써 제 1 콘택홀(140a), 제 2 콘택홀(140b), 제 3 콘택홀(140c), 제 1 홀(Ha) 및 제 2 홀(Hb)을 형성하는 동시에 상기 제 2 절연막으로 이루어진 소정 형태의 에치 스타퍼(115')를 형성하게 된다.
- <86> 이때, 상기 제 1 콘택홀(140a)은 상기 연결전극(130")의 일부를 노출시키며, 상기 제 2 콘택홀(140b)과 제 3 콘택홀(140c)은 상기 게이트전극(121) 좌, 우측 상부의 비정질 실리콘 박막(124)의 일부를 노출시킨다. 상기 제 2 콘택홀(140b)과 제 3 콘택홀(140b) 사이에 패터닝되어 남아있는 일부의 에치 스타퍼(115')는 후에 n+ 비정질 실리콘 박막의 패터닝시 액티브패턴의 백 채널로 식각액이나 식각가수가 침투하는 것을 방지하는 역할을 하게 된다.
- <87> 이때, 본 실시예는 상기 제 2 마스크공정에 회절노광을 이용하게 되는데, 이하 도면을 참조하여 상기 제 2 마스크공정에 대해 상세히 설명한다.
- <88> 도 8a 내지 도 8e는 도 5b 및 도 6b에 도시된 제 2 마스크공정을 구체적으로 나타내는 단면도이다.
- <89> 도 8a에 도시된 바와 같이, 상기 게이트전극(121), 게이트라인(116), 공통라인(1081), 제 1 연결라인(108a, 108a'), 제 2 연결라인(108b) 및 공통전극(108)과 화소전극(118)이 형성된 기관(110) 전면에서 차례대로 제 1 절연막(115a)과 비정질 실리콘 박막(124) 및 제 2 절연막(115)을 증착한다.
- <90> 이후, 상기 기관(110) 전면에서 포토레지스트와 같은 감광성물질로 이루어진 감광막(270)을 형성한 후 본 실시예의 회절마스크(또는, 하프-톤 마스크)(280)를 통해 상기 감광막(270)에 선택적으로 광을 조사한다.
- <91> 이때, 본 실시예에 사용한 회절마스크(280)에는 조사된 광을 모두 투과시키는 투과영역(I)과 슬릿패턴이 적용되어 광의 일부만 투과시키고 일부는 차단하는 슬릿영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 회절마스크(280)를 투과한 광만이 감광막(270)에 조사되게 된다.
- <92> 이어서, 상기 회절마스크(280)를 통해 노광된 감광막(270)을 현상하고 나면, 도 8b에 도시된 바와 같이, 상기 차단영역(III)과 슬릿영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 감광막패턴(270a~270e)들이 남아있게 되고, 모든 광이 투과된 투과영역(I)에는 감광막이 완전히 제거되어 상기 제 2 절연막(115) 표면이 노출되게 된다.

- <93> 이때, 상기 차단영역(III)을 통해 형성된 제 1 감광막패턴(270a)은 슬릿영역(II)에 형성된 제 2 감광막패턴(270b) 내지 제 5 감광막패턴(270e)보다 두껍게 형성된다. 또한, 상기 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.
- <94> 다음으로, 상기와 같이 형성된 감광막패턴(270a~270e)들을 마스크로 하여 그 하부에 형성된 제 1 절연막(115a)과 비정질 실리콘 박막(124) 및 제 2 절연막(115)을 패터닝하게 되면, 도 8c에 도시된 바와 같이 상기 연결전극(130')의 일부를 노출시키는 제 1 콘택홀(140a)이 형성되게 된다.
- <95> 그리고, 상기 감광막패턴(270a~270e)들의 일부를 제거하는 애싱공정을 진행하게 되면, 도 8d에 도시된 바와 같이, 상기 회절노광이 적용된 슬릿영역(II)의 제 2 감광막패턴 내지 제 5 감광막패턴이 완전히 제거되어 상기 제 2 절연막(115) 표면이 노출되게 된다.
- <96> 이때, 상기 제 1 감광막패턴은 상기 제 2 감광막패턴 내지 제 5 감광막패턴의 두께만큼이 제거된 제 6 감광막패턴(270a')으로 상기 차단영역(III)에 대응하는 소정영역에만 남아있게 된다.
- <97> 이후, 도 8e에 도시된 바와 같이, 상기 남아있는 제 6 감광막패턴(270a')을 마스크로 하여 상기 제 2 절연막의 일부 영역을 제거하면, 상기 게이트전극(121) 좌, 우측 상부의 비정질 실리콘 박막(124)의 일부를 노출시키는 제 2 콘택홀(140b)과 제 3 콘택홀(140c)이 형성되는 동시에 상기 공통라인(1081) 상부의 비정질 실리콘 박막(124)의 일부를 노출시키는 제 1 홀(Ha)과 데이터라인이 형성될 영역의 비정질 실리콘 박막(124)의 일부를 노출시키는 제 2 홀(Hb)이 형성되게 된다.
- <98> 이때, 상기 제 1 콘택홀(140a), 제 2 콘택홀(140b), 제 3 콘택홀(140c), 제 1 홀(Ha) 및 제 2 홀(Hb)이 패터닝된 상기 제 2 절연막은 1차 절연막패턴(115')을 형성하게 된다.
- <99> 그리고, 도 5c 및 도 6c 내지 도 6e에 도시된 바와 같이, 한번의 포토리소그래피공정(제 3 마스크공정)으로 액티브패턴(124')을 형성하는 동시에 상기 제 2 콘택홀 및 제 3 콘택홀을 통해 상기 액티브패턴(124')의 소정영역과 전기적으로 접속하는 소오스전극(122) 및 드레인전극(123)을 형성하게 된다.
- <100> 이때, 상기 소오스전극(122)의 일부는 일 방향으로 연장되어 상기 게이트라인(116)과 실질적으로 수직한 방향으로 형성된 데이터라인(117)과 연결되며, 상기 드레인전극(123)의 일부는 화소영역으로 연장되어 상기 제 1 홀을 통해 연결전극(130') 및 그 하부의 화소전극(118)과 전기적으로 접속하는 화소전극라인(1181)을 형성하게 된다.
- <101> 여기서, 상기 제 2 절연막으로 이루어진 1차 절연막패턴은 상기 제 3 마스크공정을 통해 소정 형태로 패터닝되어 에치 스타퍼(115'')를 형성하며, 상기 액티브패턴(124')의 채널영역 상부에 위치한 에치 스타퍼(115'')는 n+ 비정질 실리콘 박막의 식각시 박막 트랜지스터의 백 채널이 손상 받는 것을 방지하게 되는데, 이를 다음의 제 3 마스크공정을 통해 상세히 설명한다.
- <102> 도 9a 내지 도 9f는 도 5c 및 도 6c 내지 도 6e에 도시된 제 3 마스크공정을 구체적으로 나타내는 단면도이다.
- <103> 도 9a에 도시된 바와 같이, 상기 기판(110) 전면에 n+ 비정질 실리콘 박막(125b)과 제 3 도전막(150)을 증착한 후, 상기 기판(110) 전면에 포토레지스트와 같은 감광성물질로 이루어진 감광막(370)을 형성한 후 본 실시예의 회절마스크(또는, 하프-톤 마스크)(380)를 통해 상기 감광막(370)에 선택적으로 광을 조사한다.
- <104> 이때, 본 실시예에 사용한 회절마스크(380)에는 조사된 광을 모두 투과시키는 투과영역(I)과 슬릿패턴이 적용되어 광의 일부만 투과시키고 일부는 차단하는 슬릿영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 회절마스크(380)를 투과한 광만이 감광막(370)에 조사되게 된다.
- <105> 이어서, 상기 회절마스크(380)를 통해 노광된 감광막(370)을 현상하고 나면, 도 9b에 도시된 바와 같이, 상기 차단영역(III)과 슬릿영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 감광막패턴(370a~370d)들이 남아있게 되고, 모든 광이 투과된 투과영역(I)에는 감광막이 완전히 제거되어 상기 제 3 도전막(150) 표면이 노출되게 된다.
- <106> 이때, 상기 차단영역(III)을 통해 형성된 제 1 감광막패턴(370a) 내지 제 3 감광막패턴(370c)은 슬릿영역(II)에 형성된 제 4 감광막패턴(370d)보다 두껍게 형성된다. 또한, 상기 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.

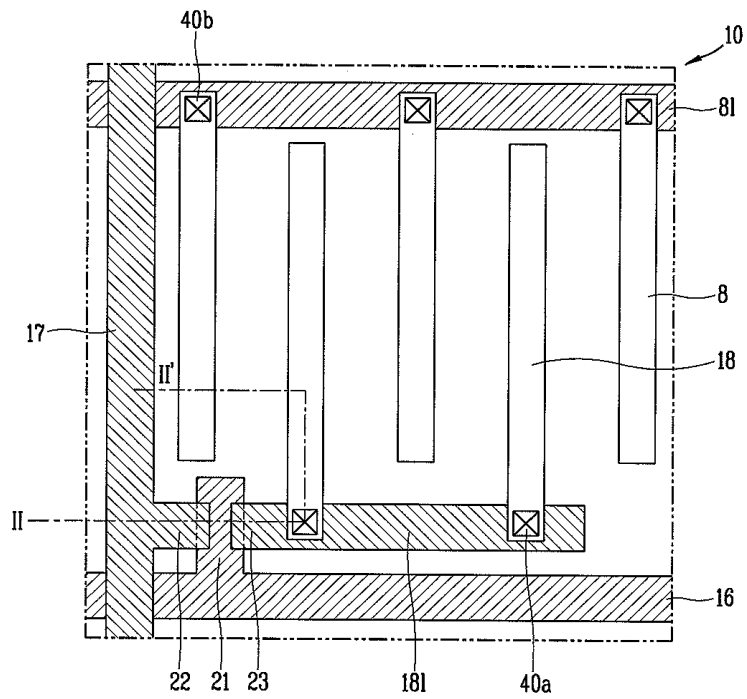
- <107> 다음으로, 상기와 같이 형성된 감광막패턴(370a~370d)들을 마스크로 하여 그 하부에 형성된 제 3 도전막(150)을 패터닝하게 되면, 도 9c에 도시된 바와 같이 상기 제 1 감광막패턴(370a)의 일부와 제 2 감광막패턴(370b) 및 제 4 감광막패턴(370d) 하부에 상기 제 3 도전막으로 이루어지며 상기 제 1 감광막패턴(370a)의 일부와 제 2 감광막패턴(370b) 및 제 4 감광막패턴(370d)보다 좁은 폭을 가지는 제 3 도전막패턴(150')이 형성되게 되며, 상기 제 1 감광막패턴(370a)의 나머지 일부와 제 3 감광막패턴(370c) 하부에 상기 제 3 도전막으로 이루어지며 상기 제 1 감광막패턴(370a)의 나머지 일부와 제 3 감광막패턴(370c)보다 좁은 폭을 가지는 데이터라인(117)이 형성되게 된다.
- <108> 그리고, 상기 감광막패턴(370a~370d)들을 마스크로 계속하여 그 하부의 n+ 비정질 실리콘 박막(125)과 1차 절연막패턴(115')을 선택적으로 패터닝하게 되면, 도 9d에 도시된 바와 같이, 상기 제 1 감광막패턴(370a)의 일부와 제 2 감광막패턴(370b) 및 제 4 감광막패턴(370d) 하부에 상기 n+ 비정질 실리콘 박막과 제 2 절연막으로 이루어진 제 1 n+ 비정질 실리콘 박막패턴(125')과 2차 절연막패턴(115')이 형성되게 되며, 상기 제 1 감광막패턴(370a)의 나머지 일부와 제 3 감광막패턴(370c) 하부에 상기 n+ 비정질 실리콘 박막으로 이루어진 제 2 n+ 비정질 실리콘 박막패턴(125')이 형성되게 된다.
- <109> 그리고, 상기 감광막패턴(370a~370d)들의 일부를 제거하는 애싱공정을 진행하게 되면, 도 9e에 도시된 바와 같이, 상기 회절노광이 적용된 슬릿영역(II)의 제 4 감광막패턴이 완전히 제거되어 상기 제 3 도전막패턴(150') 표면이 노출되게 된다.
- <110> 이때, 상기 제 1 감광막패턴 내지 제 3 감광막패턴은 상기 제 4 감광막패턴의 두께만큼이 제거된 제 5 감광막패턴(370a') 내지 제 7 감광막패턴(370c')으로 상기 차단영역(III)에 대응하는 소정영역에만 남아있게 된다.
- <111> 여기서, 상기 제 5 감광막패턴(370a') 내지 제 7 감광막패턴(370c')은 그 폭이 상기 애싱공정을 통해 줄어들 수 있으며, 이때 상기 애싱공정의 공정조건을 제어함으로써 상기 제 5 감광막패턴(370a') 내지 제 7 감광막패턴(370c')은 그 하부의 제 3 도전막패턴(150') 및 데이터라인(117)의 폭과 동일한 폭을 가지도록 할 수 있다.
- <112> 그리고, 도 9f에 도시된 바와 같이, 상기 남아있는 제 5 감광막패턴(370a') 내지 제 7 감광막패턴(370c')을 마스크로 하여 상기 제 3 도전막패턴의 일부영역을 제거하면, 상기 제 5 감광막패턴(370a')의 일부 하부에 상기 제 3 도전막으로 이루어진 소오스전극(122)이 형성되는 동시에 상기 제 6 감광막패턴(370b') 하부에 상기 제 3 도전막으로 이루어진 드레인전극(123)과 화소전극라인(1181)이 형성되게 된다.
- <113> 이후, 상기 제 5 감광막패턴(370a') 내지 제 7 감광막패턴(370c')을 마스크로 하여 상기 제 1 n+ 비정질 실리콘 박막패턴과 제 2 n+ 비정질 실리콘 박막패턴 및 비정질 실리콘 박막을 선택적으로 제거하면, 상기 비정질 실리콘 박막으로 이루어지며 상기 에치 스타퍼(125')의 가장자리 측면 형태대로 패터닝된 액티브패턴(124')이 형성되게 된다.
- <114> 이때, 상기 에치 스타퍼(125')는 상기 액티브패턴(124')을 패터닝하는데 있어 마스크로 작용하며, 상기 액티브패턴(124')의 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브패턴(124')의 소정영역과 소오스(122)/드레인전극(123) 사이를 오믹-콘택시키는 오믹-콘택층(125n)이 형성되게 된다.
- <115> 이때, 상기 화소전극라인(1181)은 상기 오믹-콘택층(125n)을 통해 그 하부의 연결전극(130'')과 전기적으로 접속하며, 상기 데이터라인(117)의 하부에는 상기 n+ 비정질 실리콘 박막과 비정질 실리콘 박막으로 이루어진 제 3 n+ 비정질 실리콘 박막패턴(125''')과 비정질 실리콘 박막패턴(124'')이 형성되게 된다.
- <116> 상기 제 2 홀이 형성된 영역의 비정질 실리콘 박막패턴(124'')은 그 상부의 데이터라인(117)과 동일한 형태로 패터닝되게 된다. 이와 같이 본 실시예는 회절노광을 이용하여 액티브패턴(124')과 소오스/드레인전극(122, 123) 및 데이터라인(117)을 한번의 마스크공정으로 형성할 때 상기 데이터라인(117) 하부에 형성되는 비정질 실리콘 박막패턴(124'')에 돌출부가 생기지 않게 되어 상기 비정질 실리콘 박막패턴(124'')의 돌출부에 의한 노이즈(noise) 문제를 해결할 수 있게 된다.
- <117> 이와 같이 구성된 상기 어레이 기관(110)은 화상표시 영역의 외곽에 형성된 실린트(미도시)에 의해 컬러필터 기관(미도시)과 대향하도록 합착되어 액정표시패널을 구성하며, 상기 어레이 기관(110)과 컬러필터 기관의 합착은 상기 어레이 기관(110)과 컬러필터 기관에 형성된 합착기(미도시)를 통해 이루어진다.
- <118> 본 실시예는 채널층으로 비정질 실리콘 박막을 이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 채널층으로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터에도 적용된다.

도면

도면1



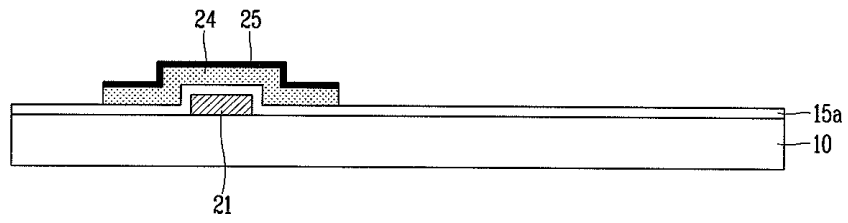
도면2



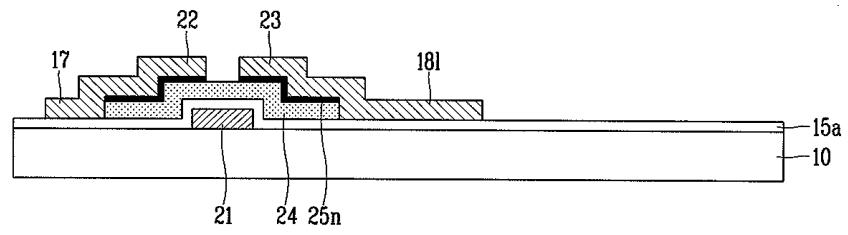
도면3a



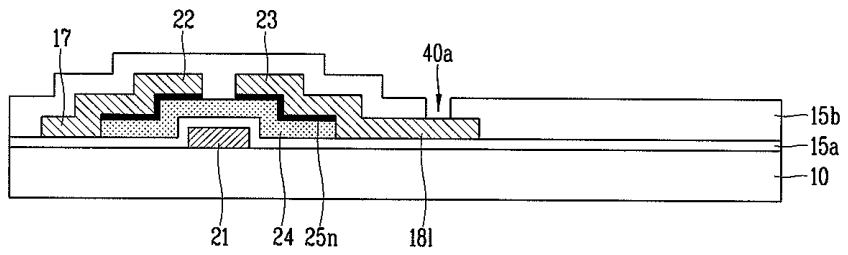
도면3b



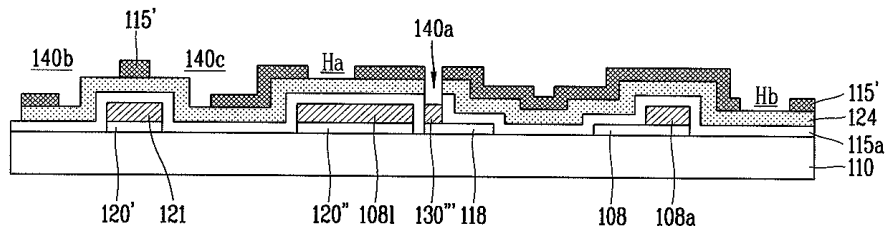
도면3c



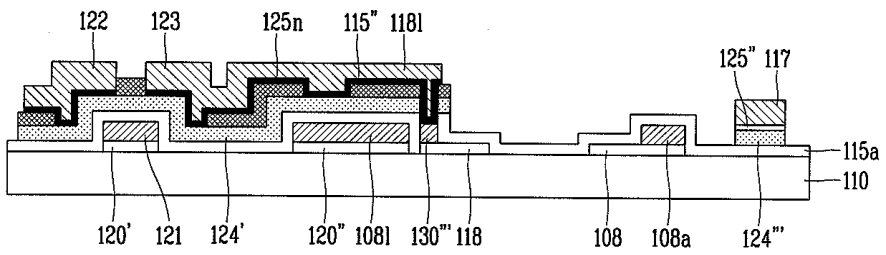
도면3d



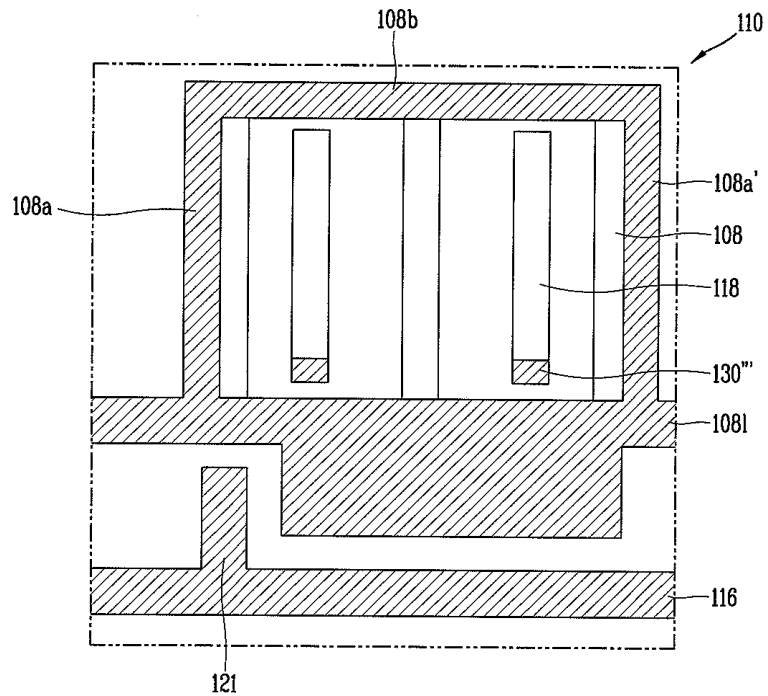
도면5b



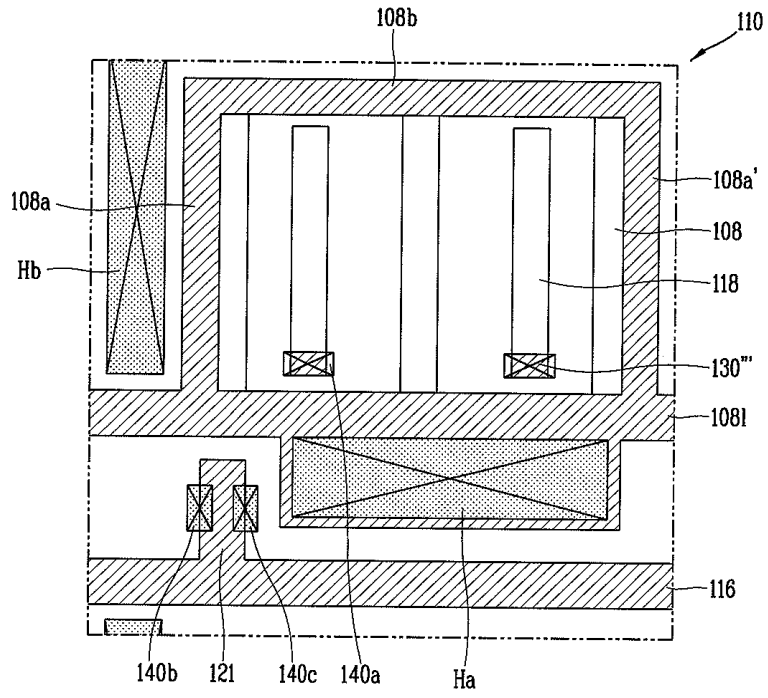
도면5c



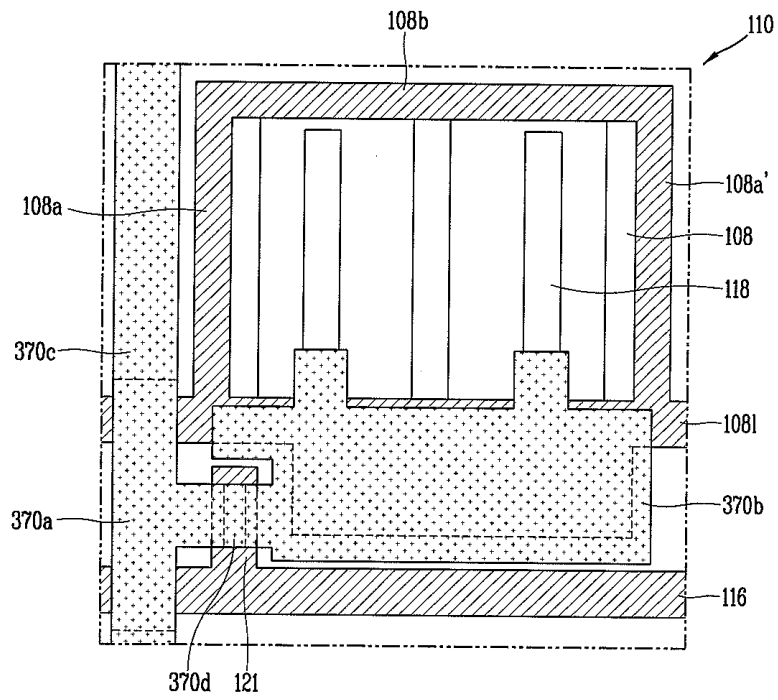
도면6a



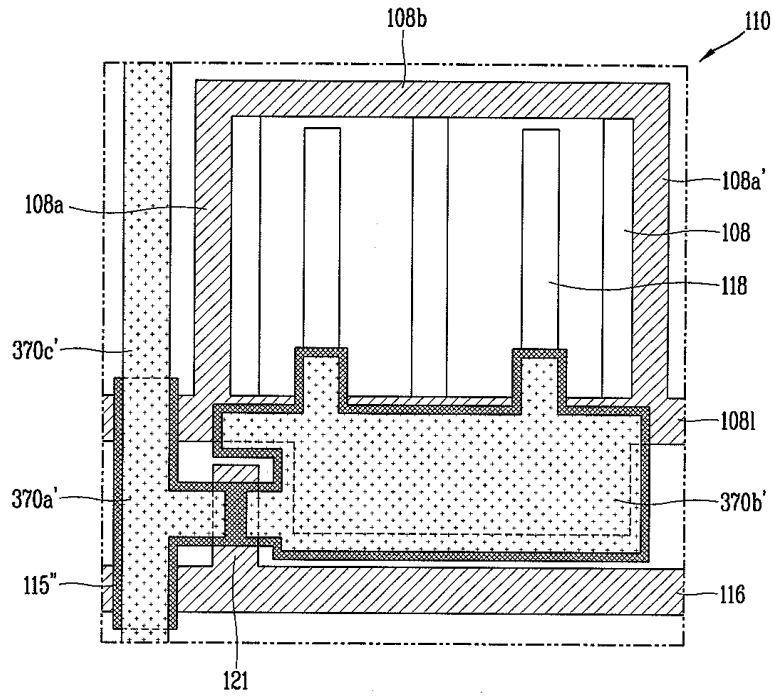
도면6b



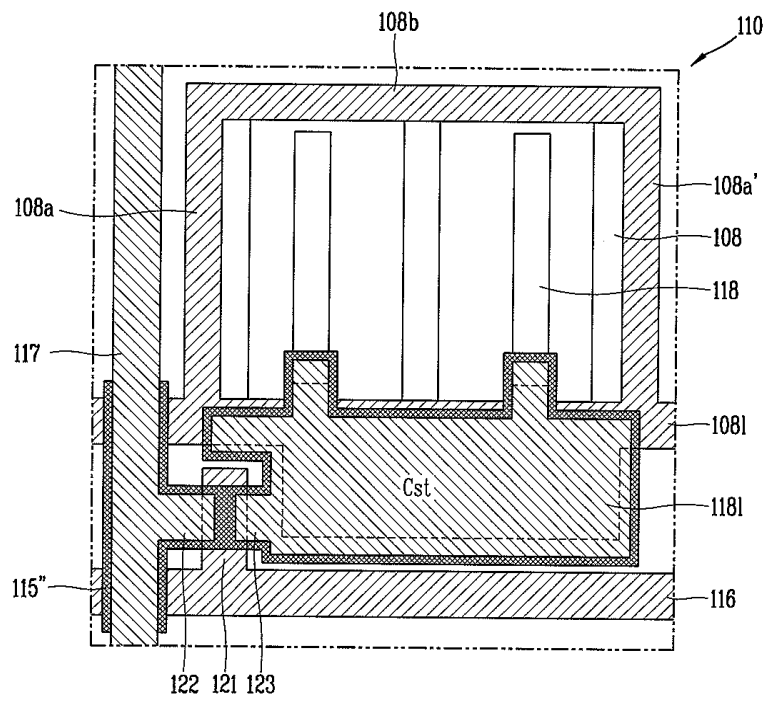
도면6c



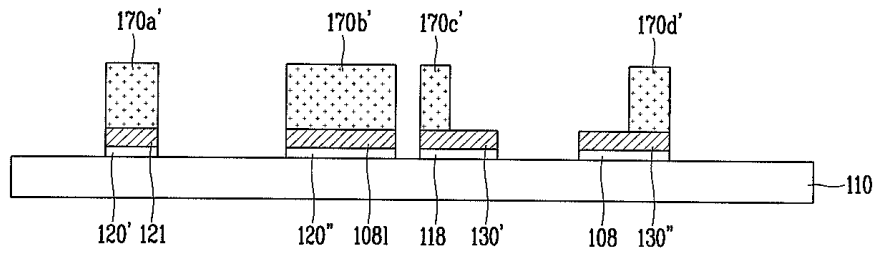
도면6d



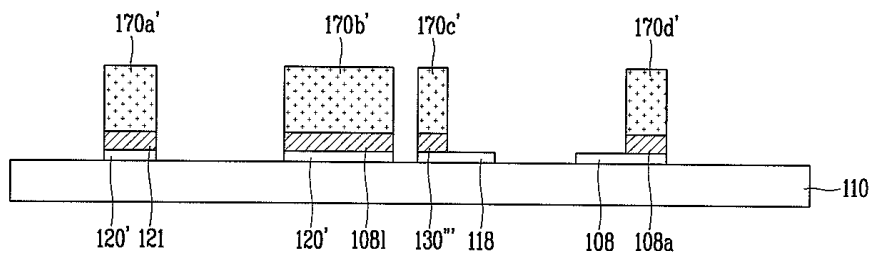
도면6e



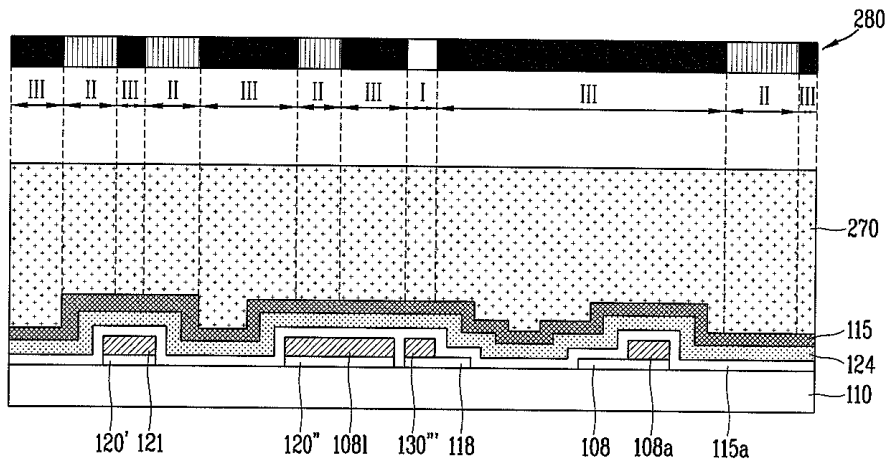
도면7d



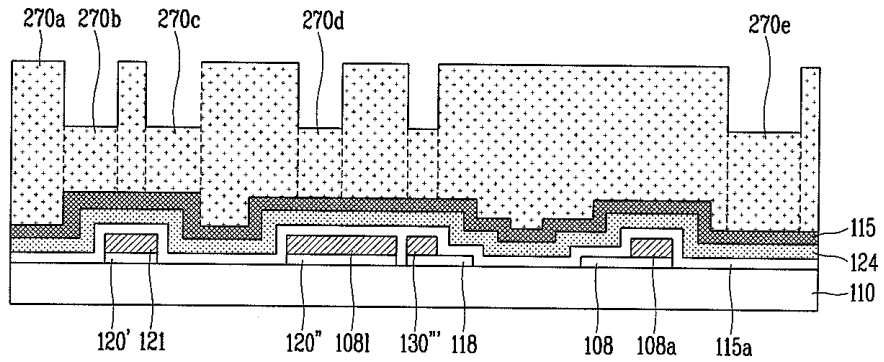
도면7e



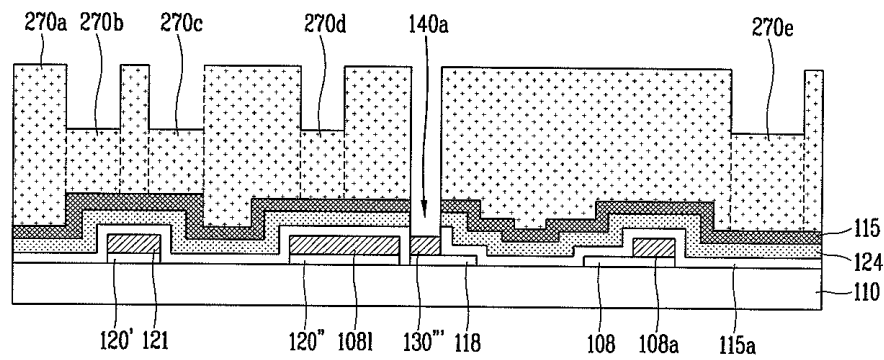
도면8a



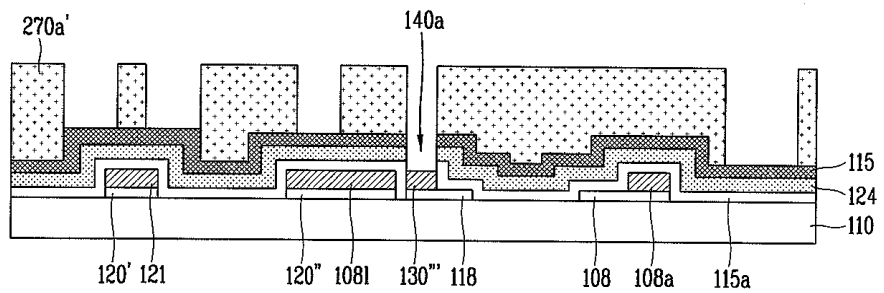
도면8b



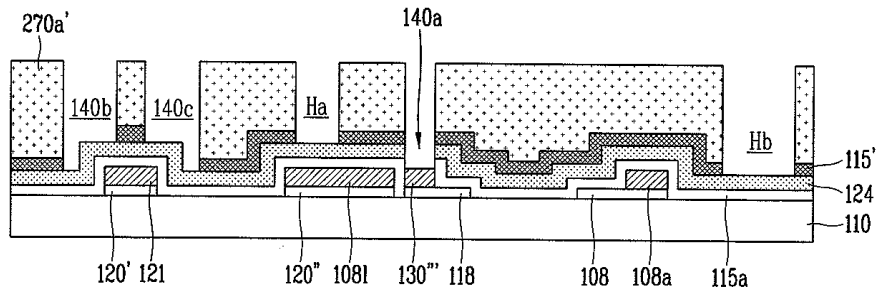
도면8c



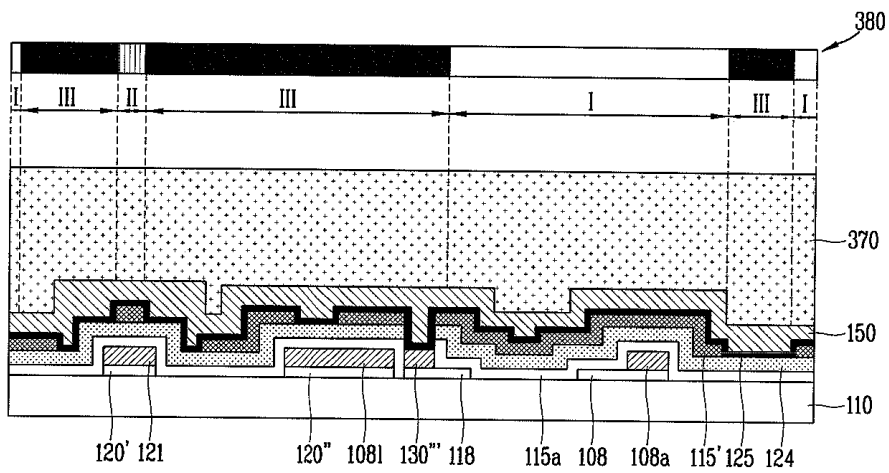
도면8d



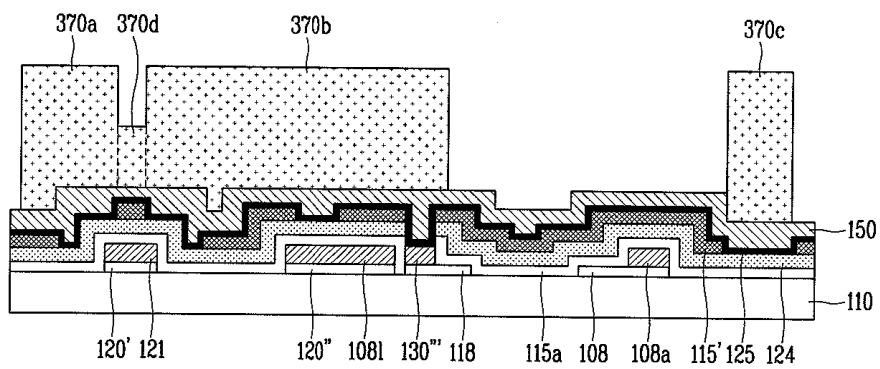
도면8e



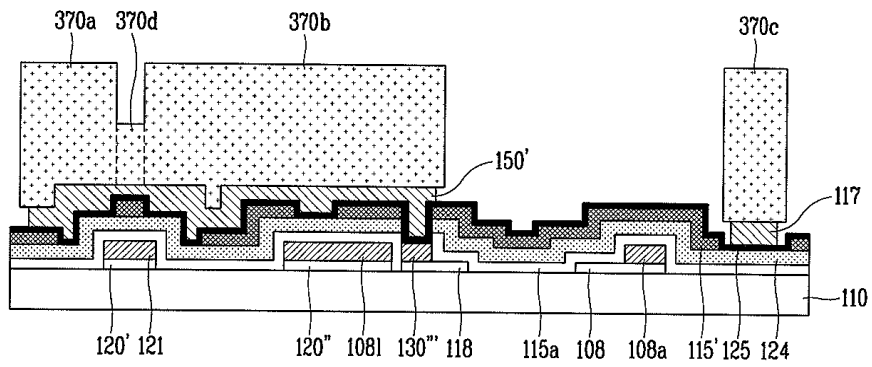
도면9a



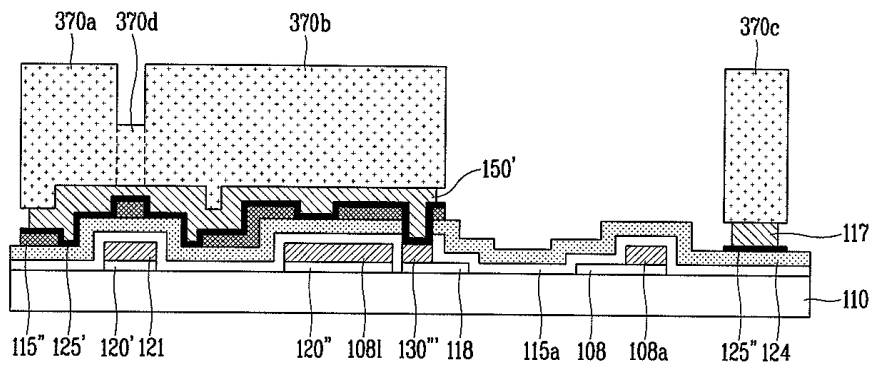
도면9b



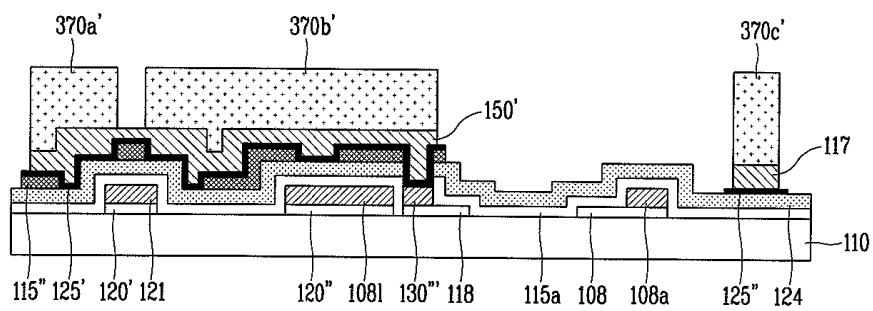
도면9c



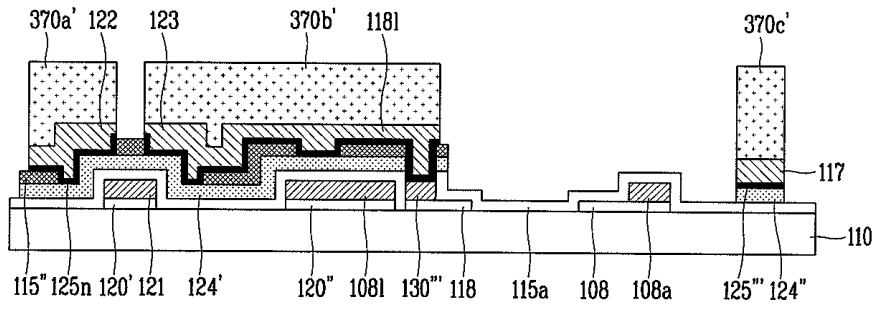
도면9d



도면9e



도면9f



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070109736A	公开(公告)日	2007-11-15
申请号	KR1020060043149	申请日	2006-05-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOON YOUNG		
发明人	YANG, JOON YOUNG		
IPC分类号	G02F1/136 G02F1/133		
CPC分类号	G02F2001/136231 H01L27/1288 G02F1/1362 G02F1/136227 G02F1/134363		
代理人(译)	PARK, JANG WON		
其他公开文献	KR100978263B1		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置及其制造方法通过使用衍射曝光将栅电极，公共电极和像素电极一起形成，并形成有源图案和源/漏来简化制造工艺。提供第一基板和第二基板，用于通过使用蚀刻阻挡层保护有源图案的沟道区来提高器件的可靠性；通过第一掩模工艺在第一基板上形成栅电极，栅线，连接电极，公共电极和像素电极；在第一基板上形成第一绝缘膜；形成具有第一接触孔，第二接触孔，第三接触孔，第一孔和第二孔的第一绝缘膜图案，通过第二掩模工艺在第一基板上形成；通过第三掩模工艺在第一基板上形成有源图案，并形成通过第二接触孔和第三接触孔电连接到有源图案的预定区域的源电极和漏电极；并且将第一基板和第二基板结合在一起。

