

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G09G 3/36 (2006.01)
G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0078509
(43) 공개일자 2006년07월05일

(21) 출원번호 10-2004-0118475
(22) 출원일자 2004년12월31일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 장용호
경기 과천시 별양동 주공아파트 647동 308호
김빈
서울 양천구 신정7동 신시가지11단지아파트 1107동 1307호
윤수영
경기 군포시 오금동 율곡아파트 349동 1604호

(74) 대리인 박장원

심사청구 : 없음

(54) 잡음이 제거된 쉬프트레지스터구조 및 이를 구비한액정표시소자

요약

본 발명에 따른 쉬프트레지스터구조는 클럭신호 및 스타트전압이 입력됨에 따라 출력전압을 차례로 출력하는 쉬프트레지스터와 상기 쉬프트레지스터에 연결되어 신호의 클리너수단으로 구성된다. 상기 클리너수단은 게이트에 클럭신호가 입력되거나 쉬프트레지스터로부터 출력되는 신호가 입력되는 클리너트랜지스터이다. 또한, 상기 쉬프트레지스터구조에는 쉬프트레지스터의 출력신호와 동기화 되어 출력신호를 다음 단의 스타트전압으로 출력하는 제1트랜지스터를 추가로 포함한다.

대표도

도 5

색인어

액정, 쉬프트레지스터, 잡음, 클리너트랜지스터, 스타트전압

명세서

도면의 간단한 설명

도 1은 액정표시소자의 구조를 나타내는 평면도.

도 2는 액정표시소자의 쉬프트레지스터의 구조를 나타내는 간략도.

도 3은 종래 쉬프트레지스터의 회로도.

도 4는 도 3에 도시된 쉬프트레지스터의 파형도.

도 5는 본 발명의 제1실시에 따른 쉬프트레지스터의 회로도.

도 6은 도 5에 도시된 쉬프트레지스터의 파형도.

도 7은 본 발명의 제2실시에 따른 쉬프트레지스터의 회로도.

도 8은 도 7에 도시된 쉬프트레지스터의 파형도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 신호에 포함되는 잡음을 제거하여 회로의 안정성을 향상시킬 수 있는 액정표시소자의 쉬프트레지스터구조에 관한 것이다.

액정표시소자(Liquid Crystal Display device)는 투과형 평판표시장치로서, 핸드폰(mobile phone), PDA, 노트북컴퓨터와 같은 각종 전자기기에 널리 적용되고 있다. 이러한 LCD는 경박단소화가 가능하고 고화질을 구현할 수 있다는 점에서 다른 평판표시장치에 비해 현재 많은 실용화가 이루어지고 있는 실정이다. 더욱이, 디지털TV나 고화질TV, 벽걸이용 TV에 대한 요구가 증가함에 따라 TV에 적용할 수 있는 대면적 LCD에 대한 연구가 더욱 활발히 이루어지고 있다.

일반적으로 LCD는 액정분자를 동작시키는 방법에 따라 몇 가지 방식으로 나누어질 수 있지만, 현재에는 반응속도가 빠르고 잔상이 적다는 점에서 주로 액티브 매트릭스(active matrix) 박막트랜지스터(Thin Film Transistor) LCD가 주로 사용되고 있다.

도 1에 상기 TFT LCD의 패널(1) 구조가 도시되어 있다. 도면에 도시된 바와 같이, 액정패널(1)에는 종횡으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인(3)과 데이터라인(5)이 형성되어 있다. 각 화소 내에는 스위칭소자인 박막트랜지스터(Thin Film Transistor)가 배치되어 상기 게이트라인(3)을 통해 주사신호가 입력되는 경우 스위칭되어 데이터라인(5)을 통해 입력되는 화상신호를 액정층(9)에 인가한다. 도면에서, 도면부호 11은 축적캐패시터로서, 입력되는 데이터신호를 다음 주사신호의 인가시까지 유지하는 역할을 한다.

주사신호는 게이트구동부(20)로부터 게이트라인(3)으로 인가되고 화상신호는 데이터구동부(34)로부터 데이터라인(5)으로 인가된다. 통상적으로 게이트구동부(20)와 데이터구동부(34)는 구동IC(driver Integrated Circuit)로 이루어져 액정패널(1)의 외부에 배치되지만, 도면에 도시된 바와 같이 근래 게이트구동부(20)를 액정패널에 일체로 형성된 구조의 액정표시소자가 활발히 연구되고 있다. 상기와 같이, 게이트구동부(20)를 액정패널(1)과 일체로 형성함으로써 액정표시소자의 부피를 감소시킬 수 있으며, 제조비용을 절감할 수 있게 되는 것이다.

한편, 데이터구동부(34)는 액정패널(1)과 인쇄회로기판(36)을 연결시키는 PCB(Plexible Circuit Board;30)상에 장착되어 데이터라인(5)을 통해 액정층에 화상신호를 인가한다. 이때, 인쇄회로기판(36)에는 타이밍제어부(timing controller) 등과 같은 부품과 배선이 형성된다.

도 2는 상기 게이트구동부(20)의 구조를 나타내는 간략도이다. 도면에 도시된 바와 같이, 상기 게이트구동부(20)는 복수의 쉬프트레지스터(22)를 구비하고 있으며, 상기 쉬프트레지스터(22)로부터 신호가 순차적으로 출력되어 게이트라인(G1~Gn)으로 인가된다. 상기 쉬프트레지스터(22)에는 클럭발생부(24)와 연결되어 상기 클럭발생부(24)로부터 발생된 클럭신호가 쉬프트레지스터(22)에 인가된다. 또한, 상기 쉬프트레지스터(22)에는 스타트전압이 입력되는데, 첫단 이후의 쉬프트레지스터(22)에는 이전 단의 출력신호가 스타트전압으로서 입력된다.

도 3은 도 2에 도시된 쉬프트레지스터(22)의 구조를 나타내는 회로도이다. 도면에 도시된 바와 같이, 쉬프트레지스터(22)는 복수의 트랜지스터(T1~T8)를 구비하는데, 고전위 구동전압(Vdd)에 의해 도통되어 제2노드(ND2)를 충전시키는 제2트랜지스터(T2)와, 스타트전압(Vst1)에 의해 도통되어 상기 제2노드(ND2)를 방전시킴과 동시에 제1노드(ND1)를 충전시키는 제1트랜지스터(T1)와, 상기 충전된 제1노드(ND1) 일측에 전기적으로 접속되고 상기 제1노드(ND1)에 충전된 고전압에 의해 도통되어 클럭신호(C1)를 통과시켜 출력신호(Vout1)를 게이트라인(G1)으로 인가하는 제7트랜지스터(T7)와, 다음 단 쉬프트레지스터의 출력에 의해 도통되어 상기 제1노드(ND1)를 방전시키고 상기 제2노드(ND2)가 다시 충전되도록 하는 제4트랜지스터(T4)와, 상기 충전된 제2노드(ND2)에 의해 도통되어 상기 제7트랜지스터(T7)를 통해 출력된 클럭신호(C1)가 저전위로 떨어지도록 유도하는 제8트랜지스터(T8)와, 스타트전압이 인가됨에 따라 도통되어 제2노드(ND)를 방전시키는 제6트랜지스터(T6)와, 상기 제1노드(ND1)에 충전된 고전압에 의해 도통되어 제2노드(ND2)를 방전시키는 제5트랜지스터포함하여 구성된다.

상기 제1노드(ND1)는 상기 제1트랜지스터(T1)의 소스전극, 제7트랜지스터(T7)의 게이트전극 및 제4트랜지스터(T4)의 소스전극을 연결하는 라인이며, 상기 제2노드(ND2)는 상기 제2트랜지스터(T2)의 드레인전극, 제8트랜지스터(T8) 및 제3트랜지스터(T3)의 게이트전극을 연결하는 라인이다. 상기 제1노드(ND1) 및 제2노드(ND2)는 상기 쉬프트레지스터의 전위를 결정하는 역할을 수행한다. 즉, 상기 제1노드(ND1)가 고전위일 경우 상기 제7트랜지스터(T7)가 턴-온되어 고전위의 출력신호(Vout1)가 출력되며, 상기 제2노드(ND2)가 고전위일 경우 상기 제8트랜지스터(T8)가 턴-온되어 쉬프트레지스터의 출력측은 저전위로 떨어지게 되므로, 출력신호(Vout1)가 저전위로 천이된다.

상기와 같이 구성된 쉬프트레지스터의 작동을 도 4에 도시된 파형도를 참조하여 설명하면 다음과 같다.

우선, 도 4에 도시된 하이상태의 스타트전압(Vst1)이 첫단의 쉬프트레지스터로 입력됨과 동시에 로우상태의 제1클럭신호(C1) 및 하이상태의 제2클럭신호(C2)가 입력되면, 제1트랜지스터(T1) 및 제6트랜지스터(T6)은 턴온되어, 제1노드(ND1)가 고전위 구동전압(Vdd)에 의해 충전됨과 동시에 제2노드(ND2)가 방전된다. 따라서, 제7트랜지스터(T7)는 턴온되고 제8트랜지스터(T8)는 턴오프되어, 로우의 제1클럭신호(C1)가 제7트랜지스터(T7)를 통해 출력되므로 출력전압(Vout1)은 로우가 된다. 이때, 이 로우의 출력전압(Vout1)이 다음단 쉬프트레지스터의 스타트전압(Vst2)로 입력된다.

이어서, 스타트전압(Vst1)이 로우가 되고 하이의 제1클럭신호(C1) 및 로우의 제2클럭신호(C2)가 입력되면, 제1트랜지스터(T1)이 턴오프되어 제1노드(ND1)은 플로팅(floating) 상태로 되어 상기 제7트랜지스터(T7)가 턴온상태를 유지하고 제5트랜지스터(T5)가 턴오프되어 제2노드(ND2)가 방전된다. 결국, 하이의 제1클럭신호(C1)가 제7트랜지스터(T7)를 통해 출력되므로, 출력전압(Vout1)은 하이가 된다.

그 후, 스타트전압(Vst1)이 로우상태를 유지하면, 제1노드(ND1)는 플로팅상태를 계속유지하므로, 로우의 제1클럭신호(C1)가 출력전압(Vout1)으로서 출력된다. 이후, 다음단의 쉬프트레지스터로부터 하이의 출력전압에 의해 제4트랜지스터(T4)가 온되어 제1노드(ND1)의 플로팅상태가 제거되어 제7트랜지스터(T7)는 턴오프되어 로우의 출력전압(Vout1)이 로우가 되고, 이 상태를 계속해서 유지하게 된다.

상기와 같이, 스타트전압(Vst1)이 입력됨에 따라 첫단 쉬프트레지스터의 출력단에는 출력전압(Vout1)이 출력되며, 이 출력전압이 액정표시소자의 첫번째 게이트라인에 인가된다. 이러한 첫단 쉬프트레지스터에서의 출력전압(Vout1)이 출력되면, 그 다음 단의 쉬프트레지스터가 인에이블되어 출력전압(Vout2)을 출력하게 된다. 이때, 둘째단을 인에이블은 이전 단의 출력전압(Vout1)에 의해 이루어진다. 즉, 둘째단의 스타트전압(Vst2)는 이전 단의 출력전압(Vout1)인 것이다.

상기 스타트전압(Vst2)가 입력됨에 따라 둘째단에서는 도 4에 도시된 바와 같은 출력전압(Vout2)이 출력되며, 이 출력전압(Vout2)이 그 다음 단의 스타트전압(Vst3)으로서 다음 단에 입력된다. 이러한 동작에 의해 쉬프트레지스터에서는 도 4에 도시된 바와 같이 파형이 신호가 게이트라인에 순차적으로 입력되는 것이다.

그런데, 상기와 같은 구조의 쉬프트레지스터에서는 다음과 같은 문제가 발생할 수 있다.

일반적으로 게이트구동부의 쉬프트레지스터는 액정패널에 일체로 형성되어 있다. 따라서, 쉬프트레지스터에 형성되는 트랜지스터는 박막트랜지스터로서, 기판위에 형성된다. 이와 같이, 트랜지스터가 기판위에 형성되기 때문에 제7트랜지스터(T7)를 통해 출력되어 다음 단 쉬프트레지스터에 입력되는 신호는 캐패시터성분 등에 의해 잡음이 발생하게 된다. 이러한 잡음은 다음 단의 쉬프트레지스터로 입력되는 스타트전압을 지연시키거나 신호 자체의 변형을 야기하여 회로를 오작동시키게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 이루어진 것으로, 내부에 잡음을 제거하는 클리너트랜지스터를 구비하여 회로의 오동작을 방지할 수 있는 쉬프트레지스터구조를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 상기 쉬프트레지스터를 구비함으로써 불량을 제거할 수 있는 액정표시소자를 제공하는 것이다.

상기한 목적을 달성하기 위해, 본 발명에 따른 쉬프트레지스터구조는 클럭신호 및 스타트전압이 입력됨에 따라 출력전압을 차례로 출력하는 쉬프트레지스터와 상기 쉬프트레지스터에 연결되어 스타트전압에 포함된 잡음을 제거하는 클리너수단으로 구성된다.

상기 클리너수단은 게이트에 클럭신호가 입력되거나 쉬프트레지스터로부터 출력되는 신호가 입력되는 클리너트랜지스터이다. 또한, 상기 쉬프트레지스터구조에는 쉬프트레지스터의 출력신호와 동기화 되어 출력신호를 다음 단의 스타트전압으로 출력하는 제1트랜지스터를 추가로 포함한다.

상기 쉬프트레지스터는 게이트에는 스타트전압이 인가되고 소스에는 구동전압이 인가되며, 드레인은 제1노드에 연결된 제2트랜지스터와, 게이트 및 소스에는 구동전압이 인가되고 드레인은 제2노드에 연결된 제3트랜지스터와, 게이트는 다음 단 쉬프트레지스터의 출력단에 연결되고 소스는 제1노드에 연결되어 상기 제1노드를 방전시키고 상기 제2노드를 충전시키는 제4트랜지스터와, 게이트는 제1노드에 연결되고 소스는 제2노드에 연결되어 제2노드를 방전시키는 제5트랜지스터와, 게이트는 제1노드에 접속되고 소스에는 클럭신호가 입력되며, 드레인은 출력단에 접속되어 클럭신호를 출력전압으로 출력하는 제6트랜지스터와, 게이트는 제2노드에 접속되고 소스는 출력단에 연결되어 상기 제6트랜지스터를 통해 출력된 클럭신호를 저전위로 저하시키는 제7트랜지스터를 포함한다.

또한, 본 발명에 따른 액정표시소자는 게이트라인 및 데이터라인에 의해 정의되는 화소 및 상기 화소내에 형성된 박막트랜지스터를 구비하여 인가됨에 따라 화상을 표시하는 액정패널과 상기 게이트라인에 순차적으로 신호를 인가하며 입력되는 신호의 잡음을 제거하는 클리너수단을 포함하는 쉬프트레지스터로 구성된다.

이때, 상기 액정표시소자는 상기 쉬프트레지스터에 클럭신호를 인가하는 클럭발생부와 액정패널에 화상정보를 인가하는 데이터구동부를 추가로 포함하며, 상기 쉬프트레지스터는 액정패널에 박막트랜지스터와 일체로 형성된다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시소자의 쉬프트레지스터를 상세히 설명한다.

도 5는 본 발명의 제1실시예에 따른 쉬프트레지스터를 나타내는 도면이고 도 6은 상기 구조의 쉬프트레지스터의 파형도이다.

도면에 도시된 바와 같이, 본 발명에 따른 쉬프트레지스터의 구조는 도 3에 도시된 쉬프트레지스터의 구조와 매우 유사하다. 따라서, 동일한 구성에 대해서는 구체적인 설명을 생략하고 그 차이점에 대해서만 구체적으로 설명한다.

본 발명의 쉬프트레지스터와 도 3에 도시된 종래 쉬프트레지스터의 구조적인 차이는 본 발명의 쉬프트레지스터에는 신호의 잡음을 제거하는 수단이 구비되어 있다는 것이다. 즉, 본 발명의 쉬프트레지스터에는 제1클럭신호(C1)가 인가됨에 따라 턴온되어 스타트전압(Vst)의 잡음을 제거하는 클리너트랜지스터(Tc)와 제1노드(ND1)의 충전전압에 의해 턴온되어 출력신호를 다음 단의 스타트전압으로 출력하는 제9트랜지스터(T9)로 구성된다.

이하에서는 상기와 같이 구성된 본 발명의 일실시예에 따른 쉬프트레지스터의 작동을 도 6에 도시된 파형을 참조하여 상세히 설명한다.

우선, 도 6에 도시된 바와 같이, 하이상태의 스타트전압(Vst1)이 첫단의 쉬프트레지스터로 입력됨과 동시에 로우상태의 제1클럭신호(C1) 및 하이상태의 제2클럭신호(C2)가 입력되면, 제1트랜지스터(T1) 및 제6트랜지스터(T6)은 턴온되어, 제1노드(ND1)가 고전위 구동전압(Vdd)에 의해 충전됨과 동시에 제2노드(ND2)가 방전된다. 따라서, 제7트랜지스터(T7)

는 턴온되고 제8트랜지스터(T8)는 턴오프되어, 로우의 제1클럭신호(C1)가 제7트랜지스터(T7)를 통해 출력되므로 출력 전압(Vout1)은 로우가 된다. 이때, 이 로우의 출력전압(Vout1)이 다음단 쉬프트레지스터의 스타트전압(Vst2)로 입력된다.

한편, 클리너트랜지스터(Tc)는 제1클럭신호(C1)에 의해 턴온된다. 따라서, 상기 클리너트랜지스터(Tc)는 제1클럭신호(C1)가 하이일 경우 턴온되고 로우인 경우 턴오프되어 클리너신호(CL1)은 제1클럭신호(C1)와 동일하게 된다. 다시 말해서, 제1클럭신호(C1)가 하이인 경우 상기 클리너트랜지스터(Tc)가 턴온되어 스타트전압(Vst1)가 접지로 빠져나가고 제1클럭신호(C1)가 로우인 경우에만 상기 클리너트랜지스터(Tc)가 턴오프되어 스타트전압(Vst)이 제1트랜지스터(T1) 및 제6트랜지스터(T6)에 인가되는 것이다.

일반적으로 제9트랜지스터(T9)로부터 출력되는 다음 단 쉬프트레지스터의 스타트전압(Vst2)에 포함되는 잡음은 상기 제9트랜지스터(T9)의 소스에 입력되는 제1클럭신호(C1)가 하이일 때만 발생한다. 따라서, 클리너트랜지스터(Tc)는 스타트전압(Vst2)에 포함되는 잡음과 동기화되어 작동하며, 그 결과 상기 클리너트랜지스터(Tc)의 턴온에 의해 스타트전압(Vst2)에 포함되는 잡음이 접지로 제거하는 것이다.

한편, 스타트전압(Vst1)이 로우가 되고 하이의 제1클럭신호(C1) 및 로우의 제2클럭신호(C2)가 입력되면, 제1트랜지스터(T1)이 턴오프되어 제1노드(ND1)은 플로팅(floating) 상태로 되어 상기 제7트랜지스터(T7)가 턴온상태를 유지하고 제5트랜지스터(T5)가 턴온되어 제2노드(ND2)가 방전된다. 결국, 하이의 제1클럭신호(C1)가 제7트랜지스터(T7)를 통해 출력되므로, 출력전압(Vout1)은 하이가 된다.

그 후, 스타트전압(Vst1)이 로우상태를 유지하면, 제1노드(ND1)은 플로팅상태를 계속유지하므로, 로우의 제1클럭신호(C1)가 출력전압(Vout1)으로서 출력된다. 이후, 다음단의 쉬프트레지스터로부터 하이의 출력전압에 의해 제4트랜지스터(T4)가 온되어 제1노드(ND1)의 플로팅상태가 제거되어 제7트랜지스터(T7)는 턴오프되어 로우의 출력전압(Vout1)이 로우가 되고, 이 상태를 계속해서 유지하게 된다.

상기와 같이, 스타트전압(Vst1)이 입력됨에 따라 첫단 쉬프트레지스터의 출력단에는 출력전압(Vout1)이 출력되며, 이 출력전압이 액정표시소자의 첫번째 게이트라인에 인가된다. 상기와 같이, 쉬프트레지스터에서의 출력전압(Vout1)이 출력되면, 그 다음 단의 쉬프트레지스터가 인에이블되어 다음 열의 게이트라인에 출력전압(Vout2)이 입력된다. 이때, 다음 단에 인가되는 스타트전압(Vst2)는 제9트랜지스터(T9)의 출력신호이다.

도 5에 도시된 바와 같이, 제9트랜지스터(T9)는 제7트랜지스터(T7)와 마찬가지로 제1노드(ND1)에 충전된 전압에 의해 턴온되기 때문에, 상기 제9트랜지스터(T9)는 제7트랜지스터(T7)와 동기화된다. 따라서, 출력전압(Vout1)이 게이트라인에 인가됨과 동시에 스타트전압(Vst2)이 다음 단의 쉬프트레지스터에 입력되는 것이다.

이와 같이, 별도의 제9트랜지스터(T9)를 구비하여 다음 단에 스타트전압(Vst2)을 인가하는 이유는 다음과 같다. 일반적으로 출력단에는 저항과 캐패시터가 연결되어 있기 때문에 상기 출력단으로는 감쇄된 신호(즉, 출력전압(Vout1))가 출력된다. 더욱이, 현재 단의 쉬프트레지스터와 다음 단의 쉬프트레지스터는 기판에 형성된 금속배선에 의해 연결되기 때문에, 외부의 회로 등과의 간섭에 의해 전하가 유도되거나 원하지 않는 전위가 발생하여 신호가 감쇄될 수 있다. 따라서, 출력전압(Vout1)이 스타트전압으로서 다음 단의 쉬프트레지스터에 입력되는 경우 출력단 자체의 감쇄효과와 금속배선을 통과하며 발생하는 감쇄효과에 의해 스타트전압이 크게 왜곡되어 다음 단의 쉬프트레지스터를 동작시키지 못하게 경우가 발생할 수 있게 된다. 그러나, 본 실시예와 같이 별도의 트랜지스터(T9)를 구비함으로써 상기와 같은 문제를 방지할 수 있게 되는 것이다. 물론, 감쇄의 영향이 크지 않을 경우 출력전압(Vout1) 자체를 스타트전압으로서 사용할 수도 있을 것이다.

상술한 바와 같이, 본 발명에 따른 액정표시소자의 쉬프트레지스터에서는 스타트전압에 포함되는 잡음을 제거하는 클리닝수단을 구비함으로써 쉬프트레지스터에 항상 정확한 신호만이 입력되도록 한다. 따라서, 잡음에 의한 오작동을 방지할 수 있게 되므로, 액정표시소자에 불필요한 신호가 인가되는 것을 효과적으로 방지할 수 있게 된다.

도 7은 본 발명의 제2실시예에 따른 액정표시소자의 쉬프트레지스터의 구조를 나타내는 도면이고, 도 8은 파형도이다.

도 7에 도시된 쉬프트레지스터의 구조 및 동작은 도 5에 도시된 쉬프트레지스터의 구조 및 동작과 유사하다. 다만, 스타트전압에 유입되는 잡음을 제거하기 위한 클리너트랜지스터(Tc)의 구조가 다를 뿐이다. 따라서, 이하의 설명에서는 도 5에 도시된 구조 및 동작에 대해서는 설명을 생략하고 클리너트랜지스터(Tc)의 구조 및 동작에 대해서만 상세히 설명한다.

도면에 도시된 바와 같이, 클리너트랜지스터(Tc)의 게이트는 제2노드(ND)에 연결되어 있고 소스에는 스타트전압(Vst1)이 입력되고 드레인은 접지에 연결되어 있다. 또한, 제1노드(ND1)에는 제9트랜지스터(T9)의 게이트가 접속되어 있다.

상기와 같이 구성된 쉬프트레지스터에서 도 8에 도시된 바와 같이 하이의 스타트전압(Vst)이 입력되고 로우 및 하이인 제1클럭신호(C1) 및 제2클럭신호(C2)가 입력되면, 제1트랜지스터(T1) 및 제6트랜지스터(T6)은 턴온되어, 제1노드(ND1)가 고전위 구동전압(Vdd)에 의해 충전됨과 동시에 제2노드(ND2)가 방전된다. 따라서, 제7트랜지스터(T7)는 턴온되고 제8트랜지스터(T8)는 턴오프되어, 로우의 제1클럭신호(C1)가 제7트랜지스터(T7)를 통해 출력되므로 게이트라인(G1)에는 로우의 출력전압(Vout1)이 인가된다. 이때, 상기 로우의 출력전압(Vout1)이 다음단 쉬프트레지스터의 스타트전압(Vst2)로 입력된다. 한편, 클리너트랜지스터(Tc)의 게이트에는 로우신호가 인가되므로, 스타트전압(Vst)은 쉬프트레지스터에 입력된다.

그후, 로우의 스타트전압(Vst), 하이 및 로우인 제1클럭신호(C1) 및 제2클럭신호(C2)가 입력되면, 제1트랜지스터(T1)이 턴오프되어 제1노드(ND1)은 플로팅(floating) 상태로 되어 상기 제7트랜지스터(T7)가 턴온상태를 유지하고 제5트랜지스터(T5)가 턴온되어 제2노드(ND2)가 방전된다. 따라서, 제7트랜지스터(T7)를 하이의 제1클럭신호(C1)가 출력되어 게이트라인(G1)으로 인가되며, 동시에 제9트랜지스터(T9)를 통해 제1클럭신호(C1)가 스타트전압(Vst2)으로서 다음 단의 쉬프트레지스터에 입력된다. 이때, 클리너트랜지스터(Tc)가 오프상태를 유지하여 스타트전압(Vst1)이 쉬프트레지스터로 인가된다.

그 후, 스타트전압(Vst1)이 로우상태를 유지하면, 제1노드(ND1)은 플로팅상태를 계속유지하므로, 로우의 제1클럭신호(C1)가 출력전압(Vout1)으로서, 게이트라인(G1)에 인가된다. 이때, 클리너트랜지스터(Tc)는 턴온되어 스타트전압에 혼입된 잡음을 접지로 제거하게 된다.

이후, 새로운 하이의 스타트전압이 입력될 때까지 출력전압(Vout1)이 로우상태를 유지하고 클리너트랜지스터(Tc)는 온상태를 유지하여 스타트전압에 혼입된 잡음을 제거한다.

도 5에 도시된 제1실시예의 쉬프트레지스터에서는 스타트전압의 잡음을 제거하기 위한 클리너트랜지스터(Tc)가 외부의 신호, 즉 클럭신호(C1,C2)에 의해 작동하는 반면에, 제2실시예에서는 클리너트랜지스터(Tc)가 쉬프트레지스터 자체의 신호, 즉 제2노드(ND2)에 충전된 전압에 의해 작동한다. 이와 같이, 자체의 신호에 따라 클리너트랜지스터(Tc)가 작동함에 따라 클리너트랜지스터(Tc)에 인가되는 신호의 파형은 도 5에 도시된 구조의 클리너트랜지스터에 인가되는 신호의 파형과 다르게 되며(즉, 도 7에 도시된 클리너트랜지스터(Tc)의 동작시기는 도 5에 도시된 클리너트랜지스터(Tc)의 동작시기와 다르게 된다), 그 결과 잡음제거효과도 다르게 될 수 있다.

앞에서 언급한 바와 같이, 신호에 혼입되는 잡음은 주로 출력단의 캐패시턴스 등에 의해 발생할 뿐만 아니라 쉬프트레지스터들을 연결하는 금속배선과 외부의 회로 사이의 간섭에 의해 발생할 수도 있다. 물론, 금속배선에 발생하는 잡음이 출력단에서 발생하는 잡음에 비해 작지만, 이 잡음에 의해서도 회로가 이상 작동할 수도 있게 된다.

제1실시예에서는 클리너트랜지스터(Tc)가 클럭신호(C1,C2)에 의해 주기적으로 온,오프되므로 클럭신호(C1,C2)가 출력단의 트랜지스터에 인가되는 주기에만 잡음을 제거하는데 반해, 본 실시예에서는 내부의 신호를 사용하여 클리너트랜지스터(Tc)에 도 8에 도시된 바와 같은 신호를 입력함으로써 잡음제거기간을 연장하여 외부회로와의 간섭에 의해 금속배선을 통과하는 신호에 혼입되는 잡음도 효과적으로 제거할 수 있게 된다.

한편, 도 5 및 도 7에 도시된 쉬프트레지스터는 제1클럭신호(C1) 및 제2클럭신호(C2)의 2상 클럭신호에 의해 작동하지만, 본 발명이 이러한 2상의 클럭신호에 의해서만 작동하는 것이 아니라 3상의 클럭신호에 의해서도 작동 가능할 것이다.

상기와 같이 구성된 쉬프트레지스터는 액정패널의 화상비표시영역에 형성되며, 화상표시영역에 형성된 게이트라인에 순차적으로 출력전압(즉, 주사신호)을 인가한다. 이 출력전압의 인가에 따라 상기 게이트라인에 접속된 박막트랜지스터가 동작하고, 그에 따라 화상신호가 화소에 인가되는 것이다.

발명의 효과

상술한 바와 같이, 본 발명에서는 클리너수단을 구비하여 신호에 혼입되는 잡음을 제거함으로써 쉬프트레지스터의 오동작을 효과적으로 방지할 수 있으며, 그 결과 액정표시소자의 불량률을 방지할 수 있게 된다.

(57) 청구의 범위

청구항 1.

클럭신호 및 스타트전압이 입력됨에 따라 출력전압을 차례로 출력하는 쉬프트레지스터; 및

상기 쉬프트레지스터에 연결되어 상기 스타트전압에 포함된 잡음을 제거하는 클리너수단으로 구성된 쉬프트레지스터구조.

청구항 2.

제1항에 있어서, 상기 클리너수단은 게이트에 클럭신호가 입력되는 클리너트랜지스터인 것을 특징으로 하는 쉬프트레지스터구조.

청구항 3.

제1항에 있어서, 상기 쉬프트레지스터가 비정질반도체로 이루어진 것을 특징으로 하는 쉬프트레지스터구조.

청구항 4.

제1항에 있어서, 상기 클리너수단은 게이트에 쉬프트레지스터로부터 출력되는 신호가 입력되는 클리너트랜지스터인 것을 특징으로 하는 쉬프트레지스터.

청구항 5.

제1항에 있어서, 상기 쉬프트레지스터의 출력신호와 동기화 되어 출력신호를 다음 단의 스타트전압으로 출력하는 제1트랜지스터를 추가로 포함하는 것을 특징으로 하는 쉬프트레지스터.

청구항 6.

제1항에 있어서, 상기 클럭신호는 2상 클럭신호를 포함하는 것을 특징으로 하는 쉬프트레지스터.

청구항 7.

제1항에 있어서, 상기 클럭신호는 3상 클럭신호를 포함하는 것을 특징으로 하는 쉬프트레지스터.

청구항 8.

제1항에 있어서, 상기 쉬프트레지스터는,

게이트에는 스타트전압이 인가되고 소스에는 구동전압이 인가되며, 드레인은 제1노드에 연결된 제2트랜지스터;

게이트 및 소스에는 구동전압이 인가되고 드레인은 제2노드에 연결된 제3트랜지스터;

게이트는 다음단 쉬프트레지스터의 출력단에 연결되고 소스는 제1노드에 연결되어 상기 제1노드를 방전시키고 상기 제2노드를 충전시키는 제4트랜지스터;

게이트는 제1노드에 연결되고 소스는 제2노드에 연결되어 제2노드를 방전시키는 제5트랜지스터;

게이트는 제1노드에 접속되고 소스에는 클럭신호가 입력되며, 드레인은 출력단에 접속되어 클럭신호를 출력전압으로 출력하는 제6트랜지스터; 및

게이트는 제2노드에 접속되고 소스는 출력단에 연결되어 상기 제6트랜지스터를 통해 출력된 클럭신호를 저전위로 저하시키는 제7트랜지스터로 이루어진 것을 특징으로 하는 쉬프트레지스터구조.

청구항 9.

게이트라인 및 데이터라인에 의해 정의되는 화소 및 상기 화소내에 형성된 박막트랜지스터를 구비하여 인가됨에 따라 화상을 표시하는 액정패널; 및

상기 게이트라인에 순차적으로 신호를 인가하며 입력되는 신호의 잡음을 제거하는 클리너수단을 포함하는 쉬프트레지스터로 구성된 액정표시소자.

청구항 10.

제9항에 있어서, 상기 쉬프트레지스터는,

게이트에는 스타트전압이 인가되고 소스에는 구동전압이 인가되며, 드레인은 제1노드에 연결된 제1트랜지스터;

게이트 및 소스에는 구동전압이 인가되고 드레인은 제2노드에 연결된 제2트랜지스터;

게이트는 다음단 쉬프트레지스터의 출력단에 연결되고 소스는 제1노드에 연결되어 상기 제1노드를 방전시키고 상기 제2노드를 충전시키는 제3트랜지스터;

게이트는 제1노드에 연결되고 소스는 제2노드에 연결되어 제2노드를 방전시키는 제4트랜지스터;

게이트는 제1노드에 접속되고 소스에는 클럭신호가 입력되며, 드레인은 출력단에 접속되어 클럭신호를 출력전압으로 출력하는 제5트랜지스터; 및

게이트는 제2노드에 접속되고 소스는 출력단에 연결되어 상기 제6트랜지스터를 통해 출력된 클럭신호를 저전위로 저하시키는 제6트랜지스터로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 11.

제10항에 있어서, 상기 클리너트랜지스터에는 클럭신호가 입력되는 것을 특징으로 하는 액정표시소자.

청구항 12.

제10항에 있어서, 상기 클리너트랜지스터에는 제2노드에 충전된 전압이 인가되는 것을 특징으로 하는 액정표시소자.

청구항 13.

제9항에 있어서,

상기 쉬프트레지스터에 클럭신호를 인가하는 클럭발생부; 및

액정패널에 화상정보를 인가하는 데이터구동부를 추가로 포함하는 것을 특징으로 하는 액정표시소자.

청구항 14.

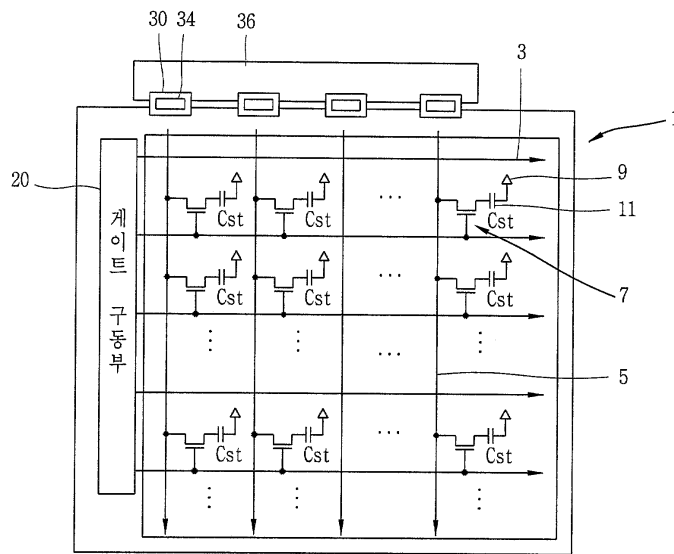
제9항에 있어서, 상기 쉬프트레지스터는 액정패널에 형성되는 것을 특징으로 하는 액정표시소자.

청구항 15.

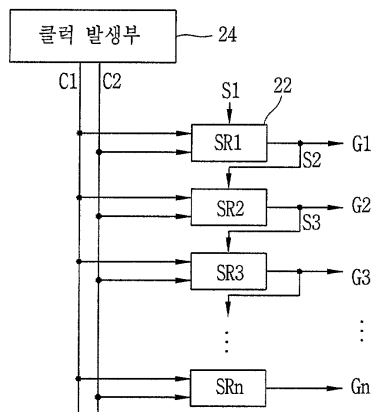
제9항에 있어서, 상기 쉬프트레지스터는 비정질반도체로 이루어진 것을 특징으로 하는 액정표시소자.

도면

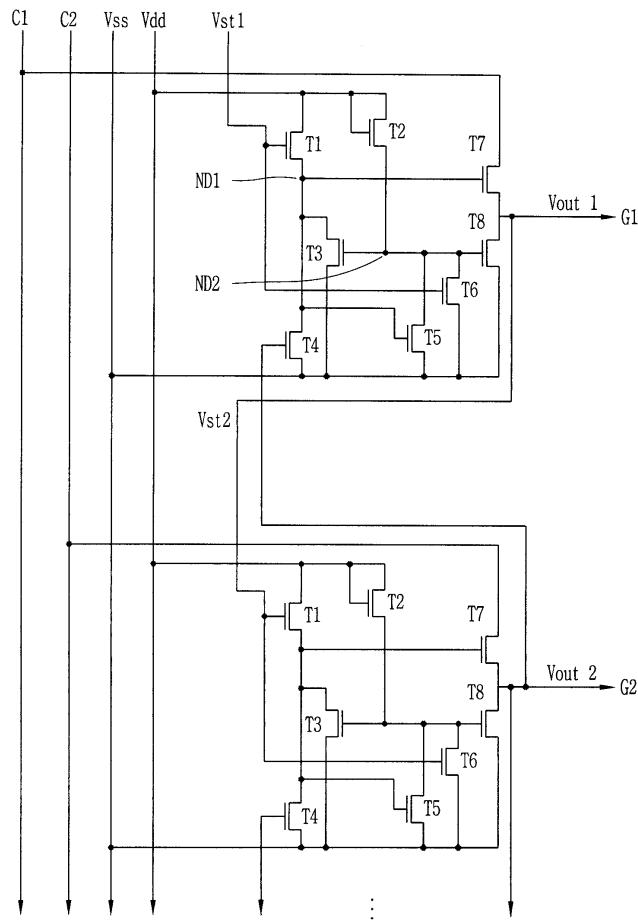
도면1



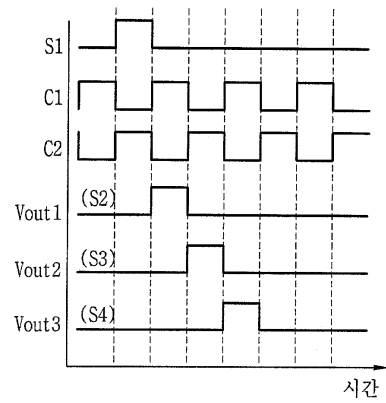
도면2



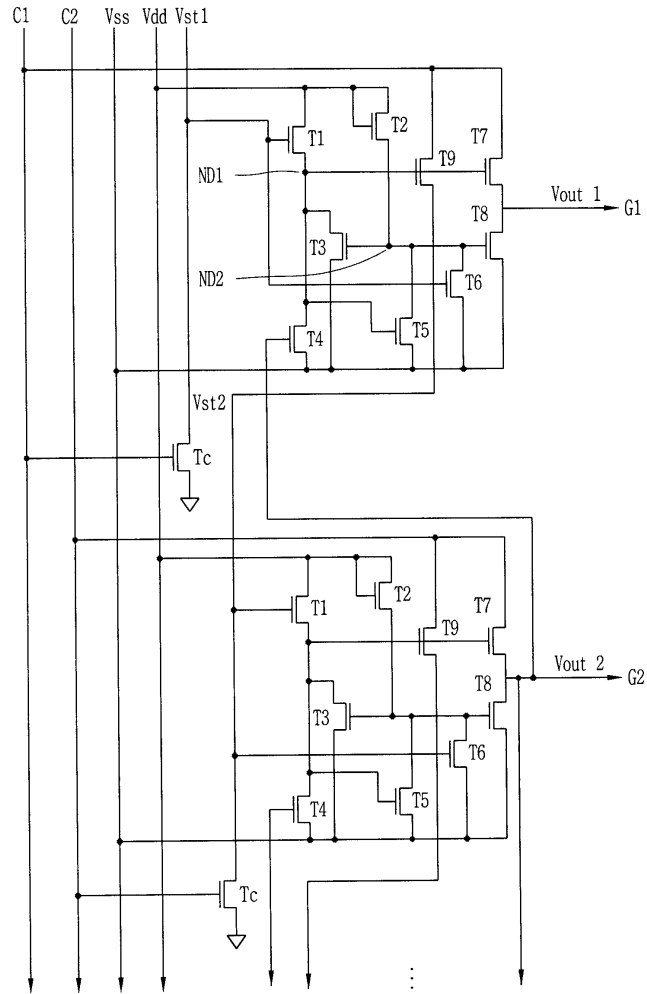
도면3



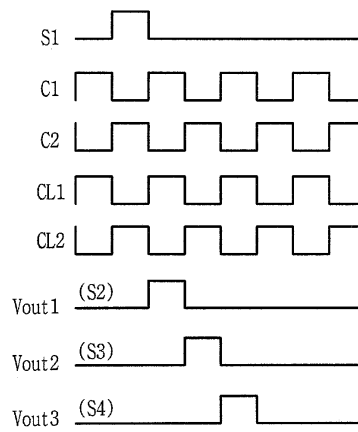
도면4



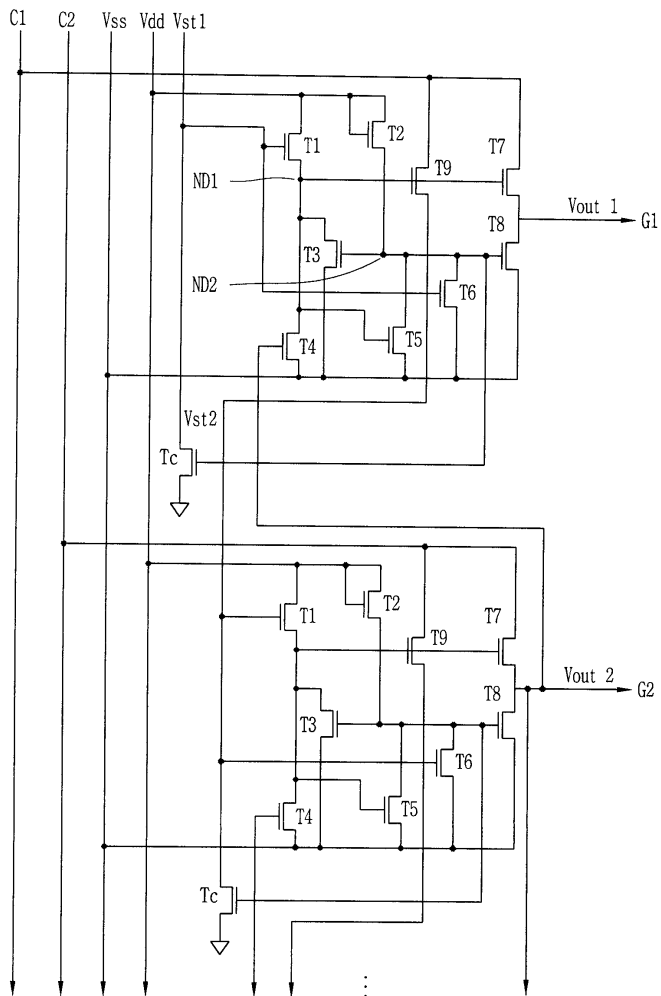
도면5



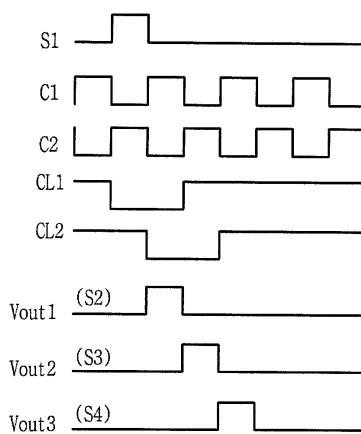
도면6



도면7



도면8



专利名称(译)	噪声消除的移位寄存器结构和具有该结构的液晶显示装置		
公开(公告)号	KR1020060078509A	公开(公告)日	2006-07-05
申请号	KR1020040118475	申请日	2004-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YONGHO 장용호 KIM BINN 김빈 YOON SOOYOUNG 윤수영		
发明人	장용호 김빈 윤수영		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G11C19/28 G09G2300/0408 G09G3/3677 G11C19/00		
代理人(译)	PARK , JANG WON		
其他公开文献	KR101078454B1		
外部链接	Espacenet		

摘要(译)

根据本发明的移位寄存器结构包括信号的清除器装置和移位寄存器，当连接输出输出电压作为时钟信号并输入启动电压时它连接到移位寄存器。清洁器装置可以是更清洁的晶体管，其中输入时钟信号输入到门的信号或从移位寄存器输出的信号。此外，在移位寄存器结构中，进一步具有输出信号和移位寄存器的动机并将输出信号输出到下一级的起始电压的第一晶体管。液晶，移位寄存器，噪声，清洁晶体管，启动电压。

