

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0076489
(43) 공개일자 2006년07월04일

(21) 출원번호 10-2004-0114912

(22) 출원일자 2004년12월29일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 조남욱
경기도 군포시 금정동 875 퇴계주공 352-1704호

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 쉬프트 레지스터와 이를 이용한 액정 표시장치

요약

본 발명은 트랜지스터에 인가되는 바이어스 스트레스를 억제하여 트랜지스터의 열화를 방지할 수 있도록 한 쉬프트 레지스터와 이를 이용한 액정 표시장치에 관한 것이다.

본 발명에 따른 쉬프트 레지스터는 적어도 하나의 프레임 단위로 상반되도록 반전되는 제 1 및 제 2 공급전압 입력라인에 접속되며, 스타트 펄스 입력라인과 제 1 논리 상태의 위상이 순차적으로 쉬프트되는 적어도 하나의 클럭신호 입력라인에 접속되어 순차적인 쉬프트 신호를 출력하는 복수의 스테이지를 구비하며, 상기 클럭신호는 프레임과 프레임 사이의 블랭킹 구간에 대응되는 클럭 마스크 신호에 의해 상기 블랭킹 구간 동안 상기 제 1 논리 상태와 다른 제 2 논리 상태로 유지되는 것을 특징으로 한다.

이러한 구성에 의하여 본 발명은 블랭킹 구간 동안 쉬프트 레지스터에 공급되는 클럭신호의 논리변화를 억제함으로써 클럭신호의 논리변화에 따라 트랜지스터에 인가되는 바이어스 스트레스를 방지할 수 있다. 이에 따라, 본 발명은 바이어스 스트레스로 인한 트랜지스터의 열화를 최소화할 수 있다.

대표도

도 6

색인어

바이어스 스트레스, 열화, 블랭킹, 클럭 마스크 신호

명세서

도면의 간단한 설명

도 1은 일반적인 쉬프트 레지스터를 나타내는 도면.

도 2는 도 1에 도시된 제 1 스테이지를 나타내는 회로도.

도 3은 도 2에 도시된 제 1 스테이지에 공급되는 구동 파형과 출력신호를 나타내는 파형도.

도 4a는 도 2에 도시된 트랜지스터에 인가되는 정극성 바이어스 스트레스로 인한 트랜지스터의 특성변화를 나타내는 파형도.

도 4b는 도 2에 도시된 트랜지스터에 인가되는 부극성 바이어스 스트레스로 인한 트랜지스터의 특성변화를 나타내는 파형도.

도 5는 본 발명의 실시 예에 따른 액정 표시장치를 나타내는 도면.

도 6은 도 5에 도시된 게이트 구동부를 구동하기 위한 구동 파형도.

도 7은 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터를 나타내는 도면.

도 8은 도 7에 도시된 제 1 및 제 2 스테이지를 나타내는 도면.

도 9는 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터를 나타내는 도면.

도 10은 도 9에 도시된 제 1 및 제 2 스테이지를 나타내는 도면.

도 11은 도 10에 도시된 각 스테이지를 구동하기 위한 구동 파형도.

< 도면의 주요 부분에 대한 부호설명 >

32, 132, 232 : 제 1 제어부 34, 134, 234 : 제 2 제어부

36, 136, 236 : 출력 버퍼부 113 : 데이터 구동부

114 : 게이트 구동부 115 : 데이터 라인

116 : 게이트 라인 117 : 액정패널

118 : 전압 발생부 120, 220 : 쉬프트 레지스터

151 : 타이밍 제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 쉬프트 레지스터와 이를 이용한 액정 표시장치에 관한 것으로, 특히 트랜지스터에 인가되는 바이어스 스트레스를 억제하여 트랜지스터의 열화를 방지할 수 있도록 한 쉬프트 레지스터와 이를 이용한 액정 표시장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 대두되고 있다. 이러한 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 발광 표시장치(Light Emitting Display) 등이 있다.

평판 표시장치 중 액정 표시장치는 액정셀들이 형성된 액정패널과 액정패널을 구동하기 위한 구동 회로를 구비한다.

액정패널에는 게이트 라인들과 데이터 라인들이 교차하게 배열되고 그 게이트 라인들과 데이터 라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터 라인들 중 어느 하나에 접속된다. 박막 트랜지스터의 게이트 단자는 게이트 라인들 중 어느 하나에 접속된다.

구동회로는 게이트 라인들을 구동하기 위한 게이트 구동부와, 데이터 라인들을 구동하기 위한 데이터 구동부를 구비한다. 게이트 구동부는 스캔펄스를 게이트 라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 순차적으로 구동한다. 데이터 구동부는 게이트 라인들 중 어느 하나에 스캔펄스가 공급될 때마다 데이터 라인들 각각에 비디오 신호를 공급한다. 이에 따라, 액정 표시장치는 액정셀 별로 비디오 신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절하여 화상을 표시한다.

이러한 구동회로에서 게이트 구동부는 쉬프트 레지스터를 이용하여 게이트 라인들을 순차적으로 구동시키기 위한 스캔펄스를 발생한다. 그리고, 데이터 구동부는 쉬프트 레지스터를 이용하여 외부로부터 입력되는 비디오 신호를 일정 단위씩 순차적으로 샘플링할 수 있도록 하는 샘플링 신호를 발생한다. 이렇게 쉬프트 레지스터를 포함하는 게이트 구동부 및 데이터 구동부는 폴리 실리콘을 이용하는 경우 액정패널에 형성(내장)된다.

도 1은 일반적인 쉬프트 레지스터를 나타내는 도면이다.

도 1을 참조하면, 일반적인 쉬프트 레지스터는 게이트 스타트 펄스(GSP) 입력라인에 종속적으로 접속되고 4개의 클럭 신호(C1 내지 C4) 중 3개의 클럭신호를 공급받는 n개의 스테이지들(ST1 내지 STn)을 구비한다.

제 1 내지 제 4 클럭신호(C1 내지 C4)는 각각의 입력라인을 통하여 C4, C1, C2, C3의 순서로 한 클럭씩 위상 지연된 형태로 공급된다. 그리고, 한 프레임 단위로 공급되는 게이트 스타트 펄스(GSP)는 제 4 클럭신호(C4)와 동기되도록 공급된다.

제 1 스테이지(ST1)는 게이트 스타트 펄스(GSP)와 4개의 클럭신호(C1 내지 C3) 중 3개의 클럭신호를 이용하여 제 1 출력신호(SO1)를 출력한다. 그리고, 제 2 내지 제 n 스테이지들(ST2 내지 STn)은 전단의 스테이지(ST1 내지 STn-1)로부터의 출력신호(SO1 내지 SO_{n-1})와 4개의 클럭신호(C1 내지 C3) 중 3개의 클럭신호를 이용하여 제 2 내지 제 n 출력신호(SO2 내지 SO_n)를 출력한다. 다시 말하여, 쉬프트 레지스터를 구성하는 제 1 내지 제 n 스테이지(ST1 내지 STn)는 위상이 쉬프트되는 제 1 내지 제 n 출력신호(SO1 내지 SO_n)를 순차적으로 출력한다.

이러한 제 1 내지 제 n 출력신호(SO1 내지 SO_n)는 액정패널의 게이트 라인들을 순차적으로 구동하기 위한 스캔펄스로 공급되거나, 데이터 구동부 내에서 비디오 신호를 순차적으로 샘플링하기 위한 샘플링 신호로 공급된다.

도 2는 도 1에 도시된 n개의 스테이지 중 제 1 스테이지(ST1)의 상세 회로도도를 나타내는 도면이다.

도 2를 참조하면, 제 1 스테이지(ST1)는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)에 따라 제 1 노드(Q)를 제어하는 제 1 제어부(32)와, 제 3 클럭신호(C3) 및 게이트 스타트 펄스(GSP)에 따라 제 2 노드(QB)를 제어하는 제 2 제어부(34)와, 제 1 노드(Q) 및 제 2 노드(QB)의 전압에 따라 제 1 클럭신호(C1) 및 제 1 공급전압(VSS) 중 어느 하나를 선택하여 출력하기 위한 출력 버퍼부(36)를 구비한다.

제 1 제어부(32)는 게이트 스타트 펄스(GSP) 입력라인에 다이오드 형태로 접속된 제 1 트랜지스터(T1)와, 제 1 트랜지스터(T1)와 제 4 클럭신호(C4) 입력라인 및 제 1 노드(Q)에 접속된 제 2 트랜지스터(T2)와, 제 2 트랜지스터(T2)와 제 1 공급전압(VSS) 및 제 2 노드(QB)에 접속된 제 3 트랜지스터(T3)를 구비한다.

제 2 제어부(34)는 제 2 공급전압(VDD) 입력라인과 제 3 클럭신호(C3) 입력라인 및 제 2 노드(QB) 사이에 접속된 제 4 트랜지스터(T4)와, 제 2 노드(QB)와 게이트 스타트 펄스(GSP) 입력라인 및 제 1 공급전압(VSS) 입력라인에 접속된 제 5 트랜지스터(T5)를 구비한다.

출력 버퍼부(36)는 제 1 노드(Q)의 전압에 따라 제 1 클럭신호(C1)를 선택하여 출력라인으로 공급하는 제 6 트랜지스터(T6)와, 제 2 노드(QB)의 전압에 따라 제 1 공급전압(VSS)을 선택하여 출력라인으로 공급하는 제 7 트랜지스터(T7)를 구비한다. 이때, 제 7 트랜지스터(T7)는 제 2 노드(QB)의 전압에 따라 제 1 제어부(32)의 제 3 트랜지스터(T3)와 듀얼(Dual)로 동작한다.

이러한, 제 1 스테이지(ST1)에는 도 3에 도시된 바와 같이 제 1 내지 제 4 클럭신호(C1 내지 C4) 중 C1, C3, C4가 공급된다. 도 3에 있어서, 게이트 스타트 펄스(GSP)를 포함하여 제 1 내지 제 4 클럭신호(C1 내지 C4)는 10V 이상, 예를 들면 약 25V의 스윙 전압을 가지는 정극성 타입으로 공급된다. 그리고, 설명상의 편의를 위하여 17V의 전위를 하이 상태로, -8V의 전위를 로우 상태로 가정하여 설명하기로 한다. 또한, 제 1 스테이지(ST1)에 공급되는 제 1 공급전압(VSS)은 대략 -8V이고, 제 2 공급전압(VDD)으로 공급되는 대략 17V로 가정하기로 한다. 이러한 구동 파형을 참조하여 제 1 스테이지(ST1)의 구체적인 동작을 살펴보면 다음과 같다.

t1 기간에서는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)가 동시에 하이 상태가 되면 제 1 및 제 2 트랜지스터(T1, T2)가 턴-온되어 제 1 노드(Q)는 제 1 하이 상태(H1)가 된다. 이에 따라, 제 1 노드(Q)에 게이트 단자가 접속된 제 6 트랜지스터(T6)는 서서히 턴-온된다. 그리고, 하이 상태의 게이트 스타트 펄스(GSP)에 의해 제 5 트랜지스터(T5)가 턴-온됨으로써 제 1 공급전압(VSS)이 제 2 노드(QB)에 공급된다. 이에 따라, 제 2 노드(QB)에 게이트 단자가 접속된 제 3 및 제 7 트랜지스터(T3, T7)는 턴-오프된다. 따라서, t1 기간 동안 제 1 스테이지(ST1)의 출력라인에는 제 6 트랜지스터(T6)를 통해 로우 상태의 제 1 클럭신호(C1)가 공급된다.

이어서, t2 기간에서는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)가 로우 상태가 되고 제 1 클럭신호(C1)가 하이 상태가 됨으로써 제 1 및 제 2 트랜지스터(T1, T2)는 턴-오프되고 제 6 트랜지스터(T6)는 확실한 턴-온 상태가 된다. 즉, 제 1 노드(Q)는 제 1 및 제 2 트랜지스터(T1, T2)의 턴-오프로 인하여 플로팅 상태가 되므로 제 6 트랜지스터(T6)의 게이트와 소오스 사이에 존재하는 기생 커패시터(Cgs)에 의해 제 1 클럭신호(C1)의 하이 상태 전압에 따라 부트스트래핑(Bootstrapping)되어 상기 제 1 하이 상태(H1)보다 높은 제 2 하이 상태(H2)가 되기 때문에 확실한 턴-온 상태가 된다. 이렇게 제 6 트랜지스터(T6)가 확실하게 턴-온됨으로써 하이 상태의 제 1 클럭신호(C1)가 제 1 스테이지(ST1)의 출력라인으로 빠르게 공급된다. 따라서, 제 1 스테이지(ST1)는 하이 상태의 출력신호(SO1)를 출력하게 된다.

그런 다음, t3 기간에서는 제 1 클럭신호(C1)가 로우 상태가 되고 제 2 클럭신호(C2)가 하이 상태가 됨으로써 플로팅 상태의 제 1 노드(Q)의 전압은 다시 제 1 하이 상태(H1)로 천이되고 제 6 트랜지스터(T6)는 턴-온 상태를 유지한다. 이에 따라, 제 1 스테이지(ST1)는 턴-온된 제 6 트랜지스터(T6)를 통해 로우 상태의 제 1 클럭신호(C1)를 출력신호(SO1)로 출력하게 된다.

이어서, t4 기간에서는 제 3 클럭신호(C3)가 하이 상태가 되어 제 4 트랜지스터(T4)가 턴-온됨으로써 제 2 공급전압(VDD) 입력라인으로부터의 제 2 공급전압(VDD)이 제 2 노드(QB)에 공급된다. 이에 따라, 제 3 및 제 7 트랜지스터(T3, T7)가 동시에 턴-온됨으로써 제 1 공급전압(VSS) 입력라인으로부터의 제 1 공급전압(VSS)이 제 3 트랜지스터(T3)를 통해 제 1 노드(Q)에 공급된다. 제 1 노드(Q)에 공급된 제 1 공급전압(VSS)으로 인하여 제 6 트랜지스터(T6)는 턴-오프된다. 따라서, 제 1 스테이지(ST1)는 제 7 트랜지스터(T7)를 통해 제 1 공급전압(VSS) 입력라인으로부터의 제 1 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다.

마지막으로 t5 기간에서는 제 4 클럭신호(C4)만이 하이 상태가 됨으로써 제 2 트랜지스터(T2)가 턴-온되고 제 1, 제 4 및 제 5 트랜지스터(T1, T4, T5)는 턴-오프 상태를 유지한다. 이에 따라, 제 1 노드(Q) 및 제 2 노드(QB)는 플로팅되어 이전 상태를 유지한다. 따라서, t5 기간에서는 상술한 t4 기간에서와 같이 제 3 및 제 7 트랜지스터(T3, T7)가 턴-온 상태를 유지하므로 제 1 스테이지(ST1)의 출력신호(SO1)는 제 7 트랜지스터(T7)를 통해 공급되는 제 1 공급전압(VSS) 입력라인으로부터의 제 1 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다.

한편, 제 2 내지 제 n 스테이지(ST2 내지 STn)는 이전단 스테이지(ST1 내지 STn-1)로부터의 출력신호를 게이트 스타트 펄스(GSP)로 공급받음과 아울러 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 3개의 클럭신호를 공급받아 상술한 제 1 스테이지(ST1)와 동일한 방식으로 구동되어 출력신호(SO2 내지 SOn)를 출력하게 된다.

이와 같은, 각 스테이지(ST1 내지 STn)의 트랜지스터들 중 제 2 노드(QB)의 전압에 따라 동작하는 제 3 및 제 7 트랜지스터(T3, T7)는 구동시 바이어스 스트레스(Bias Stress)를 인가받게 된다. 즉, 제 3 및 제 7 트랜지스터(T3, T7)는 한 프레임 중 하이 상태의 출력신호를 출력하는 기간을 제외한 기간 동안 바이어스 스트레스를 받게 된다. 이러한, 바이어스 스트레스로 인하여 제 3 및 제 7 트랜지스터(T3, T7)의 열화가 발생하게 된다. 이에 따라, 제 3 및 제 7 트랜지스터(T3, T7)가

도 4a에 도시된 바와 같이 정극성 바이어스 스트레스(Positive Bias Stress)를 인가받게 될 경우 게이트 전압에 따라 출력 전류 특성이 오른쪽으로 쉬프트하게 된다. 즉, 게이트 전압에 따라 출력전류 특성이 오른쪽으로 쉬프트될 경우 동일한 전류를 출력하기 위해서는 게이트 전압을 증가시켜야 하는 문제점이 있다. 이와 반대로, 제 3 및 제 7 트랜지스터(T3, T7)가 도 4b에 도시된 바와 같이 부극성 바이어스 스트레스(Negative Bias Stress)를 인가받게 될 경우 게이트 전압에 따라 출력전류 특성이 왼쪽으로 쉬프트하게 된다. 즉, 게이트 전압에 따라 출력전류 특성이 왼쪽으로 쉬프트될 경우 동일한 전류를 출력하기 위해서는 게이트 전압을 감소시켜야 하는 문제점이 있다. 또한, 각 스테이지(ST1 내지 STn)에는 프레임에 상관없이 제 1 내지 제 4 클럭신호(C1, C2, C3, C4)가 항상 순차적으로 인가되기 때문에 클럭신호(C1, C2, C3, C4)에 의한 바이어스 스트레스로 인하여 제 3 및 제 7 트랜지스터(T3, T7)가 열화된다.

따라서, 일반적인 쉬프트 레지스터는 각 스테이지(ST1 내지 STn)의 제 2 노드(QB)에 접속된 제 3 및 제 7 트랜지스터(T3, T7)에 인가되는 바이어스 스트레스를 방지하여야만 트랜지스터의 열화를 방지할 수 있으며, 회로의 오동작을 방지할 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 상기와 같은 문제점을 해결하기 위하여 본 발명은 트랜지스터에 인가되는 바이어스 스트레스를 억제하여 트랜지스터의 열화를 방지할 수 있도록 한 쉬프트 레지스터와 이를 이용한 액정 표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 쉬프트 레지스터는 적어도 하나의 프레임 단위로 상반되도록 반전되는 제 1 및 제 2 공급전압 입력라인에 접속되며, 스타트 펄스 입력라인과 제 1 논리 상태의 위상이 순차적으로 쉬프트되는 적어도 하나의 클럭신호 입력라인에 접속되어 순차적인 쉬프트 신호를 출력하는 복수의 스테이지를 구비하며, 상기 클럭신호는 프레임과 프레임 사이의 블랭킹 구간 동안 상기 제 1 논리 상태와 다른 제 2 논리 상태로 유지되는 것을 특징으로 한다.

상기 쉬프트 레지스터에서 상기 제 1 및 제 2 공급전압은 상기 블랭킹 구간의 일부 구간에서 상반되도록 반전되는 것을 특징으로 한다.

본 발명의 실시 예에 따른 액정 표시장치는 데이터 라인들과 게이트 라인들에 의해 정의되는 영역에 액정셀이 형성된 액정 패널과, 상기 데이터 라인들에 데이터를 공급하기 위한 데이터 구동부와, 스타트 펄스 입력라인과 제 1 논리 상태의 위상이 순차적으로 쉬프트되는 적어도 하나의 클럭신호 입력라인에 접속되어 상기 게이트 라인들을 구동하기 위한 스캔펄스를 발생하는 복수의 스테이지를 포함하는 게이트 구동부와, 상기 데이터 구동부와 상기 게이트 구동부를 제어하며 프레임과 프레임 사이의 블랭킹 구간에 대응되는 클럭 마스크 신호를 발생하는 타이밍 제어부를 구비하며; 상기 클럭신호는 상기 클럭 마스크 신호에 따라 상기 블랭킹 구간 동안 상기 제 1 논리 상태와 다른 제 2 논리 상태로 유지되는 것을 특징으로 한다.

상기 액정 표시장치에서 상기 클럭 마스크 신호는 상기 블랭킹 구간의 일부 구간 동안만 제 1 논리상태를 가지며 상기 블랭킹 구간의 나머지 및 상기 프레임 구간 동안에는 제 2 논리상태를 가지는 것을 특징으로 한다. 또한, 상기 액정 표시장치는 상기 클럭 마스크 신호에 따라 프레임 단위로 상반되도록 반전되는 제 1 및 제 2 공급전압과, 제 1 및 제 2 공급전압과 다른 제 3 공급전압을 발생하여 상기 게이트 구동부에 공급하는 전압 발생부를 더 구비하는 것을 특징으로 한다. 이때, 상기 제 1 및 제 2 공급전압은 상기 블랭킹 구간의 일부 구간에서 상반되도록 반전되는 것을 특징으로 한다.

이하에서, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.

도 5는 본 발명의 실시 예에 따른 액정 표시장치를 나타내는 도면이고, 도 6은 도 5에 도시된 게이트 구동부를 구동하기 위한 구동 파형도이다.

도 5 및 도 6을 참조하면, 본 발명의 실시 예에 따른 액정 표시장치는 데이터 라인들(115)과 게이트 라인들(116)에 의해 정의되는 영역에 액정셀(Clc)이 형성된 액정패널(117)과; 데이터 라인(115)에 데이터를 공급하기 위한 데이터 구동부(113)와; 프레임 사이의 블랭킹(Blanking) 구간을 제외한 프레임 구간 동안 게이트 라인들(116)에 공급되는 스캔펄스를 발생하는 게이트 구동부(114)와; 블랭킹 구간에 대응되는 클럭 마스크 신호(Cm)를 발생하며 데이터 구동부(113)와 게이트 구동부(114)를 제어하는 타이밍 제어부(118)와, 클럭 마스크 신호(Cm)에 따라 제 1 및 제 2 공급전압(VDD1, VDD2)을 반전시켜 게이트 드라이버(116)에 공급하는 전압 발생부(118)를 구비한다.

액정패널(117)은 두 장의 유리기관 사이에 액정이 주입되며, 그 하부 유리기관 상에 데이터 라인들(115)과 게이트 라인들(116)이 상호 직교되도록 형성되고, 그 교차 영역에는 박막 트랜지스터가 형성된다. 이 박막 트랜지스터는 게이트 라인(116)에 공급되는 스캔펄스에 응답하여 데이터 라인들(115) 상의 데이터를 액정셀(Clc)에 공급하게 된다. 이를 위하여, 박막 트랜지스터의 게이트 전극은 게이트 라인(116)에 접속되며, 소스 전극은 데이터 라인(115)에 접속된다. 그리고 박막 트랜지스터의 드레인 전극은 액정셀(Clc)의 화소전극에 접속된다.

타이밍 제어부(151)는 도시하지 않은 디지털 비디오 카드로부터 공급되는 디지털 데이터(Data)를 재정렬하여 데이터 구동부(113)에 공급한다. 또한, 타이밍 제어부(151)는 자신에게 입력되는 수평/수직 동기신호(H, V)를 이용하여 데이터 구동부(113)를 제어하기 위한 데이터 제어신호(DCS)를 발생하여 데이터 구동부(113)에 공급한다.

그리고, 타이밍 제어부(151)는 수평/수직 동기신호(H, V)를 이용하여 하나의 프레임과 프레임 사이의 블랭킹 기간(Blanking Time)에 대응되는 클럭 마스크 신호(Cm)를 발생하여 전압 발생부(118)에 공급한다. 이때, 클럭 마스크 신호(Cm)은 블랭킹 기간의 일부 구간 동안 제 1 논리상태를 가지며 블랭킹 기간의 일부 구간을 제외한 전구간 동안 제 1 논리상태와 다른 제 2 논리상태를 가지게 된다. 여기서, 제 1 논리상태의 클럭 마스크 신호(Cm)는 적어도 하나의 프레임 사이마다 발생될 수 있다.

한편, 타이밍 제어부(151)는 수평/수직 동기신호(H, V)를 이용하여 게이트 구동부(114)를 제어하기 위한 게이트 스타트 펄스(GSP), 제 1 내지 제 4 클럭신호(C1 내지 C4)를 포함하는 게이트 제어신호를 발생한다. 이때, 제 1 내지 제 4 클럭신호(C1 내지 C4)는 각각의 클럭신호 입력라인을 통하여 C4, C1, C2, C3의 순서로 제 1 논리상태의 위상이 한 클럭씩 지연된 형태로 공급된다. 그리고, 한 프레임 단위로 공급되는 게이트 스타트 펄스(GSP)는 제 4 클럭신호(C4)와 동기되도록 공급된다. 여기서, 타이밍 제어부(151)는 발생된 클럭 마스크 신호(Cm)의 제 1 논리상태의 구간 동안 게이트 구동부(114)에 공급되는 제 1 내지 제 4 클럭신호(C1, C2, C3, C4)를 차단하게 된다. 즉, 타이밍 제어부(151)는 클럭 마스크 신호(Cm)의 제 1 논리상태의 구간 동안 게이트 구동부(114)의 구동을 정지시키기 위하여 제 1 논리상태와 다른 제 2 논리상태로 유지되는 제 1 내지 제 4 클럭신호(C1, C2, C3, C4)를 발생하여 게이트 구동부(114)에 공급한다.

전압 발생부(118)는 타이밍 제어부(151), 게이트 구동부(113) 및 데이터 구동부(114)를 포함하는 액정 표시장치의 구동에 필요한 전원을 발생한다. 또한, 전압 발생부(118)는 서로 다른 전압을 가지는 제 1 및 제 2 공급전압(VDD1, VDD2)을 발생하고, 발생된 제 1 및 제 2 공급전압(VDD1, VDD2)을 타이밍 제어부(151)로부터 공급되는 클럭 마스크 신호(Cm)에 따라 반전시켜 게이트 구동부(114)에 공급한다. 그리고, 전압 발생부(118)는 제 1 및 제 2 공급전압(VDD1, VDD2)과 다른 제 3 공급전압(VSS)을 발생하여 게이트 구동부(114)에 공급하며, 공통전압(Vcom)을 발생하여 액정패널(117)에 공급한다.

데이터 구동부(113)는 데이터 제어신호(DCS) 중 도트클럭(Dclk)에 따라 타이밍 제어부(151)로부터 공급되는 데이터들(Data)을 샘플링 후 1 라인분씩 래치하고, 래치된 데이터들(Data)을 정극성/부극성 감마전압에 대응하는 아날로그 데이터로 변환한다. 그리고, 데이터 구동부(113)는 타이밍 제어부(151)로부터 공급되는 데이터 제어신호(DCS)에 따라 변환된 아날로그 데이터를 액정패널(117)의 데이터 라인들(115)에 공급한다.

게이트 구동부(114)는 타이밍 제어부(151)로부터 공급되는 게이트 스타트 펄스(GSP)와 게이트 쉬프트 클럭에 응답하여 스캔펄스 즉, 게이트 하이펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압을 액정셀(Clc)의 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터를 포함한다. 이 스캔펄스에 응답하여 박막 트랜지스터는 턴-온된다. 박막 트랜지스터가 턴-온될 때 데이터 라인(115) 상의 아날로그 데이터는 액정셀(Clc)의 화소전극에 공급된다. 이러한, 게이트 구동부(114)는 타이밍 제어부(151)로부터 제 2 논리상태로 유지되어 공급되는 제 1 내지 제 4 클럭신호(C1, C2, C3, C4)에 따라 블랭킹 기간의 일부 구간 동안 동작을 멈추게 된다.

도 7은 도 5에 도시된 게이트 구동부(114)의 쉬프트 레지스터(120)를 나타내는 도면이다.

도 7을 참조하면, 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터(120)는 게이트 스타트 펄스(GSP) 입력라인에 종속적으로 접속되고 4개의 클럭신호(C1 내지 C4) 중 3개의 클럭신호와 전압 발생부(118)로부터 제 1 내지 제 3 공급전압(VDD1, VDD2, VSS)을 공급받는 n개의 스테이지들(ST1 내지 STn)을 구비한다.

제 1 스테이지(ST1)는 게이트 스타트 펄스(GSP)와 4개의 클럭신호(C1 내지 C3) 중 3개의 클럭신호를 이용하여 제 1 출력신호(SO1)를 출력한다. 그리고, 제 2 내지 제 n 스테이지들(ST2 내지 STn)은 전단의 스테이지(ST1 내지 STn-1)로부터

터의 출력신호(S01 내지 S0n-1)와 4개의 클럭신호(C1 내지 C3) 중 3개의 클럭신호를 이용하여 제 2 내지 제 n 출력신호(S02 내지 S0n)를 출력한다. 다시 말하여, 쉬프트 레지스터를 구성하는 제 1 내지 제 n 스테이지(ST1 내지 STn)는 위상이 쉬프트되는 제 1 내지 제 n 출력신호(S01 내지 S0n)를 순차적으로 출력한다.

이러한 제 1 내지 제 n 출력신호(S01 내지 S0n)는 액정패널(117)의 게이트 라인들(116)을 순차적으로 구동하기 위한 스캔펄스로 공급되거나, 데이터 구동부(113) 내에서 디지털 데이터를 순차적으로 샘플링하기 위한 샘플링 신호로 공급된다.

도 8은 도 7에 도시된 n개의 스테이지 중 제 1 및 제 2 스테이지(ST1, ST2)의 상세 회로도를 나타내는 도면이다.

도 8을 참조하면, 제 1 스테이지(ST1)는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)에 따라 제 1 노드(Q)를 제어하는 제 1 제어부(132)와, 제 3 클럭신호(C3)와 게이트 스타트 펄스(GSP)를 이용하여 제 1 및 제 2 공급전압(VDD1, VDD2)에 따라 제 2 노드(QB1) 및 제 3 노드(QB2)를 제어하는 제 2 제어부(134)와, 제 1 노드(Q)와 제 2 노드(QB1) 및 제 3 노드(QB2)의 전압에 따라 제 1 클럭신호(C1) 및 제 3 공급전압(VSS) 중 어느 하나를 선택하여 출력라인으로 출력하는 출력 버퍼부(136)를 구비한다.

제 1 제어부(132)는 게이트 스타트 펄스(GSP) 입력라인에 다이오드 형태로 접속된 제 1 트랜지스터(T11)와, 제 1 트랜지스터(T11)와 제 4 클럭신호(C4) 입력라인 및 제 1 노드(Q)에 접속된 제 2 트랜지스터(T12)와, 제 1 노드(Q)와 제 3 공급전압(VSS) 입력라인 및 제 3 노드(QB2)에 접속된 제 3 트랜지스터(T13)와, 제 1 노드(Q)와 제 3 공급전압(VSS) 입력라인 및 제 2 노드(QB1)에 접속되는 제 4 트랜지스터(T14)를 구비한다.

제 2 제어부(134)는 제 1 공급전압(VDD1) 입력라인과 제 3 클럭신호(C3) 입력라인 및 제 2 노드(QB1) 사이에 접속된 제 5 트랜지스터(T15)와, 제 2 노드(QB1)와 게이트 스타트 펄스(GSP) 입력라인 및 제 3 공급전압(VSS) 입력라인에 접속된 제 6 트랜지스터(T16)와, 제 2 공급전압(VDD2) 입력라인과 제 3 클럭신호(C3) 입력라인 및 제 3 노드(QB2) 사이에 접속되는 제 7 트랜지스터(T17)와, 제 3 노드(QB2)와 게이트 스타트 펄스(GSP) 입력라인 및 제 3 공급전압(VSS) 입력라인에 접속된 제 8 트랜지스터(T18)를 구비한다.

출력 버퍼부(136)는 제 1 노드(Q)의 전압에 따라 제 1 클럭신호(C1)를 선택하여 출력라인으로 공급하는 제 9 트랜지스터(T19)와, 제 2 노드(QB1)의 전압에 따라 제 3 공급전압(VSS)을 선택하여 출력라인으로 공급하는 제 10 트랜지스터(T110)와, 제 3 노드(QB2)의 전압에 따라 제 3 공급전압(VSS)을 선택하여 출력라인으로 공급하는 제 11 트랜지스터(T111)를 구비한다. 이때, 제 10 트랜지스터(T110)는 제 2 노드(QB1)의 전압에 따라 제 1 제어부(132)의 제 4 트랜지스터(T14)와 듀얼(Dual)로 동작하고, 제 11 트랜지스터(T111)는 제 3 노드(QB2)의 전압에 따라 제 1 제어부(132)의 제 3 트랜지스터(T13)와 듀얼로 동작한다.

이러한 제 1 스테이지(ST1)의 구체적인 동작을 도 6과 결부하여 설명하면 다음과 같다. 도 6에 있어서, 게이트 스타트 펄스(GSP)를 포함하여 제 1 내지 제 4 클럭신호(C1 내지 C4)는 10V 이상, 예를 들면 약 25V의 스윙 전압을 가지는 정극성 타입으로 공급된다. 그리고, 설명상의 편의를 위하여 17V의 전위를 하이 상태로, -8V의 전위를 로우 상태로 가정하여 설명하기로 한다. 또한, 제 1 스테이지(ST1)에 공급되는 제 3 공급전압(VSS)은 대략 -8V이고, 제 1 공급전압(VDD1)은 대략 17V인 하이 상태이고, 제 2 공급전압(VDD2)은 대략 -8V인 로우 상태이다. 이때, 제 1 및 제 2 공급전압(VDD1, VDD2)은 클럭 마스크 신호(Cm)에 따라 전압 공급부(118)에 의해 프레임 단위로 반전되며 서로 상반된 전압을 가지게 된다.

홀수 프레임의 t1 기간에서는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)가 동시에 하이 상태가 되어 제 1 및 제 2 트랜지스터(T11, T12)가 턴-온됨으로써 제 1 노드(Q)는 제 1 하이 상태(H1)가 된다. 이에 따라, 제 1 노드(Q)에 게이트 단자가 접속된 제 9 트랜지스터(T19)는 서서히 턴-온된다. 그리고, 하이 상태의 게이트 스타트 펄스(GSP)에 의해 제 6 및 제 8 트랜지스터(T16, T18)가 턴-온됨으로써 제 3 공급전압(VSS)이 제 2 노드(QB1) 및 제 3 노드(QB2)에 공급된다. 이에 따라, 제 2 노드(QB1)에 게이트 단자가 접속된 제 4 및 제 10 트랜지스터(T14, T110)가 턴-오프됨과 동시에 제 3 노드(QB2)에 게이트 단자가 접속된 제 3 및 제 11 트랜지스터(T13, T111)가 턴-오프된다. 따라서, t1 기간 동안 제 1 스테이지(ST1)의 출력라인에는 제 9 트랜지스터(T19)를 통해 로우 상태의 제 1 클럭신호(C1)가 공급된다.

이어서, 홀수 프레임의 t2 기간에서는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)가 로우 상태가 되고 제 1 클럭신호(C1)가 하이 상태가 됨으로써 제 1 및 제 2 트랜지스터(T11, T12)는 턴-오프되고 제 9 트랜지스터(T19)는 확실한 턴-온 상태가 된다. 즉, 제 1 노드(Q)는 제 1 및 제 2 트랜지스터(T11, T12)의 턴-오프로 인하여 플로팅 상태가 되므로 제 9 트랜지스터(T19)의 게이트와 소오스 사이에 존재하는 기생 커패시터(Cgs)에 의해 제 1 클럭신호(C1)의 하이 상태 전압에

따라 부트스트래핑(Bootstrapping)되어 상기 제 1 하이 상태(H1)보다 높은 제 2 하이 상태(H2)가 되기 때문에 확실한 턴-온 상태가 된다. 이렇게 제 9 트랜지스터(T19)가 확실하게 턴-온됨으로써 하이 상태의 제 1 클럭신호(C1)가 제 1 스테이지(ST1)의 출력라인으로 빠르게 공급된다. 따라서, 제 1 스테이지(ST1)는 하이 상태의 출력신호(SO1)를 출력하게 된다.

그런 다음, 홀수 프레임의 t3 기간에서는 제 1 클럭신호(C1)가 로우 상태가 되고 제 2 클럭신호(C2)가 하이 상태가 됨으로써 플로팅 상태의 제 1 노드(Q)의 전압은 다시 제 1 하이 상태(H1)로 천이되고 제 9 트랜지스터(T19)는 턴-온 상태를 유지한다. 이에 따라, 제 1 스테이지(ST1)는 턴-온된 제 9 트랜지스터(T19)를 통해 로우 상태의 제 1 클럭신호(C1)를 출력신호(SO1)로 출력하게 된다.

이어서, 홀수 프레임의 t4 기간에서는 제 3 클럭신호(C3)가 하이 상태가 되어 제 5 및 7 트랜지스터(T15, T17)가 턴-온됨으로써 제 1 공급전압(VDD1) 입력라인으로부터의 하이 상태의 제 1 공급전압(VDD1)은 제 2 노드(QB1)에 공급되고, 제 2 공급전압(VDD2) 입력라인으로부터의 로우 상태의 제 2 공급전압(VDD2)은 제 3 노드(QB2)에 공급된다. 이에 따라, 제 2 노드(QB1)에 공급되는 하이 상태의 제 1 공급전압(VDD1)에 의해 제 4 및 제 10 트랜지스터(T14, T110)가 동시에 턴-온됨으로써 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)이 제 4 트랜지스터(T14)를 통해 제 1 노드(Q)에 공급된다. 제 1 노드(Q)에 공급된 제 3 공급전압(VSS)으로 인하여 제 9 트랜지스터(T19)는 턴-오프된다. 따라서, 제 1 스테이지(ST1)는 제 10 트랜지스터(T110)를 통해 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다. 이때, 제 3 및 제 11 트랜지스터(T13, T111)는 제 3 노드(QB2)에 공급되는 로우 상태의 제 2 공급전압(VDD2)에 의해 오프 상태를 유지하게 되며 로우 상태의 제 2 공급전압(VDD2)에 의해 부극성 바이어스 스트레스(Negative Bias Stress)가 인가되게 된다.

마지막으로 홀수 프레임의 t5 기간에서는 제 4 클럭신호(C4)만이 하이 상태가 됨으로써 제 2 트랜지스터(T12)가 턴-온되고 제 4 및 제 10 트랜지스터(T14, T110)를 제외한 다른 트랜지스터(T11, T13, T15, T16, T17, T18, T19, T111)는 턴-오프 상태를 유지한다. 이에 따라, 제 1 노드(Q) 및 제 2 노드(QB1)는 플로팅되어 이전상태를 유지한다. 따라서, t5 기간에서는 상술한 t4 기간에서와 같이 제 4 및 제 10 트랜지스터(T14, T110)가 턴-온 상태를 유지하므로 제 1 스테이지(ST1)의 출력신호(SO1)는 제 10 트랜지스터(T110)를 통해 공급되는 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다.

한편, 제 2 스테이지(ST2)는 제 1 스테이지(ST1)와 동일한 구성을 가지며, 제 1 스테이지(ST1)로부터의 출력신호(SO1)를 게이트 스타트 펄스(GSP)로 공급받음과 아울러 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 C1, C2, C4를 공급받아 상술한 제 1 스테이지(ST1)와 동일한 방식으로 각 트랜지스터(T21, T22, T23, T24, T25, T26, T27, T28, T29, T210, T211)를 구동하여 출력신호(SO2)를 출력하게 된다. 그리고, 제 3 내지 제 n 스테이지(ST3 내지 STn) 각각은 이전단 스테이지(ST2 내지 STn-1)로부터의 출력신호를 게이트 스타트 펄스(GSP)로 공급받음과 아울러 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 3개의 클럭신호를 공급받아 상술한 제 1 스테이지(ST1)와 동일한 방식으로 구동되어 출력신호를 출력하게 된다.

이와 같은, n개의 스테이지(ST1 내지 STn) 각각은 홀수 프레임 동안 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 3개의 클럭신호와, 하이 상태의 제 1 공급전압(VDD1)과, 로우 상태의 제 2 공급전압(VDD2)을 이용하여 출력신호(SO)를 출력하게 된다. 이때, 홀수 프레임 동안 각 스테이지(ST1 내지 STn)의 출력라인을 로우 상태로 유지시키기 위하여 듀얼로 동작하는 제 4 및 제 10 트랜지스터(Ti4, Ti10: 단, i는 1 내지 n 중 어느 하나인 양의 정수)에는 하이 상태의 제 1 공급전압(VDD1)에 의해 정극성 바이어스 스트레스(Positive Bias Stress)가 인가되는 반면에 제 3 및 제 11 트랜지스터(Ti3, Ti11)에는 로우 상태의 제 2 공급전압(VDD2)에 의해 부극성 바이어스 스트레스가 인가된다.

한편, n개의 스테이지(ST1 내지 STn)로부터 출력신호가 모두 출력된 이후로부터 다음 프레임, 즉 짝수 프레임의 시작 사이인 블랭킹 구간의 일부 구간에서는 클럭 마스트 신호(Cm)에 의해 제 1 내지 제 4 클럭신호(C1, C2, C3, C4)가 모두 로우 상태가 됨으로써 각 트랜지스터(T)에 인가되는 바이어스 스트레스를 방지하게 된다. 이에 따라, 본 발명의 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 클럭신호(C1, C2, C3, C4)의 지속적인 논리변화에 의해 트랜지스터에 인가되는 바이어스 스트레스를 억제하여 트랜지스터의 열화를 방지할 수 있다.

그리고, 상기 블랭킹 구간의 일부 구간에서 쉬프트 레지스터(120)에 공급되는 제 1 공급전압(VDD1)은 하이 상태에서 로우 상태로 반전되는 반면에 제 2 공급전압(VDD2)은 로우 상태에서 하이 상태로 반전되게 된다.

한편, 짝수 프레임의 t1 기간, t2 기간 및 t3 기간은 상술한 홀수 프레임의 t1 기간, t2 기간 및 t3 기간과 동일한 동작에 의해 출력신호를 출력한다.

그리고, 짝수 프레임의 t4 기간에서는 제 3 클럭신호(C3)가 하이 상태가 되어 제 5 및 7 트랜지스터(T15, T17)가 턴-온됨으로써 제 1 공급전압(VDD1) 입력라인으로부터의 로우 상태의 제 1 공급전압(VDD1)은 제 2 노드(QB1)에 공급되고, 제 2 공급전압(VDD2) 입력라인으로부터의 하이 상태의 제 2 공급전압(VDD2)은 제 3 노드(QB2)에 공급된다. 이에 따라, 제 3 노드(QB2)에 공급되는 하이 상태의 제 2 공급전압(VDD2)에 의해 제 3 및 제 11 트랜지스터(T13, T111)가 동시에 턴-온됨으로써 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)이 제 3 트랜지스터(T13)를 통해 제 1 노드(Q)에 공급된다. 제 1 노드(Q)에 공급된 제 3 공급전압(VSS)으로 인하여 제 9 트랜지스터(T19)는 턴-오프된다. 따라서, 제 1 스테이지(ST1)는 제 11 트랜지스터(T111)를 통해 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다. 이때, 제 4 및 제 10 트랜지스터(T14, T110)는 제 2 노드(QB1)에 공급되는 로우 상태의 제 1 공급전압(VDD1)에 의해 오프 상태를 유지하게 되며 로우 상태의 제 1 공급전압(VDD1)에 의해 부극성 바이어스 스트레스트가 인가되게 된다.

마지막으로 짝수 프레임의 t5 기간에서는 제 4 클럭신호(C4)만이 하이 상태가 됨으로써 제 2 트랜지스터(T12)가 턴-온되고 제 3 및 제 11 트랜지스터(T13, T111)를 제외한 다른 트랜지스터(T11, T14, T15, T16, T17, T18, T19, T110)는 턴-오프 상태를 유지한다. 이에 따라, 제 1 노드(Q) 및 제 3 노드(QB2)는 플로팅되어 이전상태를 유지한다. 따라서, t5 기간에서는 상술한 t4 기간에서와 같이 제 3 및 제 11 트랜지스터(T13, T111)가 턴-온 상태를 유지하므로 제 1 스테이지(ST1)의 출력신호(SO1)는 제 11 트랜지스터(T111)를 통해 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다.

한편, 제 2 스테이지(ST2)는 제 1 스테이지(ST1)와 동일한 구성을 가지며, 제 1 스테이지(ST1)로부터의 출력신호(SO1)를 게이트 스타트 펄스(GSP)로 공급받음과 아울러 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 C1, C2, C4를 공급받아 상술한 제 1 스테이지(ST1)와 동일한 방식으로 각 트랜지스터(T21, T22, T23, T24, T25, T26, T27, T28, T29, T210, T211)를 구동하여 출력신호(SO2)를 출력하게 된다. 그리고, 제 3 내지 제 n 스테이지(ST3 내지 STn) 각각은 이전단 스테이지(ST2 내지 STn-1)로부터의 출력신호를 게이트 스타트 펄스(GSP)로 공급받음과 아울러 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 3개의 클럭신호를 공급받아 상술한 제 1 스테이지(ST1)와 동일한 방식으로 구동되어 출력신호를 출력하게 된다.

이와 같은, n개의 스테이지(ST1 내지 STn) 각각은 짝수 프레임 동안 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 3개의 클럭신호와, 로우 상태의 제 1 공급전압(VDD1)과, 하이 상태의 제 2 공급전압(VDD2)을 이용하여 출력신호(SO)를 출력하게 된다. 이때, 짝수 프레임 동안 각 스테이지(ST1 내지 STn)의 출력라인을 로우 상태로 유지시키기 위하여 듀얼로 동작하는 제 4 및 제 10 트랜지스터(Ti4, Ti10: 단, i는 1 내지 n 중 어느 하나인 양의 정수)에는 로우 상태의 제 1 공급전압(VDD1)에 의해 부극성 바이어스 스트레스트가 인가되는 반면에 제 3 및 제 11 트랜지스터(Ti3, Ti11)에는 하이 상태의 제 2 공급전압(VDD2)에 의해 정극성 바이어스 스트레스트가 인가된다.

이와 같은, 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 블랭킹 구간 동안 제 1 및 제 2 공급전압(VDD1, VDD2)을 서로 상반되도록 반전시킴과 아울러 클럭신호들(C1, C2, C3, C4)의 논리변화를 억제하게 된다. 이에 따라, 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 프레임 단위로 제 3 및 제 11 트랜지스터(Ti3, Ti11)(또는 제 4 및 제 10 트랜지스터(Ti4, Ti10))에 정극성 및 부극성 바이어스 스트레스트를 교번적으로 인가하게 된다. 따라서, 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 바이어스 스트레스트로 인한 제 3 및 제 11 트랜지스터(Ti3, Ti11)(또는 제 4 및 제 10 트랜지스터(Ti4, Ti10))의 열화를 방지할 수 있으며, 클럭신호들(C1, C2, C3, C4)의 논리변화에 의한 스트레스트를 억제시킬 수 있다.

도 9는 본 발명의 제 2 실시 예에 따른 게이트 구동부의 쉬프트 레지스터(220)를 나타내는 도면이다.

도 9를 참조하면, 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터(220)는 게이트 스타트 펄스(GSP) 입력라인에 종속적으로 접속되고 4개의 클럭신호(C1 내지 C4) 중 하나의 클럭신호와 전압 발생부(118)로부터 제 1 내지 제 3 공급전압(VDD1, VDD2, VSS)을 공급받는 n+1개의 스테이지들(ST1 내지 STn+1)을 구비한다.

제 1 스테이지(ST1)는 게이트 스타트 펄스(GSP)와 제 2 스테이지(ST2)로부터의 출력신호(SO2) 및 4개의 클럭신호(C1 내지 C3) 중 하나의 클럭신호를 이용하여 제 1 출력신호(SO1)를 출력한다. 그리고, 제 2 내지 제 n 스테이지들(ST2 내지 STn)은 이전 단의 스테이지(ST1 내지 STn-1)로부터의 출력신호(SO1 내지 SOn-1)와 다음 단의 스테이지(ST3 내지 STn+1)로부터의 출력신호(SO3 내지 SOn+1) 및 4개의 클럭신호(C1 내지 C3) 중 하나의 클럭신호를 이용하여 제 2 내지 제 n 출력신호(SO2 내지 SOn)를 출력한다. 다시 말하여, 쉬프트 레지스터를 구성하는 제 1 내지 제 n 스테이지(ST1 내지 STn)는 위상이 쉬프트되는 제 1 내지 제 n 출력신호(SO1 내지 SOn)를 순차적으로 출력한다.

이러한 제 1 내지 제 n 출력신호(SO1 내지 SO_n)는 액정패널(117)의 게이트 라인들(116)을 순차적으로 구동하기 위한 스캔펄스로 공급되거나, 데이터 구동부(113) 내에서 디지털 데이터를 순차적으로 샘플링하기 위한 샘플링 신호로 공급된다.

도 10은 도 9에 도시된 n개의 스테이지 중 제 1 및 제 2 스테이지(ST1, ST2)의 상세 회로도를 나타내는 도면이다.

도 10을 참조하면, 제 1 스테이지(ST1)는 게이트 스타트 펄스(GSP)와 제 2 스테이지(ST2)로부터의 출력신호(SO2)에 따라 제 1 노드(Q)를 제어하는 제 1 제어부(232)와, 제 1 노드(Q)의 전압과 제 1 및 제 2 공급전압(VDD1, VDD2)에 따라 제 2 노드(QB1) 및 제 3 노드(QB2)를 제어하는 제 2 제어부(234)와, 제 1 노드(Q)와 제 2 노드(QB1) 및 제 3 노드(QB2)의 전압에 따라 제 1 클럭신호(C1) 및 제 3 공급전압(VSS) 중 어느 하나를 선택하여 출력라인으로 출력하는 출력 버퍼부(236)를 구비한다.

제 1 제어부(232)는 게이트 스타트 펄스(GSP) 입력라인에 다이오드 형태로 접속되며 제 1 노드(Q)에 접속된 제 1 트랜지스터(T11)와, 제 1 노드(Q)와 제 3 공급전압(VSS) 입력라인 및 제 2 스테이지(ST2)로부터의 출력신호(SO2) 입력라인에 접속된 제 2 트랜지스터(T12)와, 제 1 노드(Q)와 제 3 공급전압(VSS) 입력라인 및 제 3 노드(QB2)에 접속된 제 3 트랜지스터(T13)와, 제 1 노드(Q)와 제 3 공급전압(VSS) 입력라인 및 제 2 노드(QB1)에 접속된 제 4 트랜지스터(T14)를 구비한다.

제 2 제어부(234)는 제 2 노드(QB1)와 제 3 공급전압(VSS) 입력라인 및 제 2 공급전압(VDD2) 입력라인에 접속된 제 5 트랜지스터(T15)와, 제 1 공급전압(VDD1) 입력라인에 다이오드 형태로 접속되며 제 2 노드(QB1)에 접속된 제 6 트랜지스터(T16)와, 제 2 노드(QB1)와 제 3 공급전압(VSS) 입력라인 및 제 1 노드(Q)에 접속된 제 7 트랜지스터(T17)와, 제 2 공급전압(VDD2) 입력라인에 다이오드 형태로 접속되며 제 3 노드(QB2)에 접속된 제 8 트랜지스터(T18)와, 제 3 노드(QB2)와 제 3 공급전압(VSS) 입력라인 및 제 1 공급전압(VDD1) 입력라인에 접속된 제 9 트랜지스터(T19)와, 제 3 노드(QB2)와 제 3 공급전압(VSS) 입력라인 및 제 1 노드(Q)에 접속된 제 10 트랜지스터(T110)를 구비한다.

출력 버퍼부(236)는 제 1 노드(Q)의 전압에 따라 제 1 클럭신호(C1)를 선택하여 출력라인으로 공급하는 제 11 트랜지스터(T111)와, 제 2 노드(QB1)의 전압에 따라 제 3 공급전압(VSS)을 선택하여 출력라인으로 공급하는 제 12 트랜지스터(T112)와, 제 3 노드(QB2)의 전압에 따라 제 3 공급전압(VSS)을 선택하여 출력라인으로 공급하는 제 13 트랜지스터(T113)를 구비한다. 이때, 제 12 트랜지스터(T112)는 제 2 노드(QB1)의 전압에 따라 제 1 제어부(232)의 제 4 트랜지스터(T14)와 듀얼(Dual)로 동작하고, 제 13 트랜지스터(T113)는 제 3 노드(QB2)의 전압에 따라 제 1 제어부(232)의 제 3 트랜지스터(T13)와 듀얼로 동작한다.

도 11은 도 10에 도시된 스테이지를 구동하기 위한 구동파형을 나타내는 파형도이다.

도 10을 도 11과 결부하여 스테이지의 구체적인 동작을 설명하면 다음과 같다. 도 11에 있어서, 게이트 스타트 펄스(GSP)를 포함하여 제 1 내지 제 4 클럭신호(C1 내지 C4)는 10V 이상, 예를 들면 약 25V의 스윙 전압을 가지는 정극성 타입으로 공급된다. 그리고, 설명상의 편의를 위하여 17V의 전위를 하이 상태로, -8V의 전위를 로우 상태로 가정하여 설명하기로 한다. 또한, 제 1 스테이지(ST1)에 공급되는 제 3 공급전압(VSS)은 대략 -8V이고, 제 1 공급전압(VDD1)은 대략 17V인 하이 상태이고, 제 2 공급전압(VDD2)은 대략 -8V인 로우 상태이다. 이때, 제 1 및 제 2 공급전압(VDD1, VDD2)은 클럭 마스크 신호(Cm)에 따라 전압 공급부(118)에 의해 프레임 단위로 반전되며 서로 상반된 전압을 가지게 된다.

홀수 프레임에서는 먼저 하이 상태의 제 1 공급전압(VDD1)에 의해 제 6 및 제 9 트랜지스터(T16, T19)가 온 상태를 유지함으로써 제 2 노드(QB1)에는 하이 상태의 제 1 공급전압(VDD1)이 공급되고, 제 3 노드(QB2)에는 로우 상태의 제 3 공급전압(VSS)이 공급된다. 이에 따라, 제 2 노드(QB1)의 전압으로 인하여 제 4 및 제 12 트랜지스터(T14, T112)가 턴-온되어 제 1 노드(Q)에는 제 3 공급전압(VSS)이 공급된다.

이어서, 홀수 프레임의 t1기간에서는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)가 동시에 하이 상태가 되면 제 1 트랜지스터(T11)가 턴-온되어 제 1 노드(Q)는 제 1 하이 상태(H1)가 된다. 이때, 제 1 노드(Q)에는 t1기간 이전에 공급되는 제 3 공급전압(VSS)보다 높은 게이트 스타트 펄스(GSP)가 공급되기 때문에 게이트 스타트 펄스(GSP)를 충전하여 제 1 하이 상태(H1)가 된다. 제 1 노드(Q)에 제 1 하이 상태(H1)의 전압이 충전됨에 따라 제 7 및 제 10 트랜지스터(T17, T110)가 턴-온된다. 이에 따라, 제 2 노드(QB1) 및 제 3 노드(QB2) 각각에는 제 3 공급전압(VSS)이 공급됨으로써 제 4 및 제 12 트랜지스터(T14, T112)가 턴-오프되고, 제 3 및 제 13 트랜지스터(T13, T113)는 턴-오프 상태를 유지한다. 따라서, t1 기간 동안 제 1 스테이지(ST1)의 출력라인에는 제 11 트랜지스터(T111)를 통해 로우 상태의 제 1 클럭신호(C1)가 공급된다.

이어서, 홀수 프레임의 t2 기간에서는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)가 로우 상태가 되고 제 1 클럭신호(C1)가 하이 상태가 됨으로써 제 1 트랜지스터(T11)는 턴-오프되고 제 11 트랜지스터(T111)는 확실한 턴-온 상태가 된다. 즉, 제 1 노드(Q)는 제 1 트랜지스터(T11)의 턴-오프로 인하여 플로팅 상태가 되므로 제 11 트랜지스터(T111)의 게이트와 소오스 사이에 존재하는 기생 커패시터(Cgs)에 의해 제 1 클럭신호(C1)의 하이 상태 전압에 따라 부트스트래핑되어 상기 제 1 하이 상태(H1)보다 높은 제 2 하이 상태(H2)가 되기 때문에 확실한 턴-온 상태가 된다. 이렇게 제 11 트랜지스터(T111)가 확실하게 턴-온됨으로써 하이 상태의 제 1 클럭신호(C1)가 제 1 스테이지(ST1)의 출력라인으로 빠르게 공급된다. 따라서, 제 1 스테이지(ST1)는 하이 상태의 출력신호(SO1)를 출력하게 된다. 이때, 제 2 스테이지(ST2)는 t2기간 동안 제 1 스테이지(ST1)로부터 출력되는 하이 상태의 출력신호(SO1)에 의해 상술한 t1 기간에서와 같이 제 1 노드(Q)를 충전하게 된다.

그런 다음, 홀수 프레임의 t3 기간에서는 제 1 클럭신호(C1)가 로우 상태가 되고 제 2 클럭신호(C2)가 하이 상태가 됨으로써 제 2 스테이지(ST2)의 출력신호(SO2) 입력라인을 통해 공급되는 하이 상태의 출력신호에 따라 제 3 트랜지스터(T13)가 턴-온된다. 제 3 트랜지스터(T13)가 턴-온됨으로써 제 1 노드(Q)에는 제 3 공급전압(VSS)이 공급됨에 따라 제 11 트랜지스터(T111)가 턴-오프된다. 또한, 제 1 노드(Q)에 제 3 공급전압(VSS)이 공급되어 제 7 및 제 10 트랜지스터(T17, T110)가 턴-오프됨으로써 제 2 노드(QB1)에는 하이 상태의 제 1 공급전압(VDD1)이 공급되고, 제 3 노드(QB2)에는 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)이 공급된다. 이에 따라, 제 2 노드(QB1)에 공급되는 하이 상태의 제 1 공급전압(VDD1)에 의해 제 4 및 제 12 트랜지스터(T14, T112)가 턴-온됨으로써 제 1 스테이지(ST1)는 턴-온된 제 12 트랜지스터(T12)를 통해 공급되는 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다. 이때, 제 2 스테이지(ST2)는 t3기간 동안 상술한 t2기간에서와 같이 하이 상태의 제 2 클럭신호(C2)를 출력신호(SO2)로 출력하게 된다.

이어서, 홀수 프레임의 t4 기간에서는 제 3 클럭신호(C3)가 하이 상태가 되어 제 4, 6, 9 및 제 12 트랜지스터(T14, T16, T19, T112)가 턴-온 상태를 유지함으로써 제 1 스테이지(ST1)는 제 3 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다.

한편, 제 2 스테이지(ST2)는 제 1 스테이지(ST1)와 동일한 구성을 가지며, 제 1 스테이지(ST1)로부터의 출력신호(SO1)와 제 3 스테이지(ST3)로부터의 출력신호(SO3) 및 제 2 클럭신호(C2)를 공급받아 상술한 제 1 스테이지(ST1)와 동일한 방식으로 각 트랜지스터(T21, T22, T23, T24, T25, T26, T27, T28, T29, T210, T211, T212, T213)를 구동하여 출력신호(SO2)를 출력하게 된다.

이와 같은, n개의 스테이지(ST1 내지 STn) 각각은 홀수 프레임 동안 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 하나의 클럭신호와, 다음 단 스테이지의 출력신호와, 하이 상태의 제 1 공급전압(VDD1) 및 로우 상태의 제 2 공급전압(VDD2)을 이용하여 출력신호(SO)를 출력하게 된다. 이때, 홀수 프레임 동안 각 스테이지(ST1 내지 STn)의 출력라인을 로우 상태로 유지시키기 위하여 듀얼로 동작하는 제 4 및 제 12 트랜지스터(Ti4, Ti12: 단, i는 1 내지 n 중 어느 하나인 양의 정수)에는 하이 상태의 제 1 공급전압(VDD1)에 의해 정극성 바이어스 스트레스가 인가되는 반면에 제 3 및 제 13 트랜지스터(Ti3, Ti13)에는 로우 상태의 제 2 공급전압(VDD2)에 의해 부극성 바이어스 스트레스가 인가된다.

한편, n개의 스테이지(ST1 내지 STn)로부터 출력신호가 모두 출력된 이후로부터 다음 프레임, 즉 짝수 프레임의 시작 사이인 블랭킹 구간의 일부 구간에서는 클럭 마스트 신호(Cm)에 의해 제 1 내지 제 4 클럭신호(C1, C2, C3, C4)가 모두 로우 상태가 됨으로써 각 트랜지스터(T)에 인가되는 바이어스 스트레스를 방지하게 된다. 이에 따라, 본 발명의 제 2 실시예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 클럭신호(C1, C2, C3, C4)의 지속적인 논리변화에 의해 트랜지스터에 인가되는 바이어스 스트레스를 억제하여 트랜지스터의 열화를 방지할 수 있다.

그리고, 상기 블랭킹 구간의 일부 구간에서 쉬프트 레지스터(220)에 공급되는 제 1 공급전압(VDD1)은 하이 상태에서 로우 상태로 반전되는 반면에 제 2 공급전압(VDD2)은 로우 상태에서 하이 상태로 반전되게 된다.

한편, 짝수 프레임에서는 먼저 하이 상태의 제 2 공급전압(VDD2)에 의해 제 5 및 제 8 트랜지스터(T15, T18)가 온 상태를 유지함으로써 제 2 노드(QB1)에는 제 3 공급전압(VSS)이 공급되고, 제 3 노드(QB2)에는 하이 상태의 제 2 공급전압(VDD2)이 공급된다. 이에 따라, 제 3 노드(QB2)의 전압으로 인하여 제 3 및 제 13 트랜지스터(T13, T113)가 턴-온되어 제 1 노드(Q)에는 제 3 공급전압(VSS)이 공급된다.

이어서, 짝수 프레임의 t1기간에서는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)가 동시에 하이 상태가 되면 제 1 트랜지스터(T11)가 턴-온되어 제 1 노드(Q)는 제 1 하이 상태(H1)가 된다. 이때, 제 1 노드(Q)에는 t1기간 이전에 공급되는

제 3 공급전압(VSS)보다 높은 게이트 스타트 펄스(GSP)가 공급되기 때문에 게이트 스타트 펄스(GSP)를 충전하여 제 1 하이 상태(H1)가 된다. 제 1 노드(Q)에 제 1 하이 상태(H1)의 전압이 충전됨에 따라 제 7 및 제 10 트랜지스터(T17, T110)가 턴-온된다. 이에 따라, 제 2 노드(QB1) 및 제 3 노드(QB2) 각각에는 제 3 공급전압(VSS)이 공급됨으로써 제 4 및 제 12 트랜지스터(T14, T112)는 턴-오프되고, 제 3 및 제 13 트랜지스터(T13, T113)는 턴-오프 상태를 유지한다. 따라서, t1 기간 동안 제 1 스테이지(ST1)의 출력라인에는 제 11 트랜지스터(T111)를 통해 로우 상태의 제 1 클럭신호(C1)가 공급된다.

이어서, 짝수 프레임의 t2 기간에서는 게이트 스타트 펄스(GSP)와 제 4 클럭신호(C4)가 로우 상태가 되고 제 1 클럭신호(C1)가 하이 상태가 됨으로써 제 1 트랜지스터(T11)는 턴-오프되고 제 11 트랜지스터(T111)는 확실한 턴-온 상태가 된다. 즉, 제 1 노드(Q)는 제 1 트랜지스터(T11)의 턴-오프로 인하여 플로팅 상태가 되므로 제 11 트랜지스터(T111)의 게이트와 소오스 사이에 존재하는 기생 커패시터(Cgs)에 의해 제 1 클럭신호(C1)의 하이 상태 전압에 따라 부트스트래핑되어 상기 제 1 하이 상태(H1)보다 높은 제 2 하이 상태(H2)가 되기 때문에 확실한 턴-온 상태가 된다. 이렇게 제 11 트랜지스터(T111)가 확실하게 턴-온됨으로써 하이 상태의 제 1 클럭신호(C1)가 제 1 스테이지(ST1)의 출력라인으로 빠르게 공급된다. 따라서, 제 1 스테이지(ST1)는 하이 상태의 출력신호(SO1)를 출력하게 된다. 이때, 제 2 스테이지(ST2)는 t2기간에 제 1 스테이지(ST1)로부터 출력되는 하이 상태의 출력신호(SO1)에 의해 상술한 t1 기간에서와 같이 제 1 노드(Q)를 충전하게 된다.

그런 다음, 짝수 프레임의 t3 기간에서는 제 1 클럭신호(C1)가 로우 상태가 되고 제 2 클럭신호(C2)가 하이 상태가 됨으로써 제 2 스테이지(ST2)의 출력신호(SO2) 입력라인을 통해 공급되는 하이 상태의 출력신호에 따라 제 3 트랜지스터(T13)가 턴-온된다. 제 3 트랜지스터(T13)가 턴-온됨으로써 제 1 노드(Q)에는 제 3 공급전압(VSS)이 공급됨에 따라 제 11 트랜지스터(T111)가 턴-오프된다. 또한, 제 1 노드(Q)에 제 3 공급전압(VSS)이 공급되어 제 7 및 제 10 트랜지스터(T17, T110)가 턴-오프됨으로써 제 2 노드(QB1)에는 제 3 공급전압(VSS)이 공급되고, 제 3 노드(QB2)에는 하이 상태의 제 2 공급전압(VDD2) 입력라인으로부터의 제 2 공급전압(VDD1)이 공급된다. 이에 따라, 제 3 노드(QB2)에 공급되는 하이 상태의 제 2 공급전압(VDD2)에 의해 제 3 및 제 13 트랜지스터(T13, T113)가 턴-온됨으로써 제 1 스테이지(ST1)는 턴-온된 제 13 트랜지스터(T13)를 통해 공급되는 제 3 공급전압(VSS) 입력라인으로부터의 제 3 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다. 이때, 제 2 스테이지(ST2)는 t3기간 동안 상술한 t2기간에서와 같이 하이 상태의 제 2 클럭신호(C2)를 출력신호(SO2)로 출력하게 된다.

이어서, 짝수 프레임의 t4 기간에서는 제 3 클럭신호(C3)가 하이 상태가 되어 제 4, 6, 9 및 제 12 트랜지스터(T14, T16, T19, T112)가 턴-온 상태를 유지함으로써 제 1 스테이지(ST1)는 제 3 공급전압(VSS)을 출력신호(SO1)로 출력하게 된다.

한편, 제 2 스테이지(ST2)는 제 1 스테이지(ST1)와 동일한 구성을 가지며, 제 1 스테이지(ST1)로부터의 출력신호(SO1)와 제 3 스테이지(ST3)로부터의 출력신호(SO3) 및 제 2 클럭신호(C2)를 공급받아 상술한 제 1 스테이지(ST1)와 동일한 방식으로 각 트랜지스터(T21, T22, T23, T24, T25, T26, T27, T28, T29, T210, T211, T212, T213)를 구동하여 출력신호(SO2)를 출력하게 된다.

이와 같은, n개의 스테이지(ST1 내지 STn) 각각은 짝수 프레임 동안 제 1 내지 제 4 클럭신호(C1, C2, C3, C4) 중 하나의 클럭신호와, 다음 단 스테이지의 출력신호와, 로우 상태의 제 1 공급전압(VDD1) 및 하이 상태의 제 2 공급전압(VDD2)을 이용하여 출력신호(SO)를 출력하게 된다. 이때, 짝수 프레임 동안 각 스테이지(ST1 내지 STn)의 출력라인을 로우 상태로 유지시키기 위하여 듀얼로 동작하는 제 3 및 제 13 트랜지스터(Ti3, Ti13: 단, i는 1 내지 n 중 어느 하나인 양의 정수)에는 로우 상태의 제 1 공급전압(VDD1)에 의해 부극성 바이어스 스트레스가 인가되는 반면에 제 4 및 제 12 트랜지스터(Ti4, Ti12)에는 하이 상태의 제 2 공급전압(VDD2)에 의해 정극성 바이어스 스트레스가 인가된다.

이와 같은, 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 블랭킹 구간 동안 제 1 및 제 2 공급전압(VDD1, VDD2)을 서로 상반되도록 반전시킴과 아울러 클럭신호들(C1, C2, C3, C4)의 논리변화를 억제하게 된다. 이에 따라, 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 프레임 단위로 제 3 및 제 12 트랜지스터(Ti3, Ti12)(또는 제 4 및 제 13 트랜지스터(Ti4, Ti13))에 정극성 및 부극성 바이어스 스트레스를 교번적으로 인가하게 된다. 따라서, 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 바이어스 스트레스로 인한 제 3 및 제 12 트랜지스터(Ti3, Ti12)(또는 제 4 및 제 13 트랜지스터(Ti4, Ti13))의 열화를 방지할 수 있으며, 클럭신호들(C1, C2, C3, C4)의 논리변화에 의한 스트레스를 억제시킬 수 있다.

한편, 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 게이트 구동부(114)를 액정패널(117)의 양쪽에 배치하는 경우 각 스테이지는 홀수번째 게이트 라인을 구동하거나 짝수번째 게이트 라인을 구동하게 된

다. 이에 따라, 제 1 스테이지(ST1)는 게이트 스타트 펄스(GSP)와 제 3 스테이지(ST3)로부터의 출력신호(SO3)를 공급받아 도 6에 도시된 제 1 노드(Q)의 구동파형과 같이 동작한다. 그리고, 제 2 내지 제 n 스테이지(ST2 내지 STn)는 이전단 스테이지(ST1 내지 STn/2+1)로부터의 출력신호와 다음 다음단의 스테이지(ST5 내지 STn/2+2)로부터의 출력신호를 공급받아 도 6에 도시된 제 1 노드(Q)의 구동파형과 같이 동작한다.

다른 한편으로, 본 발명의 제 1 및 제 2 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치에 있어서, 제 1 및 제 2 공급전압(VDD1, VDD2)을 제 1 내지 제 i(단, i는 양의 정수) 중 어느 하나의 프레임마다 블랭킹 구간 동안에 반전시킬 수 있다.

또 다른 한편으로, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같은 본 발명의 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 블랭킹 구간 동안 쉬프트 레지스터에 공급되는 클럭신호의 논리변화를 억제함으로써 클럭신호의 논리변화에 따라 트랜지스터에 인가되는 바이어스 스트레스를 방지할 수 있다. 이에 따라, 본 발명은 바이어스 스트레스로 인한 트랜지스터의 열화를 최소화할 수 있다. 또한, 본 발명은 프레임 단위로 상반되는 제 1 및 제 2 공급전압을 블랭킹 구간 동안 반전시켜 프레임 단위로 트랜지스터에 정극성 및 부극성 바이어스 스트레스를 교번적으로 인가함으로써 트랜지스터의 특성이 쉬프트되는 현상을 최소화할 수 있다. 따라서, 본 발명의 실시 예에 따른 쉬프트 레지스터와 이를 이용한 액정 표시장치는 트랜지스터의 열화를 방지하여 안정적으로 쉬프트 레지스터를 동작시킬 수 있으며, 게이트 구동부의 오동작 및 수명저하를 방지할 수 있다.

(57) 청구의 범위

청구항 1.

적어도 하나의 프레임 단위로 상반되도록 반전되는 제 1 및 제 2 공급전압 입력라인에 접속되며, 스타트 펄스 입력라인과 제 1 논리 상태의 위상이 순차적으로 쉬프트되는 적어도 하나의 클럭신호 입력라인에 접속되어 순차적인 쉬프트 신호를 출력하는 복수의 스테이지를 구비하며,

상기 클럭신호는 프레임과 프레임 사이의 블랭킹 구간 동안 상기 제 1 논리 상태와 다른 제 2 논리 상태로 유지되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제 1 항에 있어서,

상기 제 1 및 제 2 공급전압은 상기 블랭킹 구간의 일부 구간에서 상반되도록 반전되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제 1 항에 있어서,

상기 각 스테이지는,

상기 스타트 펄스와 제 1 클럭신호에 따라 제 1 노드를 제어하는 제 1 제어부와,

상기 스타트 펄스와 제 2 클럭신호에 따라 제 1 및 제 2 공급전압을 이용하여 제 2 노드 및 제 3 노드를 제어하는 제 2 제어부와,

상기 제 1 내지 제 3 노드의 전압에 따라 제 3 클럭신호와 제 3 공급전압 입력라인으로부터의 제 3 공급전압을 출력라인에 선택적으로 출력하는 출력 버퍼부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

제 3 항에 있어서,

상기 제 1 제어부는,

상기 스타트 펄스 입력라인에 다이오드 형태로 접속되어 상기 스타트 펄스를 출력하는 제 1 트랜지스터와,

상기 제 1 트랜지스터와 상기 제 1 노드에 접속되어 상기 제 1 클럭신호에 따라 상기 스타트 펄스를 상기 제 1 노드에 공급하는 제 2 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 3 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 3 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 4 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5.

제 3 항에 있어서,

상기 제 2 제어부와,

상기 제 1 공급전압 입력라인과 상기 제 2 노드에 접속되어 상기 제 2 클럭신호에 따라 상기 제 1 공급전압을 상기 제 2 노드에 공급하는 제 5 트랜지스터와,

상기 제 2 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 스타트 펄스에 따라 상기 제 3 공급전압을 상기 제 2 노드에 공급하는 제 6 트랜지스터와,

상기 제 2 공급전압 입력라인과 상기 제 3 노드에 접속되어 상기 제 2 클럭신호에 따라 상기 제 2 공급전압을 상기 제 3 노드에 공급하는 제 7 트랜지스터와,

상기 제 3 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 스타트 펄스에 따라 상기 제 3 공급전압을 상기 제 3 노드에 공급하는 제 8 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6.

제 3 항에 있어서,

상기 출력 버퍼부는,

상기 제 3 클럭신호 입력라인과 상기 출력라인에 접속되어 상기 제 1 노드의 전압에 따라 상기 제 3 클럭신호를 상기 출력라인으로 공급하는 제 9 트랜지스터와,

상기 출력라인과 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 노드의 전압에 따라 상기 제 3 공급전압을 상기 출력라인으로 공급하는 제 10 트랜지스터와,

상기 출력라인과 상기 제 3 공급전압 입력라인에 접속되어 상기 제 3 노드의 전압에 따라 상기 제 3 공급전압을 상기 출력라인으로 공급하는 제 11 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 7.

제 1 항에 있어서,

상기 각 스테이지는,

상기 스타트 펄스와 다음 단 스테이지로부터의 출력신호에 따라 제 1 노드를 제어하는 제 1 제어부와;

상기 제 1 및 제 2 공급전압에 따라 제 2 노드 및 제 3 노드를 제어함과 아울러 상기 제 1 노드의 전압에 따라 상기 제 2 및 제 3 노드를 제어하는 제 2 제어부와,

상기 제 1 내지 제 3 노드의 전압에 따라 하나의 클럭신호와 제 3 공급전압 입력라인으로부터의 제 3 공급전압을 출력라인에 선택적으로 출력하는 출력 버퍼부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8.

제 7 항에 있어서,

상기 제 1 제어부는,

상기 스타트 펄스 입력라인에 다이오드 형태로 접속되어 상기 스타트 펄스를 제 1 노드에 공급하는 제 1 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 다음 단 스테이지의 출력신호에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 2 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 3 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 3 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 4 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 9.

제 7 항에 있어서,

상기 제 2 제어부는,

상기 제 2 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 공급전압에 따라 상기 제 3 공급전압을 상기 제 2 노드에 공급하는 제 5 트랜지스터와,

상기 제 1 공급전압 입력라인에 다이오드 형태로 접속되어 상기 제 1 공급전압을 상기 제 2 노드에 공급하는 제 6 트랜지스터와,

상기 제 2 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 1 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 2 노드에 공급하는 제 7 트랜지스터와,

상기 제 2 공급전압 입력라인에 다이오드 형태로 접속되어 상기 제 2 공급전압을 상기 제 3 노드에 공급하는 제 8 트랜지스터와,

상기 제 3 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 1 공급전압에 따라 상기 제 3 공급전압을 상기 제 3 노드에 공급하는 제 9 트랜지스터와,

상기 제 3 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 1 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 3 노드에 공급하는 제 10 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 10.

제 7 항에 있어서,

상기 출력 버퍼부는,

상기 제 1 클럭신호 입력라인과 상기 출력라인에 접속되어 상기 제 1 노드의 전압에 따라 상기 제 1 클럭신호를 상기 출력라인에 공급하는 제 11 트랜지스터와,

상기 출력라인과 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 노드의 전압에 따라 상기 제 3 공급전압을 상기 출력라인에 공급하는 제 12 트랜지스터와,

상기 출력라인과 상기 제 3 공급전압 입력라인에 접속되어 상기 제 3 노드의 전압에 따라 상기 제 3 공급전압을 상기 출력라인에 공급하는 제 13 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 11.

데이터 라인들과 게이트 라인들에 의해 정의되는 영역에 액정셀이 형성된 액정패널과,

상기 데이터 라인들에 데이터를 공급하기 위한 데이터 구동부와,

스타트 펄스 입력라인과 제 1 논리 상태의 위상이 순차적으로 쉬프트되는 적어도 하나의 클럭신호 입력라인에 접속되어 상기 게이트 라인들을 구동하기 위한 스캔펄스를 발생하는 복수의 스테이지를 포함하는 게이트 구동부와,

상기 데이터 구동부와 상기 게이트 구동부를 제어하며 프레임과 프레임 사이의 블랭킹 구간에 대응되는 클럭 마스크 신호를 발생하는 타이밍 제어부를 구비하며;

상기 클럭신호는 상기 클럭 마스크 신호에 따라 상기 블랭킹 구간 동안 상기 제 1 논리 상태와 다른 제 2 논리 상태로 유지되는 것을 특징으로 하는 액정 표시장치.

청구항 12.

제 11 항에 있어서,

상기 클럭 마스크 신호는 상기 블랭킹 구간의 일부 구간 동안만 제 1 논리상태를 가지며 상기 블랭킹 구간의 나머지 및 상기 프레임 구간 동안에는 제 2 논리상태를 가지는 것을 특징으로 하는 액정 표시장치.

청구항 13.

제 11 항에 있어서,

상기 클럭 마스크 신호에 따라 적어도 하나의 프레임 단위로 상반되도록 반전되는 제 1 및 제 2 공급전압과, 제 1 및 제 2 공급전압과 다른 제 3 공급전압을 발생하여 상기 게이트 구동부에 공급하는 전압 발생부를 더 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 14.

제 13 항에 있어서,

상기 제 1 및 제 2 공급전압은 상기 블랭킹 구간의 일부 구간에서 상반되도록 반전되는 것을 특징으로 하는 액정 표시장치.

청구항 15.

제 13 항에 있어서,

상기 각 스테이지는,

스타트 펄스와 제 1 클럭신호에 따라 제 1 노드를 제어하는 제 1 제어부와,

상기 스타트 펄스와 제 2 클럭신호에 따라 제 1 및 제 2 공급전압을 이용하여 제 2 노드 및 제 3 노드를 제어하는 제 2 제어부와,

상기 제 1 내지 제 3 노드의 전압에 따라 제 3 클럭신호와 제 3 공급전압 입력라인으로부터의 제 3 공급전압을 출력라인에 선택적으로 출력하는 출력 버퍼부를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 16.

제 15 항에 있어서,

상기 제 1 제어부는,

상기 스타트 펄스 입력라인에 다이오드 형태로 접속되어 상기 스타트 펄스를 출력하는 제 1 트랜지스터와,

상기 제 1 트랜지스터와 상기 제 1 노드에 접속되어 상기 제 1 클럭신호에 따라 상기 스타트 펄스를 상기 제 1 노드에 공급하는 제 2 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 3 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 3 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 4 트랜지스터를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 17.

제 15 항에 있어서,

상기 제 2 제어부와,

상기 제 1 공급전압 입력라인과 상기 제 2 노드에 접속되어 상기 제 2 클럭신호에 따라 상기 제 1 공급전압을 상기 제 2 노드에 공급하는 제 5 트랜지스터와,

상기 제 2 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 스타트 펄스에 따라 상기 제 3 공급전압을 상기 제 2 노드에 공급하는 제 6 트랜지스터와,

상기 제 2 공급전압 입력라인과 상기 제 3 노드에 접속되어 상기 제 2 클럭신호에 따라 상기 제 2 공급전압을 상기 제 3 노드에 공급하는 제 7 트랜지스터와,

상기 제 3 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 스타트 펄스에 따라 상기 제 3 공급전압을 상기 제 3 노드에 공급하는 제 8 트랜지스터를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 18.

제 15 항에 있어서,

상기 출력 버퍼부는,

상기 제 3 클럭신호 입력라인과 상기 출력라인에 접속되어 상기 제 1 노드의 전압에 따라 상기 제 3 클럭신호를 상기 출력라인으로 공급하는 제 9 트랜지스터와,

상기 출력라인과 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 노드의 전압에 따라 상기 제 3 공급전압을 상기 출력라인으로 공급하는 제 10 트랜지스터와,

상기 출력라인과 상기 제 3 공급전압 입력라인에 접속되어 상기 제 3 노드의 전압에 따라 상기 제 3 공급전압을 상기 출력라인으로 공급하는 제 11 트랜지스터를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 19.

제 13 항에 있어서,

상기 각 스테이지는,

스타트 펄스와 다음 단 스테이지로부터의 출력신호에 따라 제 1 노드를 제어하는 제 1 제어부와;

상기 제 1 및 제 2 공급전압에 따라 제 2 노드 및 제 3 노드를 제어함과 아울러 상기 제 1 노드의 전압에 따라 상기 제 2 및 제 3 노드를 제어하는 제 2 제어부와,

상기 제 1 내지 제 3 노드의 전압에 따라 상기 4개의 클럭신호 중 하나의 클럭신호와 제 3 공급전압 입력라인으로부터의 제 3 공급전압을 출력라인에 선택적으로 출력하는 출력 버퍼부를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 20.

제 19 항에 있어서,

상기 제 1 제어부는,

상기 스타트 펄스 입력라인에 다이오드 형태로 접속되어 상기 스타트 펄스를 제 1 노드에 공급하는 제 1 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 다음 단 스테이지의 출력신호에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 2 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 3 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 3 트랜지스터와,

상기 제 1 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 1 노드에 공급하는 제 4 트랜지스터를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 21.

제 19 항에 있어서,

상기 제 2 제어부는,

상기 제 2 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 공급전압에 따라 상기 제 3 공급전압을 상기 제 2 노드에 공급하는 제 5 트랜지스터와,

상기 제 1 공급전압 입력라인에 다이오드 형태로 접속되어 상기 제 1 공급전압을 상기 제 2 노드에 공급하는 제 6 트랜지스터와,

상기 제 2 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 1 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 2 노드에 공급하는 제 7 트랜지스터와,

상기 제 2 공급전압 입력라인에 다이오드 형태로 접속되어 상기 제 2 공급전압을 상기 제 3 노드에 공급하는 제 8 트랜지스터와,

상기 제 3 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 1 공급전압에 따라 상기 제 3 공급전압을 상기 제 3 노드에 공급하는 제 9 트랜지스터와,

상기 제 3 노드와 상기 제 3 공급전압 입력라인에 접속되어 상기 제 1 노드의 전압에 따라 상기 제 3 공급전압을 상기 제 3 노드에 공급하는 제 10 트랜지스터를 구비하는 것을 특징으로 하는 액정 표시장치.

청구항 22.

제 19 항에 있어서,

상기 출력 버퍼부는,

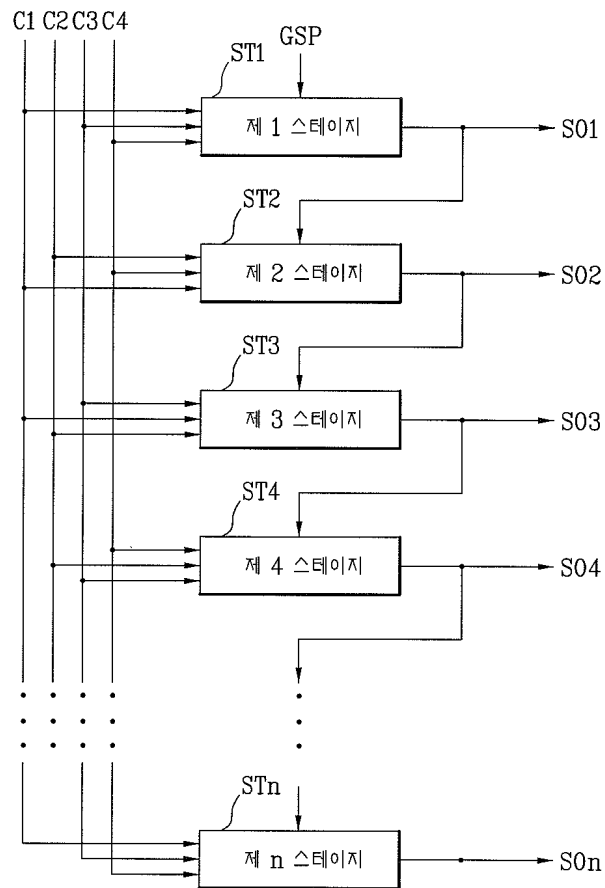
상기 제 1 클럭신호 입력라인과 상기 출력라인에 접속되어 상기 제 1 노드의 전압에 따라 상기 제 1 클럭신호를 상기 출력라인에 공급하는 제 11 트랜지스터와,

상기 출력라인과 상기 제 3 공급전압 입력라인에 접속되어 상기 제 2 노드의 전압에 따라 상기 제 3 공급전압을 상기 출력라인에 공급하는 제 12 트랜지스터와,

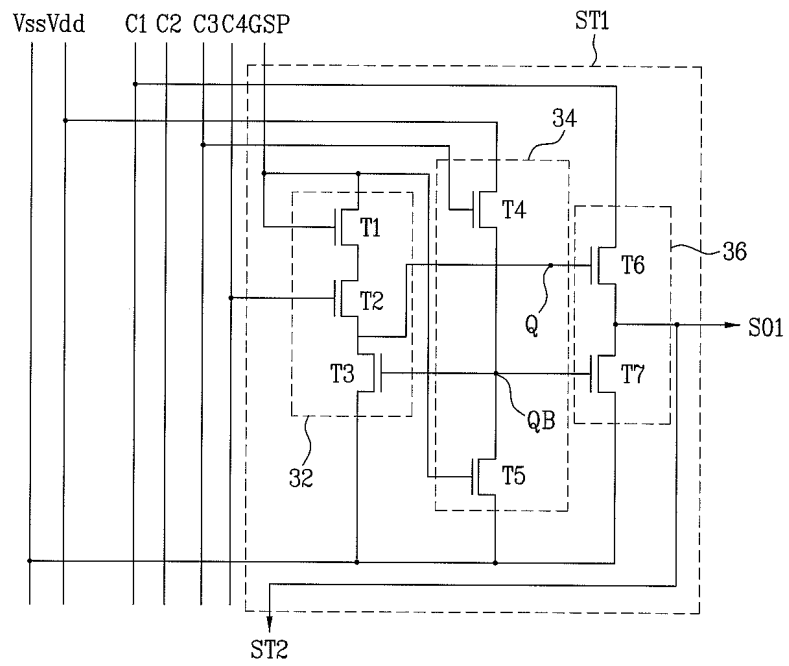
상기 출력라인과 상기 제 3 공급전압 입력라인에 접속되어 상기 제 3 노드의 전압에 따라 상기 제 3 공급전압을 상기 출력라인에 공급하는 제 13 트랜지스터를 구비하는 것을 특징으로 하는 액정 표시장치.

도면

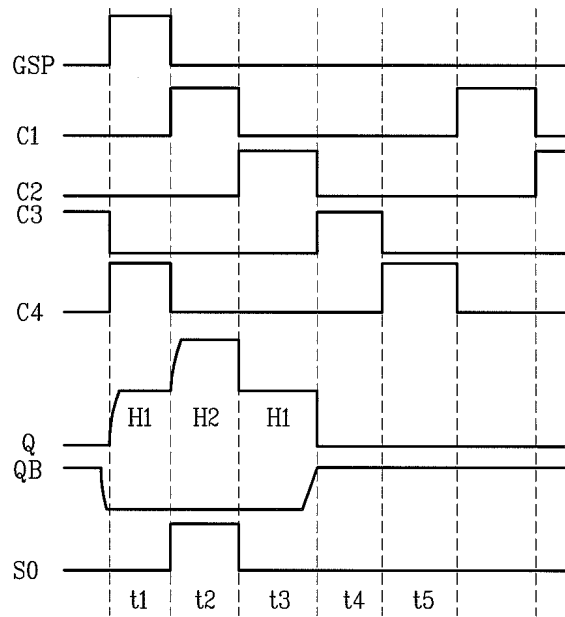
도면1



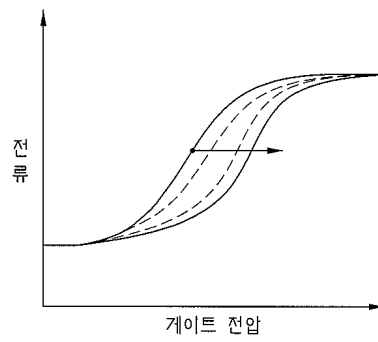
도면2



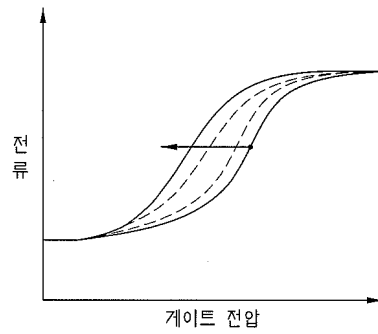
도면3



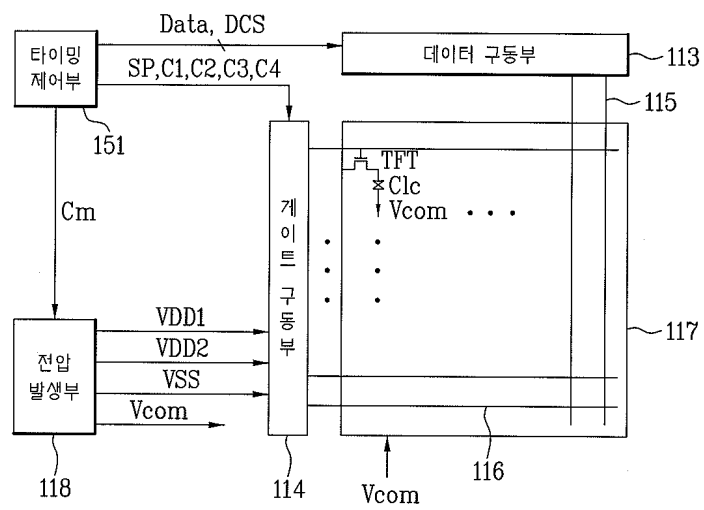
도면4a



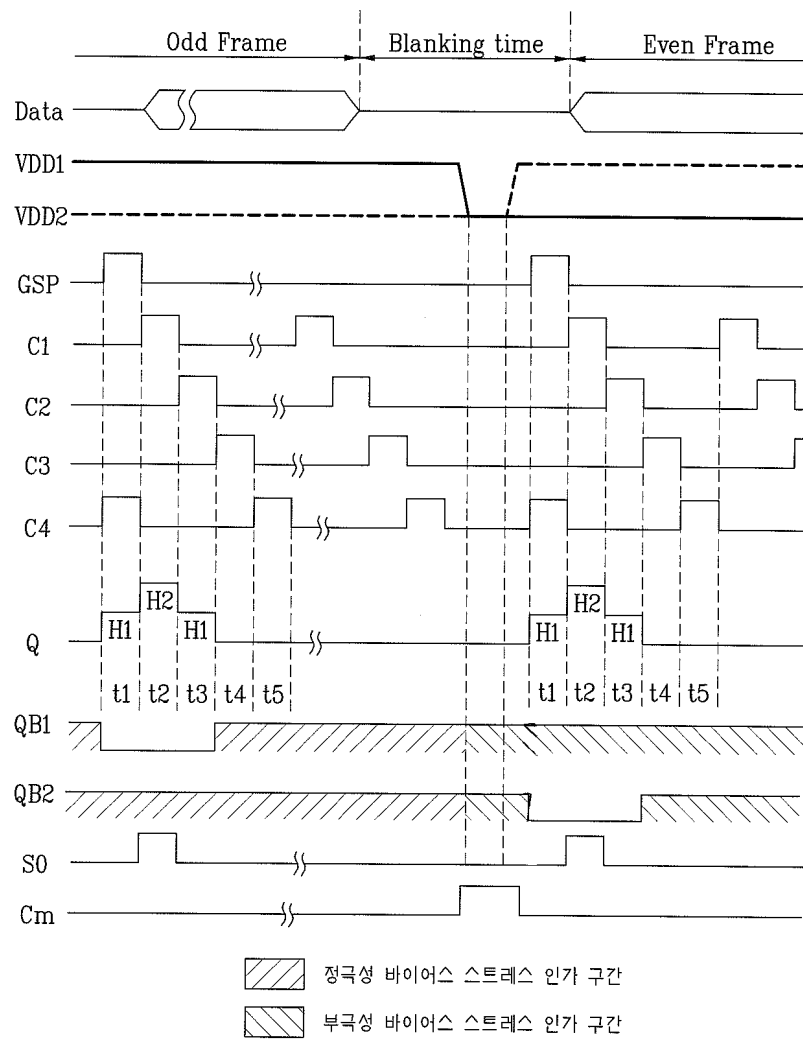
도면4b



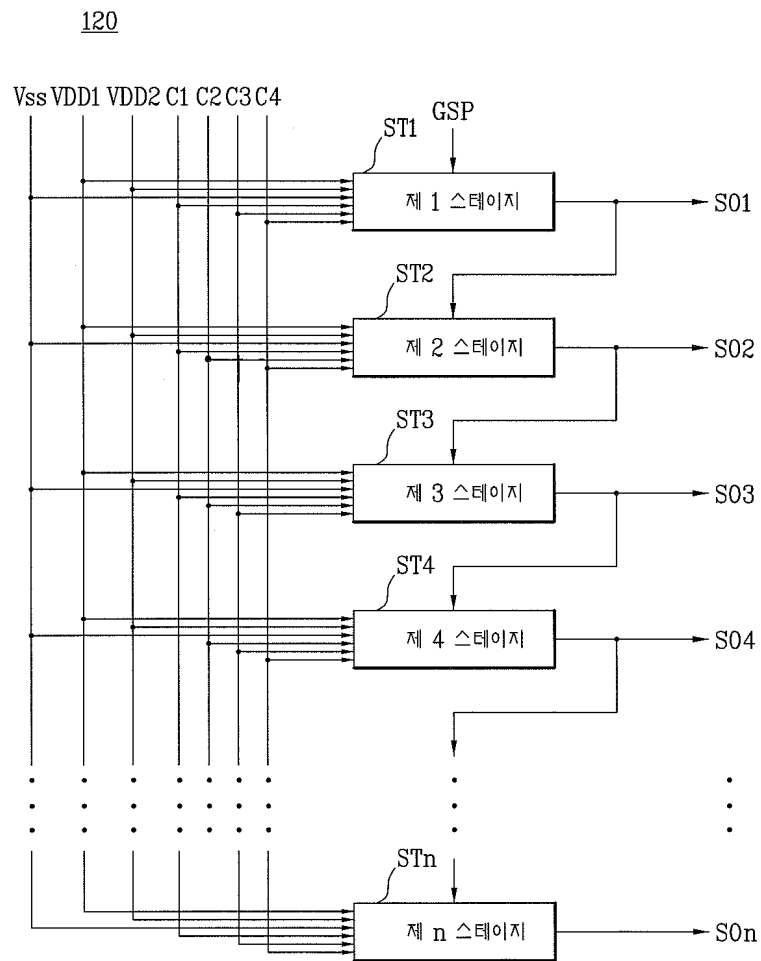
도면5



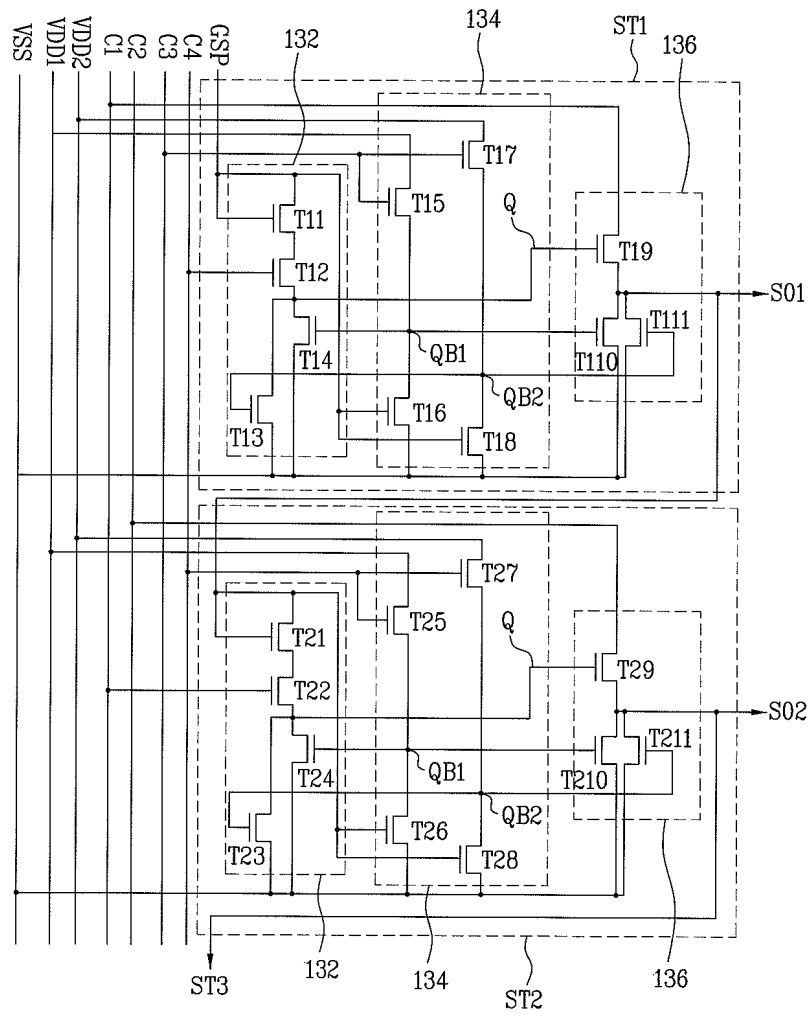
도면6



도면7

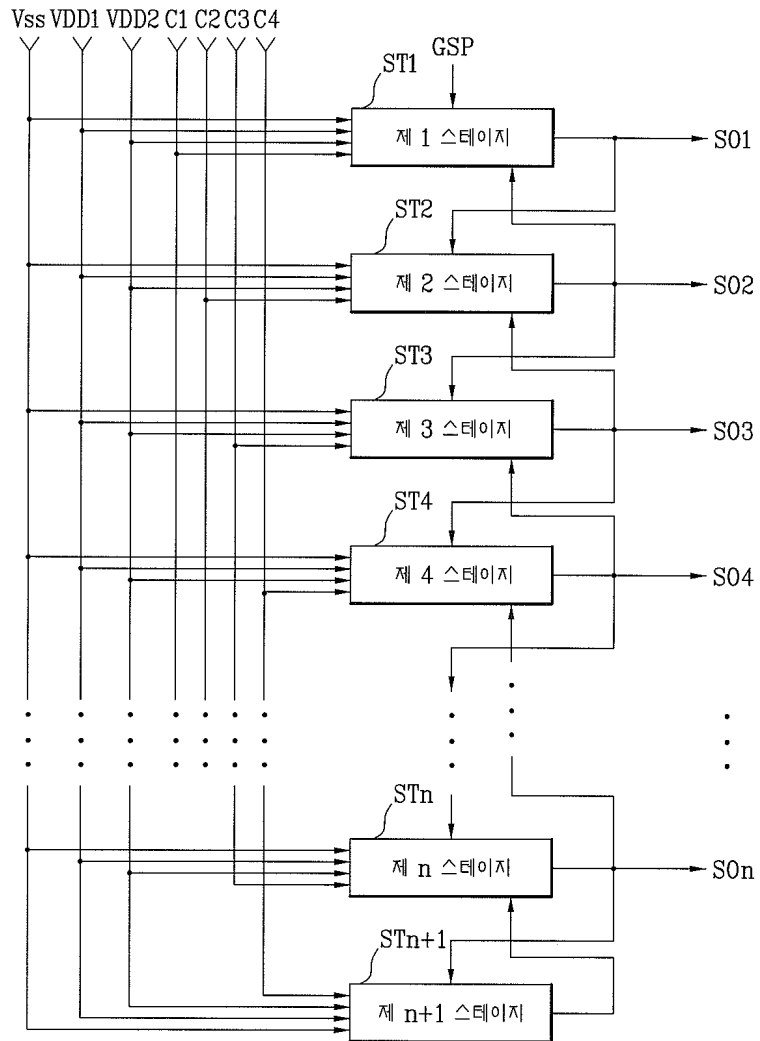


도면8

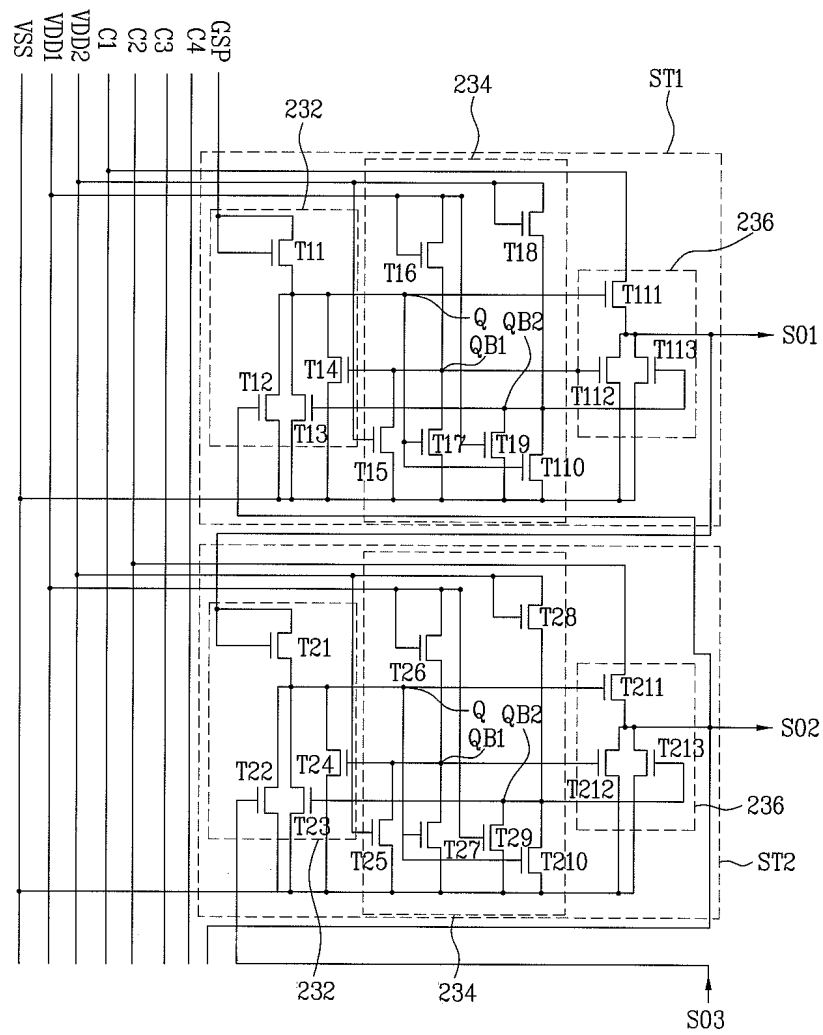


도면9

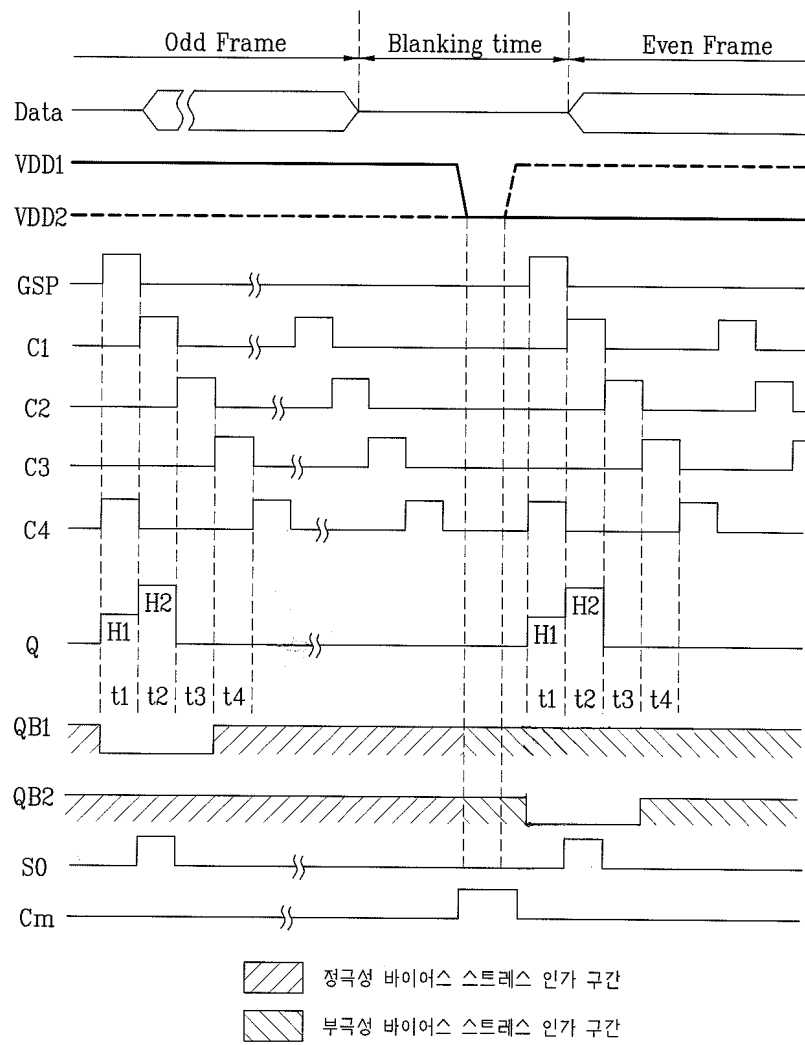
220



도면10



도면11



专利名称(译)	移位寄存器和使用它的液晶显示器		
公开(公告)号	KR1020060076489A	公开(公告)日	2006-07-04
申请号	KR1020040114912	申请日	2004-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO NAMWOOK		
发明人	CHO,NAMWOOK		
IPC分类号	G09G3/36		
CPC分类号	G11C19/28 G09G3/3688 G09G3/3677 G11C19/00		
代理人(译)	金勇 新昌		
其他公开文献	KR101127813B1		
外部链接	Espacenet		

摘要(译)

移位寄存器技术领域本发明涉及一种移位寄存器，该移位寄存器能够抑制施加到晶体管的偏置应力以防止使用移位寄存器的晶体管和液晶显示器的劣化。根据本发明的移位寄存器包括第一和第二进料被连接到电压输入线，起始脉冲输入线和一个第一逻辑状态的一个阶段中，要被移动的至少一个时钟顺序地被倒置，使得相对的至少一帧单位并且多个级连接到信号输入线并输出顺序移位信号，其中时钟信号在消隐间隔期间通过对应于帧与帧之间的消隐间隔的时钟屏蔽信号与第一逻辑状态不同并处于第二逻辑状态。利用这种布置，本发明可避免偏置应力由消隐间隔期间抑制提供给移位寄存器的时钟信号的逻辑的变化施加到晶体管按照所述时钟信号的逻辑变化。因此，本发明可以最小化由于偏置应力引起的晶体管退化。6 指数方面 偏置应力，退化，消隐，时钟屏蔽信号

