

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>7</sup>  
 G02F 1/136  
 H01L 21/336  
 H01L 29/786

(11) 공개번호 10-2005-0036981  
 (43) 공개일자 2005년04월20일

(21) 출원번호 10-2005-7003170  
 (22) 출원일자 2005년02월24일  
 번역문 제출일자 2005년02월24일  
 (86) 국제출원번호 PCT/JP2003/009361  
 국제출원출원일자 2003년07월23일

(87) 국제공개번호 WO 2004/023561  
 국제공개일자

(30) 우선권주장 JP-P-2002-00255568 2002년08월30일 일본(JP)

(71) 출원인 샤프 가부시키가이샤  
 일본 오사카후 오사카시 아베노구 나가이케조 22방 22고  
 후지이, 아끼요시  
 일본 631-0801 나라케 나라시 사교 3초메 2-17  
 나카바야시, 다까야  
 일본 519-1425 미에케 아야마궁 이가조 가와니시 1357

(74) 대리인 장수길  
 구영창

**심사청구 : 있음**

**(54) 박막 트랜지스터, 액정 표시 장치, 박막 트랜지스터 제조방법 및 액정 표시 장치 제조 방법**

**명세서**

**기술분야**

본 발명은 박막 트랜지스터의 제조 방법 및 액정 표시 장치의 제조 방법에 관한 것이다.

**배경기술**

최근, 포토리소그래피를 사용하지 않고 잉크젯 방법을 사용하는 배선 형성 분야가 제안되었다. 이 분야에서, 예를 들면, 일본 공개 특허 출원, 특개평 11-204529 (1999년 7월 30일 공개)에 개시된 바와 같이, 기판은 배선 재료에 대하여 친화성을 갖는 친화 영역 및 배선의 재료에 대하여 친화성을 갖지 않는 비친화 영역을 구비하고, 배선은 잉크젯 방법을 사용하여 기판상의 친화 영역 상에 배선 재료의 액적을 도포(부착)함으로써 형성된다(이후, 용어 "도포"는 "적하(dropping)" 및 "분사(jetting)"의 의미를 포함한다).

일본 특허 출원, 특개평 11-204529호는 미국 특허 출원 제2003/0003231 A1호에 대응한다.

더우기, 일본 특허 출원, 특개 2003-353594호(2000년 12월 19일 공개됨)는 잉크젯 방법에 의한 유사한 배선 형성 분야를 개시하는데, 이는 뱅크를 배선 형성 영역의 양 측면에 형성하여 배선 재료가 배선 형성 영역에서 오버플로우되는 것을 방지하며, 여기에서 뱅크의 상부는 액체에 대하여 비친화성(탈수성(dewetting property))을 갖고, 배선 형성 영역은 친수성을 갖는다.

일본 특허 출원, 특개 2000-353594호는 유럽 특허 출원 EP 0989778 A1호에 대응한다.

더우기, SID 01 Digest, 40 내지 43 페이지, 6.1에 개시된, 초빙 논문 "All-Polymer Thin Film Transistors Fabricated by High-Resolution Ink-jet Printing"(Takeo KAWASE 등 저작)은 TFT를 잉크젯 방법에 의해 유기 재료만을 사용하여 형성하는 분야가 개시되어 있다.

이 분야에서, 폴리이미드로 제조된 스트립이 포토리소그래피에 의해 TFT의 채널부에 형성된 후에, 도전성 폴리머로 이루어진 전극의 재료(전극 재료)가 잉크젯 프린터를 사용하여 채널부의 양 측면 상에 프린트된다. 폴리이미드로 이루어진 스트립은 탈수성을 갖기 때문에, 소스 및 드레인 전극이, 전극 재료가 스트립을 커버하지 않은 채, 채널부의 양 측면에 각각 형성된다.

이하, 본 발명이 해결하고자 하는 과제가 설명된다.

잉크젯 방법을 사용하여 배선 등을 형성하는 기술이 박막 트랜지스터 제조에 적용되는 경우, 필요로 되는 많은 마스크가 감소되고, 따라서, 포토리소그래피가 사용되는 경우와 비교하여, 제조 공정에서의 많은 단계가 감소된다. 더우기, 배선 등을 형성하기 위한 대규모 프로세싱 장치가 더 이상 필요하지 않기 때문에, 장치 비용이 저감된다. 이것은 비용 절감으로 이어진다.

따라서, 박막 트랜지스터 제조시에, 잉크젯 방법을 사용하여 배선 등을 형성하는 기술을 적용하는 것이 잇점이 있는데, 왜냐하면, 그 분야를 사용함으로써 주어지는 잇점들 때문이다.

그러나, 단순히 잉크젯 방법을 사용하여 소스 또는 드레인 전극이 형성될 영역에 전극 재료를 적하(도포)함으로써 박막 트랜지스터의 소스 또는 드레인 전극을 형성하는 경우, 분사시에 스플래시(splash)된 액적(droplet)이 박막 트랜지스터에 있는 채널부에 부착되어 잔류할 수 있는 가능성이 있다.

이 경우에, 채널부 상에 부착된 스플래시 액적이 기인하여 소스와 드레인 전극 간에 누설이 발생할 수 있거나, 또는 스플래시 액적이  $n^+$  층 처리시에 마스크 역할을 하여 소스 및 드레인 전극 간에 누설 전류가 흐르게 하는  $n^+$  층이 잔류하게 됨으로써, 원하는 TFT 특성을 얻지 못하게 된다.

<발명의 개요>

전술한 문제점을 해결하기 위한 본 발명은, 전극 재료의 스플래시 액적이 박막 트랜지스터의 채널부 상에 부착되지 않게 하는 전극 구조를 구비하는 박막 트랜지스터를 제공하는 것을 주요 과제로 한다.

전술한 과제를 해결하기 위해, 본 발명은, (i) 게이트 절연층을 통해 게이트 전극에 대면하는 반도체층, (ii) 상기 반도체층과 전기적으로 접속되는 소스 전극 및 드레인 전극, 및 (iii) 상기 소스 전극과 상기 드레인 전극 사이의 채널부가 제공되고, 여기에서, 상기 소스 전극 및 상기 드레인 전극은 전극 재료의 액적을 도포하여 형성되고, 상기 반도체층의 형성 영역에서 떨어져 위치된 분기하는 부분에서 분기부를 구비하며, 상기 분기부는 복수의 분기 전극을 구비하고, 적어도 상기 반도체층의 형성 영역에 있는 부분, 상기 소스 전극의 분기 전극 및 상기 드레인 전극의 분기 전극이 교대로 배열되는 박막 트랜지스터를 제공한다.

상기의 배열을 가짐에 따라, 소스 전극 및 드레인 전극의 분기 전극부의 분기하는 부분이 반도체층 형성 영역(반도체층이 위치되는 영역)에서 떨어져 위치됨으로써, 분기 전극부를 구비하는 소스 전극과 드레인 전극이 형성되는 경우에, 반도체층의 형성 영역과 떨어져 위치되는 분기하는 부분에 적하 위치를 구비하는 것이 가능하게 된다.

상기의 배열을 가짐에 따라, 소스 전극 및 드레인 전극을 형성할 때, 전극들 사이의 채널부 상에 스플래시 액적의 부착을 방지하는 것이 가능하다. 따라서, 스플래시 액적이 마스크로 동작하기 때문에 잔류되어 있는 잔류  $n^+$  층에 기인한 소스 및 드레인 전극 사이의 누설 전류에 의한 원하는 TFT 특성을 얻는 것의 실패를 회피하는 것이 가능하다.

또한, 교대로 배열된 각 분기 전극들 사이에 넓은 채널부가 형성된다. 따라서, 상기의 배열은, 많은 화소가 구동되는 경우와 같은 전하 이동이 큰 경우에 유효하다.

본 발명의 액정 표시 장치는 본 발명의 상기 박막 트랜지스터를 포함하도록 배열된다.

본 발명의 (i) 게이트 전극 상의 반도체층, (ii) 상기 반도체층과 상기 게이트 전극 사이의 게이트 절연층, (iii) 상기 반도체층 상의 소스 전극 및 드레인 전극, 및 (iv) 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 포함하는 박막 트랜지스터의 제조 방법은, 상기 반도체층 형성 단계 후에, 상기 소스 전극 및 상기 드레인 전극이 형성되는 전극 형성 영역을 형성하기 위한 전처리 단계; 및 상기 전극 형성 영역에 상기 소스 전극 및 상기 드레인 전극을 각각 형성하기 위해, 전극 재료의 액적을 상기 전극 형성 영역에 위치된 적하 위치 상에 도포하는 단계 - 상기 적하 위치는 상기 반도체층 형성 영역과 떨어져 있음 - 를 포함한다.

상기의 배열에 따라, 소스 전극 및 드레인 전극이, 전극 형성 영역에 위치되고 반도체층의 형성 영역과 떨어져 위치된 적하 위치 상에 액적을 도포하여 형성됨에 따라, 전극들 간의 채널부 상에 스플래시 액적이 부착하는 것을 방지하는 것이 가능하다. 따라서, 스플래시 액적이 마스크로 동작하기 때문에 잔류되어 있는 잔류  $n^+$  층에 기인한 소스 및 드레인 전극 사이의 누설 전류에 의한 원하는 TFT 특성을 얻는 것의 실패를 회피하는 것이 가능하다.

본 발명의 액정 표시 장치의 제조 방법은 본 발명의 상기 박막 트랜지스터의 제조 방법을 포함한다.

본 발명의 특징 및 장점의 보다 충분한 이해를 위해, 첨부 도면을 참조하여 상세하게 설명된다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예의 TFT 어레이 기판의 TFT 섹션의 배열을 도시하는 평면도이다.

도 2a는 본 발명의 실시예의 액정 표시 장치의 TFT 어레이 기판에 있는 하나의 화소의 배열을 개략적으로 도시하는 평면도인 반면, 도 2b는 도 2a의 선 A-A'를 취한 단면도이다.

도 3은 본 발명의 실시예의 액정 표시 장치를 제조하는데 사용하는 잉크젯 방법의 패턴 형성 장치를 도시하는 개략적인 사시도이다.

도 4는 도 2a 및 2b에 도시된 TFT 어레이 기판의 제조 단계를 도시하는 흐름도이다.

도 5a는 도 3에 도시된 게이트 전처리 단계를 설명하는 TFT 어레이 기판의 평면도이다. 도 5b는 도 3에 도시된 액적-도포 게이트 배선 형성 단계를 설명하는 TFT 어레이 기판의 평면도이다. 더우기, 도 5c는 도 5b의 선 B-B'에서 취해진 단면도이다.

도 6a 내지 도 6c는 도 5b의 선 B-B'에서 취해진 단면에 대응하는 부분의 단면도이다. 도 6a는 도 4에 도시된 게이트 절연층 형성/반도체층 형성 단계를 도시한다. 도 6b는 도 4에 도시된 반도체층 형성 단계에서 게이트 절연층 및 반도체층 형성 단계 후에 포토리소그래피 단계가 완료된 후의 상태를 도시한다. 도 6c는 반도체층 형성 단계에서의 a-Si막 형성층 및 n+막 형성층을 에칭하는 단계를 도시한다. 도 6d는 도 6e의 선 C-C'에서 취해진 단면도이고, 도 6d는 반도체층 형성 단계에서 레지스트를 제거하는 단계를 도시한다. 도 6e는 반도체층 형성 단계에 속하는 TFT 어레이 기판의 평면도이다.

도 7은 도 1에 도시된 TFT 섹션의 부분의 크기 및 소망하는 적하 위치에 관한 허용 범위를 도시하는 평면도이다.

도 8은 본 발명의 또 다른 실시예의 TFT 어레이 기판의 TFT 섹션의 배열을 도시하는 평면도이다.

도 9a 내지 도 9c는 도 5b의 선 B-B'에서 취해진 단면에 대응하는 부분의 단면도이다. 도 9a는 TFT 어레이 기판이 도 8에 도시된 TFT 섹션을 구비하는 경우에 대한, 도 4에 도시된 게이트 절연층 형성/반도체층 형성 단계를 도시한다. 도 9b는 도 4에 도시된 반도체층 형성 단계에서 게이트 절연층 및 반도체층을 형성하는 단계 후에 포토리소그래피 단계가 완료된 후의 상태를 도시한다. 도 9c는 반도체층 형성 단계에서 a-Si층 및 n+층을 에칭하는 단계를 도시한다. 도 9d는 도 9e의 선 D-D'에서 취해진 단면도이고, 도 9d는 반도체층 형성 단계에서 레지스트를 제거하는 단계를 도시한다. 도 9e는 반도체층 형성 단계에 속한 TFT 어레이 기판의 평면도이다.

도 10a는 본 발명의 또 다른 실시예의 TFT 어레이 기판의 TFT 섹션을 도시하는 평면도이다. 도 10b는 도 10a의 선 E-E'에서 취해진 단면에 대응하는 단면도이고, 도 10b는 소스 전극 및 드레인 전극이 형성되기 전 부분을 도시한다.

도 11는 본 발명의 또 다른 실시예의 TFT 어레이 기판의 TFT 섹션의 배열을 도시하는 평면도이다.

도 12a 내지 도 12d는 광촉매를 사용하여 기판의 친수 공정에 의해 탈수 영역에 친수 패턴을 형성하는 단계를 설명하는 설명도이다.

도 13은 전극 재료의 흰 액적이 소스 전극의 채널부의 부분에 잔류하는 조건을 도시하는 평면도이다.

도 14a 내지 도 14d는 TFT 섹션의 채널부의 제조 공정에 있는 단계를 도시하는 개략적인 단면도이다. 도 14e 내지 도 14g는 도 13의 선 E-E'에서 취해진 것으로, 전극 재료의 스플래시 액적이 채널부상에 잔류하는 경우에 대한 채널부의 제조 공정에서의 단계를 도시하는 개략적인 단면도이다.

도 15는 전극 재료의 스플래시 액적이 소스 전극과 드레인 전극 간의 채널부에 남아 커버하는 조건을 도시하는 평면도이다.

도 16a는 반도체층의 형상이 TFT 섹션의 게이트 전극 영역에서 돌출되는 경우에, 소스 전극과 드레인 전극 간에 누설 전류가 거의 발생하지 않는 배열을 도시하는 평면도이다. 도 16b는 도 16a의 선 G-G'에서 취해진 단면도이다.

도 17a는 반도체층의 형상이 TFT 섹션의 게이트 전극 영역에서 돌출되는 경우에, 소스 전극과 드레인 전극 간에 누설 전류가 용이하게 발생하는 배열을 도시하는 평면도이다. 도 17b는 도 17a의 선 H-H'에서 취해진 단면도이다.

도 18은 상부 게이트 구조를 구비한 TFT 어레이 기판의 제조 공정을 도시하는 흐름도이다.

### 발명의 상세한 설명

#### [제1 실시예]

본 발명의 실시예는 첨부 도면을 참조하여 하기에 설명된다.

본 발명의 실시예의 액정 표시 장치에 도 2a에 도시된 화소가 제공된다. 도 2a는 액정 표시 장치의 TFT 어레이 기판에 있는 하나의 화소의 배열을 개략적으로 도시하는 평면도이다. 더우기, 도 2a의 선 A-A'에서 취해진 단면도는 도 2b에 도시된다.

도 2a와 도 2b에 도시된 바와 같이, TFT 어레이 기판(11)에서, 게이트 전극(13)(게이트 배선) 및 소스 전극(17)(소스 배선)이 유리 기판(12) 상의 매트릭스에 제공된다. 인접한 게이트 전극(13)(게이트 배선)들 사이 각각에, 저장 커패시턴스 전극(14)(저장 커패시턴스 배선)이 제공된다.

TFT 섹션(22)의 위치 및 저장 커패시턴스 섹션(23)의 위치 사이에, TFT 어레이 기판(11)에는, 도 2b에 도시된 바와 같이, 유리 기판(12) 상에 하나의 게이트 전극(13) 및 하나의 저장 커패시턴스 전극(14)이 제공된다.

a-Si층을 포함하는 반도체층(16)이 게이트 전극(13) 상에 형성된다. 게이트 전극(13)과 반도체층(16) 사이에 게이트 절연층(15)이 샌드위치된다. 소스 전극(17)과 드레인 전극(18)의 각각의 일 단부(단)가 반도체층(16) 상에 형성된다. 드레인 전극(18)의 또 다른 각각의 단부가 저장 커패시턴스 전극(14) 위의 위치에 있고, 그 위치 및 저장 커패시턴스 전극(14)이 게이트 절연층(15)을 샌드위치하고 있다. 상기 위치에서, 컨택홀(24)이 형성된다. 보호층(19)이 소스 전극(17)과 드레인 전극(18) 상에 형성된다. 보호층(19) 상에, 감광성 아크릴 수지층(20)과 화소 전극(21)이 이 순서대로 형성된다.

TFT 섹션(22)의 배열을 하부 게이트 구조라 칭한다. 본 발명은 하부 게이트 구조에 한정되지 않으며, 게이트 전극(13)이 반도체층(16) 위에 형성되어 게이트 절연층(15)이 반도체층(16)과 게이트 전극(13) 사이에 샌드위치되는 상부 게이트 구조에 또한 적용가능하다.

따라서, 본 발명의 TFT 섹션(22)에서, 게이트 절연층(15)를 통하여 게이트 전극(13)과 대면하는 반도체층(16)이 형성되고, 반도체층(16)과 전기적으로 접속되는 소스 전극(17)과 드레인 전극(18)이 형성된다.

본 실시예에서, TFT 어레이 기판(11)은, 예를 들면, 형성될 층의 재료를 분사 또는 적하하기 위한 패턴 형성 장치를 사용함으로써 잉크젯 방법에 의해 제조된다. 패턴 형성 장치에는, 도 3에 도시된 바와 같이, 테이블(32), 잉크젯 헤드(33), X방향 구동부(34), 및 Y방향 구동부(35)가 제공된다. 테이블(32)은 (유리 기판(12)에 대응하는) 기판(31)을 위에 놓기 위한 것이다. 잉크젯 헤드(33)는 테이블(32) 상의 기판(31) 상에, 예를 들면, 배선 재료를 포함하는 흐름가능 잉크(액적 또는 흐름 가능 재료)를 분사하기 위한 액적 분사 수단이다. X방향 구동부(34) 및 Y방향 구동부(35)는 잉크젯 헤드(33)를 X방향 및 Y방향으로 각각 이동시킨다.

X 및 Y 방향은 기판(31)의 평면 상의 이차원 X-Y 좌표의 X축 및 Y축에 평행한 방향이다.

더우기, 패턴 형성 장치에는 잉크 공급 시스템(36) 및 제어 유닛(37)이 제공된다. 잉크 공급 시스템(36)은 잉크젯 헤드(33)에 잉크를 공급하는 반면, 제어 유닛(37)은, 잉크젯 헤드(33)의 분사 제어, X방향 구동부(34) 및 Y방향 구동부(35)의 구동 제어 등의 다양한 제어를 수행한다. 제어 유닛(37)은 X 및 Y 방향 구동부(34 및 35)에 적하 위치를 출력하고 잉크젯 헤드(33)의 헤드 드라이버(도시 생략)에 분사 정보를 출력한다. 이에 따라, 잉크젯 헤드(33)는 X 및 Y 방향 구동부(34 및 35)의 이동과 관계하여 동작하고, 목표량의 액적을 기판(31) 상의 목표 위치(적하 위치) 상에 공급한다.

잉크젯 헤드(33)는, 피에조 액츄에이터가 사용되는 피에조 방법, 헤드에 히터가 제공되는 버블 방법, 또는 기타 방법들로 구성될 수 있다. 잉크젯 헤더(33)로부터 분사될 잉크의 양은 그에 인가되는 전압을 제어함으로써 제어될 수 있다. 액적 분사 수단은 단순히 액적을 적하하는 방법의 수단 또는 액적을 공급할 수 있는 임의의 수단으로 대체될 수 있다.

다음에, 액정 표시 장치의 TFT 어레이 기판(11)의 제조 방법이 설명된다.

본 실시예에서, TFT 어레이 기판(11)의 제조 방법은, 도 4에 도시되는 바와 같이, 게이트 전처리 단계(41), 액적-도포 게이트 배선 형성 단계(42), 게이트 절연층 형성/반도체층 형성 단계(43), 반도체층 형성 단계(44), 소스/드레인 배선 전처리 단계(45), 액적-도포 소스/드레인 배선 형성 단계(46), 채널부 처리 단계(47), 보호층 형성 단계(48), 보호층 처리 단계(49), 및 화소 전극 형성 단계(50)를 포함한다.

#### [게이트 전처리 단계(41)]

게이트 전처리 단계(41)에서, 액적-도포 게이트 배선 형성 단계(42)를 위한 전처리가 수행된다. 게이트 전처리 단계(41)에 이어지는 액적-도포 게이트 배선 형성 단계(42)에서는, 패턴 형성 장치를 사용하여 액적 배선 재료를 적하함으로써 게이트 배선이 형성된다. 이를 위해, 게이트 전처리 단계(41)에서, 패턴 형성 장치를 사용하여 게이트 배선 형성 영역(61)(도 5a에 도시됨) 상에 액체 배선 재료가 분사(적하)될 때 액체 배선 재료를 보다 적절히 도포하기 위한 준비 처리가 수행된다. 도 5a는 TFT 어레이 기판(11)에 제공되는 유리 기판(12)의 평면도이다.

간단히 말하면, 이 단계는 다음의 단계를 포함한다: 제1 단계는, 기판(유리 기판(12))의 부분에, 액체 배선 재료에 비하여 친수 또는 탈수성을 부여하여, 게이트 배선 형성 영역(61)으로서 친수성 영역(친수 영역) 및 게이트 없는 배선 영역으로서 소수성 영역(탈수 영역)을 패터닝하고; 제2 단계는, 각각의 게이트 배선 형성 영역(61)의 경계를 따라, 액체 배선 재료의 흐름을 제어하는 가이드를 형성하는 단계이다.

전자로서, 산화 티탄을 사용하는 광촉매에 의한 친수/탈수 처리가 전형적인 예이다. 후자로서, 가이드는 레지스트를 사용하는 포토리소그래피에 의해 형성된다. 더우기, 가이드 또는 반도체 표면에 친수성 또는 탈수성을 부여하기 위해, 가이드 또는 기판 표면을 플라즈마의 CF4 및 O2 가스에 노출하는 단계가 실행될 수 있다. 배선이 형성된 후에 레지스트가 제거된다.

여기에서, 산화 티탄을 사용하는 광촉매 처리가 다음에 따라 실행된다. 불소계 비이온 계면 활성제인 ZONYL FSN(제품명: E.I. du Pont de Nemours and Co.사 제조)를 이소프로필 알코올에 혼합한 혼합물을 TFT 어레이 기판(11)의 유리 기판(12) 상에 도포한다. 또한, 게이트 배선의 패턴용 마스크 상에, 이산화 티탄 미립자가 분산된 재료(이산화 티탄 미립자

분산 재료)와 에탄올의 혼합물을 스펀-코팅으로 도포하여, 광촉매층을 형성한다. 그 후에, 그에 따라 마련된 유리 기판을 150°C로 소성한다. 다음에, 마스크를 사용하여, 유리 기판(12)을 UV 광에 노광한다. 노광은 356 nm의 자외광을 사용하여, 70 mW/cm<sup>2</sup>의 강도로 2분간 조사한다.

도 12a 내지 도 12d를 참조하여, 보다 상세한 설명이 하기에 제공된다. 도 12a에 도시된 바와 같이, 스펀 코팅법 등을 사용하여, 틸수 재료를 유리 기판(12) 상에 도포한다. 유리 기판(12)을 건조함으로써, 친수층(12)이 형성된다. 실란 접착제를 틸수 재료로서 사용될 수 있다.

다음에, 도 12b에 도시된 바와 같이, 크롬 등으로 이루어진 마스크 패턴(4)과 산화 티탄 등으로 이루어진 광촉매층(5)이 미리 형성된 포토 마스크(3)를 통하여 전술한 노광 조건 하에서 UV 노광이 실행된다.

결과적으로, 도 12c 및 도 12d에 도시된 바와 같이, UV 노광이 이루어진 부분만의 친수 특성이 향상된다. 이에 의해, 게이트 라인 형성 영역(61)에 대응하는 친수 패턴(6)이 형성된다.

#### [액적-도포 게이트 배선 형성 단계(42)]

액적-도포 게이트 배선 형성 단계(42)가 도 5b 및 도 5c에 도시된다. 도 5b는, 게이트 전극(13)과 그에 인접한 게이트 전극(13) 사이에 저장 커패시턴스 전극(14)이 형성된 후의 유리 기판(12)의 평면도이다. 도 5c는 도 5b의 선 B-B에서 취해진 단면도이다.

도 5b에 도시된 바와 같이, 임의의 게이트 전극(13)의 부분이 그 임의의 게이트 전극(13) 다음의 저장 커패시턴스 전극(14)을 향하여 돌출된다. 그 부분이, 도 1 및 도 2a에 도시된 바와 같이, 최종적으로 TFT부 게이트 전극(66)이 될 것이다. 그러나, 도 5에 도시된 게이트 전극(13) 중 상부 것의 TFT부 게이트 전극(66)은 설명을 용이하게 하기 위해 생략되어 있다.

액적-도포 게이트 배선 형성 단계(42)에서, 패턴 형성 장치를 사용하여, 도 5b 및 도 5c에 도시된 바와 같이, 유리 기판 상의 게이트 배선 형성 영역(61) 상에 배선 재료를 도포된다(그의 액적이 도포된다). 배선 재료로서, 표면 코팅층으로 유기막이 코팅된 Ag 미립자가 유기 용제에 분산된 재료가 사용된다. 배선의 폭은 실질적으로 50μm이고 잉크젯 헤드(33)로부터 분사될 배선 재료의 양은 80pl로 설정된다.

잉크젯 헤드(33)로부터 친수 표면(친수/틸수 처리를 한 표면) 상으로 배선 재료가 분사된 다음, 배선 재료가 게이트 배선 형성 영역(61) 위 및 그 내부에 흘러 퍼진다. 따라서, 게이트 배선 형성 영역(61) 상에 배선 재료를 분사하는 분사 간격은 대략 500μm로 설정된다. 도포 후에, 유리 기판(12)은 350°C에서 1시간 동안 소성됨으로써, 게이트 전극(13) 및 부가의 커패시터 전극(14)을 형성한다.

소성 온도는, 다음 반도체층 형성 단계(44)에서 약 300°C의 처리 온도가 인가되기 때문에 350°C로 설정된다. 따라서, 소성 온도는 상기 온도에 한정되지 않는다. 예를 들면, 유기 반도체가 형성되는 경우에, 어닐링 온도는 100°C 내지 200°C의 온도로 설정될 수 있다. 이 경우에, 소성 온도는 200°C 내지 250°C의 더 낮은 온도로 설정될 수 있다.

더우기, 배선 재료로서, 미립자 또는 유기 용제의 페이스트 재료를 사용하는 것이 가능하다. 미립자 또는 페이스트 재료로는, Ag 이외에, Ag-Pd, Ag-Au, Ag-Cu, Cu, Cu-Ni 등의 단체 또는 합금으로 이루어질 수 있다. 또한, 배선 재료에 대해서는, 필요한 소성 온도에 따라 미립자를 보호하고 있는 표면 코팅층이나 유기 용매에 포함된 유기 재료의 해리(dissociation) 온도를 제어함으로써, 원하는 저항값 및 표면 상태를 얻는 것이 가능하다. 해리 온도는 표면 코팅층 및 유기 용매가 증발하는 온도이다.

#### [게이트 절연층 형성/반도체층 형성 단계(43)]

게이트 절연층 형성/반도체층 형성 단계(43)가 도 6a에 도시되어 있다.

게이트 절연층 형성/반도체층 형성 단계(43)에서, 게이트 절연층(15), a-Si막 형성층(64) 및 n+ 막 형성층(65)이 액적-도포 게이트 배선 형성 단계(42)에 속한 유리 기판(12) 상에 CVD에 의해 연속적으로 형성된다. a-Si막 형성층(64)은 CVD(화학 기상 증착) 방법에 의해 형성된다. 게이트 절연층(15), a-Si막 형성층(64) 및 n+ 막 형성층(65)의 각각의 두께는, 0.35μm, 0.15μm 및 0.05μm이고, 진공 상태를 파괴하지 않고(즉, 진공 상태가 유지된 채로) 형성(증착)된다. 층 형성(증착)은 300°C의 온도에서 실행된다.

#### [반도체층 형성 단계(44)]

반도체층 형성 단계(44)가 도 6b 내지 도 6e에 도시되어 있다. 도 6e는 반도체층 형성 단계(44)에서 처리된 유리 기판(12)을 도시하는 평면도이다. 도 6d는 도 6e의 선 C-C에서 취해진 사시도이다. 도 6b 내지 도 6c는 반도체층 형성 단계(44)에서의 각 단계를 설명하는, 도 6d에서와 동일한 배선에서 취해진 수직 단면도이다.

반도체층 형성 단계(44)에서, 레지스트 재료가 n+ 막 형성층(65) 상에 도포된 다음, 포토리소그래피 단계 및 애칭 단계를 통해 레지스트 재료가 처리됨으로써, 도 6b에 도시된 바와 같이, 반도체층(16)의 형상을 갖는 레지스트층(67)을 형성한다.

다음에, 도 6c에 도시된 바와 같이, 가스(예를 들면, SF<sub>6</sub> + HCl)를 사용하여 n+ 막 형성층(65) 및 a-Si막 형성층(64) 상에 드라이 애칭을 수행함으로써 n+ 막(69) 및 a-Si층(68)을 형성한다. 그 후에, 유리 기판(12)을 유기 용제로 세정하여, 도 5d에 도시된 바와 같이, 레지스트층(67)을 벗겨 제거한다.

### [소스/드레인 배선 전처리 단계(45)]

소스/드레인 배선 전처리 단계(45)에서, 도 1에 도시된 소스 전극(17)과 드레인 전극(18)이 각각 형성되는 영역(소스 형성 영역/드레인 형성 영역)의 아웃라인을 따라 배선 가이드가 형성된다.

여기에서, 소스 배선과 드레인 배선에 대응하는 소스 전극(17)과 드레인 전극(18)이 매트릭스로 배열되고, TFT부(22) 상에 위치된 소스 전극(17)과 드레인 전극(18)이 동시에 형성된다. 따라서, 소스/드레인 형성 영역은 소스 배선 및 드레인 배선의 형성 영역을 포함한다.

배선 가이드는 포토레지스트 재료로 이루어진다. 특히, 포토레지스트는 반도체 형성 단계(44)에서 처리된 유리 기판(12) 상에 도포된다. 다음에, 유리 기판은 프리베이크(prebake)된다. 그 후에, 포토마스크를 사용하여 유리 기판을 노광하여 현상한다. 다음에, 포스트베이크(postbake)를 수행하여 배선 가이드를 형성한다. 형성된 배선 가이드는 따라서 여기에서는 약  $10\mu\text{m}$ 의 폭을 갖는다. 배선 가이드에 의해 형성된 홈(groove)의 폭(배선 형성 영역의 폭)은 약  $10\mu\text{m}$ 이다.

$\text{SiN}_x$  표면(게이트 절연층(15)의 상부면)을 산소 플라즈마를 사용하여 친수 처리를 하여, 패턴 형성 장치에 의해 도포되는 배선 재료의 하지면과 친해지도록 한다. 한편, 플라즈마에  $\text{CF}_4$  가스를 흘려 배선 가이드를 탈수 처리를 행한다.

친수/탈수 처리는 기본적으로, 일본 특허 출원 특개2000-353594(유럽 특허 출원 EPO 989778 A1)에 개시된 친수/탈수 처리와 동일하다. 배선 가이드에는, 포토레지스트 재료(유기 수지)의 표면층이  $\text{F}$ (플루오린)로 변성되기 때문에 탈수성이 부여된다.  $\text{CF}_4$  가스 대신,  $\text{CF}_6$  가스를 사용해도 된다.

또한, 배선 가이드를 형성하는 대신에, 게이트 전극 형성에 이용한 광축매에 의한 친수/탈수 처리를 적용하여 배선 전극 패턴에 따른 친수 및 탈수를 수행할 수 있다(그리하여, 소스/드레인 배선 영역으로서의 친수 영역 및 비소스/드레인 배선 형성 영역으로서의 탈수 영역을 형성한다).

### [액적-도포 소스/드레인 배선 형성 단계(46)]

액적-도포 소스/드레인 배선 형성 단계(46)에서, 패턴 형성 장치를 이용하여 배선 재료를, 배선 가이드를 사용하여 형성된 소스/드레인 형성 영역 상에 도포한다(그 재료의 액적이 도포됨). 이에 의해, 소스 전극(17) 및 드레인 전극(18)이 형성된다. 여기에서, 잉크젯 헤드(33)로부터 분사될 배선 재료의 양은  $2\text{pl}$ 로 설정된다. 또한, 배선 재료로서  $\text{Ag}$  미립자가 사용된다. 형성될 층의 두께는  $0.3\mu\text{m}$ 로 설정된다. 소성 온도는  $200^\circ\text{C}$ 로 설정된다. 소성 후에, 유기 용제를 사용하여 배선 가이드를 제거한다.

배선 재료는 게이트 전극(13)용으로 사용되는 것과 동일할 수 있다. 그러나,  $\text{a-Si}$ 층이 약  $300^\circ\text{C}$ 의 온도에서 형성되기 때문에, 소성 온도는  $300^\circ\text{C}$  이하로 행하는 것이 필요하다.

### [채널부 처리 단계(47)]

여기에서는, TFT의 채널부(72)가 처리된다. 우선, 유기 용제를 사용하여 배선 가이드를 제거한다. 대안으로, 채널부(72)의 배선 가이드를 애싱(ashing)으로 제거한다. 다음에,  $\text{n}^+$ 층(69)을 애싱 또는 레진저 산화로 산화시켜  $\text{n}^+$ 층(69)을 절연시킨다.

### [보호층 형성 단계(48), 보호층 처리 단계(49)]

보호층 형성 단계(48) 및 보호층 처리 단계(49)에서, 우선, 보호층(19)이 될  $\text{SiO}_2$ 층(도 2b 참조)을, 소스 및 드레인 전극이 형성될 때까지 처리된 유리 기판(12) 상에 CVD를 사용하여 형성한다. 다음에,  $\text{SiO}_2$ 층 상에, 광감성 아크릴 수지층(20)이 될 아크릴 수지를 도포하여 레지스트층 상에 화소 전극 패턴 및 전극 처리 패턴을 형성한다.

상기 패턴 형성에 있어서는, 마스크에, (i) 레지스트층이 현상 후에 모두 제거되도록 하는 부분, 및 (ii) 두께에 있어서 실질적으로 상부가 절반이 현상 후에 제거되도록 하는 부분을 형성한다. 후자는 투과율이 약 50%인 하프톤 노광용의 영역이다.

특히, 보호층(19) 및 광감성 아크릴 수지층(20)을 에칭하여, 단자면이 컨택홀(24) 내에 형성되는 부분에서 레지스트층 모두를 제거하고, 화소 전극(21)이 형성되는 부분에서 레지스트층의 두께를 감소시킨다. 상기 부분에서 레지스트층 두께의 감소 결과, 레지스트층의 두께가 도포된 레지스트층의 두께의 절반이 되어, 광감성 아크릴 수지층(20)에서의 화소 전극 형성 패턴 주위의 부분이 도 2b에 도시된 가이드가 될 것이다.

다음에, 마스크로서 레지스트층을 사용하여, 단부에 위치된 보호층(19), 및 광감성 아크릴 수지층(20)을 드라이 에칭으로 제거한다.

### [화소 전극 형성 단계(50)]

감광성 아크릴 수지층(20)의 화소 전극 형성 패턴 상에, 화소 전극 재료가 되는  $\text{ITO}$  미립자 재료를 패턴 형성 장치에 의해 도포한다. 그 후에, 처리된 유리 기판(12)을  $200^\circ\text{C}$ 의 온도에서 소성하여 화소 전극(21)을 형성한다. 이에 의해, TFT 어레이 기판(11)이 얻어진다.

전술한 바와 같이, TFT 어레이 기판(11)의 본 제조 방법에 따라, 잉크젯 방법을 사용하는 패턴 형성 장치가 적용되지 않는 종래의 제조 방법에 비해, 많은 마스크 수가 감소되고, 포토리소그래피 단계 및 많은 전공층 형성 장치를 현저히 감소할 수 있다. 이것은 투자될 장치 비용을 현저히 감소시킨다.

전술한 제조 단계에 의해 바닥 게이트 구조를 갖는 TFT부(22)를 포함하는 TFT 어레이 기판(11)을 제조하는 것이 가능하다. 그러나, 제조 단계가 상부 게이트 구조를 갖는 TFT부(22)를 포함하는 TFT 어레이 기판(11)을 제조하기 위해서는 도 18의 흐름도에 도시된 바와 같이 변경된다.

도 18에 도시된 단계(121 내지 132)는 그와 각각 관련하는 단계의 참조 번호(41 내지 50)와 각각 관련이 있다.

상부 게이트 구조의 제조 단계에서, 게이트 전극(13)의 형성은, 소스 전극(17) 및 드레인 전극(18)의 형성 및 반도체층(16)의 형성 후에 실행된다. 그러나, 단계(121 내지 132)는 기본적으로 실행되는 것에 관하여 그에 각각 대응하는 단계(41 및 50)과 동일하다.

그러나, 게이트 절연층 형성/반도체층 형성 단계(43)는, 반도체  $n^+$  층 형성 단계(123), 반도체  $n^+$  층 형성(처리) 단계(124), 반도체층(a-Si층) 형성 단계(125), 반도체층 형성(처리) 단계(126), 및 게이트 절연층 형성 단계(127)로 분할된다.

반도체층(16) 형성 설명에서 설명된 바와 같이, 반도체  $n^+$  층 형성(처리) 단계(124) 및 반도체층 형성(처리) 단계(126) 각각에서, 포토리소그래피 단계 및 에칭 단계에서 형성된 레지스트를 마스크로 사용하여 드라이 에칭이 실행된다.

다음에, TFT부(22)에 소스 전극(17) 및 드레인 전극(18)을 형성하는 방법이 추가로 설명된다.

소스 전극(17)과 드레인 전극(18)은, 도 1 및 도 2a에 도시된 바와 같이, TFT부 게이트 전극(66)을 교차하도록 형성된다. 도 1에 도시된 장치에서, 소스 전극(17) 및 드레인 전극(18)은 TFT부(22)에서 복수의 분기(분기 전극)으로 분기된다. 환연하면, 소스 전극(17)과 드레인 전극(18) 각각은 복수의 분기 전극을 갖는 분기부(17a 또는 18a)를 구비한다. 특히, 소스 전극(17)에는 분기 전극부(17a)이 제공되는 반면, 드레인 전극에는 분기 전극부(18b)가 제공된다. 소스 전극(917)의 분기 전극부(17a)의 분기 전극 및 드레인 전극(18)의 분기 전극부(18b)의 분기 전극은 교대로 배열된다. 분기 전극부(17a 및 18b)의 인접한 분기 전극들 간의 갭(gap)은 채널부(72)이다. 분기 전극부(17a 및 18a)의 분기 전극의 폭은, 예를 들면, 10  $\mu\text{m}$ 이다. 채널부(72)의 폭(분기 전극부들(17a 및 18b) 간의 거리)은, 예를 들면, 10  $\mu\text{m}$ 이다.

TFT부(22)의 소스 전극(17)과 드레인 전극(18)이 패턴 형성 장치로부터 전극 재료를 적하함으로써 형성되는 경우에, 배선 재료의 미세한 액적이 각각의 전극 상에 도포되거나, 배선 재료의 액적이 복수의 배선에 걸쳐 도포된다.

여기에서, 배선의 폭은 통상적으로 수  $\mu\text{m}$ 이다. 직경이 수  $\mu\text{m}$ 를 갖는 액적을 실현하기 위해, 패턴 형성 장치가 1pl보다 더 작은 양을 분사하는 것이 필요하다. 그러나, 그러한 직경의 액적을 실현하는 것은 어렵다. 더우기, 그러한 직경의 액적이 실현되더라도, 요구되는 시간 및 잉크젯 헤드(33)의 수명을 고려하면, 미세한 액적을 액정 패널에 있는 2 내지 3 밀리언의 TFT부(22) 상에 적하하는 것은 어렵다. 따라서, 수  $\mu\text{m}$ 보다 큰 직경을 갖는 액적이 적하(도포)된다.

이 경우에, 액적이 채널부(72)의 전극(분기 전극부(17a 및 18a)의 분기 전극) 상에 직접 도포되면, 액적이 스플래시하여, 배선 재료가 채널부(72) 상에 부착되거나 배선 재료가 잔류하게 될 것이다.

배선 재료가 채널부(72) 상에 잔류하는 경우에, 잔류하는 배선 재료는 채널부(72)의  $n^+$  층(69)에 침투하여 마스크로서 동작하여,  $n^+$  층(69)이 남아있게 된다. 이것은 소스 전극(17)과 드레인 전극(18) 간 누설의 원인이 된다.

채널부(72)의 제조는 누설의 원인을 설명하기 위해 하기에 설명된다. 도 13의 선 E-E'에서 취해진 단면도인 도 14a는 소스 및 드레인 전극이 형성되기 전의 상태를 도시한다. 여기에서, 가이드(200)는, a-Si층(68) 및  $n^+$  층(69)으로 구성된 반도체층(16)이 형성된 후에 형성된다. 가이드(200)는 채널부(72) 상의 소스 전극(17)과 드레인 전극(18)을 분리하기 위한 것이다.

상기 단면도에서, 반도체층(16)이 형성될 게이트 절연층(15)의 단지 상부 및 게이트 전극(66)이 여기에서는 생략되어 있다.

도 14b는 소스 전극(17) 및 드레인 전극(18)의 재료가 도포되고 소성이 실행된 후의 다음 상태를 도시한다. 도 14c는 가이드(200)이 유기 용제를 사용하거나 또는 애싱에 의해 제거된 후의 다음 상태를 도시한다. 이 상태에서,  $n^+$  층(69)은 반도체층(16) 상에 여전히 존재한다.  $n^+$  층이 그와 같이 남아 있으면, 소스 전극(17)과 드레인 전극(18) 상에 전압을 인가하면  $n^+$  층이 구비하고 있는 캐리어에 의해 전류를 쉽게 흐르게 하는 원인이 된다.

따라서,  $n^+$  층(69)이 제거될 필요가 있다.  $n^+$  층(69)을 제거하기 위해, SF6+ HCl 같은 가스를 사용하여 드라이 에칭이 사용된다. 더우기,  $n^+$  층(69)을 제거하는 것 대신,  $n^+$  층(69)을 애싱 또는 레이저 산화에 의해 비도전체로 변환할 수 있다.

도 14d는  $n^+$  층(69)이 제거된 후의 상태를 도시한다. 이와 같은 방식으로, 채널부(72)의 제조가 완료된다.

여기에서, 전극 재료가 채널부(72)의 가이드(200) 상에 잔류하는 경우에,  $n^+$  층(69)의 제거 또는  $n^+$  층(69)의 비도전체로의 변환이 충분히 수행되지 않는다.

예를 들어, 도 13은, 전극 재료가 소스 전극(17)과 관련된 측면 상의 채널부(72)의 부분에 잔류하는 경우를 도시한다. 도 14e는 선 E-E'에서 취해진 단면을 도시한다. 도 14e에 도시된 바와 같이, 전극 재료의 잔류물(Q)이 가이드(200) 상에 잔류하면, 도 14f에 도시된 바와 같이, 잔류물(Q)이 가이드(200)을 제거하는 단계에서 마스크로서 동작하여, 가이드(200)의 부분이 잔류하게 된다. 이것은 유기 용제를 사용하는 공정의 경우에 또는 애싱에 의해 벗겨내는 경우에 유사하게 발생할 수 있다.

도 14f에 도시된 바와 같이, 가이드(200)의 부분이 채널부(72) 상에 잔류하게 되면, 도 14g에 도시된 바와 같이, n+ 층(69)을 제거하는 다음 단계에서, 잔류물(Q)이 존재하는 영역(잔류물(Q)이 충분히 제거되지 않은 영역에 있는 n+ 층(69)의 부분)에서 n+ 층(69)이 완전히 제거될 수 없다. 유사하게, n+ 층(69)을 애싱 또는 레이저 산화에 의해 비도전체로 변환하는 단계에서, 잔류물(Q)이 존재하는 영역에 있는 n+ 층(69)의 부분이 비도전체로 충분히 변환되지 않게된다.

전술한 바와 같이, 잔류물(Q)은 n+ 층(69)이 채널부(72) 상에 잔류하게 하는 원인이 된다. 따라서, 잔류물(Q)이 도 15에 도시된 바와 같이 소스 및 드레인 전극(17 및 18)을 브릿지하게 되면, 소스 및 드레인 전극(17 및 18) 간에 누설 전류가 흐르게 된다. 물론, 이 부분에는, n+ 층(69)이 잔류하게 된다. 따라서, n+ 층(69)에 대한 처리가 완료된 후에 잔류물(Q)이 제거되더라도, n+ 층(69)을 통하여 소스 및 드레인 전극(17 및 18) 간에 전류가 흐르게 된다. 따라서, 소스 및 드레인 전극(17 및 18) 간에 누설이 발생하게 된다.

전술한 바와 같이, 소스 및 드레인 전극(17 및 18)을 형성할 때 잔류물(Q)이 형성되는 것을 회피하는 것이 중요하다.

따라서, 소스 및 드레인 전극(17 및 18)이 TFT부(22)에 형성되는 경우에, 배선 재료의 액적은, 채널부(72)(반도체층(16))가 형성되는 부분에는 피하면서, 소스 전극(17) 및 드레인 전극(18)이 형성되는 영역의 부분에 적하된다. 특히, 소스 전극(17)과 드레인 전극(18)이 전술한 바와 같이 분기 전극부(17a 및 18a)를 구비하는 경우에, 분기하는 부분(17b 및 18b)에 각각 대응하는 위치가 (액적이 적하되는) 적하 위치(81)가 된다.

또한, 적하 위치(81)는 패턴 형성 장치가 어떻게 정확하게 액적을 도포(적하)할 수 있는지(도포 정확도)를 고려하여 설정된다. 적하 위치(81) 내에, 분기하는 위치(17b 및 18b)가 각각 위치된다. 패턴 형성 장치의 도포 정확도, 즉, 목표가 되는 적하 위치로부터 액적이 실질적으로 도포되는 위치까지의 이동 길이는, (i) 잉크젯 헤드(33)의 제조 에러, (ii) 헤드 노즐 상에 부착된 액적의 양, (iii) 양에 있어서 액적의 균등함, (iv) X방향 구동부(34) 및 Y방향 구동부(35)에 의해 반복되는 잉크젯 헤드(33)의 구동 및 위치의 정확도, (v) 잉크젯 헤드(33)의 열 팽창, (vi) 분사시, 잉크젯 헤드(33)의 이동 속도, 및 (vii) 기타 인자들에 의존한다. 또한, 패턴 형성 장치에 의한 액적의 도포(적하)는, 예를 들면, 노즐이 이동하지 않는 동안 하나의 노즐이 액적을 분사하는 경우에  $\pm 3\mu\text{m}$  내지  $\pm 5\mu\text{m}$ 의 정확도로 실행된다. 다수의 노즐의 경우에, 패턴 형성 장치에 의한 액적의 도포는, 예를 들면, 노즐이 이동하지 않는 동안  $\pm 10\mu\text{m}$  내지  $\pm 15\mu\text{m}$ 의 정확도로 실행된다.

본 실시예에서, 하나의 액적의 양은 복수의 배선이 하나의 액적으로부터 생성된다는 점, 전극의 폭보다 더 큰 직경을 갖는 액적으로부터  $10\mu\text{m}$ 의 폭을 갖는 전극이 형성된다는 점, 및 잉크젯 헤드(33)의 헤드 수명 및 택트(tact) 시간을 고려하여 4pl로 설정되고, 된다. 하나의 액적이 상기 양을 가질 때, 적하시(액적이 유리 기판(12)의 표면에 부딪칠 때) 액적의 직경은 대략  $20\mu\text{m}$ 이다. 따라서, (i) 분기 전극부(17a 및 18a)의 폭과 (ii) 적하시 액적의 직경 간의 비율은 실질적으로 1:2가 되는 것이 바람직하다.

또한, 상기 조건을 고려하면, 도 7에 도시된 바와 같이, 적하 위치(81)는 반도체층(16)(a-Si층(68))의 에지로부터 각각 30  $\mu\text{m}$  떨어진 위치에 위치된다. 도 7에서, 참조 부호(82)는 적하 위치(81)의 적하 중심을 정의하고, 참조 부호(83)은 적하 중심(82)으로부터 15  $\mu\text{m}$  이내에 있는 적하 중심 허용 범위를 정의한다. 참조 부호(84)는, 액적이 적하 위치(81)(적하 중심(82))로부터 채널부(72)를 향하여 15  $\mu\text{m}$  만큼 떨어진(이동된) 위치에 도포되는 경우에 대한 적하 위치(20  $\mu\text{m}$ 의 액적의 직경을 가짐)를 도시한다.

전술한 바와 같이, 채널부(72)로부터 떨어진 적하 위치(81)에 액적을 도포(적하)함으로써 소스 전극(17) 및 드레인 전극(18)을 형성하는 것에 의해, 배선 재료의 스플래시 액적이 TFT 상에, 즉, 채널부(72)에 부착되지 않아 소스 전극(17)과 드레인 전극(18) 간의 누설을 방지할 수 있다. 따라서, 소스 전극(17)과 드레인 전극(18)이 배선 재료의 액적을 적하하여 형성되는 경우에 안정한 TFT 특성을 얻는 것이 가능하다.

## [제2 실시예]

본 발명의 또 다른 실시예는 도면을 참조하여 하기에 설명된다.

본 실시예에서, TFT 어레이 기판(11)의 TFT부(22)(도 2a 참조)는 도 8에 도시되어 있는 바와 같이 배열된다. TFT부(22)에는 전술한 소스 전극(17) 및 드레인 전극(18) 대신 소스 전극(91) 및 드레인 전극(92)이 제공된다. 또한, 반도체층(16)을 대체하는 반도체층(93)은 도포(적하)되는 액적의 형상과 닮은 실질적으로 원의 형상을 갖는다.

소스 전극(91) 및 드레인 전극(92)에는, 소스 전극(17) 및 드레인 전극(18)에서와 같이, 분기 전극부(91a 및 92a)가 제공된다. 분기 전극부(91a 및 92a)는, 예를 들면, 각각 분기하는 부분(91b 및 92b)에서 두 개의 분기로 분기된다(두 개의 분기 전극을 가짐). 분기의 수(분기 전극)는 임의적으로 설정될 수 있다.

지금까지 설명한 바와 같이, 도 1에 도시된 배열에서, 소스 전극(17)의 분기 전극부(17a)의 분기 전극과 드레인 전극(18)의 분기 전극부(18a)의 분기 전극이, TFT부 게이트 전극(66)이 게이트 전극(13)으로부터 돌출되는 방향들(각각 반대인 두 방향)에 평행하게 분기하는 부분(17b 및 18b)으로부터 우선적으로 연장된다. 다음에, 분기 전극부(17a 및 18a)의 분기 전극이, TFT부 게이트 전극(66)이 돌출되는 방향에 수직인 방향으로 TFT부 게이트 전극(66) 위에 연장된다.

한편, 도 8에 도시된 배열에서, 소스 전극(91)의 분기 전극부(91a)의 분기 전극과 드레인 전극(92)의 분기 전극부(92a)의 분기 전극이 경사진 방향들(두 방향)로 연장되어, 분기 전극부(91a)의 분기 전극들 간의 갭을 확장하고, 분기 전극부(92a)의 분기 전극들 간의 갭을 확장하게 된다. 다음에, 분기 전극부(91a 및 92a)의 분기 전극이, TFT부 게이트 전극(66)이 돌출되는 방향에 수직인 방향으로, TFT부 게이트 전극(66) 위에서 연장된다.

환언하면, 분기 전극부(91a 및 92a)는 서로 평행하게 되고 반도체층(93) 상에 있는 평행부를 구비하며, 여기에서, 분기 전극부(91a 및 92a)의 분기 전극은 평행부와 분기하는 부분(91b 또는 92b) 사이에 선형이 된다.

또한, 전술한 바와 같이, 본 실시예에서, 반도체층(93)은 도포된 액적의 형상을 닮은 실질적으로 원의 형상이다. 이 경우의 TFT 어레이 기판(11)의 제조 방법이 하기에 설명된다.

상기 제조 방법은 제 1 실시예에 설명된 방법에서 게이트 전처리 단계(41)에서 게이트 절연층 형성/반도체층 형성 단계(43)(도 9a 참조)까지, 그리고 반도체층 형성 단계(44)이 후의 소스/드레인 배선 전처리 단계(45)부터 화소 전극 형성 단계(50)까지 동일한다. 반도체층 형성 단계(44)는 다음과 같이 실행된다.

반도체층 형성 단계(44)는 도 9b 내지 도 9e에 도시된다. 도 9e는 반도체층 형성 단계(44) 처리가 된 유리 기판(12)를 도시하는 평면도이다. 도 9d는 도 9e의 선 D-D에서 취한 단면도이고, 도 9b 및 도 9c는 도 9d와 마찬가지로, 도 9e의 선 D-D에서 취해진 수직 단면도이다.

반도체층 형성 단계(44)에서, 도 9b에 도시된 바와 같이, 패턴 형성 장치에 의해 게이트 전극(13)으로부터 분기된 TFT부 게이트 전극(66)(분기 전극부) 상에 위치된 n+ 막 형성층(65) 상에 가열-경화가능 수지를 레지스트 재료로 도포하여 가열-경화가능 수지를 그 위에 부착한다. 이러한 방법으로 형성된 레지스트층(94)은 처리용으로 사용된 패턴이 된다. 예를 들면, 10pl의 레지스트 재료의 하나의 액적을 분사한다. 이에 의해, 약 30 $\mu$ m의 직경을 갖는 원형상의 패턴이 TFT부 게이트 전극(66) 상의 소정 위치에 형성된다. 따라서, 마련된 기판이 150°C의 온도에서 소성된다. 레지스트층(94)용의 가열-경화 가능 수지로서, 도쿄 오까 고교사의 레지스트 TEF 시리즈에서의 수지가 사용된다. 레지스트 TEF 시리즈의 수지는 잉크 분사에 적절하게 되도록 점성이 조절된 후에 사용된다.

UV(자외선) 수지 또는 포토레지스트는, 가열-경화가능 수지외에, 레지스트층(94)의 재료로서 사용될 수 있다. 더우기, 레지스트층(94)이 투명하면, 그러한 투명 레지스트층(94)은 층 등이 형성되는 곳을 검사할 수 있지만, 레지스트층(94)이 반드시 투명할 필요는 없다. 더우기, 레지스트층(94)이 드라이 에칭에서의 온도에 대한 열 저항, 드라이 에칭에 사용하는 가스에 대한 가스 저항, 및 에칭될 재료에 대한 에칭 선택도를 갖는 것이 바람직하다.

다음에, 도 9c에 도시된 바와 같이, 가스(예를 들면, SF6+HCl)의 사용에 의해, n+ 막 형성층(65) 및 a-Si막 형성층(64)을 드라이 에칭하여 n+ 층(막)(69) 및 a-Si층(막)(68)을 형성한다. 그 후에, 유기 용액으로 유리 기판(12)을 세정하여, 도 9d에 도시된 바와 같이, 레지스트층(94)을 벗겨 제거한다.

전술한 바와 같이, 반도체층 형성 단계(44)에서, n+ 층(69) 및 a-Si층(68)으로 이루어진 반도체층(93)의 형상은 패턴 형성 장치로부터 분사된 수지의 패턴(레지스트층(94)의 패턴)의 투영이다. 따라서, 반도체층(93)은, 레지스트층(94)의 재료의 액적이 잉크젯 헤드(33)로부터 유리 기판(12) 상에 도포(적하)될 때 형성되는 형성으로서, 원형 패턴 또는 곡선으로 이루어진 준원형 패턴으로 형성된다.

전술한 바와 같이, 반도체층(93)이 TFT부 게이트 전극(66)의 영역에서 벗어나는 형상을 반도체층(93)이 갖는 경우에, 분기 전극부(91a 및 92a)의 분기 전극의 단부가 TFT부 게이트 전극(66)의 영역(형성 영역)을 벗어나는 것이 없을(TFT부 게이트 전극(66)이 존재하는 그 내부 영역에 있을) 필요가 있다(환언하면, 단부가 TFT 게이트 전극(66)의 영역 내에 있다).

도 8에서, 반도체층(93)은, 도 7에 도시된 TFT부 게이트 전극(66)과 반도체층(16)과는 달리, TFT부 게이트 전극(66)의 에지를 넘어 연장되는 형상을 갖는다. 이 때문에, 분기 전극부(91a 및 92a)의 단부(분기 전극부(91a 및 92a)의 분기 전극의 단부)가 TFT부 게이트 전극(66)의 에지면 라인 내부에, 즉, TFT부 게이트 전극(66) 상에 있는 것이 바람직하다. 이것은, 소스 및 드레인 전극(17 및 18)이 TFT부 게이트 전극(66)을 벗어나 연장되면, 누설 전류가 증가하고 TFT 특성이 열화되기 때문이다.

다음에, 액적-도포 소스/드레인 배선 형성 단계(46)에 도시된 누설 전류의 발생 메카니즘이 도 16a, 도 16b, 도 17a 및 도 17b를 참조하여 설명된다.

도 16a는, 소스 전극(17)이 TFT부 게이트 전극(66)의 에지의 라인 내부에 그리고 TFT부 게이트 전극(66) 상에 있는 경우의 TFT부의 단면도이다. 도 16b는 도 16a의 선 G-G'에서 취해진 단면도이다. 한편, 도 17a는, 소스 전극(17)이 TFT부 게이트 전극(66)의 에지 선을 벗어나 연장되어 있는, 즉, TFT부 게이트 전극(66)을 벗어나 연장된 경우의 TFT부의 평면도이다. 도 17b는 도 17a의 선 H-H'에서 취해진 단면도이다.

도 16a 및 도 17a는 TFT부 게이트 전극(66)에 음 전위가 인가되는 경우를 도시한다. 도 16b 및 도 17b에 도시되는 바와 같이, TFT부 게이트 전극(66)은 사이에 게이트 절연층(15)을 샌드위치하고 있는 a-Si층(68)과 대면한다. 여기서, n+ 층(69)은 a-Si층(68)으로 캐리어를 도입하는 층이고, 인(P) 등으로 도핑되고 과도 전자를 갖는 층이다.

도 16a, 도 16b, 도 17a, 및 도 17b의 TFT에서, 소스 및 드레인 전극(17 및 18) 간의 누설 전류는, 예를 들면, -4V의 전압이 TFT부 게이트 전극(66)에 인가되는 경우에 측정되었다. 결과적으로, 누설 전류는, 소스 및 드레인 전극(17 및 18)이 TFT부 전극(66) 상에 있는 경우에 약 1pA이었다. 한편, 소스 및 드레인 전극(17 및 18)이 TFT부 게이트 전극(66)을 벗어나 연장된 경우에, 누설 전류는 20pA 내지 30pA로 증가되었다.

이것은, 소스 및 드레인 전극(17 및 18)이 외부로 연장되면, TFT 특성이 열화된다는 것을 증명하였다. 또한, 이러한 결과의 원인이 하기와 같이 설명될 수 있다. 먼저, TFT부 게이트 전극(66)에 음 전위가 인가되는 경우가 설명된다. TFT부 게이트 전극(66)이 음 전위를 갖는 경우, 캐리어인 전자는 음 전하들 간의 반발에 기인하여 TFT부 게이트 전극(66)으로부터 드리프트된다. 따라서, 전하가 반도체 영역 주위에 존재하고, 매우 소수의 전자가 TFT부 게이트 전극(66) 상의 a-Si층(68)에 존재한다. 이 때문에, TFT는 OFF 상태에 있게 된다.

게이트와 드레인 전극(17 및 18) 간에 전자를 흘르게 시도하더라도, 전자는 음 전위가 인가된 TFT부 게이트 전극(66)의 부분(P)을 통해 통과해야 한다. 음 전하들 간의 반발로 인해 전자가 TFT부 게이트 전극(66)을 통해 통과할 수 없게 된다. 이러한 이유로 누설 전류가 작은 것이 고려된다.

한편, 도 17a의 경우에, TFT부 게이트 전극(66)이 음 전위를 갖더라도, 전자가 음 전위가 인가되는 TFT부 게이트 전극(66)의 부분(P)을 통과할 필요가 없지만, 소스 및 드레인 전극(17 및 18)이 TFT부 게이트 전극(66)의 외부 에지를 넘어 연장되기 때문에, a-Si층(68)의 외부 원주를 따라 이동할 수 있다. 이러한 이유로, 누설 전류가 쉽게 흘르게 되는 것이 고려된다.

상기 설명으로부터 이해되는 바와 같이, 소스 및 드레인 전극(17 및 18)이 TFT부 게이트 전극(66)의 외부 에지의 내부에 (즉, TFT부 게이트 전극(66) 상에) 있는 것이 바람직하다. 다음에, TFT부 게이트 전극(66) 상에 양 전위가 인가되는 경우가 설명된다. TFT부 게이트 전극(66)이 양 전위를 갖는 경우, n<sup>+</sup>층(69)의 전자는 TFT부 게이트 전극(66)의 전위에 의해 당겨지고 캐리어가 채널부에 존재하게 된다. 따라서, 소스와 드레인 전극(17 및 18) 간에 전류가 쉽게 흘르게 되어, TFT가 ON 상태에 있게 된다. 예를 들면, 10V의 전압이 TFT부 게이트 전극(66) 양단에 인가될 때, 소스와 드레인 전극(17 및 18) 간에 약 1μA의 전류가 흘렀다. 여기에서, 소스와 드레인 전극 간의 인가 전압은 10V였다. TFT가 ON일 때, 전자는 소스와 드레인 전극(17 및 18) 간에 가장 짧은 거리에서 흘르고자 한다. 따라서, TFT부 전극(66)의 외부 에지를 넘는 소스 및 드레인 전극(17 및 18)의 연장은 영향을 미치지 못한다.

또한, 레지스트층(94)의 형성이 여기에서는 잉크젯 헤드(33)로부터 하나의 액적을 도포(적하/분사)하여 실행되더라도, 그러한 형성은 복수의 액적에 의해 실행될 수 있다. 그러나, 레지스트층(94)의 형성이 최대 정밀도, 제한 없는 크기에서 감소된 최소 액적으로 분사에 의해 실행된다면, 하나의 반도체층(93)을 형성하는데 오랜 시간이 걸리고 잉크젯 헤드(33)의 수명이 다수의 도트(분사 수)의 증가에 의해 짧아진다.

잉크젯 헤드(33)를 사용하는 각 단계에서, 원하는 영역을 갖는 층(막)의 형성은 가장 적당한 양의 액적 및 가능한 한 적은 착탄(shooting) 수(분사 수)로 액적을 도포함으로써 실행되는 것이 중요하다. 그러한 액적의 도포를 수행함으로써, 잉크젯 헤드(33)의 수명 내에 최대의 잉크젯 헤드(33)를 사용하는 것이 가능하여, 장치 비용을 가장 낮게 유지하게 된다.

또한, 반도체 형성 단계(44)는, 잉크젯 헤드(33) 외부로 분사된 액적이 적하되는 표면에 대해 특별한 처리를 필요로 하지 않는 중요한 특징을 갖는다. 액적이 적하되는 표면이 극도로 친수성을 갖는다면, 그 표면에는 패터닝이 요구된다. 그렇지 않다면, 그 표면상에 분사된 액적은 확산됨으로써, 부정형 형상을 형성하게 되어 층의 형성을 하지 못하게 된다. 그러나, a-Si 형성층(64) (표면) 상에, Si로 이루어지는 많은 수의 단부가 존재하게 된다. 이 때문에, a-Si 형성층(64)의 표면이 기본적으로 탈수 가능하다. 따라서, a-Si 형성층(64) 상의 액적은 어느 정도 큰 접촉각을 가지며, 준원 형상을 갖는다. 따라서, 기판(a-Si 형성층(64)을 특별히 처리하는 것이 불필요해진다.

또한, 큰 확률로, 짧은 문자간 거리를 갖는 물질이 소성, 가스에서의 처리(드라이-에칭) 등의 처리에서 처리된 기판의 표면상에 부착하는 경향이 있다. 따라서, a-Si와는 다른 반도체, 예를 들면, 유기 반도체가 사용되더라도, 많은 경우에, 분사된 액적이 어느 정도 큰 접촉각을 가지면서 존재하게 된다.

종래에, 반도체층의 패터닝에는 마스크 및 포토리소그래피 단계가 필요하였다. 한편, 반도체층 형성 단계(44)에서, 액적이 잉크젯 헤드(33)로부터 도포되어 마스크가 되는 패턴(레지스트층(94))을 직접 당기게 된다. 따라서, 마스크를 필요로 하는 마스크 및 포토리소그래피 단계가 더 이상 필요하지 않게 된다. 이로 인해 비용이 현저히 감소된다.

도포된 액적의 형상과 얇은 반도체층(93)을 형성하기 위해, 레지스트층(94)이 액적 적하에 의해 형성되고 마스크로서 그 형성된 레지스트층(94)을 사용하여 반도체층(93)이 형성되는 전술한 방법 외에, 패턴 형성 장치를 사용하여 반도체층(93)의 재료를 직접 도포(적하)하는 방법을 적용하는 것이 가능하다. 이 경우에 반도체 재료로서, 폴리비닐카르바졸(polyvinylcarbazole: PVK) 및 폴리페닐렌비닐렌(polyphenylene vinylene: PPV) 같은 유기 반도체 재료를 사용할 수 있다.

전술한 바와 같이, 분기 전극부(91a 및 92a)에 대해서는, 분기 전극부(91a 및 92a)의 부분이 TFT부 게이트 전극(66)이 돌출되는 방향에 대하여 경사진 방향으로 연장되도록 형성되며, 그러한 부분은 각각 분기하는 부분(91b 및 92b)과 관계가 있다. (환언하면, 상기 부분은 각각 (i) 분기하는 부분(91b 및 92b)과 분기 전극부(91a 및 92a)의 평행 부분 사이에 있다.) 분기 전극부(91a 및 92a)는 주로 다음의 이유로 형성된다.

도포된 액적의 형상과 유사한 형상으로 형성되는 반도체층(93)은 반도체층(16)보다 더 크게 될 수 있다. 이 경우에, 채널부(72) 상에 스플래시 액적의 부착을 회피하기 위해, 적하 위치(81)에 있는 분기하는 부분(91b 및 92b)은, 도 1에 도시된 배열과 비교하여, TFT부 게이트 전극(66)이 위치하는 것보다 더 떨어져 위치되어야 한다. 한편, 분기하는 부분(91b 및 92b)에 대응하는 위치에 도포되는 전극 재료는 분기 전극부(91a 및 92a)의 분기 전극의 단부까지 확산될 필요가 있다. 분기하는 부분(91b 및 92b)과 관계하는 부분이 경사진 방향으로 분기 전극부(91a 및 92a)를 형성함으로써, 분기하는 부분(91b 및 92b)을 TFT부 게이트 전극(66)으로부터 더 떨어져 위치시키지만, 분기 전극부(91a 및 92b)를 분기하는 부분(91b 또는 92b)과 그 단부 사이에서 더 길게하는 것을 회피하는 것이 가능하다.

더우기, 패턴 형성 장치로부터의 액적이 채널부(72) 방향으로의 목표 적하 위치(81)로부터 이동된 위치(적하 위치(84))에 도포되는 경우라도, 예를 들면, 분기 전극부(91a 및 92b)의 부분이 경사져 있고, 상기 부분이 분기하는 부분(91b 및 92b)과 관계되어 있기 때문에, 액적이 도포되는 위치에서 분기 전극부(91a)의 분기 전극들 간의 갭이 도 1에 도시된 분기 전극부(17a)의 분기 전극들 사이의 갭보다 더 넓게된다. 결과적으로, 도 1에 도시된 배열과 비교하여 보면, 액적을 분기 전극부(91a 및 92a) 상에 적하하는 것이 쉽다. 이에 의해 전극 재료가 목표로 하는 적하 위치(81)에 대하여 보다 넓은 허용오차를 갖게 된다.

### [제3 실시예]

본 발명의 또 다른 실시예가 도 10a 및 도 10b를 참조하여 하기에 설명된다.

본 실시예에서, TFT 어레이 기판(11)의 TFT부(22)는 도 10a에 도시된 배열을 갖는다. TFT부(22)에는, 소스 전극(17) 및 드레인 전극(18) 대신에 소스 전극(101) 및 드레인 전극(102), 그리고 전술한 반도체층(16)이 제공된다. TFT 어레이 기판(11)은 제1 실시예와 동일한 방법으로 제조될 수 있다.

소스 전극(101)은, 브랜치 전극부(101a)에서 반도체층(16)에 걸쳐 연장되고, 분기하는 부분(101b)과 관계하는 부분이 (더 넓은) 큰 영역을 갖는 형상을 갖는다. (분기 전극부(101a)는 분기 전극부(101a)가 분기하는 부분(101b)에 더 가까워 질 수록 더 넓어진다.) 환연하면, 분기 전극부(101a)는 소스 전극(101)로부터 사다리꼴 형상으로 돌출되고, 사다리꼴 형상의 바닥부는 분기하는 부분(101b)이 된다. 그러한 배열을 갖기 위해, 소스 전극(101)은, 분기 전극부(101a)가 분기하는 곳으로부터의 부분에서 점진적으로 더 넓어져 소스 전극(101)에 접속된 분기 전극부(101)의 양 측면을 향하여 더 넓어지게 된다. 환연하면, 분기 전극부(101a)의 폭은 사다리꼴 형상의 두개의 바닥각(분기 전극부(101a)의 양 측면)으로부터 상부 측면까지 점진적으로 더 좁아져서, 반도체층(16)으로 돌출된다. 또한, 환연하면, 두개의 바닥각부(bottom angle section)가 소스 전극(101)의 주요 선(소스 배선)이 TFT부(22)와 관계하는 소스 전극(101)의 부분과 연속하는 것을 통하는 소스 전이(transition)부로서 언급되는 곳에, 각 소스 전이부의 폭이 반도체층(16)의 형성 영역(반도체층(16)이 존재하는 영역)을 향하여 소스 배선으로부터 점진적으로 더 넓어진다.

따라서, 그러한 배열을 갖는 소스 전극(101)에서, 전술한 적하 위치(81)은 소스 전극(101)의 부분(두개의 소스 전이부)에 위치되고, 상기 부분은 분기 전극부(101a)가 분기되는 것으로부터 분기하는 부분(101b)의 양 측면에 각각 위치되어, 전극 재료의 액적이 채널부(72)(반도체층(16)이 존재하는 영역을 벗어나 도포된다.

한편, 드레인 전극(102)는 채널부(72)를 향하여 채널부(72) 부근으로부터 점진적으로 더 넓어진다. 환연하면, 상기 부근이, 드레인 전극(102)의 배선(드레인 배선)이 TFT부(22)와 더 가까워지는 드레인 전극(102)의 부분과 연속하는 것을 통하여 드레인 전이부로서 칭한다고 가정하면, 드레인 전이부의 폭은 반도체층(16)의 형성 영역을 향하여 드레인 배선으로부터 점진적으로 더 넓어진다. 다음에, 전극 폭이 넓어지는 개시부(102a)(즉, 드레인 전이부)가 적하 위치(81)가 된다.

이러한 배열에서, 전극 재료는, (i) 산형상의 가이드를 형성하거나 (ii) 전술한 소스/드레인 배선 전처리 단계(45)에서의 친수/탈수 처리에 의해 마련된 전극 형성 영역 상에 적하된다. 다음에, 전극 형성 영역에서, 도 10b에 도시된 접촉각( $\Theta$ )으로 인해 전극 재료를 전극 형성 영역이 더 넓어지는 방향으로 당기게 되어 상기 방향으로 (자발적으로) 흐르게된다. 따라서, 적하 위치(81)가 채널부(72)(반도체층(16))가 위치된 영역을 벗어나 설정되는 경우라 하더라도, 도포된 전극 재료를 채널부(72)의 단부에 도달하게 하는 것이 쉬워진다. 따라서, 배선 재료의 도포(적하)함으로써 TFT부(22)의 소스 전극(101) 및 드레인 전극(102)을 충분히 형성할 수 있게 된다.

전극 등과 같은 배선이 전술한 바와 같이 패턴 형성 장치를 사용하여 액적을 도포하는 것에 의해 형성되는 경우에, 배선의 폭(배선 형성 영역의 폭)을 제어함으로써 도포된 액적의 흐름 방향을 제어하는 것이 가능하다.

본 제3 실시예에서, TFT가 하나의 채널부(72)로 구성되는 배열이 설명되어 있다. 그러나, 배선의 폭은 제1 및 제2 실시예에서 설명된 TFT에서의 전극부 및 및 후술될 제4 실시예에서 수정될 수 있다.

### [제4 실시예]

본 발명의 또 다른 실시예가 도 11을 참조하여 하기에 설명된다.

본 실시예에서, TFT 어레이 기판(11)의 TFT부(22)는 도 11에 도시된 배열을 구비한다. TFT부(22)에는, 소스 전극(17) 및 드레인 전극(18) 대신에 소스 전극(111) 및 드레인 전극(112), 및, 예를 들면, 전술한 반도체층(93)이 제공된다. 반도체층(93)은 실질적으로 원 형상을 가지며 게이트 절연층(15)을 사이에 샌드위치하는(도 9a 내지 도 9e 참조) 선형 게이트 배선(게이트 전극(13)의 주 배선) 위에 형성된다. TFT 어레이 기판(11)은 제2 실시예에서와 동일한 방법에 의해 제조될 수 있다.

도 1 내지 도 8에 도시된 각 배열에서, 복수의 전극이 TFT부(22)에 형성되고, 분기 전극부(17a 및 18a) 또는 분기 전극부(91a 및 92a)를 형성하여 넓은 채널부(72)를 형성한다. 그러한 배열은, 전하 이동이 큰 경우, 예를 들면, 많은 화소가 구동되는 경우에 유효하다. 또한, 상기 배열은, (i) TFT부 게이트 전극(66)의 패턴이, TFT부 게이트 전극(66)이 연장되는 방향에서, 소스 전극(17 또는 91)(분기 전극부(17a 또는 91a) 및 드레인 전극(18 또는 92)(분기 전극부(18b 또는 92b))의 패턴으로부터 이동되더라도, 또는 (ii) 특히 도 1에 도시된 배열에서, TFT부 게이트 전극(66)의 패턴이, TFT부 게이트 전극(66)이 연장되는 방향에 수직인 추가의 방향에서, 소스 전극(18 또는 92)(분기 전극부(17a 또는 91a) 및 드레인 전극(18 또는 92)(분기 전극부(18b 또는 92b))의 패턴으로부터 이동되더라도 용이하게 안정한 특성을 얻을 수 있는 장점을 구비한다.

도 11에 도시된 본 실시예의 배열에서, 소스 전극(111)으로부터 떨어져 분기되고 반도체층(93) 위로 연장되는 분기 전극부(111a) 및 채널부(72)에 가까워지는 드레인 전극(112)의 부분들이, TFT부 게이트 전극이 연장되는 방향에, 그리고 TFT부 전극(66)이 위치되는 영역에 내부에 제공된다.

환언하면, 분기 전극부(111a)의 분기 전극은 게이트 배선을 교차하는 소스 배선으로부터 게이트 배선을 따라 연장되어 반도체층(93) 상으로 연장된다. 반면, 드레인 전극(112)은 게이트 배선이 연장하는 방향에 수직으로 연장된 드레인 배선으로부터 연장되어 반도체층(93) 상에 게이트 배선을 따라 연장된다. 분기 전극부(111a)가 소스 배선으로부터 분기되는 부분은 소스 전이부로 칭해지는 반면, 드레인 전극(112)이 드레인 배선으로부터 분기되는 부분은 드레인 전이부로서 칭해진다.

이러한 배열에서, TFT부(22)는 상대적으로 작다. 이것은 높은 어퍼쳐(aperture)비의 실현하는데 장점이 있다.

상기 배열에서, 채널부(72)(반도체층(93))에서 벗어난 적하 위치(81)는, 소스 전극(111)에 대하여 분기 전극부(111a)의 분기하는 부분(111b)에 대응하는 위치(즉, 소스 전이부)에 위치된다. 또한, 드레인 전극(112)에 대하여, 적하 위치(81)는, 드레인 전극(112)이 채널부(72)를 향하여 구부러지는 위치(즉, 드레인 전이부)에 위치된다. 이러한 배열로 인해, 채널부(72)에 패턴 형성 장치로부터 도포된 전극 재료의 스플래시 액적이 부착되는 것을 방지하는 것이 가능해진다.

본 발명이 설명되었지만, 동일한 방법이 많은 방법으로 변경될 수 있다는 것은 자명할 것이다. 그러한 변경은 본 발명의 사상 및 범위를 벗어나는 것으로 간주되지 않으며, 그러한 모든 변경은 첨부되는 청구범위의 범위 내에 포함되는 것을 의도로 하는 것을 당업자에게는 자명할 것이다.

박막 트랜지스터는, 액적 도포에 의해 분기 전극부를 형성하기 위한 적하 위치 상에 액적을 도포하는 것을 고려하여, 액적이 도포되는 적하 위치로서 분기하는 부분의 위치가 채널부 상에 도포가능하게 설정되도록 배열될 수 있다.

이러한 배열은, 또한, 전극 물질의 액적을 도포하여 소스 전극 및 드레인 전극을 형성할 때 각 전극 간의 채널부 상에 스플래시 액적이 부착되는 것을 확실히 방지할 수 있다.

박막 트랜지스터는, 각 분기 전극이 반도체층 상의 다른 것에 평행하게 되는 평행부를 구비하고, 각 분기 전극이 평행부와 분기하는 부분 간에 선형이 되도록 배열될 수 있다.

상기의 배열에 따라, 각 전극 사이의 채널부 상에 스플래시 액적이 부착하는 것을 회피하기 위해, 그리고 동시에, 분기하는 부분으로부터 그의 단부까지 분기 전극의 길이가 길어지는 것을 회피하기 위해 분기하는 부분을 채널부로부터 더 멀게 확실히 위치시키는 것이 가능하다.

박막 트랜지스터는, 적어도 하나의 소스 전극과 드레인 전극이 반도체층의 형성 영역을 향하여 점진적으로 더 넓어지는 부분을 갖도록 배열될 수 있다.

이러한 배열로 인해, 전극이 넓어지는 방향으로 도포된 액적이 용이하게 흐르게하는 것이 가능하다. 따라서, 이로 인해, 적하 위치를 채널부로부터 더 멀리 위치시킬 수 있고, 적하 위치로부터 반도체층의 형성 영역을 향하여 전극 재료의 흐름을 확실히 할 수 있다.

박막 트랜지스터의 제조 방법은, 전처리 단계에서, 전극 형성 영역이, 적어도 하나의 소스 전극 및 드레인 전극이 반도체층의 형성 영역에서 떨어져 위치된 분기하는 부분에 분기부를 갖도록 형성되고, 분기부는 반도체층 상에 복수의 분기 전극을 포함하고, 제1 전극의 분기 전극이 제2 전극을 샌드위치하고 - 여기에서, 제1 전극은 소스 전극 및 드레인 전극 중 적어도 하나이고, 제2 전극은 나머지 것임 - 그리고, 액적을 도포하는 단계에서, 분기하는 부분에 각각 대응하는 위치가 전극 재료의 액적이 도포되는 적하 위치가 되도록 배열될 수 있다.

이러한 배열로 인해, 전극 재료의 액적이 분기 전극부의 분기하는 부분 상에 도포되기 때문에, 적은 횟수로 액적을 도포하여 소스 전극 및/또는 드레인 전극의 분기 전극부를 적절히 형성하는 것이 가능해 진다.

박막 트랜지스터의 제조 방법은, 적하 위치 상에 포함되는 것을 고려하여, 적하 위치를, 액적이 채널부 상에 도포되지 않도록 설정하여 배열할 수 있다.

이러한 배열로 인해, 전극 재료의 액적을 도포하여 소스 전극 및 드레인 전극을 형성할 때 전극들 간의 채널부 상에 스플래시 액적이 부착하는 것을 방지할 수 있다.

박막 트랜지스터의 제조 방법은, 각 분기 전극이, 반도체층 상에 서로 평행하게 되는 평행부를 갖고, 각 분기 전극이 평행부와 분기하는 부분 사이에 선형이 되도록 배열될 수 있다.

상기의 배열로 인해, 각 전극 사이의 채널부 상에 스플래시 액적이 부착하는 것을 회피하는 것과 동시에, 분기하는 부분으로부터 그의 단부까지 분기 전극의 길이가 길어지는 것을 회피하기 위해, 분기하는 부분을 채널부로부터 더 멀게 확실히 위치시키는 것이 가능하다.

박막 트랜지스터의 제조 방법은, 전처리 단계에서, 전극 형성 영역이, 소스 전극 및/또는 드레인 전극이 반도체층의 형성 영역을 향하여 점진적으로 더 넓어지는 부분을 갖고, 액적을 도포하는 단계에서, 부분이 점진적으로 더 넓어지는 위치에 위치된 적하 위치 상에 전극 재료의 액적이 도포되도록 배열될 수 있다.

상기의 배열로 인해, 전극 형성 영역 상에 도포된 액적이 전극 형성 영역이 더 넓어지는 방향으로 당겨져 상기 방향을 따라 흘르게 된다. 따라서, 적하 위치가 반도체층의 형성 영역에 떨어져 위치되는 경우라도, 도포된 전극 재료가 소스 전극 및 드레인 전극의 단부 - 단부는 채널부에 가까워짐 - 까지 용이하게 도달할 수 있게된다. 이러한 배열은 전극 재료의 액적 도포(적하/분사)에 의해 소스 전극 및 드레인 전극을 형성하는 것을 보장한다.

박막 트랜지스터의 제조 방법은, 전처리 단계에서, 전극 형성 영역이, 게이트 전극이 존해하는 영역에, 반도체층의 형성 영역을 향하여 각각 연장되는 소스 전극 및 드레인 전극의 부분이 게이트 전극이 연장되는 방향에 평행하게 형성되도록 배열될 수 있다.

상기 배열로 인해, 박막 트랜지스터의 최소화가 가능하다. 따라서, 예를 들면, 박막 트랜지스터가 제공되는 액정 표시 장치에서, 높은 어폐처 비를 실현하는 것이 가능하다.

본 발명이 본 발명을 실행하기 위한 최상의 모드로 실시예 및 예를 사용하여 특별히 설명되었지만, 상기 실시예 및 예는 단순히 본 발명의 기술적 특징을 설명하기 위한 것이지, 본 발명을 한정하는 것은 아니라는 것을 당업자는 이해해야 한다. 본 발명은 단지 실시예 및 예로 해석되는 것이 아니고, 본 발명의 범위 및 하기에 인용되는 청구범위의 범위 내에서 다른 방법으로 수정될 수 있다.

### 산업상 이용 가능성

본 발명은, 전극 재료의 스플래시 액적이 박막 트랜지스터의 채널부 상에 부착되지 않는 전극 배열을 갖는 박막 트랜지스터 및 그 제조 방법을 제공한다.

#### (57) 청구의 범위

##### 청구항 1.

(i) 게이트 절연층을 통해 게이트 전극에 대면하는 반도체층, (ii) 상기 반도체층과 전기적으로 접속되는 소스 전극 및 드레인 전극, 및 (iii) 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 포함하는 박막 트랜지스터에 있어서,

상기 소스 전극 및 상기 드레인 전극은 전극 재료의 액적을 도포하여 형성되고, 상기 반도체층의 형성 영역에서 떨어져 위치된 분기하는 부분에서 분기부를 구비하며, 상기 분기부는 복수의 분기 전극을 구비하고, 상기 분기 전극의 적어도 일부분은 상기 반도체층의 형성 영역에 있고, 상기 소스 전극의 분기 전극 및 상기 드레인 전극의 분기 전극이 교대로 배열되는 박막 트랜지스터.

##### 청구항 2.

제1항에 있어서,

상기 액적이 도포될 적하 위치로서의 상기 분기하는 부분의 위치는, 상기 액적을 도포하여 상기 분기 전극부를 형성하기 위해 상기 액적을 상기 적하 위치에 도포될 때를 고려하여, 상기 액적이 상기 채널부 상에 도포되도록 설정되는 박막 트랜지스터.

##### 청구항 3.

제1항에 있어서,

각각의 분기 전극은 상기 반도체층의 형성 영역 내에서 서로 평행하게 되는 평행부를 구비하고, 각각의 분기 전극은 상기 평행부와 상기 분기하는 부분 사이에서 선형이 되는 박막 트랜지스터.

##### 청구항 4.

제1항에 있어서,

상기 소스 전극과 상기 드레인 전극 중 적어도 하나는 상기 반도체층의 형성 영역 방향으로 점진적으로 넓어지는 부분을 구비하는 박막 트랜지스터.

##### 청구항 5.

제4항에 있어서,

상기 소스 전극 및 상기 드레인 전극은 상기 반도체층에 가까워지는 단부를 각각 구비하고, 점진적으로 넓어지는 상기 부분은 상기 분기하는 부분과 단부들 중 하나의 단부 사이에 위치되는 박막 트랜지스터.

### 청구항 6.

제1항에 있어서,

상기 채널부는 상기 분기 전극부의 길이보다 더 길지 않은 폭을 구비하는 박막 트랜지스터.

### 청구항 7.

제1항에 있어서,

상기 소스 전극의 분기 전극 또는 상기 드레인 전극의 분기 전극은, 상기 분기 전극이 상기 분기하는 부분으로부터 상기 채널부를 향해 연장됨에 따라 상기 분기 전극의 각각의 인접한 쌍 간의 갭(gap)이 더 넓어지는 박막 트랜지스터.

### 청구항 8.

제7항에 있어서,

상기 반도체층은, 직경이 상기 채널부 상에 위치된 게이트 전극의 폭 부분보다 더 큰 실질적으로 원형인 패턴을 구비하는 박막 트랜지스터.

### 청구항 9.

제1항에 있어서,

상기 반도체층은 직경이 상기 채널부 상에 위치된 게이트 전극의 폭 부분보다 더 큰 실질적으로 원형인 패턴을 구비하고,

각각의 분기 전극의 단부는 상기 게이트 전극의 폭 부분 내에 있지만, 상기 게이트 전극의 폭 부분을 넘지는 않는 박막 트랜지스터.

### 청구항 10.

(i) 게이트 절연층을 통해 게이트 전극에 대면하는 반도체층, (ii) 상기 반도체층과 전기적으로 접속되는 소스 전극 및 드레인 전극, 및 (iii) 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 포함하는 박막 트랜지스터에 있어서,

상기 소스 전극은 소스 전이부(transition part)를 통해 소스 배선과 연속적이 되고, 상기 드레인 전극은 드레인 전이부를 통해 드레인 배선과 연속적이되며,

상기 소스 전이부 및 상기 드레인 전이부는 상기 반도체층의 형성 영역에서 떨어져 위치되며,

상기 소스 전이부는 상기 소스 배선으로부터 상기 반도체층의 형성 영역을 향해 점진적으로 더 넓어지고/넓어지거나, 상기 드레인 전이부는 상기 드레인 배선으로부터 상기 반도체층의 형성 영역을 향해 점진적으로 더 넓어지는

박막 트랜지스터.

### 청구항 11.

박막 트랜지스터에 있어서,

선형의 게이트 배선 상에 제공되는 실질적으로 원형인 반도체층 - 상기 반도체층은 상기 선형 게이트 배선을 부분적으로 커버하고, 상기 선형 게이트 배선과 게이트 절연층을 샌드위치함 -;

상기 반도체층 상의 소스 전극 및 드레인 전극;

상기 소스 전극과 상기 드레인 전극 사이의 채널부를 포함하고,

상기 소스 전극은 소스 전이부를 통해 소스 배선과 연속되고, 상기 드레인 전극은 드레인 전이부를 통해 드레인 배선과 연속되며,

상기 소스 전이부 및 상기 드레인 전이부는 상기 반도체층의 형성 영역과 떨어져 위치되는

박막 트랜지스터.

## 청구항 12.

박막 트랜지스터를 포함하는 액정 표시 장치에 있어서,

상기 박막 트랜지스터는, (i) 게이트 절연층을 통해 게이트 전극에 대면하는 반도체층, (ii) 상기 반도체층과 전기적으로 접속되는 소스 전극 및 드레인 전극, 및 (iii) 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 포함하고,

상기 소스 전극 및 상기 드레인 전극은 전극 재료의 액성을 도포하여 형성되고, 상기 반도체층의 형성 영역에서 떨어져 위치된 분기하는 부분에서 분기부를 구비하며, 상기 분기부는 복수의 분기 전극을 구비하고, 상기 분기 전극의 적어도 일부분은 상기 반도체층의 형성 영역에 있고, 상기 소스 전극의 분기 전극 및 상기 드레인 전극의 분기 전극이 교대로 배열되는

액정 표시 장치.

## 청구항 13.

(i) 게이트 절연층을 통해 게이트 전극에 대면하는 반도체층, (ii) 상기 반도체층과 전기적으로 접속되는 소스 전극 및 드레인 전극, 및 (iii) 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 구비하는 박막 트랜지스터를 포함하는 액정 표시 장치에 있어서,

상기 소스 전극은 소스 전이부를 통해 소스 배선과 연속이 되고, 상기 드레인 전극은 드레인 전이부를 통해 드레인 배선과 연속이되며,

상기 소스 전이부 및 상기 드레인 전이부는 상기 반도체층의 형성 영역에서 떨어져 위치되며,

상기 소스 전이부는 상기 소스 배선으로부터 상기 반도체층의 형성 영역을 향해 점진적으로 더 넓어지고, 및/또는 상기 드레인 전이부는 상기 드레인 배선으로부터 상기 반도체층의 형성 영역을 향해 점진적으로 더 넓어지는

액정 표시 장치.

## 청구항 14.

박막 트랜지스터를 포함하는 액정 표시 장치에 있어서,

상기 박막 트랜지스터는,

선형의 게이트 배선 상에 제공되는 실질적으로 원형인 반도체층 - 상기 반도체층은 상기 선형 게이트 배선을 부분적으로 커버하고, 상기 선형 게이트 배선과 함께 게이트 절연층을 샌드위치함 -;

상기 반도체층 상의 소스 전극 및 드레인 전극;

상기 소스 전극과 상기 드레인 전극 사이의 채널부를 포함하고,

상기 소스 전극은 소스 전이부를 통해 소스 배선과 연속되고, 상기 드레인 전극은 드레인 전이부를 통해 드레인 배선과 연속되며,

상기 소스 전이부 및 상기 드레인 전이부는 상기 반도체층의 형성 영역과 떨어져 위치되는 액정 표시 장치.

### 청구항 15.

(i) 게이트 전극 상의 반도체층, (ii) 상기 반도체층과 상기 게이트 전극 사이의 게이트 절연층, (iii) 상기 반도체층 상의 소스 전극 및 드레인 전극, 및 (iv) 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 포함하는 박막 트랜지스터를 제조하는 방법에 있어서,

상기 반도체층 형성 단계 후에, 상기 소스 전극 및 상기 드레인 전극이 형성되는 전극 형성 영역을 형성하기 위한 전처리 단계; 및

상기 전극 형성 영역에 상기 소스 전극 및 상기 드레인 전극을 각각 형성하기 위해, 전극 재료의 액적을 상기 전극 형성 영역에 위치된 적하 위치 상에 도포하는 단계 - 상기 적하 위치는 상기 반도체층 형성 영역과 떨어져 있음 - 를 포함하는 제조 방법.

### 청구항 16.

제15항에 있어서,

상기 전처리 단계는,

상기 전극 형성 영역의 경계를 따라, 상기 게이트 절연층 및 상기 반도체층 상에 배선 가이드를 형성하는 단계; 및

배선 가이드가 형성되지 않은 상기 반도체층과 상기 게이트 절연층의 부분을 친수처리(wetting)하고 상기 배선 가이드를 탈수처리(dewetting)하는 단계를 포함하는 제조 방법.

### 청구항 17.

제15항에 있어서,

상기 전처리 단계는,

상기 게이트 절연층 및 상기 반도체층 상에, (i) 원하는 패턴에 따라 소스/드레인 배선 형성 영역으로서의 친수 영역, 및 (ii) 원하는 패턴에 따라 비소스/드레인 배선 형성 영역으로서의 탈수 영역을 형성하는 단계를 포함하는 제조 방법.

### 청구항 18.

제15항에 있어서,

전처리 단계에서, 상기 전극 형성 영역은, 상기 소스 전극 및 상기 드레인 전극 중 적어도 하나가 상기 반도체층의 형성 영역에서 떨어져 위치된 분기하는 부분에 분기부를 구비하고, 상기 분기부는 상기 반도체층 상에 복수의 분기 전극을 포함하며, 제1 전극의 분기 전극이 제2 전극을 샌드위치하도록 - 여기에서, 상기 제1 전극은 상기 소스 전극 및 상기 드레인 전극 중 적어도 하나이고, 상기 제2 전극은 나머지 것임 - 형성되고;

상기 액적을 도포하는 단계에서, 상기 분기하는 부분에 각각 대응하는 위치는 상기 전극 재료의 액적이 도포되는 적하 위치인 제조 방법.

### 청구항 19.

제15항에 있어서,

상기 적하 위치는, 상기 적하 위치에 포함되는 것을 고려하여, 상기 액적이 상기 채널부 상에 도포되지 않도록 설정되는 제조 방법.

**청구항 20.**

제15항에 있어서,

상기 적하 위치는, 상기 적하 위치에 포함되는 것을 고려하여, 상기 스플래시(splash) 액적이 상기 채널부에 부착되지 않도록 설정되는 제조 방법.

**청구항 21.**

제18항에 있어서,

각각의 분기 전극은 상기 반도체층 상에 서로 평행하게 되는 평행부를 구비하도록 형성되고, 각각의 분기 전극은 상기 평행부와 상기 분기하는 부분 사이에서 선형인 제조 방법.

**청구항 22.**

제15항에 있어서,

상기 전처리 단계에서, 상기 전극 형성 영역은, 상기 소스 전극 및/또는 상기 드레인 전극이 상기 반도체층의 형성 영역을 향하여 점진적으로 더 넓어지는 부분을 구비하도록 형성되고;

상기 액적을 도포하는 단계에서, 상기 전극 재료의 액적은, 상기 부분이 점진적으로 더 넓어지는 위치에 위치된 적하 위치 상에 도포되는 제조 방법.

**청구항 23.**

제15항에 있어서,

상기 전처리 단계에서, 상기 전극 형성 영역은, 상기 게이트 전극이 존재하는 영역에서, 상기 반도체층의 형성 영역을 향하여 각각 연장되는 상기 소스 전극 및 상기 드레인 전극의 부분이 상기 게이트 전극이 연장되는 방향에 평행하게 되도록 형성되는 제조 방법.

**청구항 24.**

제15항에 있어서,

상기 전처리 단계에서, 상기 전극 형성 영역은, 상기 소스 전극의 분기 전극 또는 상기 드레인 전극의 분기 전극이 분기 전극의 인접한 쌍간의 갭을 갖고, 상기 분기 전극으로서 더 넓어지는 갭은 상기 분기하는 부분으로부터 상기 채널부를 향하여 연장되도록 형성되는 제조 방법.

**청구항 25.**

제15항에 있어서,

상기 전처리 단계에서, 상기 전극 형성 영역은, (i) 상기 소스 전극은 소스 전이부를 통하여 소스 배선과 연속되고, 상기 드레인 전극은 드레인 전이부를 통하여 드레인 배선과 연속되며, 상기 소스 전이부 및 상기 드레인 전이부는 상기 반도체층의 형성 영역과 떨어져 위치되도록, 그리고 (ii) 상기 소스 전이부는 관련된 소스 배선을 향하여 더 좁아지고, 및/또는 상기 드레인 전이부는 관련된 드레인 배선을 향하여 더 좁아지도록 형성되고,

상기 액적을 도포하는 단계에서, 상기 전극 재료의 액적은 상기 적하 위치로서의 소스 전이부 및 드레인 전이부 상에 도포되는 제조 방법.

**청구항 26.**

제15항에 있어서,

상기 전처리 단계에서, 상기 전극 형성 영역은, (i) 상기 소스 전극과 상기 드레인 전극은 실질적으로 원형이고 상기 선형  
케이트 배선 상에 제공되는 상기 반도체층 상에 형성되고, 상기 반도체층은 상기 선형 케이트 배선을 부분적으로 커버하고  
상기 선형 케이트 배선과 함께 상기 케이트 절연층을 샌드위치하도록, 그리고 (ii) 상기 소스 전극은 소스 전이부를 통하여  
소스 배선과 연속되고, 상기 드레인 전극은 드레인 전이부를 통하여 드레인 배선과 연속되며, 상기 소스 전이부 및 상기 드  
레인 전이부는 상기 반도체층의 형성 영역과 떨어져 위치되도록 형성되며,

상기 액적을 도포하는 단계에서, 상기 전극 재료의 액적은 상기 적하 위치로서의 상기 소스 전이부 및 상기 드레인 전이부  
상에 도포되는 제조 방법.

## 청구항 27.

제15항에 있어서,

상기 적하 위치들 중 하나 위에 도포되는 액적의 직경은 상기 소스 전극 또는 상기 드레인 전극의 폭보다 더 큰 제조 방법.

## 청구항 28.

제18항에 있어서,

상기 분기 전극부에 포함되는 분기 전극의 폭과 상기 적하 위치들 중 하나 위에 도포되는 액적의 직경의 비율은 실질적으로 1 대 2인 제조 방법.

## 청구항 29.

박막 트랜지스터의 제조 방법을 포함하는 액정 표시 장치 제조 방법에 있어서,

(i) 케이트 전극 상의 반도체층, (ii) 상기 반도체층과 상기 케이트 전극 사이의 케이트 절연층, (iii) 상기 반도체층 상의 소  
스 전극 및 드레인 전극, 및 (iv) 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 포함하는 상기 박막 트랜지스터의 제  
조 방법은,

상기 반도체층 형성 단계 후에, 상기 소스 전극 및 상기 드레인 전극이 형성되는 전극 형성 영역을 형성하기 위한 전처리  
단계; 및

상기 전극 형성 영역에 상기 소스 전극 및 상기 드레인 전극을 각각 형성하기 위해, 전극 재료의 액적을 상기 전극 형성 영  
역에 위치된 적하 위치 상에 도포하는 단계 - 상기 적하 위치는 상기 반도체층 형성 영역과 떨어져 있음 -

를 포함하는 제조 방법.

## 요약

본 발명의 박막 트랜지스터 제조 방법은, (i) 전극 재료의 액적을 도포함으로써 소스 전극과 드레인 전극이 형성되는 전극  
형성 영역을 형성하는 단계, (ii) 반도체층의 형성 영역과 떨어져 위치되고 전극 형성 영역에 있는 적하 위치 상에 전극 재  
료의 액적을 도포하는 단계, 및 (iii) 전극 형성 영역에 소스 전극과 드레인 전극을 형성하는 단계를 포함한다. 이러한 구조  
에 따라, 전극 재료의 액적을 도포하여 소스 전극과 드레인 전극을 형성할 때, 각 전극들 간의 채널부 상에 스플래시 액적  
이 부착하는 것을 확실히 방지하는 것이 가능하다.

## 대표도

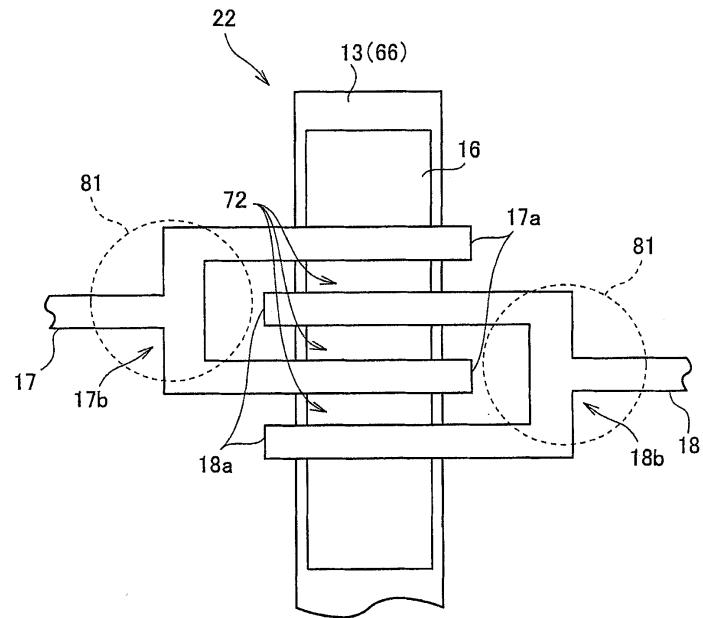
도 1

## 색인어

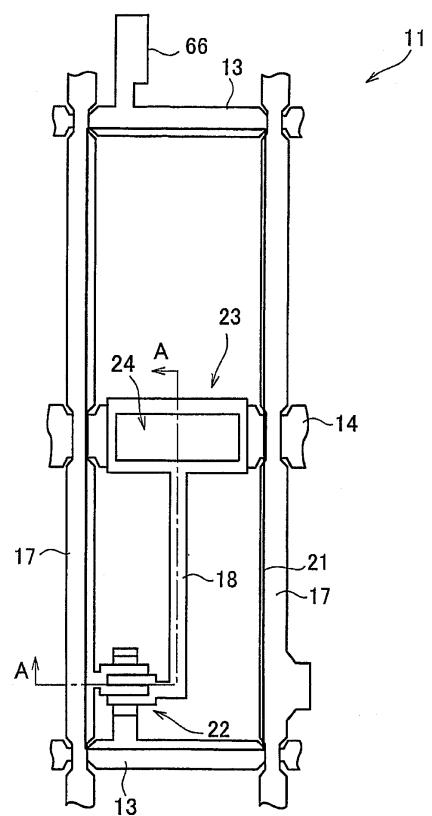
전극, 액적, 소스 전극, 드레인 전극, 적하, 도포, 분사, 박막 트랜지스터

## 도면

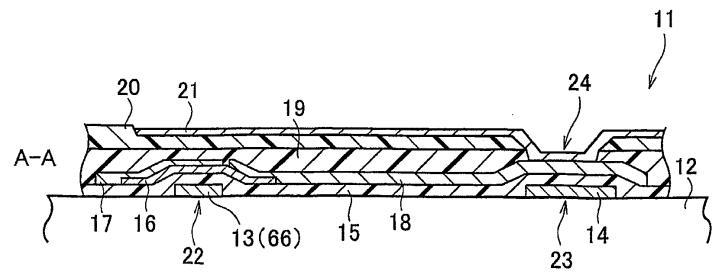
도면1



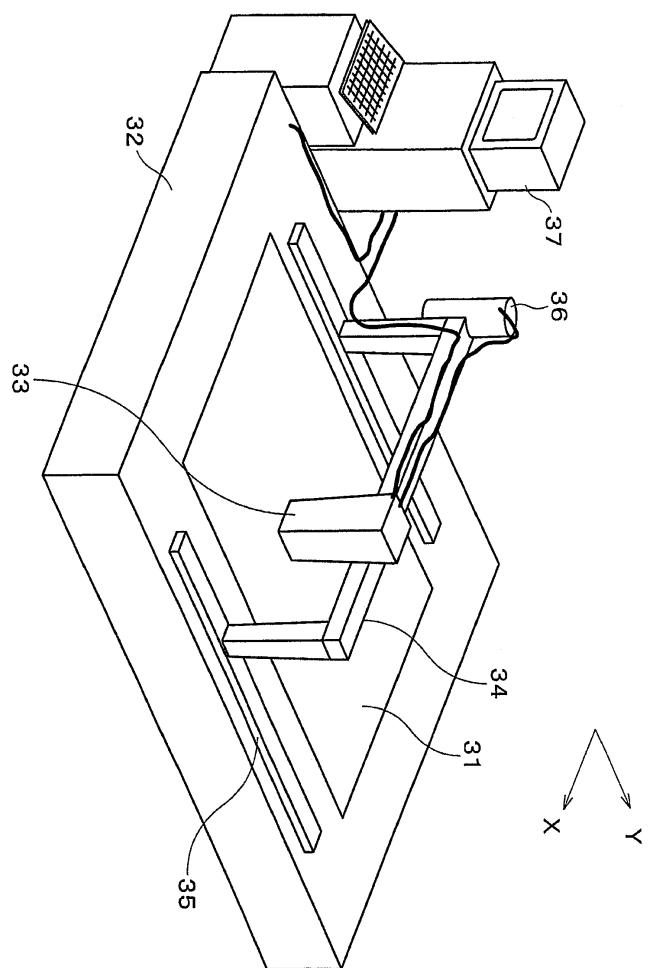
도면2a



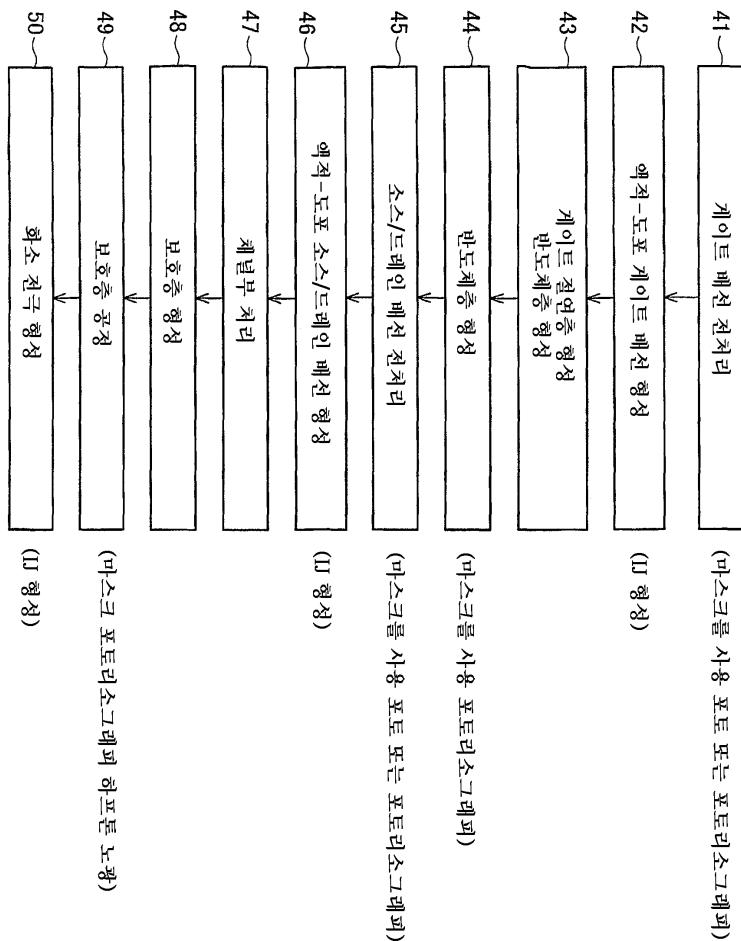
도면2b



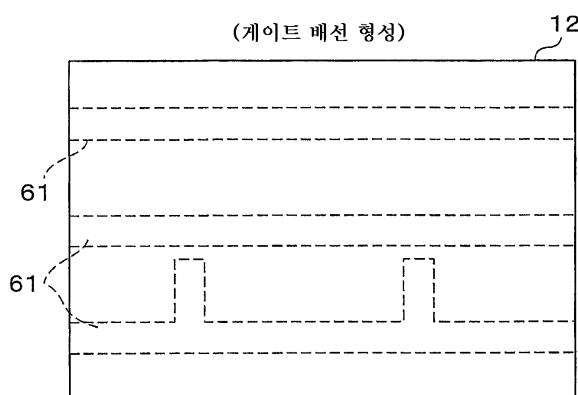
도면3



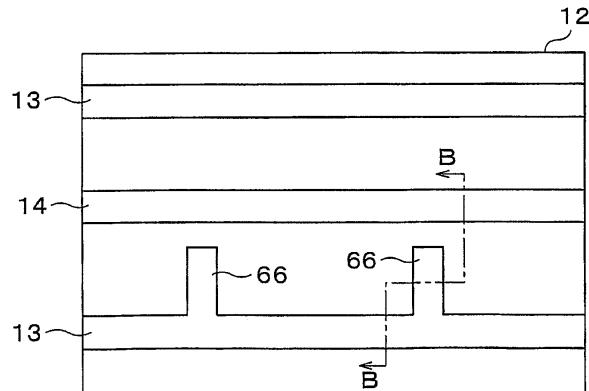
도면4



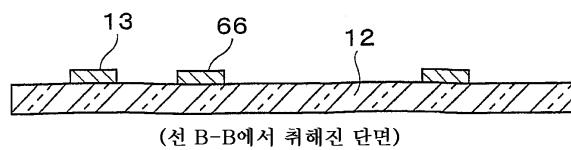
도면5a



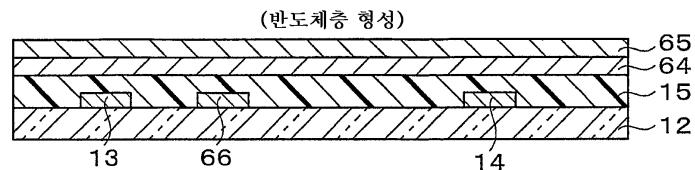
도면5b



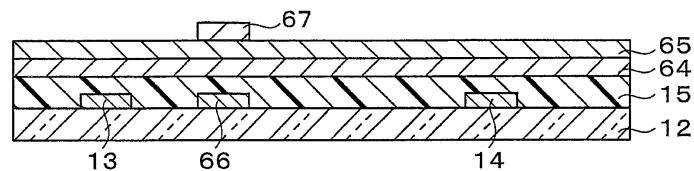
도면5c



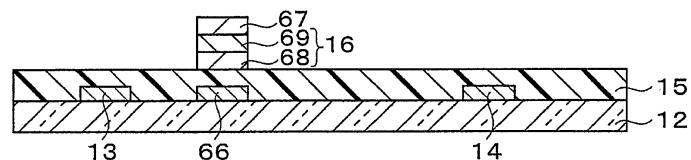
도면6a



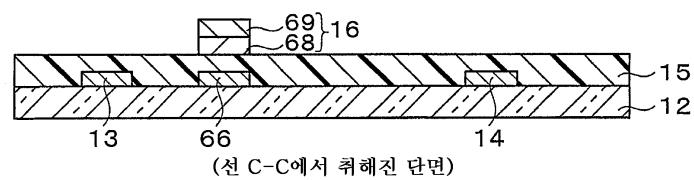
도면6b



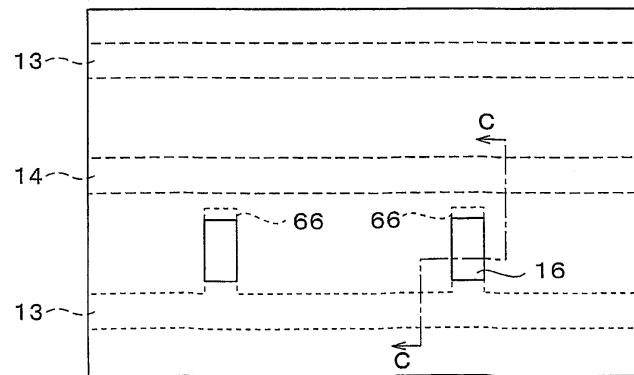
도면6c



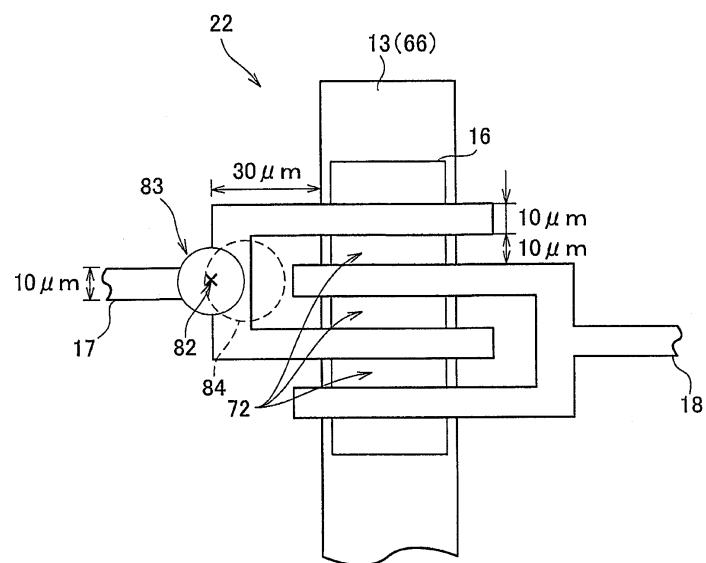
도면6d



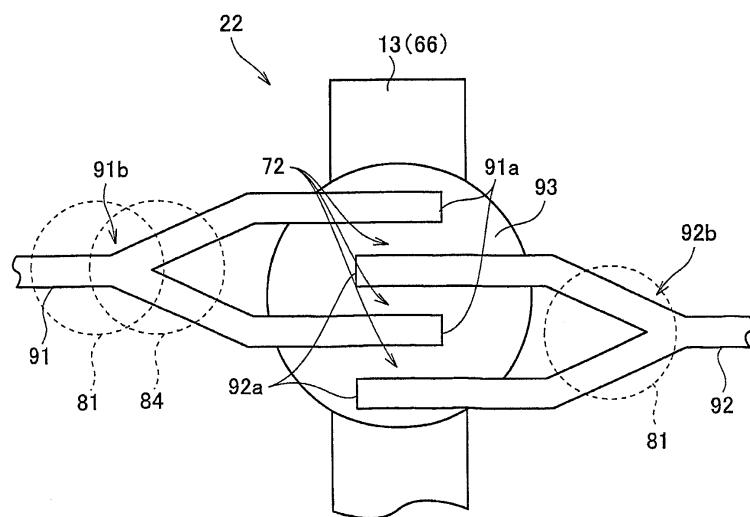
도면6e



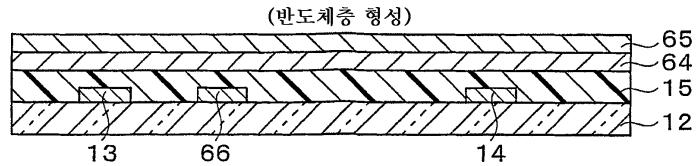
도면7



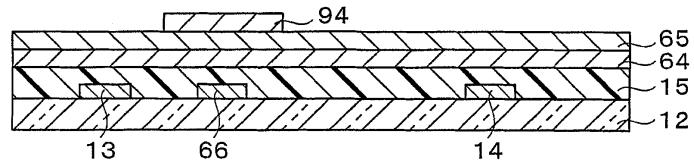
도면8



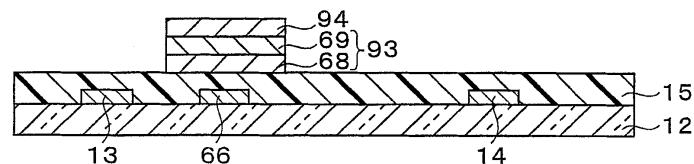
도면9a



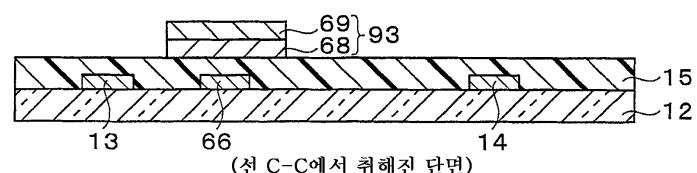
도면9b



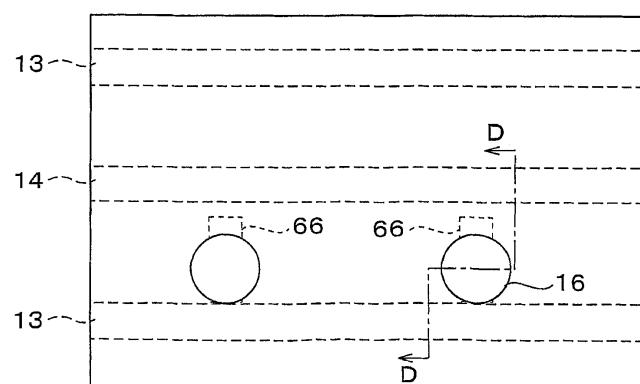
도면9c



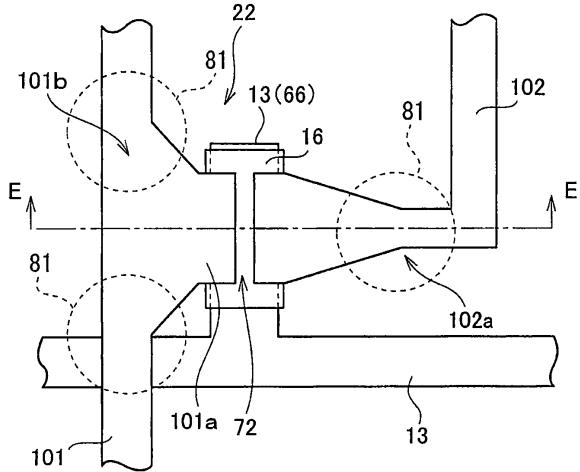
도면9d



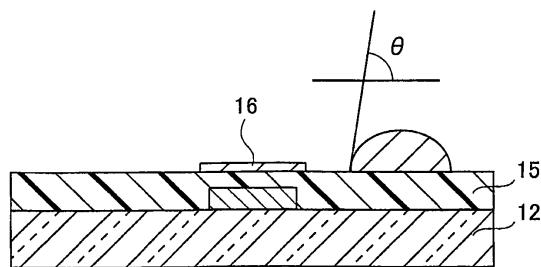
도면9e



### 도면10a

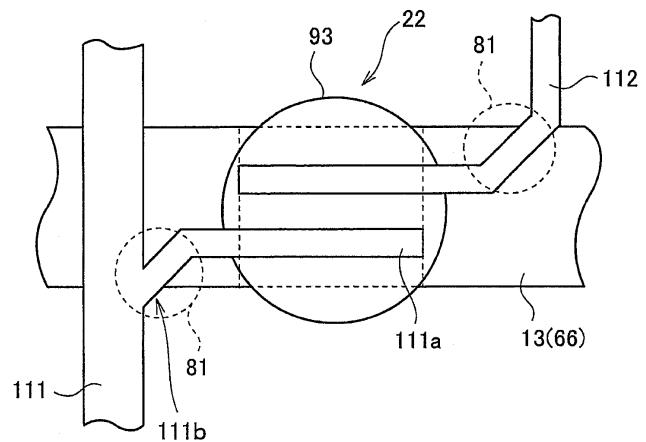


### 도면10b

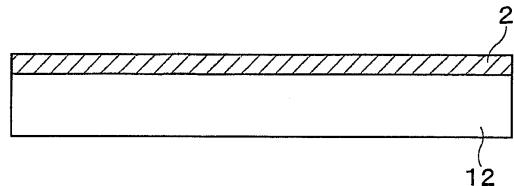


(선 E-E에서 취해진 단면)

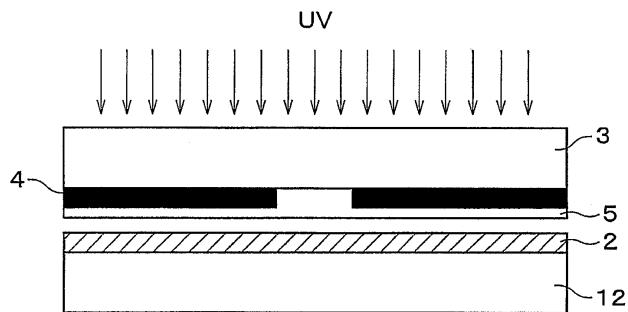
## 도면 11



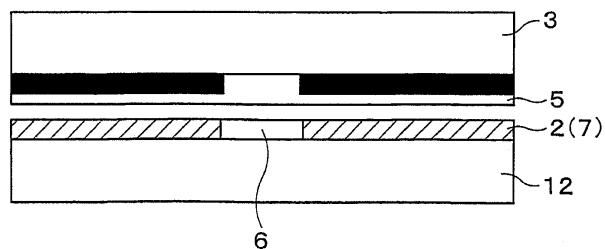
## 도면12a



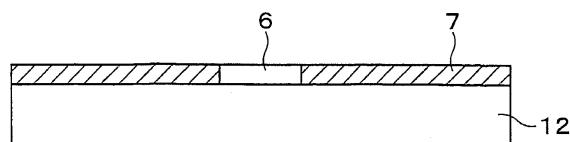
도면12b



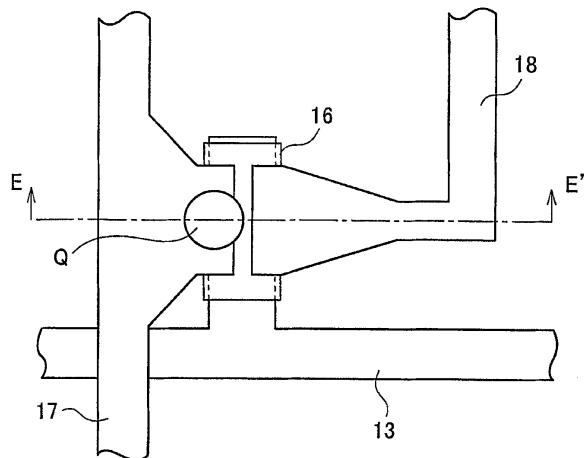
도면12c



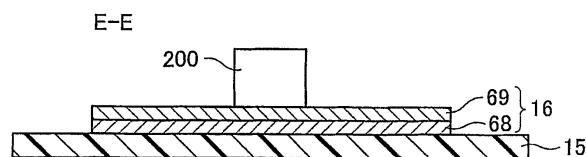
도면12d



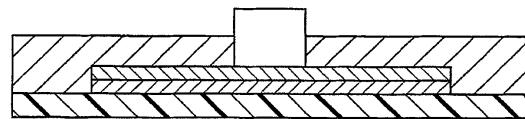
도면13



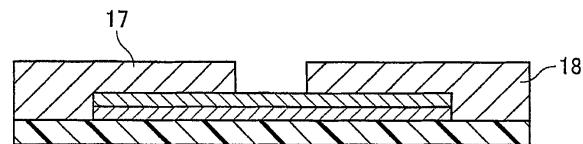
도면14a



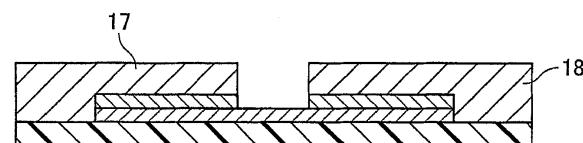
도면14b



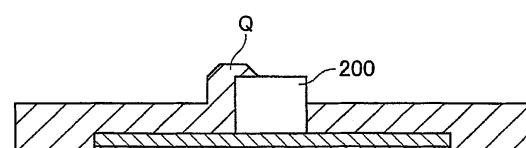
도면14c



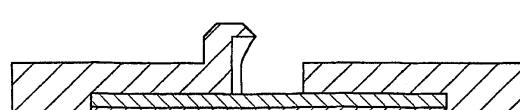
도면14d



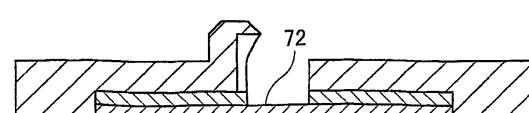
도면14e



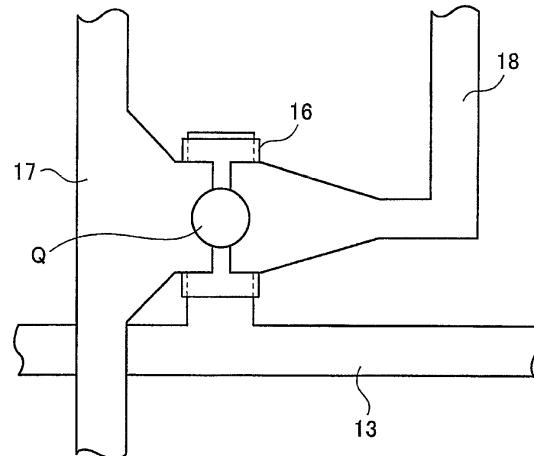
도면14f



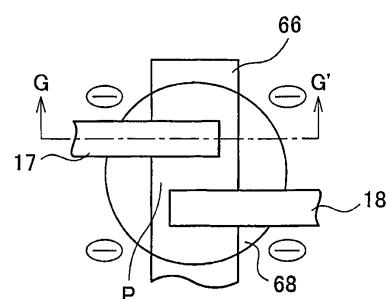
도면14g



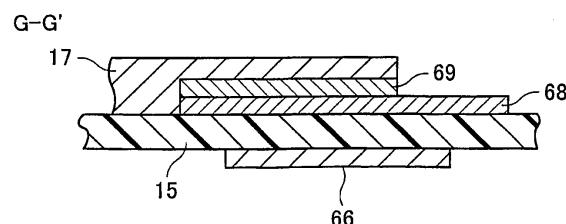
도면15



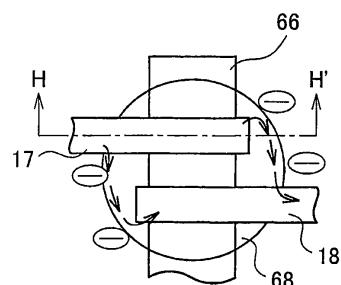
도면16a



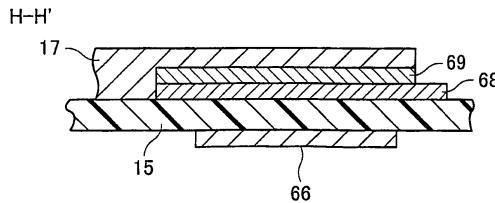
도면16b



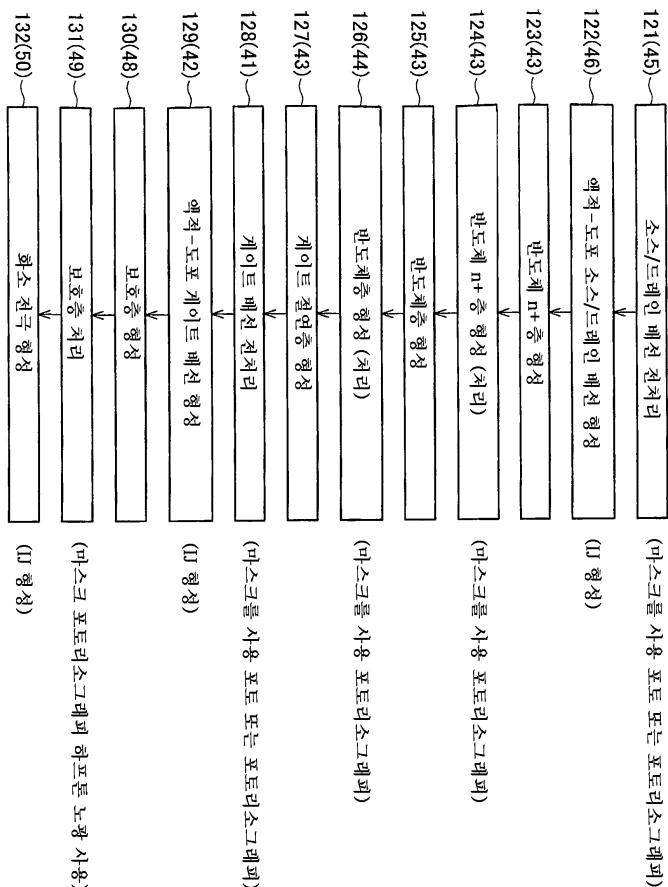
도면17a



도면17b



도면18



专利名称(译)	薄膜晶体管，液晶显示装置，薄膜晶体管的制造方法以及液晶显示装置的制造方法		
公开(公告)号	<a href="#">KR1020050036981A</a>	公开(公告)日	2005-04-20
申请号	KR1020057003170	申请日	2003-07-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	FUJII AKIYOSHI 후지이아끼요시 NAKABAYASHI TAKAYA 나까바야시다까야		
发明人	후지이,아끼요시 나까바야시,다까야		
IPC分类号	G09F9/30 H01L21/3205 H01L29/417 H01L29/786 H01L21/288 G02F1/1368 H01L21/336 G02F1/136		
CPC分类号	H01L29/41758 H01L29/66765 G02F1/1368 H01L29/41733		
代理人(译)	CHANG, SOO KIL		
优先权	2002255568 2002-08-30 JP		
其他公开文献	KR100768603B1		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明的薄膜晶体管制造方法包括形成电极形成区的步骤，其中通过涂覆 (i) 电极材料的液滴形成源电极和漏电极，形成区域 (ii) 半导体层在电极形成区域和在 (iii) 电极形成区域和漏电极中形成源电极的步骤中，将电极材料的液滴涂覆在位于远处的下落位置上的步骤。可以真实地防止附着在每个电极之间的通道部分上的飞溅液滴。电极，液滴，源电极，漏电极，滴落，涂层，喷射，薄膜晶体管。

