(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2004-0081347
(43) 공개일자 2004년09월21일

(21) 출원번호 10-2004-0016442
(22) 출원일자 2004년03월11일

(30) 우선권주장 JP-P-2003-00067210 2003년03월12일 일본(JP)

(71) 출원인 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 오가와요시노리
일본나라껭야마또따까다시수네1-7-8

다나까시게끼
일본나라껭나라시마루야마1-1079-154

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 표시 장치

요약

본 발명의 표시 장치는, 매트릭스 형상으로 배치된 복수개의 각 화소를 갖는 액정 패널과, 수평 방향을 따른 각 화소의 1 라인마다, 수직 방향으로 순차 구동하여 표시 데이터에 기초하는 화상을 상기 액정 패널에 표시시키기 위한 소스 드라이버(3)와, 상기 화상을 다계조로써 표시하기 위한, 상기 다계조에 따른 각 기준 전압을 발생하기 위한 계조용 기준 전압 발생 회로(27)와, 상기 표시 데이터를 γ 보정하기 위해서, 상기 각 기준 전압을 조정하는 γ 보정 조정 회로와, 상호 인접하는 각 화소에서의 표시 얼룩을 저감하기 위해서, 상기 γ 보정된 각 기준 전압을 변경하도록 상기 γ 보정 조정부를 제어하는 제어부를 갖는다. 상기 표시 장치는, 대형화를 도모하면서, 비용 상승을 억제할 수 있다.

대표도

도 2

색인어

액정 패널, 소스 드라이버, 기준 전압 발생 회로, γ 보정 조정 회로, 제어부

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 실시예에 있어서의 액정 표시 장치의 소스 드라이버의 개략 구성을 도시하는 블록도.

도 2는 상기 액정 표시 장치의 개략을 도시하는 블록도.

도 3은 상기 액정 표시 장치의 액정 패널의 개략 구성을 도시하는 회로도.

도 4는 상기 액정 표시 장치에서의 액정 구동 파형의 일례를 도시하는 파형도.

도 5는 상기 액정 표시 장치에서의 액정 구동 파형의 다른 일례를 도시하는 파형도.

도 6은 상기 소스 드라이버가 포함하는 기준 전압 발생 회로의 개략 구성을 도시하는 블록도.

도 7은 상기 액정 표시 장치에서의, 경계 부분(연결 부분)에 의한 γ 보정 수단의 일례를 도시하기 위한, 각 소스 드라이버의 동작예를 도시하는 블록도.

도 8은 상기 기준 전압 발생 회로의 γ 보정 조정 회로를 도시하는 개략 블록도.

도 9a 및 도 9b는 상기 γ 보정 조정 회로의 동작예를 도시하는 블록도로서, 도 9a는 기준 전압 Vref보다도 높은 출력 전압 Vout을 얻는 경우의 블록도, 도 9b 는 기준 전압 Vref보다도 낮은 출력 전압 Vout을 얻는 경우의 블록도.

도 10은 상기 액정 표시 장치의 DA 컨버터 회로의 개략 구성을 도시하는 회로도.

도 11은 상기 γ 보정 조정 회로의 회로도.

도 12는 액정 표시 장치의 제조에 있어서의, 대형 기판을 복수개의 샷 영역으로 분할하고, 샷 영역마다 노광 처리(샷)를 행하는 공정 개념도.

도 13은 상기 각 샷 영역에서의 도트 패턴의 평면도.

도 14는 상기 도 13의 도트 패턴의 확대 평면도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 액정 표시 장치(TFT 액정 모듈)

2 : 액정 패널(표시 패널)

3 : 소스 드라이버(구동부)

4 : 게이트 드라이버

5 : 액정 구동 전원

6 : 컨트롤러(제어부)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 표시 얼룩 등이 개선된, 표시 화질이 우수한, 액티브 매트릭스형 액정 표시 장치 등의 표시 장치에 관한 것이다.

액티브 매트릭스식의 액정 표시 장치는, 박막 트랜지스터(Thin Film Transistor; 이하 TFT라고 약칭) 패널과 대향 패널을 중첩시키고, 이 양 패널을 프레임형의 시일재에 의해 접합하여 액정 셀을 조립하고, 이 액정 셀 내에 액정을 봉

입하여 이루어져 있다.

상기 TFT 패널은, 유리 등으로 이루어지는 투명한 기판의 위에, 종횡으로 배열되는 복수개의 투명한 화소 전극과, 이들 화소 전극에 대응하는 복수개의 각 TFT에 게이트 신호를 공급하는 복수개의 게이트 라인과, 상기 각 TFT에 데이터 신호를 공급하는 복수개의 소스 라인을 형성하여 이루어지는 것이다. 또한, 대향 패널에는 유리 등으로 이루어지는 투명한 기판의 위에, TFT 패널에 있어서의 모든 화소 전극과 대향하는 투명한 (광 투과성을 갖는) 대향 전극을 형성하여 이루어져 있다.

예를 들면 TFT는, 일반적으로 박막 형성 기술 즉 포토 퍼블리케이션 기술을 적용하여 제작된다. 이들 TFT의 박막 패턴 형성 프로세스에서는, 우선 박막 재료를 기판 위에 스퍼터링법이나 CVD법 등의 소정의 성막 방법을 이용하여 성막한 후, 이 박막을 소위 PEP(포토 에칭 프로세스)에 의해 원하는 형상으로 패터닝한다.

즉, 기판 위에 성막된 박막 상에 포토레지스트를 코팅하고, 이것을 노광 처리하는 것에 의해 소정 패턴으로 현상한다. 즉 소망 패턴의 차광체를 갖는 포토마스크를 기판 위쪽에 위치 정렬하여 세트하고, 이 포토마스크를 개재하여 상방으로부터 포토레지스트에 빛을 조사하여, 노광 처리를 행한다.

계속해서, 그 노광된 포토레지스트를 현상한다. 그리고 현상된 포토레지스트를 마스크로 하여, 기판 위에 성막되어 있는 박막의 불필요 부분을 에칭 제거하 여 원하는 패턴을 얻는다. 또한, 이 공정을 전극이나 반도체 소자를 구성하는 각 박막의 층수에 대응하는 공정수만큼 반복하는 것에 의해서, 원하는 소자를 제작할 수 있다.

또한, 최근, 액정 표시 장치의 대화면화에 대한 수요가 높아져 오고 있고, 최근의 액정 표시 소자를 비롯하여 광학 소자의 대용량화에 따른, 대면적의 표시 소자에 대응하는 박막 형성 및 그 패터닝 기술이 요구되고 있다.

상기 노광 처리를 행할 때, 노광 장치의 광학계의 능력에는 일정한 제약이 있기 때문에, 한번에 노광 처리가 가능한 면적은 한정되어 있다. 그래서, 대면적의 표시 소자에 대응하는 박막 형성 및 그 패터닝 기술로서, 소위 분할 노광(스테퍼) 방식을 적용하는 것에 의해, 대면적의 노광 처리를 행하는 방법이 이용되고 있다.

이 스테퍼를 이용한 분할 노광 방식은, 예를 들면 도 12에 도시한 바와 같이, 노광 처리를 행하는 기판(60) 상의 영역을 복수개의, 예를 들면 4개의 각 노광 에리어(a, b, c, d)로 기판(60)의 표면 방향을 따라서 분할하고, 1회의 노광 처리(샷)마다, 그 하나의 분할 노광 에리어를 노광 처리하고, 이것을 분할수만큼 반복함으로써(스텝 앤드 리피트함으로써), 기판(60) 전면에 걸쳐서 노광 처리를 행하는 것이다. 이러한 노광을 행함으로써, 노광 장치가 한번에 처리 가능한 면적을 넘어 대면적에 걸치는 노광 처리를 행하는 것이 가능하게 된다.

이와 같이, TFT 패널 및 대향 패널을 각각 대형의 기판(유리판)을 이용하여 대형으로 형성하고, 이 양 패널을 접합하여 조립하거나, 또는 각각 TFT 패널과 대 향 패널을 접합하여 형성한 소형의 복수개의 액정 표시 소자를 동일 평면 상에 서로 연결하거나 하여, 대형의 액정 표시 장치로서 구성하는 제조 방법이 알려져 있다.

발명이 이루고자 하는 기술적 과제

그런데, TFT 패널 및 대향 패널을 각각 대형의 기판에 의해 대형으로 형성하고, 이 양 패널을 접합하여 대화면의 액정 표시 장치를 구성하는 경우, 그 한쪽은, 기판 상의 거의 전체에 분포되어 있는 대향 전극을 형성하면 되므로, 그 전체가 대형이 되더라도 특별히 문제는 없지만, 다른 쪽의 TFT 패널에 있어서는, 기판의 위에 다수의 TFT와, 이들의 TFT에 대응하는 다수의 화소 전극과, 다수개의 게이트 라인 및 데이터 라인을 갖는 복잡한 구조이기 때문에, 기판이 대형이 되면, 그 왜곡이나 비틀림 등에 의해 품질이 저하하고, 표시 얼룩 등의 결함이 발생하기 쉽게 된다.

또한, 소형의 복수개의 액정 표시 소자를 동일 평면 상에 서로 연결하여 대화면의 액정 표시 장치를 구성하는 경우에는, 그 소형의 각 액정 표시 소자의 연결 부분이 화면 상에 나타나, 표시가 이상하게 되는 난점이 있다.

즉, 이 스테퍼 방식을 적용함으로써, 제작된 액티브 매트릭스형 액정 표시 장치에서는, 도 13 및 도 14에 도시한 바와 같이, 서로 다른 각 노광 에리어(68…)에 대하여, 동일한 화상 신호를 각각 입력했음에도 불구하고, 이들에 응답하는 각 화소(71)의 휘도가 서로 다른 현상이 발생한다고 하는 문제를 초래하고 있다.

특히, 상호 인접하는 각 노광 에리어(68…) 사이에서, 각 화소(71)의 휘도차 가 커지면, 각 노광 에리어(68…)의 각 경계선부(69)가 그 표시 화면 상에서 「연결 부분」으로서 시인(視認)되어, 고정밀도의 화상 표시가 요구되는 액티브 매트릭스형 액정 표시 장치의 표시 품위를 현저히 저하시키고 있었다.

그래서, 표시 소자를 복수개의 영역으로 분할하여 포토레지스트의 노광 등을 행하여 단위 화소를 어레이 형상으로 배열된 패턴으로 형성하여, 액정 표시 소자와 같은 표시 소자를 제작하는 데 있어서, 그 분할한 복수개의 표시 에리어(소 영역)끼리의 휘도차가 발생하는 경우에, 이들의 상호 인접하고 있는 경계선을 비직선(지그재그)으로 설정하여, 상기 경계선 근방의 휘도의 변화 구배를 완만하게 하는 것에 의해, 각 표시 에리어 사이의 「연결 부분」을 시인 상 눈에 띄지 않게 하는 구성이 WO95/16276호 공보(공개일 1995년 6월 15일 대응 각 US 특허로서 USP No. 5,656,526, USP No. 5,784,135)에 개시되어 있다.

상기 WO95/16276호 공보에 기재된 구성에서는, 휘도차가 상호 발생하는 복수개의 표시 에리어(소 영역)의 상호 인접하고 있는 경계선을 비직선(지그재그)으로 설정하고 있기 때문에, 각 표시 에리어 사이의 「연결 부분」을 시인 상 눈에 띄지 않게 할 수 있다.

그러나, 상기 공보에 있어서는, 상호 접합되는 각 경계선이 복잡한 형상인 비직선(지그재그)으로 설정되어 있기 때문에, 상기 각 경계선을 높은 정밀도로 제작하는 것이 곤란하여, 수율의 저하나 비용 상승을 초래한다는 문제점이 발생하고 있다.

본 발명은, 이러한 문제점에 주목하여 이루어진 것으로, 일반적으로 설치되 어 있는, 각 화소의 휘도를 조정하고 있는 γ 보정을 이용하여, 말끔한 표시 화면을 얻을 수 있는, 대화면이 가능한 액정 표시 장치와 같은 표시 장치를 제공하는 것을 목적으로 하고 있다. 즉, 본 발명에 있어서는, 상기 γ 보정이 표시 얼룩을 저감하도록, 상기 γ 보정을 기준값에 대하여 증감시키는 변경에 의해 제어함으로써, 액정 패널의 복잡한 형상의 경계선부의 제작 공정을 생략하고, 표시 얼룩을 저감할 수 있다. 이에 의해, 본 발명에서는, 연결 부분의 시인에 의한 종래의 표시 상의 이상 표시를 억제할 수 있어, 말끔한 표시 화면을 얻을 수 있는, 대화면이 가능한 액정 표시 장치와 같은 표시 장치를 제공할 수 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위해서, 본 발명에 따른 표시 장치는, 제1 방향과, 제1 방향과 교차하는 제2 방향으로 매트릭스 형상으로 배치된 복수개의 각 화소를 갖는 표시 패널과, 상기 제1 방향을 따른 각 화소의 1 라인마다, 상기 제2 방향으로 순차 구동하여 표시 데이터에 기초하는 화상을 상기 표시 패널에 표시시키기 위한 구동부와, 상기 화상을 다계조로써 표시하기 위한, 상기 다계조에 따른 각 기준 전압을 발생하기 위한 기준 전압 발생부와, 상기 표시 데이터를 γ 보정하기 위해서, 상기 각 기준 전압을 조정하는 γ 보정 조정부와, 상기 제1 방향 및 제2 방향 중 적어도 한쪽에서 상호 인접하는 각 화소에서의 표시 얼룩을 저감하기 위해서, 상기 γ 보정된 각 기준 전압을 변경하도록 상기 γ 보정 조정부를 제어하는 제어부를 구비하고 있다.

상기 구성에 따르면, 표시 패널과, 구동부와, 기준 전압 발생부와, γ 보정 조정부에 의해, γ 보정되어 시인 특성에 부합함과 함께, 계조 표현된 화상을 표시할 수 있다.

게다가, 상기 구성에서는, γ 보정된 각 기준 전압을 변경하도록 상기 γ 보정 조정부를 제어하는 제어부를 설치했기 때문에, 각 화소 사이에서, 제조 프로세스의 변동 등에 따라서 표시 얼룩이 발생하더라도, 상기 표시 얼룩을 상기 각 기준 전압의 변경에 의해, 억제할 수 있다.

즉, 상기 구성은, 상기 표시 패널이, 예를 들면 복수개, 이들의 표시면을 동일면이 되도록 상호 접합한 대형의 것일지라도, 이들 각 표시 패널 사이에, 제조 프로세스의 변동 등에 기인하는 휘도 불균일과 같은 표시 얼룩을 발생하더라도, 상기 각 기준 전압의 변경에 의해, 상기 표시 얼룩을 억제할 수 있다.

이에 의해, 상기 구성에 있어서는, 종래와 같은 액정 패널에 있어서의 복잡한 형상의 경계선부의 제작 공정을 생략하고, 표시 얼룩을 저감할 수 있고, 연결 부분의 시인에 의한 종래의 표시 상의 이상 표시도 억제할 수 있다. 따라서, 상기 구성은, 말끔한 표시 화면을 얻을 수 있는, 대화면이 가능한 액정 표시 장치와 같은 표시 장치를 얻을 수 있다. 게다가, 상기 구성은, 종래와 같은 액정 패널에 있어서의 복잡한 형상의 경계선부의 제작 공정을 생략할 수 있어, 비용 상승을 억제할 수 있다.

본 발명의 또 다른 목적, 특징, 및 우수한 점은, 이하에 도시하는 기재에 의해서 충분히 알 수 있을 것이다. 또, 본 발명의 이점은, 첨부 도면을 참조한 다음의 설명에서 명백하게 될 것이다.

<실시예>

본 발명에 따른 표시 장치의 한 실시예로서의 액정 표시 장치에 대하여, 도 1 내지 도 11에 기초하여 설명하면 이하와 같다. 도 2는, 본 실시예에 따른 액정 표시 장치로서의 TFT 액정 모듈의 구성을 도시하는 블록도이다. 또, 도 2에서는, 주된 구성 요소 및 주된 신호 경로만을 도시하고, 예를 들면, 클럭 신호, 리세트 신호, 셀렉트 신호 등의 다른 주된 신

호의 신호 경로에 대해서는 생략되어 있다.

도 2에 도시한 바와 같이, 본 실시예에 있어서의 액정 표시 장치(TFT 액정 모듈)(1)는, 액정 패널(표시 패널)(2), 소스 드라이버(구동부)(3), 게이트 드라이버(4), 액정 구동 전원(5), 및 컨트롤러(제어부)(6)를 포함하고 있다.

액정 패널(2)은, m 개의 소스 전극 및 n 개의 게이트 전극에 형성되는 수평 방향(제1 방향) m 화소×수직 방향(제2 방향) n 화소의 매트릭스 형상으로 배치된, TFT 방식의 각 화소를 갖는 액정 패널이다. 본 실시예에서는, 상기 수평 방향과 상기 수직 방향은, 상호 직교하도록 교차하고 있지만, 특별히 직교하고 있을 필요는 없고, 상호 교차하고 있으면 된다.

또, 이하에서는, 수평 방향 1 라인의 화소의 배열을 「행」이라고 칭하고, 수직 방향 1 라인의 화소의 배열을 「열」이라고 칭한다. 본 실시예에서는, 예로서, m=1028×RGB, n=900이고, 각 화소에 있어서 제0 계조 제63 계조의 64 계조(6 비트)의 계조 표시를 행하는 것으로 한다. 그러나, 필요에 따라 상기의 계조수나 화소수는 증감 가능한 것이다.

또, 각 행에는, R(적), G(녹), B(청)의 각각을 표시하는 각 화소가 반복하여 배열되어 있는 것으로 한다. 따라서, 각 행에는 RGB의 각 화소가 이 순으로 반복하여 배열되어 있는 것으로 한다. 이에 의해, 각 행에는 RGB의 각 화소가 각각 n 화소씩 포함되어 있게 된다.

액정 패널(2)에는, 도 3에 도시한 바와 같이, 화소 전극(1001), 화소 용량(1002), 화소에의 전압 인가를 온/오프 상태로 하는 스위칭 소자로서의 TFT(1003), 소스 신호 라인(1004), 게이트 신호 라인(1005), 및 액정 패널(2)의 대향 전극(1006)이 설치되어 있다. 도 3에서, A로 표시하는 영역(파선으로 도시된 영역)이, 1 화소분의 액정 표시 소자이다.

소스 신호 라인(1004)에는, 소스 드라이버(3)로부터, 표시 데이터에 기초하는 표시 대상의 화소의 밝기에 따른 계조 표시 전압이 인가된다. 게이트 신호 라인(1005)에는, 게이트 드라이버(4)로부터, 세로 방향으로 배열된 TFT(1003)가 순차 온하도록 주사 신호가 인가된다. 온 상태의 TFT(1003)를 통해서, 해당 TFT(1003)의 드레인에 접속된 화소 전극(1001)에 소스 신호 라인(1004)의 전압이 인가되어, 대향 전극(1006)과의 사이의 화소 용량(1002)에 상기 인가 전압에 따른 전하가 축적된다. 이에 의해, 액정 패널(2)에서는, 각 액정 표시 소자의 액정에 있어서 광투과율이 상기 인가 전압에 대응하여 변화하는 것에 의해, 계조 표시가 행해진다.

도 4 및 도 5는, 액정 패널(2)의 각 액정 표시 소자에 대한 액정 구동 파형의 일례를 도시하고 있다. 이들 도 4 및 도 5에서, 참조번호 1101, 1201은 소스 드라이버(3)로부터의 출력 신호의 구동 파형, 참조번호 1102, 1202는 게이트 드라이버(4)로부터의 출력 신호의 구동 파형이다. 참조번호 1103, 1203은 대향 전극의 전위이고, 참조번호 1104, 1204는 화소 전극의 전압 파형이다. 액정 재료에 인가되는 전압은, 화소 전극(1001)과 대향 전극(1006)과의 전위차이고, 도 4 및 도 5에는 사선으로 도시되어 있다.

예를 들면, 도 4에서는, 구동 파형(1102)으로 도시하는 게이트 드라이버(4)로부터의 출력 신호가 High 레벨일 때 TFT(1003)가 온 상태로 되고, 구동 파형(1101)으로 도시하는 소스 드라이버(3)로부터의 출력 신호와 대향 전극(1006)의 전위(1103)와의 차가 화소 전극(1001)에 인가된다. 이 후, 참조번호 1102로 도시된 바와 같이, 게이트 드라이버(4)로부터의 출력 신호는 Low 레벨이 되어, TFT(1003)는 오프 상태가 된다. 이 때, 화소에서는, 화소 용량(1002)이 있기 때문에, 상술한 전압이 유지된다. 도 5의 경우도 도 4와 마찬가지이다.

도 4와 도 5는, 액정 재료에 인가되는 전압이 서로 다른 경우를 도시하고 있고, 도 5의 경우는, 도 4인 경우와 비교하여 인가 전압이 낮다. 이와 같이 본 실시예에서는, 액정에 인가되는 전압을 아날로그 전압으로서 변화시킴으로써, 액정의 광투과율을 아날로그적으로 변환하여, 다계조 표시를 실현하고 있다. 표시 가능한 계조수는, 액정에 인가되는 아날로그 전압의 선택 가능한 수에 따라 결정된다.

도 2에 도시한 바와 같이, 전술한 컨트롤러(6)는, 표시 메모리(7)를 내장하는 것이다. 이 표시 메모리(7)는, 특별히 제한되지 않지만, 수평 방향 m 화소×수직 방향 n 화소분의 표시 데이터(예를 들면, 정지 화상을 표시하기 위해서나 캐릭터 표시를 위한 데이터)와 후술한 γ 보정용의 각 조정 데이터를 각각 저장할 수 있도록 구성되어 있다. 본 실시예에서는 컨트롤러(6)에 표시 메모리(7)를 내장한 일례를 도시하지만, 소스 드라이버(3)에 내장해도 된다(도시 생략).

당연히, 표시 메모리(7)의 메모리 어레이에 대해서는, 플래시 메모리, OTP, EEPROM, FeRAM(강유전체 메모리) 등의 불휘발성 메모리로 구성되고, 종류는 어떤 것이어도 된다. 본 실시예의 표시 메모리(7)에 있어서는, 한번 기억한, γ 보정용의 각 조정 데이터와 같은 데이터는 전원이 차단되더라도 유지된다.

상기 컨트롤러(6)에는, 상기 표시 메모리(7) 이외에 주변 회로부(8)나 제어 회로(6a)가 설치되어 있다. 상기 제어 회로(6a)는, 소스 드라이버(3)에 대하여, 표시 데이터 D, 및, 수평 동기 신호, 전송 클럭, 및 스타트 펄스 입력 신호 등의 제어 신호 S1을 입력하는 한편, 게이트 드라이버(4)에는 수직 동기 신호나 수평 동기 신호 등의 제어 신호 S2를 입력한

다. 또한, 상기 제어 회로(6a)는, 소스 드라이버(3) 및 게이트 드라이버(4)에 대하여, 수평 동기 신호 S3을 각각 입력한다.

상기 구성에 있어서, 화상에 대응한, 외부로부터 입력된 표시 데이터는, 상기 컨트롤러(6)를 통하여 디지털 신호인 표시 데이터 D(R, G, B)로서 소스 드라이버(3)에 입력된다.

그 후, 소스 드라이버(3)는 입력된 표시 데이터 D를 시분할하여 복수개의 소스 드라이버(3…) 각각에 래치하고, 그 후, 컨트롤러(6)로부터 입력되는 상기 수평 동기 신호 S3에 동기하여 DA 변환(디지털 표시 데이터에 대응하여 계조 표시용 기준 전압을 선택)한다. 복수개의 소스 드라이버(3…)는, 액정 패널(2)을 수평 방향을 따라서, 상호 인접하도록 분할한 각 영역에 각각 대응하여 설치되어 있다.

그리고, 소스 드라이버(3)는, 시분할된 표시 데이터 D를 D/A 변환하여 이루 어지는 계조 표시용의 아날로그 전압(이하, 계조 표시 기준 전압이라고 함)을, 소스 신호 라인(1004)에 의해 액정 패널(2)에 있어서의 대응하는 상기 액정 표시 소자로 출력한다.

상기 주변 회로부(8)는, 특별히 도시하지는 않지만, 입출력 회로, Y 어드레스를 발생하는 Y 어드레스 발생 회로, 상기 Y 어드레스 발생 회로로부터 출력된 어드레스 데이터에 기초하여 디코드 신호를 출력하는 Y 디코더, X 어드레스를 발생하는 X 어드레스 발생 회로, 상기 X 어드레스 발생 회로로부터 출력된 어드레스 데이터에 기초하여 k 비트의 디코드 신호를 출력하는 X 디코더를 포함하고 있다. 상기 주변 회로부(8)는, 이들의 각 디코드 신호에 의해 표시 메모리(7)에의 기입이나 표시 메모리(7)로부터의 판독 등을 제어한다.

도 1에 상기 소스 드라이버(3)의 구성 블록도의 일례를 도시한다. 도 1에 도시한 바와 같이, 소스 드라이버(3)는, 데이터 래치 회로(20)와, 시프트 레지스터 회로(21)와, 샘플링 메모리 회로(22)와, 홀드 메모리 회로(23)와, 레벨 시프트 회로(24)와, DA 컨버터 회로(25)와, 출력 회로(26)와, 계조 표시 기준 전압 발생 회로(기준 전압 발생부)(27)를 포함하여 구성되어 있다.

이하에, 이 소스 드라이버(3)의 동작에 대하여 설명한다. 시프트 레지스터 회로(21)는, 스타트 펄스 입력 신호 SSPI를 시프트, 즉 전송하는 회로이다. 신호 SSPI는 컨트롤러(6)로부터, 소스 드라이버(3)의 입력 단자 SSPi에 입력되어, R, G, B용의 각 표시 데이터 신호의 수평 동기 신호와 동기가 취해진 신호이다.

이 스타트 펄스 입력 신호 SSPI는, 컨트롤러(6)로부터 출력되어, 소스 드라 이버(3)의 입력 단자 SCKi에 입력한 클럭 신호 SCK에 의해서 시프트된다. 이 시프트 레지스터 회로(21)에 의해 시프트된 스타트 펄스 입력 신호 SSPI는, 예를 들면 소스 드라이버를 8개 이용한 경우에 있어서는, 1단째의 제1번째 소스 드라이버(3)로부터 8단째의 제8번째 소스 드라이버(3)의 시프트 레지스터 회로(21)에까지 순차 전송된다.

한편, 컨트롤러(6)로부터의 단자 R1 R6, 단자 G1 G6, 단자 B1 B6로부터 각각 6 비트의 R, G, B용의 각 표시 데이터 신호가 출력된다. 상기 각 표시 데이터 신호는, 클럭 신호 /SCK(클럭 신호 SCK의 반전 신호)의 상승에 동기를 취하여, 소스 드라이버(3)의 입력 단자 R1in R6in, 입력 단자 G1in G6in, 입력 단자 B1in B6in에 각각 직렬로 입력된다. 또, 상기 각 표시 데이터 신호는, 클럭 신호 /SCK(클럭 신호 SCK의 반전 신호)의 하강에 동기를 취하여, 소스 드라이버(3)의 입력 단자 R1in R6in, 입력 단자 G1in G6in, 입력 단자 B1in B6in에 각각 직렬로 입력되어도 된다. 이와 같이 직렬로 입력된 상기 각 표시 데이터 신호는, 데이터 래치 회로(20)에서 일시적으로 래치된 후, 샘플링 메모리 회로(22)에 보내어진다.

샘플링 메모리 회로(22)는, 상기 시프트 레지스터 회로(21)의 각 단의 출력 신호에 의해, 시분할로 보내어져 오는 각 표시 데이터 신호(R, G, B 각 6 비트의 계 18 비트)를 샘플링하여, 홀드 메모리 회로(23)에 컨트롤러(6)의 단자로부터 출력된 래치 신호 LS가 소스 드라이버(3)의 단자 LS에 입력될 때까지, 각각 기억하고 있다.

그리고, 홀드 메모리 회로(23)에서는, 샘플링 메모리 회로(22)로부터 입력되 는, R, G, B용의 각 표시 데이터 신호에 있어서의 1 수평 기간분의 표시 데이터 신호가 샘플링 메모리 회로(22)로부터 홀드 메모리 회로(23)에 입력되기까지 계속 유지되고, 그 후, 레벨 시프트 회로(24)로 출력된다.

계조 표시 기준 전압 발생 회로(27)는, 후술하는 바와 같이 R, G, B의 각 색용의 액정 구동 전압 출력 단자에 대하여, 64 종의 각 기준 전압을 각각 계조 표시용으로서 생성하기 위한 것이다. 계조 표시 기준 전압 발생 회로(27)에는, 각각, 컬러 표시의 3개의 기본색을 위한, R용의 기준 전압 발생 회로(27-1), G용의 기준 전압 발생 회로(27-2) 및 B용의 기준 전압 발생 회로(27-3)와, 선택 회로(27-4)가 설치되어 있다.

그리고, 해당 계조 표시 기준 전압 발생 회로(27)에 접속된 단자 Vrefm에는, 도 2에 도시하는 외부의 액정 구동 전원(5)으로부터 공급되는, 가장 높은 전압의 기준 전압이 인가된다. 또한, 각 단자 H1, H2, H3는 컨트롤러(6) 내의 표시

메모리(7)와 접속되어, 해당 표시 메모리(7)에 저장된 γ 보정용의 각 조정 데이터 H1R, H2G, H3B가 공급되도록 되어 있다.

또한, 선택 회로(27-4)에 접속된 각 단자 RS, GS, BS는 컨트롤러(6)와 접속되어, 컨트롤러(6)로부터 공급되는 입력 신호 RSI, GSI, BSI와 스타트 펄스 입력 신호 SSPI에 의해 도통/비도통을 행하기 위한 제어 신호를 선택 회로(27-4)에서 생성하여, 각 제어 신호 RSO, GSO, BSO로서 각각 출력한다.

이 선택 회로(27-4)로부터의 각 제어 신호 RSO, GSO, BSO는, 상기 각 단자 H1, H2, H3와, R용의 기준 전압 발생 회로(27-1), G용의 기준 전압 발생 회로(27- 2), B용의 기준 전압 발생 회로(27-3)와의 사이에 각각 접속되는 각 아날로그 스위치를 도통 또는 비도통으로 하기 위한 것이다. 해당 아날로그 스위치가 도통됨으로써, γ 보정용의 각 조정 데이터 H1R, H2G, H3B가 각각 R용의 기준 전압 발생 회로(27-1), G용의 기준 전압 발생 회로(27-2), B용의 기준 전압 발생 회로(27-3)에 공급된다. 이에 의해, 소스 드라이버(3)마다, 또한 각 색 독립적으로 γ 보정의 변경이 가능하게 된다.

또한, 도 6에는 기재되어 있지 않지만, 계조 표시 기준 전압 발생 회로(27)에 있어서는, γ 보정용의 각 조정 데이터인 각 신호 H1 H3를 각각 저장하는 래치 회로가 구비되어 있다.

그리고, 스타트 펄스 입력 신호 SSPI에 동기하여 선택 회로(27-4)로부터 수신하는 신호(예를 들면, 전송되어 온 스타트 펄스 입력 신호가 해당 소스 드라이버(3)에 입력하는 타이밍에 동기)에 의해, 아날로그 스위치 회로를 제어한다. 상기 제어에 의해서, 원하는 γ 보정용의 조정 데이터를 수신하여, 래치 회로에 저장한다. 이후, 도 6에 도시한 바와 같이, 그 저장된 조정 데이터에 의해 각 γ 보정 조정 회로(54)를 각각 동작시킨다.

한편, 표시 메모리(7)에 있어서의, 해당하는 γ 보정용의 조정 데이터의 판독도, 스타트 펄스 입력 신호 SSPI가 다음의 소스 드라이버(3)에 전송되는 타이밍에서, 출력되도록 되어 있다. 이 때문에, 주변 회로부(8)에 스타트 펄스 입력 신호 SSPI가 제i번째의 소스 드라이버(3)로부터 다음의 제(i+1)번째의 소스 드라이버(3)에 전송된 타이밍을 식별하는 식별 수단(전송 클럭 수를 카운트하는 카 운터 회로 등)이 설치되어 있다.

또한, 본 실시예는, 소스 드라이버(3)마다 γ 보정값을 조정하는 것이다. 상기 조정은, 도 7의 중앙부의 세로 굵은선으로 도시한 경계선을 사이에 두고 상호 인접하는 각 표시 영역이나, 각 소스 드라이버(3)의 출력 특성의 차이에 대응하는 각 표시 영역에 대하여 실행된다. 이와 같이, R, G, B 각각 독립적으로 γ 보정값을 조정함으로써, 스테퍼를 이용한 경우와 같이 상호 다른 노광을 받고, 상호 인접하는 각 화소 열의 특성이 서로 다른 경우(도 7의 좌측의 세로 굵은선)의 표시 품위 향상에도 효과를 갖는다. 이상의 데이터의 교환은 1수평 동기 기간마다 반복하여 실행함으로써, 원하는 표시 동작을 실현할 수 있다.

상기 γ 보정값의 조정(변경)은, 컨트롤러(6)에서의 표시 메모리(7) 상에서의, 표시 데이터의 특정한 좌표(즉, 경계선을 사이에 둔 좁은 소 영역의 각 좌표)의 휘도 데이터를, 상기 경계선을 사이에 두고 상호 인접하는 각 표시 영역 등의 휘도의 차이를 저감하도록 조정함으로써 실현할 수 있다.

도 1에 도시한 바와 같이, DA 컨버터 회로(25)는, 홀드 메모리 회로(23)로부터 입력되어 레벨 시프트 회로(24)에서 변환된 RGB 각각 6 비트의 표시 데이터 신호(디지털)를 64 종의 각 기준 전압에 기초하여 아날로그 신호로 변환하여 출력 회로(26)로 출력한다.

출력 회로(26)는, 64 레벨의 아날로그 신호를 증폭하여, 각 출력 단자 X ₀-1 X ₀-1028, Y ₀-1 Y ₀-1028, Z ₀-1 Z ₀-1028로부터 액정 패널(2)로 계조 표시 전압으로 서 출력한다. 상기 각 출력 단자 X ₀-1 X ₀-1028, Y ₀-1 Y ₀-1028, Z ₀-1 Z ₀-1028은, 각각 모두 1028개의 단자로 이루어진다. 또한, 소스 드라이버(3)의 단자 VC 및 단자 GN은, 액정 구동 전원(5)에 접속되고 각각 전원 전압 및 접지 전위가 공급되는 것이다.

도 6에, 본 실시예에 있어서의, 계조 표시를 위한 3개의 각 기준 전압 발생 회로(R용(27-1), G용(27-2), B용(27-3)) 중 하나의 대표예를 도시한다. 또한, 본 계조 표시 기준 전압 발생 회로(27)는 64 종의 기준 전압을 작성하여 중간 전압을 생성하는 것을 나타내지만, 이것에 한정되는 것은 아니다.

계조 표시 기준 전압 발생 회로(27)는, 2개의 각 전압 입력 단자와, 기준이 되는 γ 보정을 행하기 위한 저항비를 갖는 8개의 각 저항 소자 R0 R7과, 각 γ 보정 조정 회로(γ 보정 조정부)(54)를 갖고 있다. 상기 각 전압 입력 단자는, 각각, 최상위 전압 입력 단자 V0 및 최하위 전압 입력 단자 V64이다. 상기 각 저항 소자 R0 R7은, 각각, 기준이 되는 γ 보정을 행하기 위한 저항비를 갖는 것이다. 상기 각 γ 보정 조정 회로(54)는, 상기 각 저항 소자 R0 R7에 의해서 얻어진 각 기준 전압을 γ 보정을 위해 각각 일정한 범위에서 상하로 미세 조정하기 위한 것이다.

또한, 최상위 전압 입력 단자 V0와 γ 보정 조정 회로(54)의 출력 단자와의 사이, 각 γ 보정 조정 회로(54)의 출력 단

자 사이, γ 보정 조정 회로(54)의 출력 단자와 최하위 전압 입력 단자 V64와의 사이에, 각각, 직렬로 8개씩 접속된 합계 64개의 저항(도시 생략)을 갖고 있다.

도 8은, 상기 γ 보정 조정 회로(54)의 구성을 도시하는 개략 블록도이다. γ 보정 조정 회로(54)는, 전압 강하를 발생시키기 위한 1개의 저항 소자 R과, 2개의 각 정전류원(440, 450)과, 버퍼 증폭기(460)를 구비하고 있다. 그리고, γ 보정 조정 회로(54)는, 저항 소자 R에 전류를 흘리는 것에 의한 전압 강하를 이용하여, 입력된 전압을 일정한 전압만큼 상하로 시프트함으로써 출력 전압을 조정할 수 있게 되어 있다.

이러한 구성을 갖는 γ 보정 조정 회로(54)는, 다음과 같이 동작한다. 즉, 상기 γ 보정 조정 회로(54)의 입력 단자(470)에, 예를 들면 기준 전압 Vref가 공급된다. 그리고, 기준 전압 Vref보다도 높은 출력 전압 또는 낮은 출력 전압을 얻는 경우에는, 각 정전류원(440, 450)에 의해서 저항 소자 R에 흐르는 전류를 변화시키고, 저항 소자 R에 의한 전압 강하를 이용하여, 입력된 전압을 저항 소자 R에서의 전압 강하분만큼 위 또는 아래로 시프트한 출력 전압 Vout을 출력 단자(480)로부터 출력하는 것이다.

즉, 상기 기준 전압 Vref보다도 높은 출력 전압 Vout을 얻는 경우에는, Vout=Vref+i · R이 되도록, 또한, 기준 전압 Vref보다도 낮은 출력 전압 Vout을 얻는 경우에는, Vout=Vref-i · R이 되도록, γ 보정 조정 회로(54)에 의해서 전압을 조정하는 것이다.

도 9는, 상기 기준 전압 Vref보다도 높은 출력 전압 Vout을 얻는 경우(도 9a), 및, 기준 전압 Vref보다도 낮은 출력 전압 Vout을 얻는 경우(도 9b)에, 각 정 전류원(440, 450)의 동작에 의해서 저항 소자 R을 흐르는 전류가 변화한 상태를 도시한다.

이 경우, 도 9a에 도시한 바와 같이, 저항 소자 R보다도 입력 단자(470) 측에 있는 정전류원(440)을 접지하고, 출력 단자(480)측에 있는 정전류원(450)을 전원에 접속함으로써, 저항 소자 R에는 정전류원(450)으로부터 정전류원(440)을 향하는 플러스의 방향의 전류 i가 흐른다.

그 결과, 입력 단자(470)로부터 기준 전압 Vref가 입력된 경우의 출력 단자(480)로부터의 출력 전압 Vout은, 기준 전압 Vref보다도 저항 소자 R에서의 전압 강하분만큼 높은, Vout=Vref+i · R이 된다.

한편, 도 9b에 도시한 바와 같이, 상기 정전류원(440)을 전원에 접속하여, 정전류원(450)을 접지함으로써, 저항 소자 R에는 정전류원(440)으로부터 정전류원(450)으로 향하는, 마이너스의 방향의 전류 i가 흐른다. 그 결과, 입력 단자(470)로부터 기준 전압 Vref가 입력된 경우의 출력 단자(480)로부터의 출력 전압 Vout은, 기준 전압 Vref보다도 저항 소자 R에서의 전압 강하분만큼 낮은, Vout=Vref-i · R이 되는 것이다.

그리고, (1) 개개의 상기 γ 보정 조정 회로(54)에 있어서의 각 정전류원(440, 450)에 관하여, 전류값을 복수개의 값으로 전환 가능하게 하고, (2) 또한 접지와 전원에의 접속을 상호 전환 가능하게 하고, (3) 상기 각각의 전환을 전술한 γ 보정용의 각 조정 데이터(H1R, H2G, H3B)에 기초하여 제어한다. 이것에 의해서, 각 저항 소자 R0 R7에서 얻어진 기준 전압을 각각 γ 보정을 위해 미세 조정할 수 있다.

이렇게 해서 미세 조정된 각 기준 전압 사이의 전압이, 또한 전술한 64개의 저항 중의 8개에 의해서 더욱 8등분되어, D/A 컨버터 회로(도 1 및 도 10 참조)(25)로 송출된다.

도 11은, 상기 각 정전류원(440, 450)에 관한 전류값의 전환 및 접지/전원의 접속 전환을 실현하는 γ 보정 조정 회로(54)의 정전류원부의 회로 구성을 도시한다. 이 정전류원부는, 전원에 접속됨과 함께, n을 양의 정수로 하여, 2(n-1)로 가중 부여된 전류(2(n-1)i)를 발생하는 5개의 각 정전류원(i, 2i, 4i, 8i, 16i)을 갖는다. 각 정전류원(i, 2i, 4i, 8i, 16i)은, 각 기준 전압에 있어서 공유화되어 있는 것이 바람직하다.

그리고, 각각의 정전류원(2(n-1)i)은, $+2^{(n-1)}$의 제어 신호에 의해서 온 상태로 되는 스위치($+2^{(n-1)}$)를 개재하여, 저항 소자 R의 일단 및 출력 단자(480)에 접속되어 있다. 또한, $-2^{(n-1)}$의 제어 신호에 의해서 온 상태로 되는 스위치($-2^{(n-1)}$)를 개재하여, 저항 소자 R의 타단 및 입력 단자(470)에 접속되어 있다.

마찬가지로, 접지됨과 함께, 상기 2(n-1)로 가중 부여된 전류 2(n-1)i를 발생하는 5개의 각 정전류원(i, 2i, 4i, 8i, 16i)을 갖는다. 그리고, 접지되어 있는, 각각의 정전류원(2(n-1)i)은, $+2^{(n-1)}$의 제어 신호에 의해서 온 상태로 되는 스위치($+2^{(n-1)}$)를 개재하여, 저항 소자 R의 상기 타단 및 입력 단자(470)에 접속되어 있다. 또한, $-2^{(n-1)}$의 제어 신호에 의해서 온 상태로 되는 스위치($-2^{(n-1)}$)를 개재하여, 저항 소자 R의 상기 일단 및 출력 단자(480)에 접속되어 있다.

즉, 상기 스위치($+2^{(n-1)}$) 및 저항 소자 R을 개재하여, 또는 스위치($-2^{(n-1)}$)를 개재하여 입력 단자(470)에 접속된

정전류원(2(n-1)i)은 도 8 및 도 9에 있어서의 정전류원(440)으로서 기능하고, 스위치(+2 $^{(n-1)}$) 및 저항 소자 R을 개재하여, 또는 스위치(-2 $^{(n-1)}$)를 개재하여 출력 단자(480)에 접속된 정전류원(2(n-1)i)은 도 8 및 도 9에 있어서의 정전류원(450)으로서 기능하는 것이다.

그리고, 표시 메모리(7)에 저장된 γ 보정용의 각 조정 데이터 H1R, H2G, H3B에 기초하여, 각 스위치(+2 $^{(n-1)}$) 및 각 스위치(-2 $^{(n-1)}$)의 온/오프를 각각, 제어 회로(6a)에 의해 제어함으로써, 각 정전류원(440, 450)에 관한 전류값의 전환 및 전원/접지의 접속 전환을 실현하는 것이 가능하게 된다.

이러한 구성에 의해, 상기 저항 소자 R을 흐르는 전류의 값과 방향을 변화시킬 수 있어, 입력 기준 전압 Vin에 대하여 저항 소자 R에 흐르는 전압 강하분만큼 위로, 또는 아래로 복수단 시프트한 출력 전압 Vout을 출력할 수 있다. 이하, 구체적인 예를 들어 설명한다.

이하의 설명은, 상기 γ 보정용의 각 조정 데이터(H1R, H2G, H3B)가 6 비트 데이터인 것으로 하여 행한다. 이러한 6 비트로 나타내어지는 조정 데이터에 기초하는 조정은, γ 보정에 대한 조정을 -32 +31의 64 단계로 행하는 것을 가능하게 하는 것이다.

도 11에 있어서, 상기 각 정전류원(i, 2i, 4i, 8i, 16i)의 각각은, 2(n-1)으로 가중 부여된 각 전류값 i, 2i, 4i, 8i, 16i를 발생한다. 또한, 상기 각 스위치(+2 $^{(n-1)}$) 및 스위치(-2 $^{(n-1)}$)는, 상기, 조정용 데이터(H1R, H2G, H3B)에 기초하여 온 또는 오프된다. 이하, 6 비트의 조정 데이터에 기초하는 γ 보정 조정 회로(54)의 동작을 설명한다.

제1 경우로서, 상기 조정 데이터 H1R이 「+1:(000001)」인 경우에 대하여 진술한다. 이 경우에는 2개의 스위치(+2 ^{0})만을 온 상태로 하고, 다른 모든 스위치는 오프 상태로 한다. 이 상태는, 도 9a와 동일하다. 즉, 저항 소자 R에 흐르는 전류 Itotal은 정전류원(i)과 동일하고, 전류의 방향은 상기 플러스이다.

따라서, 출력 전압 Vout은 입력된 입력 기준 전압 Vin보다도 저항 소자 R에서의 전압 강하분만큼 상승하여, Vout=Vin+i×R의 출력 전압이 얻어진다. 이것은, 입력 기준 전압 Vin보다도 (i×R)만큼 높은 전압이다.

또한, 다른 경우로서, 상기 조정 데이터 H3B가「-9:(101001)」인 경우에 대하여 설명한다. 이 경우에는, 2개의 스위치(-2 ^{3}) 및 2개의 스위치(-2 ^{0})의 합계 4개의 스위치를 온 상태로 하고, 다른 모든 스위치는 오프 상태로 한다. 이 상태는, 도 9b와 동일하다

즉, 저항 소자 R에 흐르는 전류 Itotal은 정전류원(i)과 정전류원(8i)과의 전류의 합인 9i가 되고, 전류의 방향은 상기 마이너스이다. 따라서, 출력 전압 Vout은 입력된 입력 기준 전압 Vin보다도 저항 소자 R에서의 전압 강하분만큼 하강하여, Vout=Vin-9i×R의 출력 전압이 얻어진다. 이것은, 입력 기준 전압 Vin보다도 (i×R)의 9배만큼 낮은 전압이다.

다른 조정 데이터의 경우에 있어서도, 상술한 동작에 준하여, 각각의 스위치(+2 $^{(n-1)}$, -2 $^{(n-1)}$)를 온 또는 오프함으로써, 입력 기준 전압 Vin을 중심으로 하여, 1 단계당 (i×R)의 전압으로 -32 +31의 범위 내에서 64 단계로 전압 조정을 행할 수 있다.

즉, 상기 조정용 데이터로서 2의 보수 표현에 의한 부호 첨부 2진수의 다비트 디지털 데이터를 이용함으로써, 그 비트 번호 n과 저항 소자 R에 흘리는 전류값의 가중(배율) 2(n-1)을, 스위치(+2 $^{(n-1)}$, -2 $^{(n-1)}$)를 통하여 대응시킬 수 있는 것이다.

따라서, 조정용 데이터(H1R, H2G, H3B)에 따른 배율의 조정량을 얻을 수 있게 된다. 즉, 상기 조정 데이터에 의해서 상기 기준값의 조정량을 간단히 지정할 수 있다.

이와 같이 상기, 표시 메모리(7)에 저장된 γ 보정용의 각 조정 데이터 H1R, H2G, H3B에 대응하여 스위치(+2 $^{(n-1)}$, -2 $^{(n-1)}$)를 온/오프함으로써, 입력 전압에 대하여 조정 데이터에 기초하는 조정을 행한 전압을 출력할 수 있다. 이 조정을 저항 소자 R0 R7에 기초하는 γ 보정값에 적용함으로써, 액정 구동 출력 전압의 특성을, 저항 소자 R0 R7에 기초하는 γ 보정값을 중심으로 하여 또한 상하로 각각 변 경할 수 있다.

또한, 표시 메모리(7)는, 필요에 따라 자유롭게 프로그램 등에 의해 조정 데이터를 재기입하는 것으로 한다. 따라서, 상기 조정 데이터는 자유롭게 재기입이 가능하기 때문에, 보정 특성을 용이하게 변경할 수 있다.

이상, 64 계조의 계조 표시의 경우, 64 종류의 계조 표시용 전위를 발생하여, DA 컨버터 회로(25)에 대하여 출력한다. DA 컨버터 회로(25)에서는, 레벨 시프트 회로(24)로부터의 표시 데이터에 따른 계조 표시용 전압을 상기 64 종류의 계조 표시용 기준 전압 중에서 화소마다 1개 선택하여, 출력 회로(26)에 대하여 출력한다.

출력 회로(26)는 차동 증폭기 등으로 이루어지는 저임피던스 변환부이고, 출력 회로(26)로부터 액정 패널(2)의 제1 제m의 소스 전극 각각에 대하여, DA 컨버터 회로(25)에서 선택된 계조 표시용 기준 전압이 부여된다.

이 계조 표시용 기준 전압은, 수평 동기 신호 H의 1주기, 즉 1수평 동기 기간 유지되고, 다음의 수평 동기 기간에는, 새로운 표시 데이터에 따른 계조 표시 기준 전압이 출력된다.

도 7은, 경계 부분(연결 부분)에 대한, γ 보정값을 더 한층 변경한 일례를 도시한다. 예를 들면, 본 실시예에서는, B색과 R색의 γ 보정값에 대한, 더 한층 변경한 일례를 기술한다. 여기서는, 제1번째 소스 드라이버(3)는 B색에 대하여 γ 보정을 행하고 있다. 제1번째 소스 드라이버(3)에는 컨트롤러(6)로부터 보내어지는 입력 신호 BSI와 스타트 펄스 입력 신호 SSPI(도시 생략)가 계조 표시 기준 전 압 발생 회로(27)의 B용의 기준 전압 발생 회로(27-3)에 관계하는 선택 회로(27-4)에 의해 공급된다.

그리고, 이 선택 회로(27-4)로부터 출력되는 제어 신호 BSO에 의해, 단자 H3와, B용의 기준 전압 발생 회로(27-3)와의 사이에 접속되어 있는 아날로그 스위치가 도통 상태가 된다. 컨트롤러(6) 내의 표시 메모리(7)에 저장된 B색용의 γ 보정용의 조정 데이터 H3B가 해당 B용의 기준 전압 발생 회로(27-3)에 공급되어, 계조용 기준 전압의 보정이 행하여진다.

또한, 한편, 제2번째 소스 드라이버(3)는 R색에 대하여 γ 보정을 행하고 있다. 여기서는, 제2번째 소스 드라이버(3)로, 컨트롤러(6)로부터 보내어지는 입력 신호 BSI와 스타트 펄스 입력 신호 SSPI(도시 생략)가 R용의 기준 전압 발생 회로(27-1)에 관계하는 선택 회로(27-4)에 의해 공급된다.

그리고, 선택 회로(27-4)로부터 출력되는 제어 신호 RSO에 의해, 단자 H1R과 R용의 기준 전압 발생 회로(27-1)와의 사이에 접속되어 있는 아날로그 스위치가 도통 상태가 되어, 컨트롤러(6) 내의 표시 메모리(7)에 저장된 R색용의 γ 보정용의 조정 데이터 H1R이 해당 R용의 기준 전압 발생 회로(27-1)에 공급되어, 계조 전압의 보정이 행하여진다.

또, 상기에서는, 제1번째의 소스 드라이버(3)와 제2번째 소스 드라이버(3)와의 사이를 예로 들었지만, 제k 번째 소스 드라이버(3)와 제(k+1)번째 소스 드라이버(3)와의 사이에서도 마찬가지이다(k는, 1부터 소스 드라이버(3)의 총 수까지의 정수).

한편, 상술한 게이트 드라이버(4)는, 여기서는 도시가 생략되어 있는 시프트 레지스터 회로, 레벨 시프트 회로, 및 출력 회로를 포함하여 구성되어 있다. 게이트 드라이버(4)에서는, 시프트 레지스터 회로에 수평 동기 신호 H 및 수직 동기 신호 V가 입력되어, 수평 동기 신호 H를 클럭으로 하여 수직 동기 신호 V를 시프트 레지스터 회로 내의 각 단으로 순차 전송시킨다.

시프트 레지스터 회로의 각 단으로부터의 출력은, 액정 패널(2)에 있어서의 각 열에 포함되는 제1 제n 화소, 즉 제1 제n 게이트 전극에 각각 대응하고 있다. 시프트 레지스터 회로의 각 단으로부터의 출력은, 레벨 시프트 회로에서 레벨 변환됨으로써 각 화소가 갖는 TFT의 게이트를 제어할 수 있는 전압까지 승압된다. 또한, 상기 승압된 각 단으로부터의 출력은, 출력 회로에서 저임피던스 변환되어, 출력 회로로부터 액정 패널(2)의 제1 제n 게이트 전극 각각에 대하여 출력된다. 이 게이트 드라이버(4)로부터의 출력이 주사 신호가 되어, 액정 패널(2)의 각 화소의 TFT의 게이트의 온/오프가 제어된다.

이에 의해, 주사 신호에 의해 선택된 1개의 게이트 전극에 게이트가 접속되어 있는 TFT가 온된다. 그리고, 1수평 동기 기간마다 게이트 전극이 순차적으로 선택됨으로써, 온되는 TFT를 갖는 화소가 순차적으로 수직 방향으로 이동한다.

주사 신호에 의해 선택되어 TFT가 온으로 된 화소에서는, 그 화소에 구비된 화소 용량에 소스 전극으로부터 계조 표시용 전위가 부여됨으로써, 그 전위에 대응하여 화소 용량이 충전되고, TFT가 오프로 되면 화소 용량에 의해 전위가 유지됨으로써 화소에 있어서의 계조 표시가 이루어진다.

이상, 지금까지의 설명은 1매의 액정 패널(2)에서 복수개의 소스 드라이버(3)를 구비한 사례로 설명했지만, 복수개의 액정 패널을 연결하여 대화면(각 액정 패널의 특성이 상호 약간 다른 경우)으로 한 경우에 있어서의 연결 부분의 표시 품위의 향상에도 대응할 수 있다.

이상과 같이, 본 실시예에 있어서는, 각 색, 소스 드라이버(3)마다 계조 표시 기준 전압 발생 회로(27)(R용(27-1), G용(27-2), B용(27-3))에 공급되는 γ 보정용의 조정 데이터(H1R, H2G, H3B)에 의해 독립적으로 γ 보정값의 변경을 행하는 것이 가능하게 된다. 이에 의해, 본 실시예에서는, 종래와 같은 액정 패널에 있어서의 복잡한 형상의 경계선부의 제작 공정을 생략하고, 표시 얼룩을 저감할 수 있고, 또한, 연결 부분의 시인에 의한 종래의 표시 상의 이상 표시

도 억제할 수 있다. 이 때문에, 본 실시예에 있어서는, 말끔한 표시 화면을 얻을 수 있는, 대화면이 가능한 액정 표시 장치가 실현 가능하다.

또, 상기에서는, 액정 표시 장치를 표시 장치의 예로 들었지만, γ 보정을 필요로 하는 표시 장치이면, 본 발명을 적용할 수 있고, 그와 같은 다른 표시 장치로서는, CRT, PDP(플라즈마 디스플레이), EL(일렉트로루미네센스) 표시 장치, 발광 다이오드 표시 장치 등을 들 수 있다. 또한, γ 보정의 변경을 어떠한 기준으로 행할지에 대해서는, 이용자가 보는 위치나 시각 방향의 범위에 정합한, 취급자(조정자) 자신에 의한 조정 데이터에 기초하여 설정하면 된다.

본 발명의 표시 장치는, 전술한 과제를 해결하기 위해서, 제1 방향과, 제1 방향과 교차하는 제2 방향으로 매트릭스 형상으로 배치된 복수개의 각 화소를 갖는 표시 패널과, 상기 제1 방향을 따른 각 화소의 1 라인마다, 상기 제2 방향으로 순차 구동하여 표시 데이터에 기초하는 화상을 상기 표시 패널에 표시시키기 위한 구동부와, 상기 화상을 다계조로써 표시하기 위한, 상기 다계조에 따른 각 기준 전압을 발생하기 위한 기준 전압 발생부와, 상기 표시 데이터를 γ 보정하기 위해서, 상기 각 기준 전압을 조정하는 γ 보정 조정부와, 상기 제1 방향 및 제2 방향 중 적어도 한쪽에서 상호 인접하는 각 화소에서의 표시 얼룩을 저감하기 위해서, 상기 γ 보정된 각 기준 전압을 변경하도록 상기 γ 보정 조정부를 제어하는 제어부를 구비하는 것을 특징으로 한다.

상기 표시 장치에서는, γ 보정용의 조정 데이터를 저장하는 메모리를 상기 제어부에 구비하며, 상기 제어부는, 상기 조정 데이터에 기초하여 γ 보정을 변경하는 것이어도 된다.

상기 표시 장치에 있어서는, γ 보정용의 조정 데이터를 저장하는 메모리를 상기 구동부에 구비하고, 상기 제어부는, 상기 조정 데이터에 기초하여 γ 보정을 변경하는 것이어도 된다.

상기 구성에 따르면, 표시 패널과, 구동부와, 기준 전압 발생부와, γ 보정 조정부에 의해, γ 보정되어 시인 특성에 부합함과 함께, 계조 표현된 화상을 표시할 수 있다.

게다가, 상기 구성에서는, γ 보정된 각 기준 전압을 변경하도록 상기 γ 보정 조정부를 제어하는 제어부를 설치했기 때문에, 각 화소 사이에서, 제조 프로세스의 변동 등에 따라서 표시 얼룩이 발생하더라도, 상기 표시 얼룩을 상기 각 기준 전압의 변경에 의해, 억제할 수 있다.

즉, 상기 구성은, 상기 표시 패널이, 예를 들면 복수개, 이들의 표시면을 동일면이 되도록 상호 접합한 대형의 것일지라도, 이들의 각 표시 패널 사이에, 제조 프로세스의 변동 등에 기인하는 휘도 불균일과 같은 표시 얼룩을 발생시키더라도, 상기 각 기준 전압의 변경에 의해, 상기 표시 얼룩을 억제할 수 있다.

이에 의해, 상기 구성에 있어서는, 종래와 같은 액정 패널에 있어서의 복잡한 형상의 경계선부의 제작 공정을 생략하여, 표시 얼룩을 저감할 수 있어, 연결 부분의 시인에 의한 종래의 표시 상의 이상 표시도 억제할 수 있고, 말끔한 표시 화면을 얻을 수 있는, 대화면이 가능한 액정 표시 장치와 같은 표시 장치를 제공할 수 있다.

상기 표시 장치에서는, 상기 표시 패널은, 제1 방향을 따라서, 복수개의 표시 영역으로 분할되어 있고, 상기 구동부는, 복수개, 상기 각 표시 영역에 각각 대응하여 설치되어 있어도 된다.

상기 구성에 따르면, 각 구동부의 특성에 변동이 발생하더라도, 상기 각 특성의 변동에 기인하는 표시 얼룩을, 상기 각 기준 전압의 변경에 의해, 억제할 수 있다.

상기 표시 장치에 있어서는, 상기 기준 전압 발생부는, 화상의 컬러 표시를 위한 색마다, 복수개 설치되어 있어도 된다. 상기 구성에 따르면, 컬러 표시의 표시 얼룩도 억제할 수 있다.

상기 표시 장치에서는, 표시 패널은, 표시 패널의 표면 방향으로 분할되어 제조된 것이어도 된다. 상기 구성에 따르면, 표시 패널의 표면 방향으로 분할되어 제조된, 예를 들면 표시 화면이 대형화된 것인 경우라도, 분할되어 제조된 것에 기인하는 표시 얼룩을, 상기 각 기준 전압의 변경에 의해, 억제할 수 있다.

상기 표시 장치에 있어서는, 표시 패널은, 표시 소패널이, 복수개, 각 표시 소패널의 각 표시 화면을 동일 평면 형상이 되도록 상호 접합된 것이어도 된다. 상기 구성에 따르면, 표시 소패널이, 복수개, 각 표시 소패널의 각 표시 화면을 동일 평면 형상이 되도록 상호 접합된, 예를 들면 표시 화면이 대형화된 것인 경우라도, 분할되어 제조된 것에 기인하는 표시 얼룩을, 상기 각 기준 전압의 변경에 의해, 억제할 수 있다.

상기 표시 장치에서는, 상기 표시 패널은, 복수개의 화소 전극 및 그 각 화소에 대응하는 TFT를 갖는 TFT 패널과 대향 전극을 형성한 대향 패널을 구비하며, TFT 패널의 전극 형성면과 대향 패널의 전극 형성면이 상호 대향하도록 중첩된 액정 패널이어도 된다.

상기 표시 장치에 있어서는, 상기 표시 패널은, 복수개의 화소 전극 및 그 각 화소에 대응하는 TFT를 갖는, 복수개의 TFT 패널과, 대향 전극을 형성한 대향 패널을 구비하며, 동일 평면 상에 상호 접합된 각 TFT 패널의 전극 형성면과 대향 패널의 전극 형성면이 상호 대향하도록 중첩된 액정 패널이어도 된다.

발명의 효과

이상으로부터 분명한 바와 같이, 본 발명에서는, 상호 인접하는 각 표시 영역에 있어서, 독립하여 γ 보정의 변경을 할 수 있기 때문에, 표시 장치의 표시 품 위를 섬세하고 치밀하게 제어할 수 있다.

그 결과, 본 발명에 있어서는, 표시 품위를 섬세하고 치밀하게 제어할 수 있음과 함께, 종래 발생하기 쉽던 상호 인접하는 각 표시 영역의 연결 부분에 발생하는 줄형상의 표시 얼룩을 억제할 수 있기 때문에, 표시 상의 이상 표시도 경감할 수 있어, 보다 말끔한 표시 화면을 얻을 수 있음과 함께, 종래와 같은 액정 패널에 있어서의 복잡한 형상의 경계선부의 제작 공정을 생략할 수 있어, 비용 상승을 억제할 수 있다고 하는 효과를 발휘한다.

발명의 상세한 설명의 항에 있어서 이루어진 구체적인 실시 형태 또는 실시예는, 어디까지나, 본 발명의 기술 내용을 분명히 하는 것으로서, 그와 같은 구체예에만 한정하여 협의로 해석되어서는 아니되며, 본 발명의 정신과 다음에 기재하는 특허 청구 사항의 범위 내에서, 여러 가지로 변경하여 실시할 수 있는 것이다.

(57) 청구의 범위

청구항 1.

제1 방향과, 제1 방향과 교차하는 제2 방향으로 매트릭스 형상으로 배치된 복수개의 각 화소를 갖는 표시 패널과,

상기 제1 방향을 따른 각 화소의 1 라인마다, 상기 제2 방향으로 순차 구동하여 표시 데이터에 기초하는 화상을 상기 표시 패널에 표시시키기 위한 구동부와,

상기 화상을 다계조로써 표시하기 위한, 상기 다계조에 따른 각 기준 전압을 발생하기 위한 기준 전압 발생부와,

상기 표시 데이터를 γ 보정하기 위해서, 상기 각 기준 전압을 조정하는 γ 보정 조정부와,

상기 제1 방향 및 제2 방향 중 적어도 한쪽에서 상호 인접하는 각 화소에서의 표시 얼룩을 저감하기 위해서, 상기 γ 보정된 각 기준 전압을 변경하도록 상기 γ 보정 조정부를 제어하는 제어부

를 구비하고 있는 것을 특징으로 하는 표시 장치.

청구항 2.

제1항에 있어서,

γ 보정용의 조정 데이터를 저장하는 메모리를 상기 제어부에 구비하고,

상기 제어부는, 상기 조정 데이터에 기초하여 γ 보정을 변경하는 것을 특징으로 하는 표시 장치.

청구항 3.

제1항에 있어서,

γ 보정용의 조정 데이터를 저장하는 메모리를 상기 구동부에 구비하고,

상기 제어부는, 상기 조정 데이터에 기초하여 γ 보정을 변경하는 것을 특징으로 하는 표시 장치.

청구항 4.

제1항에 있어서,

상기 표시 패널은, 제1 방향을 따라서, 복수개의 표시 영역으로 분할되어 있고,

상기 구동부가, 복수개, 상기 각 표시 영역에 각각 대응하여 설치되어 있는 것을 특징으로 하는 표시 장치.

청구항 5.
제1항에 있어서,

상기 기준 전압 발생부는, 화상의 컬러 표시를 위한 색마다, 복수개 설치되어 있는 것을 특징으로 하는 표시 장치.

청구항 6.
제1항에 있어서,

상기 표시 패널은, 표시 패널의 표면 방향으로 분할되어 제조된 것을 특징으로 하는 표시 장치.

청구항 7.
제1항에 있어서,

상기 표시 패널은, 표시 소패널이, 복수개, 각 표시 소패널의 각 표시 화면을 동일 평면상이 되도록 상호 접합된 것을 특징으로 하는 표시 장치.

청구항 8.
제1항에 있어서,

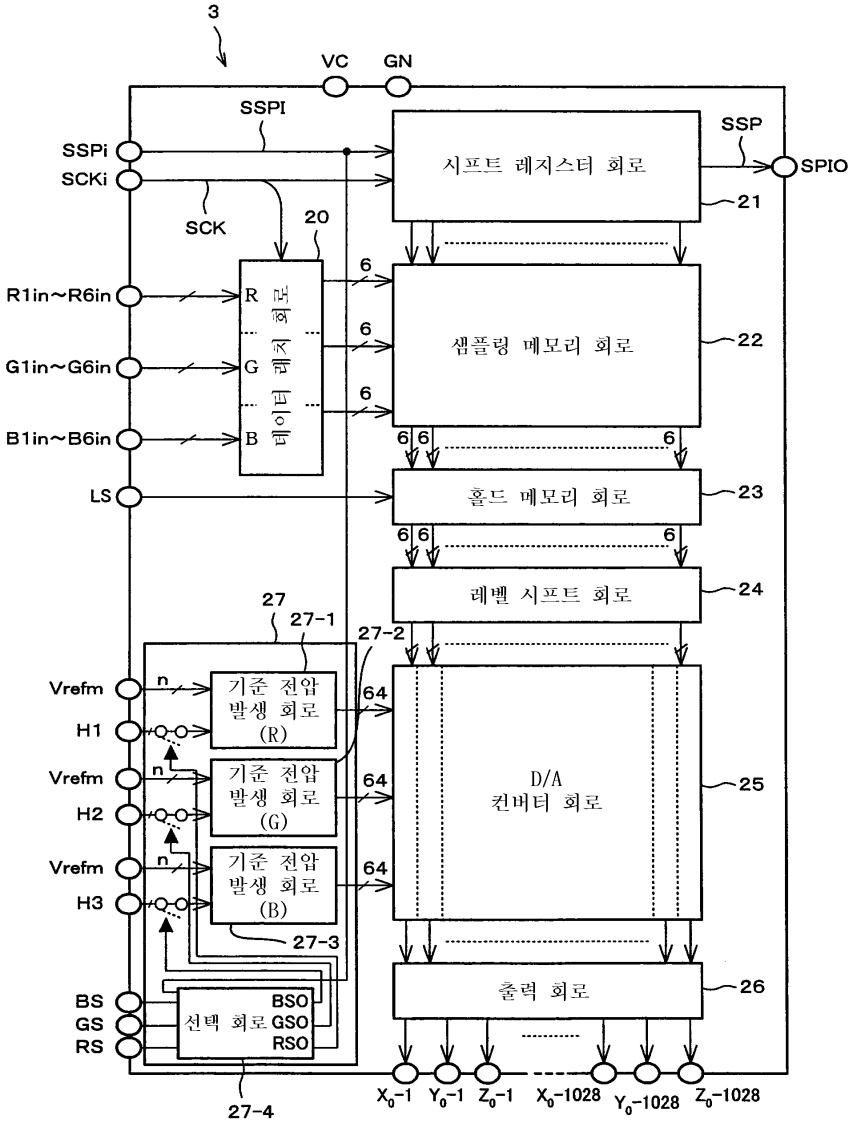
상기 표시 패널은, 복수개의 화소 전극 및 그 각 화소에 대응하는 박막 트랜지스터를 갖는 박막 트랜지스터 패널과, 대향 전극을 형성한 대향 패널을 구비하며, 박막 트랜지스터 패널의 전극 형성면과 대향 패널의 전극 형성면이 상호 대향하도록 중첩된 액정 패널인 것을 특징으로 하는 표시 장치.

청구항 9.
제1항에 있어서,

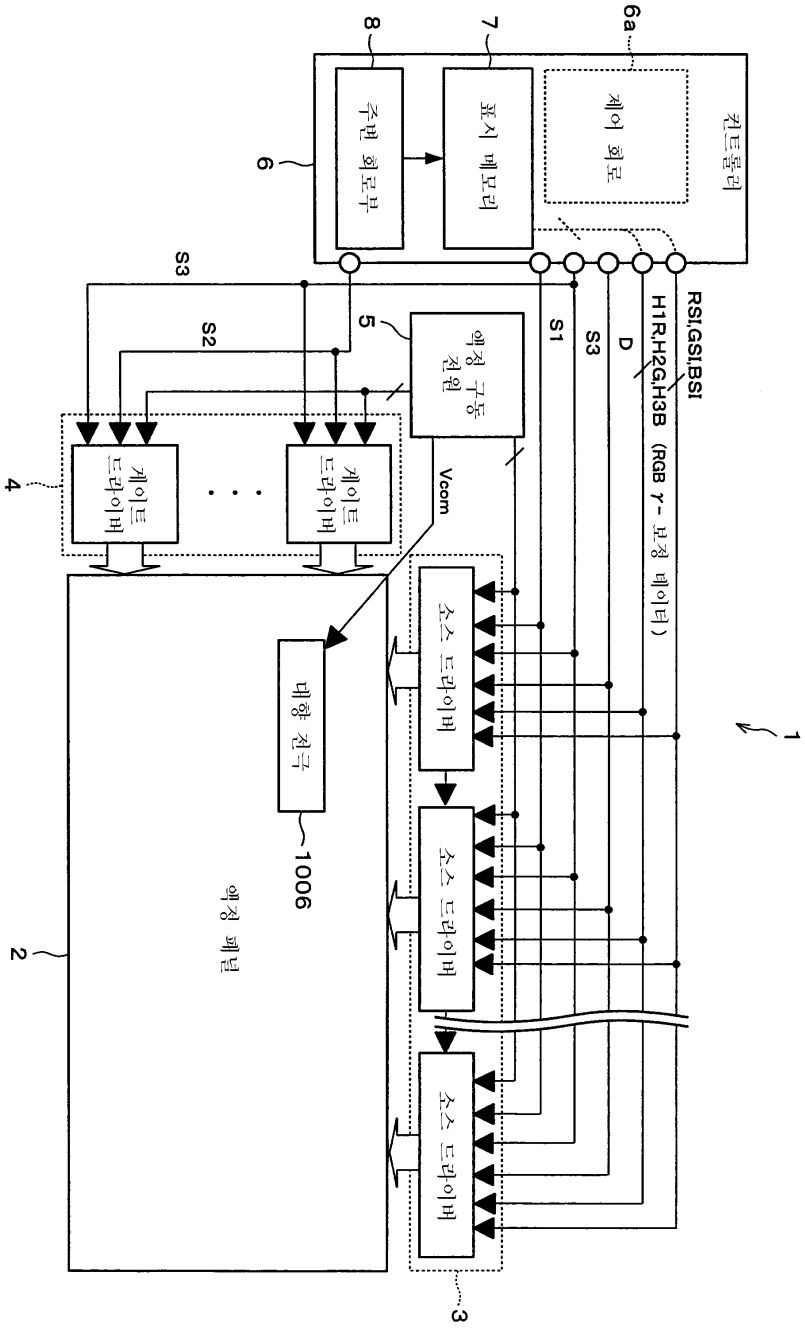
상기 표시 패널은, 복수개의 화소 전극 및 그 각 화소에 대응하는 박막 트랜지스터를 갖는, 복수개의 박막 트랜지스터 패널과, 대향 전극을 형성한 대향 패널을 구비하며, 동일 평면 상에 상호 접합된 각 박막 트랜지스터 패널의 전극 형성면과 대향 패널의 전극 형성면이 상호 대향하도록 중첩된 액정 패널인 것을 특징으로 하는 표시 장치.

도면

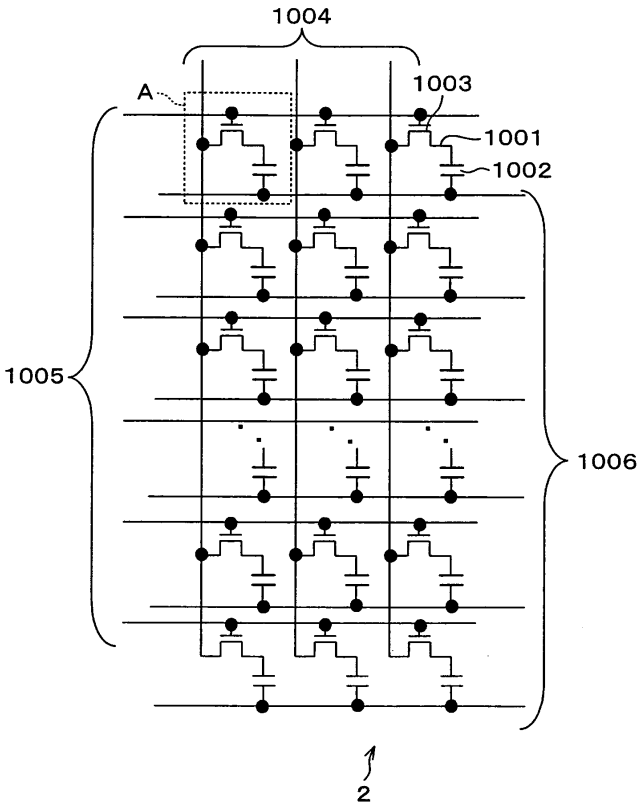
도면1


3
VC
GN
SSPI
SSPi
SCKi
SCK
20
시프트 레지스터 회로
SSP
SPIO
21
R1in~R6in
G1in~G6in
B1in~B6in
R 데이터 레지스터 회로
G
B
6
샘플링 메모리 회로
22
LS
홀드 메모리 회로
23
레벨 시프트 회로
24
27
27-1
27-2
Vrefm
H1
H2
H3
n
기준 전압 발생 회로 (R)
기준 전압 발생 회로 (G)
기준 전압 발생 회로 (B)
64
D/A 컨버터 회로
25
27-3
BS
GS
RS
선택 회로
BSO
GSO
RSO
출력 회로
26
27-4
X0-1
Y0-1
Z0-1
X0-1028
Y0-1028
Z0-1028

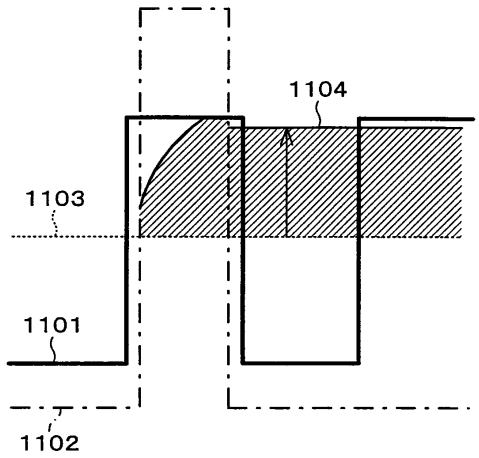
도면2


컨트롤러
제어 회로
표시 메모리
주변 회로부
6a
7
8
6
S3
S2
S1
S3
D
H1R,H2G,H3B (RGB γ- 보정 데이터)
RSI,GSI,BSI
1
5
액정 구동 전원
Vcom
게이트 드라이버
게이트 드라이버
4
소스 드라이버
소스 드라이버
소스 드라이버
3
대향 전극
1006
액정 패널
2

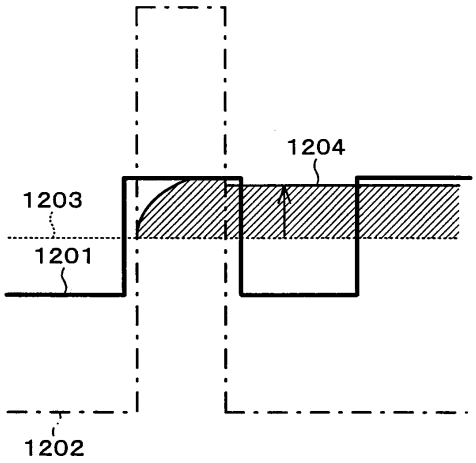
도면3



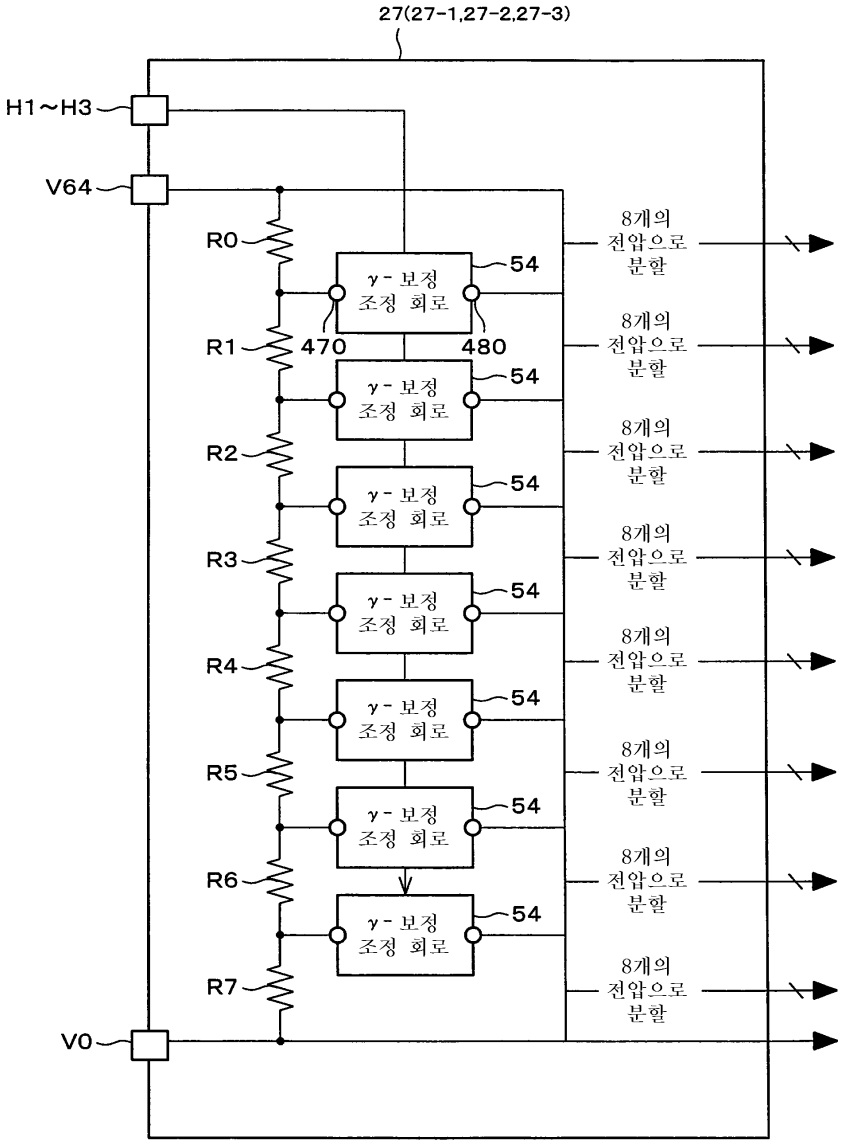
도면4



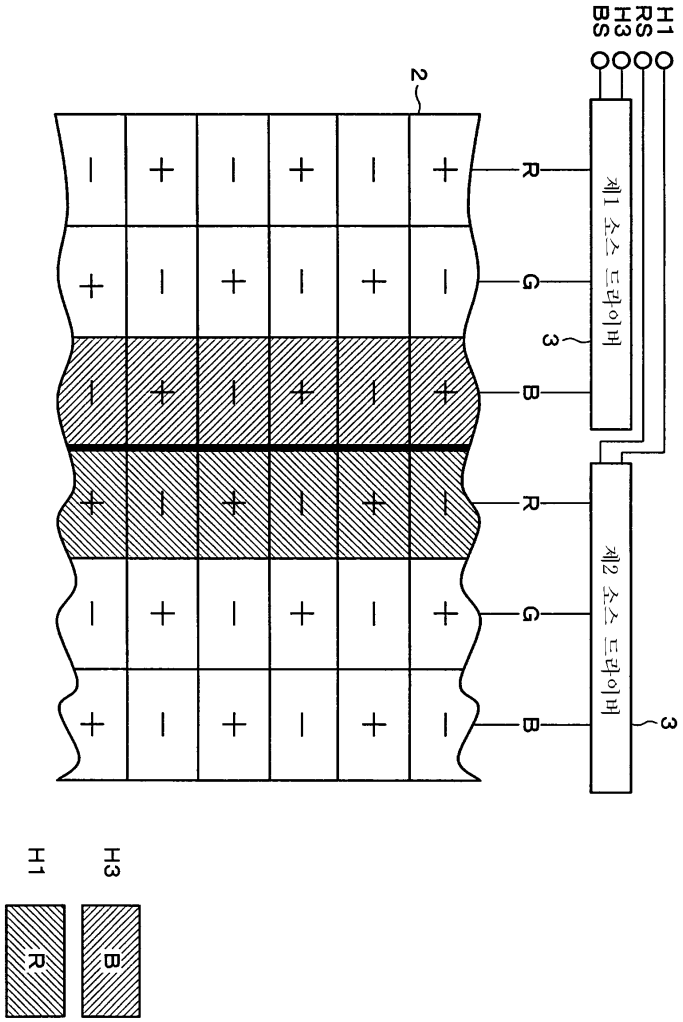
도면5


1204
1203
1201
1202

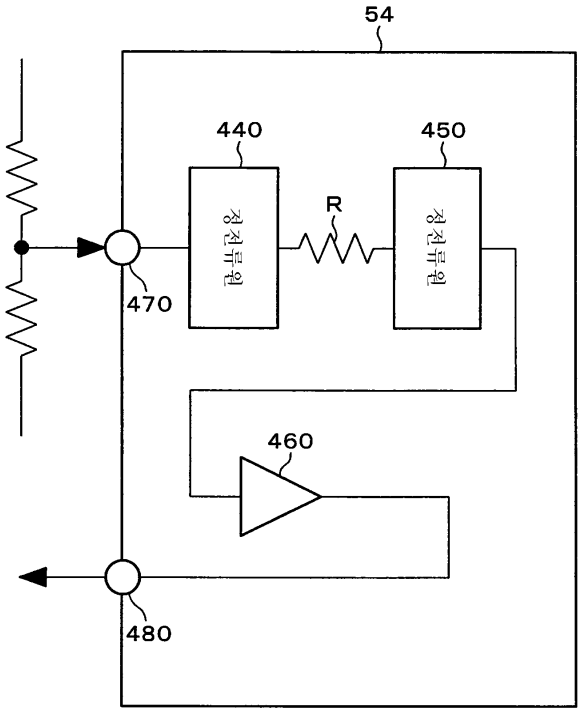
도면6


27(27-1,27-2,27-3)
H1~H3
V64
V0
R0
R1
R2
R3
R4
R5
R6
R7
γ-보정 조정 회로
54
470
480
8개의 전압으로 분할

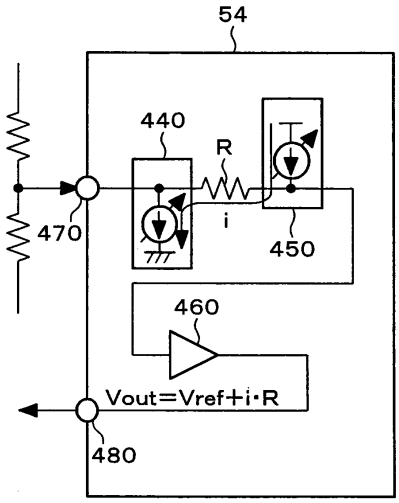
도면7


H1
RS
H3
BS
2
R
G
B
제1 소스 드라이버
3
제2 소스 드라이버
H1
H3
R
B

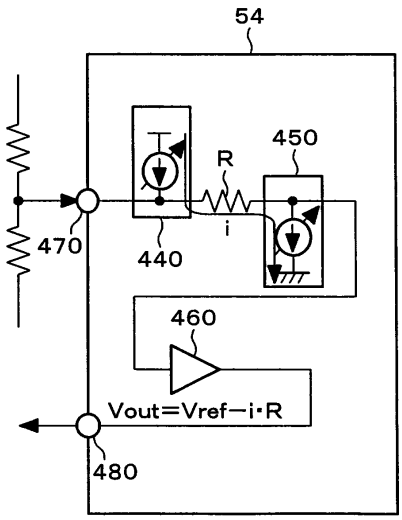
도면8


54
440
450
R
정전류원
정전류원
470
460
480

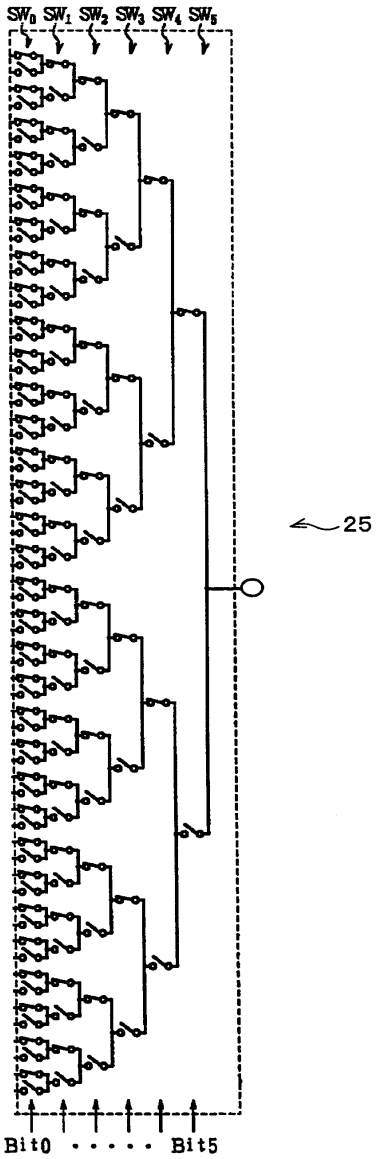
도면9a


54
440
R
i
470
450
460
Vout=Vref+i·R
480

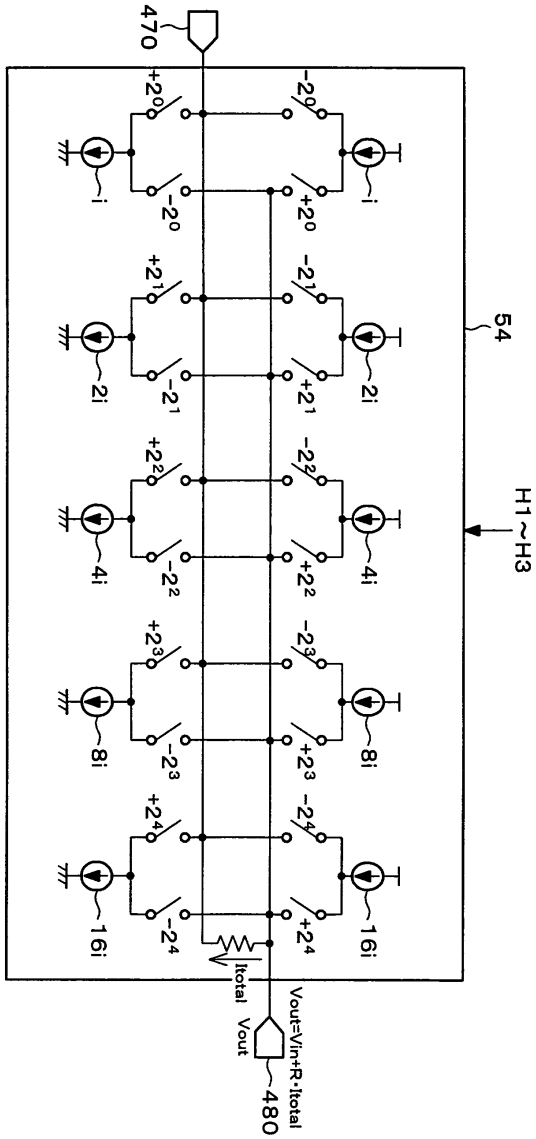
도면9b


54
450
R
i
470
440
460
Vout=Vref−i·R
480

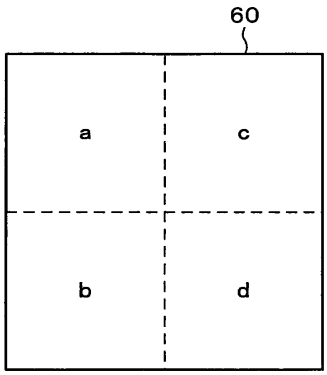
도면10



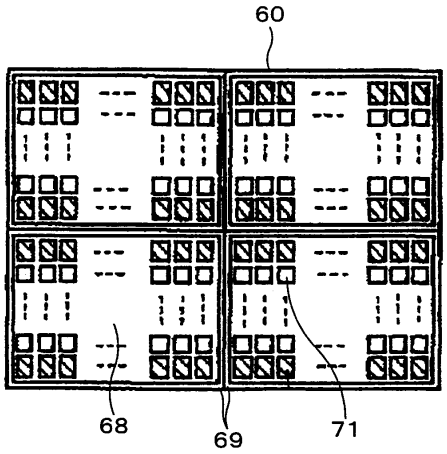
도면11


470
54
H1~H3
480
Itotal
Vout
Vout=Vin+R·Itotal
i
2i
4i
8i
16i

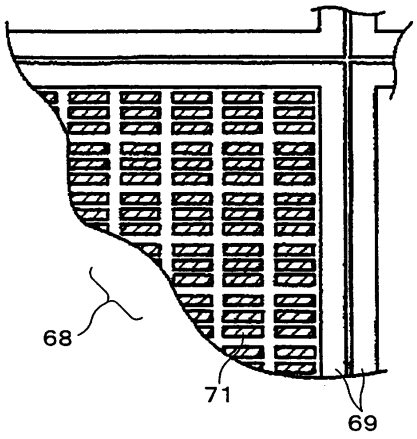
도면12


60
a
b
c
d

도면13



도면14



专利名称(译)	显示设备		
公开(公告)号	KR1020040081347A	公开(公告)日	2004-09-21
申请号	KR1020040016442	申请日	2004-03-11
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	OGAWA YOSHINORI 오가와요시노리 TANAKA SHIGEKI 다나까시게끼		
发明人	오가와요시노리 다나까시게끼		
IPC分类号	G09G3/36 G02F1/1333 G02F1/133 G09G3/20 G09F9/35		
CPC分类号	G09G2320/068 G09G2310/027 G09G3/3688 G09G2320/0233 G09G2320/0285 G09G2320/0606 G09G3/3696 G09G2320/0276		
代理人(译)	CHANG, SOO KIL		
优先权	2003067210 2003-03-12 JP		
外部链接	Espacenet		

摘要(译)

本发明的显示装置具有跟随液晶面板的每个像素的逐行，具有排列为矩阵形状和水平方向的多个像素，以及用于源极驱动器的标准电压产生电路（27）（3）），为了显示基于液晶面板中的显示数据的图像，它按顺序操作到垂直方向和灰度，用于产生每个参考电压，用于根据多级和图像指示图像为多级。控制单元，为了用γ修正显示数据，以减小γ校正调节电路的显示不均匀性，控制每个参考电压和每个像素交叉相邻控制γ校正调整，以便改变γ被校正的每个参考电压。虽然显示设备计划大尺寸，但它可以保持成本回升。液晶面板，源极驱动器，标准电压产生电路，γ校正调节电路，控制单元。