(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2004-0060708
(43) 공개일자 2004년07월06일

(21) 출원번호 10-2003-0043606
(22) 출원일자 2003년06월30일

(30) 우선권주장 1020020086998 2002년12월30일 대한민국(KR)

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이석우
서울특별시구로구오류1동338번지

권기석
경상북도구미시임은동371-2대동아파트1705호

김석수
대구광역시남구대명11동1251-7번지

김창곤
대구광역시북구태전동936-1한신중앙아파트201동1010호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정 표시 패널의 데이터 구동 장치 및 방법

요약

본 발명은 데이터 드라이브 집적 회로의 수를 감소시키면서도 화소 신호의 왜곡을 방지할 수 있는 액정 표시 패널의 데이터 구동 장치 및 방법에 관한 것이다.

본 발명의 한 특징에 따른 액정 표시 패널의 데이터 구동 장치는 입력된 화소 데이터를 시분할하여 공급하는 멀티플렉서부와; 상기 멀티플렉서로부터의 시분할된 디지털 화소 데이터를 아날로그 화소 신호로 변환하여 공급하는 디지탈-아날로그 변환부와;상기 디지탈-아날로그 변환부로부터의 시분할된 화소 신호를 서로 다른 출력 채널로 공급하는 디멀티플렉서부와; 상기 디멀티플렉서부로부터 먼저 공급된 시분할된 화소 신호를 샘플링 및 홀딩하고, 다음으로 공급된 시분할된 화소 신호를 홀딩한 다음 홀딩된 화소 신호들을 동시에 해당 데이터 라인으로 출력하는 출력부를 구비한다.

대표도

도 7

명세서

도면의 간단한 설명

도 1은 종래 액정 표시 모듈의 구성을 개략적으로 도시한 블록도.

도 2는 도 1에 도시된 데이터 드라이버를 구성하는 데이터 드라이브 집적 회로의 상세 구성도.

도 3은 본 발명의 제1 실시 예에 따른 데이터 드라이브 집적 회로의 상세 구성도.

도 4는 도 3에 도시된 데이터 드라이브 집적 회로의 구동 파형도.

도 5는 본 발명의 제2 실시 예에 따른 데이터 드라이브 집적 회로의 상세 구성도.

도 6은 도 5에 도시된 데이터 드라이브 집적 회로의 구동 파형도.

도 7은 본 발명의 제3 실시 예에 따른 데이터 드라이브 집적 회로의 상세 구성도.

도 8은 도 7에 도시된 데이터 드라이브 집적 회로의 구동 파형도.

<도면의 주요부분에 대한 설명>

2 : 액정 표시 패널 4 : 게이트 드라이버

6 : 데이터 드라이버 8 : 타이밍 제어부

10 : 기준 감마 전압부 12, 42 : 데이터 드라이브 IC

14, 144 : 신호 제어부 16, 146 : 감마 전압부

18, 50, 148 : 쉬프트 레지스터 20, 52, 54, 150 : 래치부

22, 60, 152 : DAC부 21, 51 : DAC

30, 70, 160, 270 : 출력부 32, 162 : 출력 버퍼

58 : 레벨 쉬프터부 72 : 홀딩부

74, 274 : 출력 버퍼부 184 : 샘플링 및 홀딩부

180 : DEMUX부 164 : MUX3

168 : MUX3부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 데이터 드라이브 집적 회로의 수를 감소시키면서도 화소 신호 왜곡을 방지할 수 있는 액정 표시 패널의 데이터 구동 장치 및 방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여, 액정 표시 장치는 화소 매트릭스를 갖는 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 구비한다.

구체적으로, 액정 표시 장치는 도 1에 도시된 바와 같이 화소 매트릭스를 갖는 액정 표시 패널(2)과, 액정 표시 패널(2)의 게이트 라인들(GL0 내지 GLn)을 구동하기 위한 게이트 드라이버(4)와, 액정 패널(2)의 데이터 라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(6)와, 게이트 드라이버(4)와 데이터 드라이버(6)의 구동 타이밍을 제어하기 위한 타이밍 제어부(8)와, 데이터 드라이버(6)에 기준 감마 전압들을 공급하기 위한 기준 감마 전압부(10)를 구비한다.

액정 표시 패널(2)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의된 서브화소들로 구성된 화소 매트릭스를 구비한다. 서브화소들 각각은 화소 신호에 따라 광투과량을 조절하는 액정셀(Clc)과, 액정셀(Clc)을 구동하기 위한 박막 트랜지스터(TFT)들을 구비한다.

박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터의 스캔 신호, 즉 게이트 하이 전압(VGH)이 공급되는 경우 턴-온되어 데이터 라인(DL)으로부터의 화소 신호를 액정셀(Clc)에 공급한다. 그리고, 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터 게이트 로우 전압(VGL)이 공급되는 경우 턴-오프되어 액정셀(Clc)에 충전된 화소 신호가 유지되게 한다.

액정셀(Clc)은 등가적으로 캐패시터로 표현되며, 액정을 사이에 두고 대면하는 공통 전극과 박막 트랜지스터(TFT)에 접속된 화소 전극으로 구성된다. 그리고, 액정셀(Clc)은 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 하기 위하여 스토리지 캐패시터(Cst)를 더 구비한다. 이러한 액정셀(Clc) 은 박막 트랜지스터(TFT)를 통해 충전되는 화소 신호에 따라 유전 이방성을 가지는 액정의 배열 상태가 가변하여 광 투과율을 조절함으로써 계조를 구현하게 된다.

게이트 드라이버(4)는 타이밍 컨트롤러(8)로부터의 게이트 스타트 펄스(Gate Start Pulse; 이하, GSP)를 게이트 쉬프트 클럭(Gate Shift Clock; 이하, GSC)에 따라 쉬프트시켜 게이트 라인들(GL1 내지 GLm)에 순차적으로 게이트 하이 전압(VGH)의 스캔 펄스를 공급한다. 그리고, 게이트 드라이버(14)는 게이트 라인들(GL)에 게이트 하이 전압(VGH)의 스캔 펄스가 공급되지 않는 나머지 기간에서는 게이트 로우 전압(VGL)을 공급하게 된다. 또한, 게이트 드라이버(4)는 상기 스캔 펄스의 펄스 폭을 타이밍 제어부(8)로부터의 게이트 출력 이네이블(Gate Output Enable; 이하, GOE) 신호에 따라 제어하게 된다. 이러한 게이트 드라이버(4)는 게이트 라인들(GL0 내지 DLn)을 분할하여 구동하기 위한 다수개의 게이트 드라이브 집적 회로(Integrated Circuit; 이하, IC)들을 구비한다.

데이터 드라이버(6)는 타이밍 제어부(8)로부터의 소스 스타트 펄스(Source Start Pulse; 이하, SSP)를 소스 쉬프트 클럭(Source Shift Clock; 이하, SSC)에 따라 쉬프트시켜 샘플링 신호를 발생한다. 그리고, 데이터 드라이버(6)는 상기 SSC에 따라 입력되는 화소 데이터(RGB)를 상기 샘플링 신호에 따라 래치한 후 소스 출력 이네이블(Source Output Enable; 이하, SOE) 신호에 응답하여 수평 라인 단위로 공급한다. 이어서, 데이터 드라이버(6)는 수평 라인 단위로 공급되는 화소 데이터(RGB)를 기준 감마 전압부(10)로부터의 기준 감마 전압들을 이용하여 아날로그 화소 신호로 변환하여 데이터 라인들(DL1 내지 DLm)에 공급한다. 여기서, 데이터 드라이버(6)는 상기 화소 데이터를 아날로그 화소 신호로 변환할 때 타이밍 제어부(8)로부터의 극성 제어(이하, POL) 신호에 응답하여 화소 신호의 극성을 결정하게 된다. 그리고, 데이터 드라이버(6)는 상기 SOE 신호에 응답하여 상기 화소 신호가 데이터 라인들(DL1 내지 DLm)에 공급되는 기간을 결정한다. 이러한 데이터 드라이버(6)는 데이터 라인들(DL1 내지 DLm)을 분할하여 구동하기 위한 다수개의 데이터 드라이브 IC들을 구비한다.

타이밍 제어부(8)는 게이트 드라이버(4)를 제어하는 GSP, GSC, GOE 신호 등을 발생하고, 데이터 드라이버(6)를 제어하는 SSP, SSC, SOE, POL 신호 등을 발생한다. 이 경우, 타이밍 제어부(8)는 외부로부터 입력되며 유효 데이터 구간을 알리는 데이터 이네이블(Data Enable; DE) 신호, 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 화소 데이터(RGB)의 전송 타이밍을 결정하는 도트 클럭(Dot Clock; DCLK)을 이용하여 상기 GSP, GSC, GOE, SSP, SSC, SOE, POL 등과 같은 제어 신호들을 생성한다.

도 2는 도 1에 도시된 데이터 드라이버(6)에 포함되는 데이터 드라이브 IC의 상세 구성을 도시한 블록도이다.

도 2에 도시된 데이터 드라이브 IC(12)는 순차적인 샘플링 신호를 생성하기 위한 쉬프트 레지스터(18)와, 샘플링 신호에 응답하여 화소 데이터들을 래치하여 출력하기 위한 래치부(20)와, 래치부(20)로부터의 화소 데이터들을 아날로그 화소 신호로 변환하기 위한 디지털-아날로그 변환(이하, DAC)부(22)와, DAC부(22)로부터의 화소 신호를 완충하여 출력하기 위한 출력 버퍼부(30)를 구비한다. 또한, 데이 터 드라이브 IC(12)는 타이밍 제어부(8)로부터 공급되는 각종 제어신호들(SSC, SSP, SOE, POL)과 화소 데이터를 중계하는 신호 제어부(14)와, DAC부(22)에서 필요로 하는 감마 전압들을 공급하기 위한 감마 전압부(16)를 추가로 구비한다. 이러한 구성을 가지는 데이터 구동 IC(12)는 도 1에 도시된 m개의 데이터 라인들(DL1 내지 DLm) 중 k개의 데이터 라인들(DL1 내지 DLk)을 구동하게 된다.

신호 제어부(14)는 도 1에 도시된 타이밍 제어부(8)로부터의 각종 제어 신호들(SSP, SSC, SOE, POL)과 화소 데이터가 해당 구성 요소들로 출력되도록 중계한다.

감마 전압부(16)는 도 1에 도시된 기준 감마 전압부(10)로부터 입력되는 다수개의 기준 감마 전압들을 계조별로 세분화하여 DAC부(22)로 출력한다. 이 경우, 감마 전압부(16)는 액정셀(Clc) 구동시 기준이 되는 공통 전압(Vcom)을 기준으로 한 정극성(+) 감마 전압 세트와 부극성(-) 감마 전압 세트를 생성하여 공급한다.

쉬프트 레지스터(18)는 신호 제어부(14)로부터의 SSP를 SSC에 따라 순차적으로 쉬프트시켜 샘플링 신호를 생성한다.

래치부(20)는 쉬프트 레지스터(18)의 샘플링 신호에 응답하여 신호 제어부(14)로부터의 화소 데이터들을 순차적으로 샘플링하여 래치한다. 래치부(20)는 k개의 화소 데이터를 래치하기 위하여 k개의 래치들로 구성되고, 래치들 각각은 화소 데이터의 비트 수(3비트 또는 6비트)에 대응하는 크기를 갖게 된다. 그리고, 래치부(20)는 신호 제어부(14)로부터의 SOE 신호에 응답하여 래치된 k개의 화소 데이터들을 동시에 출력하게 된다. 이러한 래치부(20)는 통상 입력 화소 데이터를 샘플링하여 래치하는 제1 래치부(미도시)와, SOE 신호에 응답하여 제1 래치부로부터의 화소 데이터들을 동시에 공급하는 제2 래치부(미도시)로 구성된다.

DAC부(22)는 래치부(20)로부터의 화소 데이터들을 동시에 정극성 및 부극성의 아날로그 화소 신호로 변환하여 출력한다. 이를 위하여, DAC부(22)는 k개의 DAC들(21)을 구비하고, DAC들(21) 각각은 PDAC 및 NDAC과, PDAC 및 NDAC의 출력 신호를 선택적으로 출력하기 위한 멀티플렉서(Multiplexer; 이하, MUX)(28)를 구비한다.

PDAC은 래치부(20)로부터 입력되는 디지털 화소 데이터를 감마 전압부(16)로부터의 정극성 감마 전압들을 이용하여 정극성(Vcom 기준) 아날로그 화소 신호로 변환하여 출력한다.

NDAC은 래치부(20)로부터 입력되는 디지털 화소 데이터를 감마 전압부(16)로부터의 부극성 감마 전압들을 이용하여 부극성(Vcom 기준) 아날로그 화소 신호로 변환하여 출력한다.

MUX(28)는 신호 제어부(14)로부터의 POL 신호에 응답하여 PDAC으로부터의 정극성 화소 신호와 NDAC으로부터의 부극성 화소 신호 중 어느 하나를 선택하여 출력한다.

출력 버퍼부(32)는 k개의 출력 버퍼들(32)을 구비하고, 그 출력 버퍼들(32) 각각은 데이터 라인들(DL1 내지 DLk) 각각에 직렬로 접속되어진 전압 추종기(Voltage follower) 등으로 구성된다. 이러한 출력 버퍼들(32) 각각은 DAC부(22)로부터의 화소 신호들을 신호 완충하여 데이터 라인들(DL1 내지 DLk) 각각으 로 출력한다.

이와 같이, 종래의 데이터 구동 IC(12)는 k개의 데이터 라인들(DL1 내지 DLk)을 구동하기 위하여 PDAC 및 NDAC과 MUX(28) 각각을 포함하여 복잡한 구성을 갖는 k개의 DAC들(22)을 구비해야만 한다. 다시 말하여, 종래의 데이터 구동 IC(12)는 k개의 데이터 라인들(DL1 내지 DLk)을 구동하기 위하여 k개씩의 PDAC과 NDAC을 구비해야만 한다. 이에 따라, 종래의 데이터 드라이브 IC(12)는 복잡한 구성으로 제조 단가가 액정표시모듈 전체 제조 단가의 20-30%를 차지할 정도로 높으므로 이의 사용 갯수를 줄여 제조 단가를 줄일 수 있는 방안이 요구된다.

이 경우, 데이터 드라이브 IC를 단순 통합하여 그의 갯수를 줄이는 방안이 고려될 수 있다. 데이터 드라이브 IC를 단순 통합하는 경우 IC의 크기가 증대됨으로써 그 IC가 실장되는 테이프 캐리어 패키지(Tape Carrier Package;이하, TCP) 또는 칩 온 필름(Chip On Film;이하, COF)의 면적이 증대되어야만 한다. 그러나, TCP 또는 COF의 면적이 증대되는 경우 면적 대비 상대적으로 높은 제조 단가를 갖으므로 전체 제조 단가가 상승되고 불량율이 높다는 문제점이 있다.

또한, 데이터 드라이브 IC의 구성을 단순화시켜 IC의 수를 감소시키고자 하는 경우 화질에 직접적인 영향을 미치는 화소 신호를 왜곡시키지 않는 조건을 만족시켜야 한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화소 데이터들의 시분할 구동으로 DAC의 수를 줄 여 데이터 드라이브 IC의 수를 감소시킬 수 있는 액정 표시 패널의 데이터 구동 장치 및 방법을 제공하는 것이다.

본 발명의 다른 목적은 데이터 드라이브 IC의 수를 줄이면서도 출력 화소 신호의 왜곡을 방지할 수 있는 액정 표시 패널의 데이터 구동 장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 액정 표시 패널의 데이터 구동 장치는 입력된 화소 데이터를 시분할하여 공급하는 멀티플렉서부와; 상기 멀티플렉서로부터의 시분할된 디지털 화소 데이터를 아날로그 화소 신호로 변환하여 공급하는 디지탈-아날로그 변환부와;상기 디지탈-아날로그 변환부로부터의 시분할된 화소 신호를 서로 다른 출력 채널로 공급하는 디멀티플렉서부와; 상기 디멀티플렉서부로부터 먼저 공급된 시분할된 화소 신호를 샘플링 및 홀딩하고, 다음으로 공급된 시분할된 화소 신호를 홀딩한 다음 홀딩된 화소 신호들을 동시에 해당 데이터 라인으로 출력하는 출력부를 구비한다.

상기 디지탈-아날로그 변환부는 상기 멀티플렉서부의 출력 채널당 접속된 디지털-아날로그 변환기를 구비하고, 그 디지털-아날로그 변환기는, 상기 디지털 화소 데이터를 정극성 화소 신호로 변환하는 정극성 디지털-아날로그 변환기와; 상기 디지털 화소 데이터를 부극성 화소 신호로 변환하는 부극성 디지털-아날로그 변환기와; 상기 정극성 및 부극성 화소 신호 중 어느 하나를 입력 극성 제어 신호에 따 라 선택하여 상기 디멀티플렉서부로 공급하는 제2 멀티플렉서를 구비한다.

상기 출력부는 상기 디멀티플렉서부의 출력 채널 각각으로부터의 화소 신호를 홀딩하기 위한 캐패시터와; 상기 디멀티플렉서부의 출력 채널들 중 오드 또는 이븐 출력 채널로부터의 화소 신호를 샘플링하여 해당 캐패시터로 공급하는 샘플링 스위치와; 상기 캐패시터 각각과 접속된 출력 버퍼와; 상기 캐패시터에 홀딩된 화소 신호들을 상기 출력 버퍼를 통해 동시에 방전시켜 해당 데이터 라인으로 공급하는 제3 멀티플렉서부를 구비한다.

그리고, 본 발명은 입력 소스 스타트 펄스를 입력 소스 쉬프트 클럭에 따라 순차적으로 쉬프트시켜 샘플링 신호를 발생하는 쉬프트 레지스터와; 상기 샘플링 신호에 응답하여 입력되는 화소 데이터들을 순차적으로 래치한 후 입력 소스 출력 이네이블 신호의 이네이블 기간에서 래치된 화소 데이터들을 동시에 상기 멀티플렉서부로 공급하는 래치부를 추가로 구비한다.

상기 제2 멀티플렉서부는 상기 소스 출력 이네이블 신호의 이네이블 기간에서는 상기 홀딩된 화소 신호들을 해당 데이터 라인으로 공급하고, 디세이블 기간에서는 액정셀의 기준 전압이 상기 데이터 라인들에 공통으로 공급되게 한다.

상기 멀티플렉서부, 상기 디멀티플렉서부, 그리고 상기 샘플링 스위치는 한 수평 기간을 시분할하는 오드/이븐 신호에 의해 제어된다.

본 발명의 다른 특징에 따른 액정 표시 패널의 데이터 구동 장치는 입력된 화소 데이터를 시분할하여 극성이 결정된 출력 채널을 통해 출력하는 멀티플렉서와; 상기 멀티플렉서로부터의 시분할된 디지털 화소 데이터를 해당 극성의 아날로 그 화소 신호로 변환하여 공급하는 디지탈-아날로그 변환부와; 상기 디지탈-아날로그 변환부로부터의 시분할된 화소 신호를 극성이 결정된 서로 다른 출력 채널로 공급하는 디멀티플렉서와; 상기 디멀티플렉서로부터의 화소 신호를 그 극성에 따른 경로를 통해 샘플링 및 홀딩하고, 홀딩된 화소 신호를 다음 수평 기간에서 해당 데이터 라인으로 출력하는 출력부를 구비한다.

상기 디지탈-아날로그 변환부는상기 멀티플렉서의 정극성 출력 채널을 통해 입력된 화소 데이터를 정극성 화소 신호로 변환하여 출력하는 정극성 디지털-아날로그 변환기와; 상기 멀티플렉서의 부극성 출력 채널을 통해 입력된 화소 데이터를 부극성 화소 신호로 변환하여 출력하는 정극성 디지털-아날로그 변환기를 구비한다.

상기 멀티플렉서는 상기 화소 데이터의 입력 채널들 각각과 접속되고 상기 정극성 출력 채널과 공통으로 접속된 다수의 정극성 경로 스위치들과; 상기 화소 데이터의 입력 채널들 각각에 상기 다수의 정극성 경로 스위치들 각각과 병렬로 접속되고 상기 부극성 출력 채널과 공통으로 접속된 다수의 부극성 경로 스위치들을 구비한다.

상기 디멀티플렉서는 상기 정극성 디지털-아날로그 변환기와 공통으로 접속되고 그의 출력 채널들 각각과 접속되어 서로 다른 정극성 경로를 형성하는 다수의 정극성 경로 스위치들과; 상기 부극성 디지털-아날로그 변환기와 공통으로 접속되고 그의 출력 채널들 각각에 상기 다수의 정극성 경로 스위치들 각각과 병렬로 접속되어 서로 다른 부극성 경로를 형성하는 다수의 부극성 경로 스위치들을 구비한 다.

상기 출력부는 상기 디멀티플렉서의 출력 채널을 통해 공급되는 화소 신호를 샘플링하여 서로 다른 해당 극성의 경로로 출력하는 샘플링부와; 상기 샘플링부의 서로 다른 해당 극성 경로를 통해 공급되는 화소 신호를 각각 홀딩하는 홀딩부와; 제1 기간에서 상기 홀딩부에 각각 홀딩된 화소 신호를 다음 제2 기간에서 서로 다른 해당 극성 경로를 통해 상기 해당 데이터 라인으로 출력하는 방전부를 구비한다.

상기 샘플링부 및 홀딩부는 상기 제2 기간에서 공급되는 화소 신호를 상기 제1 기간에서 공급된 화소 신호의 경로와 다른 경로를 통해 샘플링 및 홀딩한다.

상기 샘플링부는 상기 디멀티플렉서의 다수의 출력 채널들 각각과 접속되어 서로 다른 정극성 경로를 형성하는 다수

의 정극성 경로 스위치들과; 상기 디멀티플렉서의 출력 채널들 각각에 상기 정극성 경로 스위치들과 병렬로 접속되어 서로 다른 부극성 경로를 형성하는 다수의 부극성 경로 스위치들을 포함하는 제2 디멀티플렉서를 구비한다.

상기 홀딩부는 상기 제2 디멀티플렉서의 정극성 경로 스위치들 각각으로부터의 정극성 화소 신호를 충전하여 홀딩하는 정극성 경로 캐패시터와; 싱기 제2 디멀티플렉서의 부극성 경로 스위치들 각각으로부터의 부극성 화소 신호를 충전하여 홀딩하는 부극성 경로 캐패시터를 구비한다.

상기 방전부는 상기 홀딩부를 경유하여 상기 제2 디멀티플렉서의 정극성 경로 스위치들 각각과 접속되고 상기 데이터 라인들 각각과 접속된 다수의 정극성 경 로 스위치들과; 상기 홀딩부를 경유하여 상기 제2 디멀티플렉서의 부극성 스위치들 각각과 접속되고 상기 데이터 라인들 각각에 상기 정극성 경로 스위치들 각각과 병렬로 접속된 다수의 부극성 경로 스위치들을 포함하는 제2 멀티플렉서를 구비한다.

상기 멀티플렉서, 디멀티플렉서, 제2 디멀티플렉서는 입력 극성 제어 신호와 한 수평 기간을 시분할하는 오드/이븐 신호를 이용한 제1 제어 신호에 의해 제어된다.

상기 오드/이븐 신호는 한 수평 기간 중 소스 출력 이네이블 신호에 의해 결정되는 이네이블 기간을 시분할한다.

상기 오드/이븐 신호는 상기 소스 출력 이네이블 신호의 디세이블 기간을 더 시분할한다.

상기 오드/이븐 신호에 의해 상기 멀티플렉서, 디멀티플렉서, 제2 디멀티플렉서는 상기 디세이블 기간에서 이전 이네이블 기간과 동일한 화소 신호를 상기 홀딩부에 재충전시킨다.

상기 소스 출력 이네이블 신호는 상기 홀딩부의 재충전기간이 충분히 확보되도록 외부에서 입력된 기본 소스 출력 이네이블 신호의 디세이블 기간을 증가시켜 공급한다.

상기 제2 멀티플렉서는 상기 제1 제어 신호와 위상 반전된 제2 제어 신호에 의해 제어된다.

그리고, 본 발명은 상기 홀딩부에서 상기 방전부로 방전되는 화소 신호를 완충하여 공급하는 출력 버퍼부를 추가로 구비하는 것을 특징으로 한다.

상기 출력 버퍼부는 상기 홀딩부의 정극성 경로 캐패시터들 각각과 상기 제2 멀티플렉서의 정극성 경로 스위치들 각각의 사이에 접속된 정극성 경로 출력 버퍼들과; 상기 홀딩부의 부극성 경로 캐패시터들 각각과 상기 제2 멀티플렉서의 부극성 경로 스위치들 각각의 사이에 접속된 부극성 경로 출력 버퍼들을 구비한다.

상기 제2 멀티플렉서의 출력 채널들을 통해 공급되는 화소 신호들을 완충하여 상기 데이터 라인들 각각으로 공급하는 출력 버퍼부를 추가로 구비한다.

상기 출력 버퍼부는 상기 제2 멀티플렉서의 출력 채널들 각각과 상기 데이터 라인들 각각의 사이에 접속된 출력 버퍼들을 구비한다.

또한, 본 발명은 입력 소스 스타트 펄스를 입력 소스 쉬프트 클럭에 따라 순차적으로 쉬프트시켜 샘플링 신호를 발생하는 쉬프트 레지스터와; 상기 샘플링 신호에 응답하여 입력되는 화소 데이터들을 순차적으로 래치한 후 입력 소스 출력 이네이블 신호의 이네이블 기간에서 래치된 화소 데이터들을 동시에 상기 멀티플렉서로 공급하는 래치부와, 상기 멀티플렉서로로부터의 화소 데이터를 승압하여 상기 디지털-아날로그 변환부로 공급하는 레벨 쉬프터부를 추가로 구비한다.

상기 소스 출력 이네이블 신호의 이네이블 기간에서는 상기 출력부로부터의 화소 신호들을 해당 데이터 라인으로 공급하고, 디세이블 기간에서는 액정셀의 기준 전압이 상기 데이터 라인들에 공통으로 공급되게 하는 제3 멀티플렉서를 추가로 구비한다.

본 발명의 한 특징에 따른 액정 표시 패널의 데이터 구동 방법은 입력된 디지털 화소 데이터를 시분할하여 공급하는 1단계와; 상기 시분할된 디지털 화소 데 이터를 아날로그 화소 신호로 변환하는 2단계와; 상기 시분할된 화소 신호를 서로 다른 출력 채널로 공급하는 3단계와; 상기 서로 다른 출력 채널 중 일부의 출력 채널을 통해 먼저 입력되는 화소 신호들을 샘플링 및 홀딩하고, 그 다음 다른 출력 채널을 통해 입력되는 화소 신호들을 홀딩하여, 홀딩된 화소 신호들을 동시에 해당 데이터 라인으로 공급하는 4단계를 포함한다.

상기 홀딩된 화소 신호들을 입력 소스 출력 이네이블 신호의 이네이블 기간에서 상기 해당 데이터 라인들로 공급하고, 디세이블 기간에서는 액정셀의 기준 전압을 상기 데이터 라인들에 공통으로 공급한다.

상기 2단계는 상기 시분할된 화소 데이터는 정극성 및 부극성 아날로그 화소 신호로 동시에 변환하는 단계와; 입력 극성 제어 신호에 따라 상기 정극성 및 부극성 아날로그 화소 신호 중 어느 하나를 선택하여 출력하는 단계를 포함한다.

상기 홀딩된 화소 신호들을 상기 해당 데이터 라인으로 공급하기 이전에 그 해당 데이터 라인당 접속된 출력 버퍼를 통해 신호 완충하여 출력하는 단계를 추가로 포함한다.

상기 1단계, 상기 2단계와, 상기 3단계에서 상기 화소 신호를 샘플링하는 단계는 한 수평 기간을 시분할하는 오드/이븐 신호에 의해 제어된다.

본 발명의 다른 특징에 따른 액정 표시 패널의 데이터 구동 방법은 입력된 화소 데이터를 시분할하여 극성이 결정된 출력 채널을 통해 출력하는 1단계와; 상기 시분할된 디지털 화소 데이터를 해당 극성의 아날로그 화소 신호로 변환하여 공급하는 2단계와; 상기 시분할된 아날로그 화소 신호를 극성이 결정된 서로 다른 출 력 채널로 공급하여 샘플링 및 홀딩되게 하는 3단계와; 상기 홀딩된 화소 신호를 다음 수평 기간에서 해당 데이터 라인으로 출력하는 4단계를 포함한다.

상기 1단계 및 3 단계는 입력 극성 제어 신호와, 한 수평 기간을 시분할하는 오드/이븐 신호를 이용한 제1 제어 신호에 의해 제어된다.

상기 3단계는 상기 오드/이븐 신호에 의해 상기 디세이블 기간에서 이전 이네이블 기간과 동일한 화소 신호를 상기 다시 샘플링 및 홀딩하는 단계를 추가로 포함한다.

상기 4 단계는 상기 제1 제어 신호와 위상 반전된 제2 제어 신호에 의해 제어된다.

상기 1단계는 상기 시분할 화소 데이터 각각이 이전 기간 및 인접한 채널의 시분할 화소 데이터와 상반된 극성의 출력 채널을 통해 출력되게 하는 단계를 포함한다.

상기 2단계는 상기 시분할 화소 데이터 각각을 이전 기간 및 인접한 채널의 시분할 화소 데이터와 상반된 극성의 시분할 아날로그 신호로 변환하는 단계를 포함한다.

상기 3단계는 상기 시분할 화소 신호 각각을 이전 기간 및 인접한 채널의 시분할 화소 신호와 상반된 극성의 경로를 경유하여 샘플링 및 홀딩되게 하는 단계를 포함한다.

상기 4단계는 상기 홀딩된 화소 신호들을 상기 해당 데이터 라인으로 공급하기 이전에 그 해당 데이터 라인당 접속된 출력 버퍼를 통해 신호 완충하여 출력하 는 단계를 추가로 포함한다.

그리고, 본 발명은 상기 1단계 및 2단계 사이에 상기 시분할 화소 데이터를 승압하여 출력하는 단계를 추가로 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시예들을 첨부한 도 3 내지 도 8을 참조하여 상세히 설명하기로 한다.

도 3은 본 발명의 제1 실시 예에 따른 액정 표시 장치의 데이터 드라이브 IC의 상세 구성을 도시한 것이다.

도 3에 도시된 데이터 드라이브 IC는 편의상 4개의 데이터 라인(DL1 내지 DL4)을 구동한다고 가정한다. 이를 위하여, 데이터 드라이브 IC는 쉬프트 레지스터(48)의 샘플링 신호에 따라 화소 데이터들을 래치하여 동시에 출력하는 제1 및 제2 래치부(52, 54)와, 제2 래치부(54)로부터의 화소 데이터들을 시분할하여 공급하는 MUX1부와, MUX1부로부터의 화소 데이터들을 아날로그 화소 신호로 변환하여 출력하는 DAC부(60)와, DAC부(60)로부터의 화소 신호의 출력 채널을 결정하는 디멀티플렉서(Demultiplexer; 이하, DEMUX)1부와, DEMUX1부로부터의 화소 신호를 해당 데이터 라인으로 출력하는 출력부(68)를 구비한다. 그리고, MUX1부과 DAC부(60) 사이에 접속된 레벨 쉬프터부(58)를 더 구비한다. 또한, 데이터 드라이브 IC는 외부의 타이밍 제어부(미도시)로부터의 제어 신호들 및 화소 데이터들을 중계하는 신호 제어부(미도시)와, 외부의 기준 감마 전압부(미도시)로부터의 기준 감마 전압들 을 세분화하여 공급하는 감마 전압부(미도시)를 더 구비한다.

쉬프트 레지스터(50)는 신호 제어부(미도시)로부터의 SSP를 SSC에 따라 순차적으로 쉬프트시켜 샘플링 신호를 발생한다.

제1 래치부(52)는 쉬프트 레지스터(50)의 샘플링 신호에 응답하여 신호 제어부(미도시)로부터의 화소 데이터들(D1 내지 D4)을 순차적으로 샘플링하여 래치하고, 래치된 화소 데이터들(D1 내지 D4)을 제2 래치부(54)로 공급한다. 제2 래치부(54)는 제1 래치부(52)로부터의 화소 데이터들(D1 내지 D4)을 래치한 후 신호 제어부(미도시)로부터의 SOE 신호에 응답하여 동시에 출력한다. 이러한 제1 및 제2 래치부(52, 54) 각각은 래치되는 화소 데이터의 갯수에 대응되는 래치들로 구성되고, 그 래치들 각각은 화소 데이터에 대응하여 6비트 또는 8비트 크기를 갖는다.

MUX1부는 제2 래치부(54)로부터의 화소 데이터를 시분할하고, 시분할된 화소 데이터를 출력 채널을 결정하여 공급한다. 예를 들면, MUX1부는 도 4에 도시된 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호에 의해 제2 래치부(54)로부터의 화소 데이터(D1 내지 D4)를 시분할하여 극성이 결정된 2개의 출력 채널(PCH, NCH)로 공급한다. 이를 위하여, MUX1부는 제2 래치부(54)의 출력 채널들 각각과 접속되고 제1 출력 채널(PCH)과는 공통 접속된 정극성 경로의 오드 스위치들(SW11, SW13, SW15, SW17)과, 그 제2 래치부(54)의 출력 채널들 각각과 접속되고 제2 출력 채널(NCH)과는 공통 접속된 부극성 경로의 이븐 스위치들(SW12, SW14, SW16, SW18)을 구비한다. 제1 출력 채널(PCH)은 레벨 쉬프터부(58)를 통해 PDAC과 접속되므로 정극성 경로로, 제2 출력 채널(NCH)은 NDAC과 접속되므로 부정극성 경로로 결정된다.

레벨 쉬프터부(58)는 MUX1부의 제1 및 제2 출력 채널(PCH, NCH)을 통해 공급된 화소 데이터의 전압을 DAC부(60)에 적합한 전압으로 승압하여 출력한다.

DAC부(60)는 레벨 쉬프터부(58)의 출력 채널과 각각 접속된 PDAC 및 NDAC을 구비한다. PDAC은 입력 디지털 화소 데이터를 감마 전압부(미도시)로부터의 정극성 감마 전압들을 이용하여 정극성(Vcom 기준) 아날로그 화소 신호로 변환하여 출력한다. NDAC은 입력 디지털 화소 데이터를 감마 전압부(미도시)로부터의 부극성 감마 전압들을 이용하여 부극성(Vcom 기준) 아날로그 화소 신호로 변환하여 출력한다. 이와 같이 DAC부(60)는 MUX1부를 통해 화소 데이터가 시분할되어 공급됨과 아울러 극성이 결정되어 공급되므로, 4채널의 화소 데이터를 아날로그 화소 신호로 변환하면서도 1개씩의 PDAC과 NDAC만을 필요로 한다. 이 결과, PDAC 및 NDAC의 갯수는 도 2에 도시된 종래의 데이터 드라이브 IC와 비교하여 1/4로 감소하게 되므로, DAC부(60)의 구성은 간소화된다.

DEMUX1부는 DAC부(60)에서 극성이 결정된 화소 신호를 다수개의 출력 채널 중 해당 채널을 선택하여 공급한다. 다시 말하여, DEMUX1부는 한 수평 기간의 전반부에서 PDAC 및 NDAC으로부터 공급되는 정극성 및 부극성 화소 신호 각각을 4개의 출력 채널(CH1 내지 CH4) 중 2개의 출력 채널에 분리하여 공급한다. 그리고, DEMUX1부는 그 수평 기간의 후반부에서 PDAC 및 NDAC으로부터 공급되는 정극성 및 부극성 화소 신호 각각을 나머지 2개의 출력 채널에 분리하여 공급한다. 이를 위 하여, DEMUX1부는 PDAC에 공통 접속되고 제1 내지 제4 출력 채널(CH1 내지 CH4) 각각과 접속된 정극성 경로의 오드 스위치들(SW21, SW23, SW25, SW27)과, NDAC에 공통 접속되고 상기 제1 내지 제4 출력 채널(CH1 내지 CH4) 각각과 접속된 부극성 경로의 이븐 스위치들(SW22, SW24, SW26, SW28)을 구비한다. 이러한 DEMUX1부의 스위치들(SW21 내지 SW28) 각각은 도 4에 도시된 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호에 의해 전술한 MUX1부의 해당 스위치와 동시에 턴-온/턴-오프 된다.

출력부(70)는 한 수평기간에서 전반부와 후반부로 분리되어 DEMUX1부로부터 공급된 화소 신호들을 충전 및 홀딩한 후 다음 수평 기간에서 해당 데이터 라인으로 동시에 출력한다. 이를 위하여, 출력부(70)는 샘플링부인 DEMUX2부, 홀딩부(72), 출력 버퍼부(74), 그리고 방전부인 MUX2부를 구비한다.

DEMUX2부는 DEMUX1부의 출력 채널(CH1 내지 CH2) 각각에 접속된 정극성 경로의 오드 스위치들(SW31, SW33, SW35, SW37)과, 그 출력 채널(CH1 내지 CH2) 각각에 접속된 부극성 경로의 이븐 스위치들(SW32, SW34, SW36, SW38)을 구비한다. 홀딩부(76)는 DEMUX2부의 스위치들(SW21 내지 SW28) 각각에 병렬로 접속된 캐패시터(C1 내지 C8)를 구비한다. 이러한 DEMUX2부의 스위치들(SW21 내지 SW28) 각각은 도 4에 도시된 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호에 의해 전술한 MUX1부 및 DEMUX1부의 해당 스위치들과 동시에 턴-온/턴-오프된다. 예를 들면, DEMUX2부는 도 4와 같이 한 수평 기간에서 제1 수평 라인분의 화소 신호(D11 내지 D14)를 해당 극성 경로의 캐패시터에 충전시켜 홀딩되게 한다. 그리고, DEMUX2부 는 다음 수평 기간에서 극성 반전된 제2 수평 라인분의 화소 신호(D21 내지 D24)를 이전 수평 기간과 상반된 극성 경로의 캐패시터에 충전시켜 홀딩되게 한다.

MUX2부는 이전 수평기간에서 해당 극성의 캐패시터에 충전된 화소 신호(D1 내지 D4)가 현재 수평기간에서 해당 극성 경로의 출력 버퍼를 경유하여 방전되게 하고, 방전된 화소 신호를 해당 데이터 라인으로 공급되게 한다. 이를 위하여, MUX2부는 DEMUX2부의 오드 스위치들(SW31, SW33, SW35, SW37) 각각과 오드 출력 버퍼들(B1, B3, B5, B7) 각각을 경유하여 접속된 정극성 경로의 오드 스위치들(SW41, SW43, SW45, SW47)과, DEMUX2부의 이븐 스위치들(SW32, SW34, SW36, SW38) 각각과 이븐 출력 버퍼들(B2, B4, B6, B8) 각각을 경유하여 접속된 부극성 경로의 이븐 스위치들(SW42, 44, 46, 48)을 구비한다. 이러한 MUX2부의 스위치들(SW41 내지 SW48)은 이전 수평 기간에 충전된 화소 신호들을 현재 수평 기간에서 방전시켜야 하므로 상기 DEMUX2부의 스위치들(SW31 내지 SW38)과 상반된 극성 경로로 턴-온/턴-오프된다. 다시 말하여, MUX2부는 도 4에 도시된 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호와 위상 반전된 제2 제어 신호에 의해 제어된다. 예를 들면, MUX2는 도 4와 같이 제2 수평 기간(H2)에서 해당 극성의 캐패시터에 홀딩된 제1 수평 라인분의 화소 신호들(D11 내지 D14)을 제3 수평 기간(H3)에서

데이터 라인들(DL1 내지 DL4) 각각으로 공급한다.

그리고, MUX2부와 데이터 라인들 사이에는 상기 SOE 신호에 응답하여 화소 신호의 공급 시간을 조절하는 MUX3부(미도시)가 선택적으로 구비된다. 이러한 MUX3부는 상기 SOE 신호의 이네이블(Enable) 기간(EP)에서는 상기 MUX2로부터의 화 소 신호를 해당 데이터 라인으로 공급하고, 디세이블(Disable) 기간(DP)에서는 액정셀(Clc) 구동시 기준이 되는 공통 전압(Vcom)을 데이터 라인들 각각으로 공급한다.

이러한 구성을 갖는 데이터 드라이브 IC의 동작 과정을 도 4에 도시된 구동 파형을 참조하여 설명하면 다음과 같다.

제1 수평 기간(H1)에서 제1 래치부(52)는 쉬프트 레지스터(50)의 샘플링 신호에 따라 제1 수평 라인의 화소 데이터(이하, D11 내지 D14)를 래치한다.

그 다음, 제2 수평 기간(H2)에서 제1 래치부(52)는 래치된 D11 내지 D14를 제2 래치부(54)로 출력한 다음, 제2 수평 라인의 화소 데이터(이하, D21 내지 D24)를 상기와 같이 순차적으로 래치한다. 이때, 제2 래치부(54)는 제1 래치부(52)로부터의 D11 내지 D14를 도 4와 같이 MSOE 신호의 이네이블 기간에서 출력한다. 이렇게 제2 래치부(54)로부터 출력된 D11 내지 D14는 상기 MSOE 신호의 이네이블 기간 내에서 DAC부(60)를 통해 아날로그 신호로 변환되어 출력부(270)의 해당 캐패시터에 충전 및 홀딩된다. 이 경우, D11 내지 D14는 도 4에 도시된 POL 및 ODD/EVEN 신호에 응답하는 MUX1부, DEMUX1부, DEMUX2부를 통해 시분할되어 구동됨과 아울러 극성이 결정된 경로를 통해 해당 캐패시터로 충전된다.

구체적으로, 제2 수평 기간(H2)의 전반부에서 제2 래치부(54)를 통해 공급로부터 공급되는 제1 수평 라인의 D11 내지 D14 중 MUX1부의 SW11을 통해 D11이 선택되어 레벨 쉬프터부(58)->PDAC->DEMUX12부의 SW21->DEMUX2부의 SW31을 경유하여 C1으로, MUX1부의 SW14을 통해 D12이 선택되어 레벨 쉬프터부(58)->NDAC->DEMUX1부의 SW24->DEMUX2부의 SW34을 경유하여 C4으로 충전되어 홀딩된다. 그리고, 후반부에서 MUX1부의 SW15을 통해 D13이 선택되어 레벨 쉬프터부(58)->PDAC->DEMUX1부의 SW25->DEMUX2부의 SW35을 경유하여 C5로, MUX1의 SW18을 통해 D14가 선택되어 레벨 쉬프터부(58)->NDAC->DEMUX1부의 SW28->DEMUX2부의 SW38을 경유하여 C8으로 충전되어 홀딩된다.

그 다음, 제3 수평 기간(H3)에서 MUX2부의 SW41, SW44, SW45, SW48을 통해 상기 제2 수평 기간(H2)에서 C1, C4, C5, C8에 홀딩되었던 D1 내지 D4가 해당 데이터 라인들(DL1 내지 DL4) 각각으로 동시에 공급된다.

한편, 제3 수평 기간(H3)의 전반부에서 제2 래치부(54)로부터 공급되는 D21 내지 D24 중 MUX1부의 SW12을 통해 D21이 선택되어 레벨 쉬프터부(58)->NDAC->DEMUX1부의 SW22->DEMUX2부의 SW32을 경유하여 C2로, MUX1부의 SW13을 통해 D22가 선택되어 레벨 쉬프터부(58)->PDAC->DEMUX1부의 SW23->DEMUX2부의 SW33을 경유하여 C3으로 충전되어 홀딩된다. 그리고, 후반부에서 MUX1부의 SW16을 통해 D23이 선택되어 레벨 쉬프터부(58)->NDAC->DEMUX1부의 SW26->DEMUX2부의 SW36을 경유하여 C6로, MUX1부의 SW17을 통해 D24가 선택되어 레벨 쉬프터부(58)->PDAC->DEMUX1부의 SW27->DEMUX2부의 SW37을 경유하여 C7으로 충전되어 홀딩된다. 이렇게 C2, C3, C6, C7에 홀딩된 D21 내지 D24는 다음 수평 기간에서 해당 데이터 라인들(DL1 내지 DL4) 각각으로 공급된다.

이와 같이, 본 발명에 따른 데이터 드라이브 IC는 화소 데이터를 시분할하여 아날로그 신호로 변환함과 아울러, 그 화소 데이터를 시분할하면서 화소 데이터의 극성 경로를 결정함으로써 PDAC 및 NDAC의 수를 도 3에 도시된 종래의 데이터 드라이브 IC 보다 1/4로 줄이면서도 구동하는 데이터 라인들의 수를 2배로 증가시킬 수 있게 된다. 이 결과, 본 발명에 따른 데이터 드라이브 IC를 사용하는 경우 액정 표시 패널에 필요한 데이터 드라이브 IC의 수를 절반으로 줄일 수 있게 된다.

이 경우, 데이터 드라이브 IC 내에서는 데이터 라인당 정극성 경로에 포함되는 오드 출력 버퍼와, 부극성 경로에 포함되는 이븐 출력 버퍼가 병렬로 접속됨을 알 수 있다. 이렇게 하나의 데이터 라인당 2개의 출력 버퍼가 접속된 구조를 갖는 경우 그 2개의 출력 버퍼가 특성 편차를 갖게 되면 화소 신호들 간의 출력 편차로 인한 화질 저하가 발생할 수 있다. 이러한 화소 신호들간의 출력 편차는 다음 본 발명의 실시예들과 같이 데이터 라인당 하나의 출력 버퍼를 사용함으로써 방지할 수 있게 된다.

도 5는 본 발명의 제2 실시 예에 따른 데이터 드라이브 IC의 상세 구성을 도시한 것이다.

도 3에 도시된 데이터 드라이브 IC는 2k개의 데이터 라인들(DL1 내지 DL2k)을 구동한다고 가정한다. 이를 위하여, 데이터 드라이브 IC는 쉬프트 레지스터(148)의 샘플링 신호에 따라 화소 데이터들을 래치하여 동시에 출력하는 래치부(150)와, 래치부(150)로부터의 화소 데이터들을 시분할하여 공급하는 MUX1부와, MUX1부로부터의 화소 데이터들을 아날로그 화소 신호로 변환하여 출력하는 DAC부(152)와, DAC부(152)로부터의 화소 신호의 출력 채널을 결정

하는 DEMUX부(180)와, DEMUX부(180)로부터의 화소 신호를 샘플링 및 홀딩하여 동시에 출력하기 위한 출력부(160)를 구비한다. 그리고, 데이터 드라이브 IC는 외부의 타이밍 제어부(미도시)로부터의 제어 신호들 및 화소 데이터들을 중계하는 신호 제어부(144)와, 외부의 기준 감마 전압부(미도시)로부터의 기준 감마 전압들을 세분화하여 공급하는 감마 전압부(146)를 더 구비한다.

신호 제어부(144)는 타이밍 제어부(미도시)로부터의 각종 제어 신호들(SSP, SSC, SOE, POL 등)과 화소 데이터가 해당 구성 요소들로 출력되도록 중계한다.

감마 전압부(146)는 기준 감마 전압부(도시하지 않음)로부터 입력되는 다수개의 기준 감마 전압들을 계조별로 세분화하여 DAC부(152)로 출력한다. 이 경우, 감마 전압부(146)는 액정셀 구동시 기준이 되는 공통 전압(Vcom)을 기준으로 한 정극성(+) 감마 전압 세트와 부극성(-) 감마 전압 세트를 생성하여 공급하게 된다.

쉬프트 레지스터(148)는 신호 제어부(144)로부터 입력되는 SSP를 SSC에 따라 순차적으로 쉬프트시켜 샘플링 신호를 생성한다.

래치부(150)는 쉬프트 레지스터(148)의 샘플링 신호에 응답하여 신호 제어부(144)로부터의 화소 데이터들을 순차적으로 샘플링하여 래치한다. 래치부(150)는 2k개의 화소 데이터를 래치하기 위하여 2k개의 래치들로 구성되고, 래치들 각각은 화소 데이터의 비트 수(3비트 또는 6비트)에 대응하는 크기를 갖게 된다. 그리고, 래치부(150)는 신호 제어부(144)로부터의 SOE 신호에 응답하여 래치된 2k개의 화소 데이터들을 동시에 출력하게 된다. 이러한 래치부(150)는 통상 입력 화소 데이터를 샘플링하여 래치하는 제1 래치부(미도시)와, SOE 신호에 응답하여 제1 래치부로부터의 화소 데이터들을 동시에 공급하는 제2 래치부(미도시)로 구성된다.

MUX1부는 래치부(150)로부터의 화소 데이터를 시분할하여 DAC부(160)로 공급한다. 예를 들면, MUX1부는 도 6에 도시된 ODD/EVEN 신호에 응답하여 래치부(150)로부터의 2k개의 화소 데이터를 k개씩 화소 데이터, 즉 오드 화소 데이터들과 이븐 화소 데이터들로 시분할하여 DAC부(152)로 출력한다.

DAC부(152)는 MUX1부에서 시분할된 k개씩의 화소 데이터들을 POL 신호에 따라 극성이 결정된 아날로그 화소 신호로 변환하여 출력하게 된다. 이를 위하여, DAC부(152)는 k개의 DAC들(151)을 구비하고, 그 DAC들(151) 각각은 PDAC 및 NDAC과, PDAC 및 NDAC 중 어느 하나의 출력 신호를 선택하여 출력는 제2 MUX(158)을 구비한다. 이러한 DAC부(152)는 MUX1부에 의해 2k개의 화소 데이터들이 k개의 오드 화소 데이터들과 k개의 이븐 화소 데이터들로 시분할되어 입력되는 경우 먼저 입력된 이븐(또는 오드) 화소 데이터들을 아날로그 오드 화소 신호들로 변환하여 출력하고, 그 다음 입력된 오드(또는 이븐) 화소 데이터들을 아날로그 이븐 화소 신호들로 변환하여 출력한다.

PDAC은 MUX1부로부터의 디지털 화소 데이터를 감마 전압부(146)로부터의 정극성 감마 전압들을 이용하여 정극성(Vcom 기준) 아날로그 화소 신호로 변환하여 출력한다.

NDAC은 MUX1부로부터의 디지털 화소 데이터를 감마 전압부(146)로부터의 부극성 감마 전압들을 이용하여 부극성(Vcom 기준) 아날로그 화소 신호로 변환하여 출력한다.

MUX2(158)는 신호 제어부(144)로부터의 POL 신호에 응답하여 PDAC으로부터의 정극성 화소 신호와 NDAC으로부터의 부극성 화소 신호 중 어느 하나를 선택하여 출력한다.

DEMUX부(180)는 DAC부(152)로부터 출력되는 k개의 화소 신호들 각각의 출력 경로를 2k개의 출력 채널에서 선택하여 공급한다. 이를 위하여, DEMUX부(180)는 DAC부(152)로부터의 k개의 화소 신호들을 각각 입력하여 오드 출력 채널 및 이븐 출력 채널 중 어느 하나를 선택하여 공급하는 k개의 DEMUX들을 구비한다. 예를 들어, DAC부(152)로부터 먼저 k개의 이븐(또는 오드) 화소 신호들이 입력되면 DEMUX들 각각은 이븐 출력 채널을 선택하여 입력된 이븐 화소 신호를 공급한다. 그 다음, DAC부(152)로부터 오드(또는 이븐) 화소 신호들이 입력되면 DEMUX들 각각은 오드 출력 채널을 선택하여 입력된 오드 화소 신호를 공급한다.

출력부(160)는 DEMUX부(180)로부터 먼저 입력되는 k개의 화소 신호들을 샘플링하여 홀딩하고, 이어서 입력되는 나머지 k개의 화소 신호들이 입력되면 홀딩하여 2k개의 화소 신호들을 동시에 데이터 라인들(DL1 내지 DL2k) 각각에 공급한다. 이를 위하여, 출력 버퍼부(160)는 DEMUX부(180)로부터의 화소 신호를 샘플링 및 홀딩하기 위한 샘플링 및 홀딩부(184)와, 샘플링 및 홀딩부(184)로부터의 화소 신호를 완충하여 출력하기 위한 출력 버퍼들(162)과, 출력 버퍼들(162)로부터의 화소 신호를 SOE 신호에 응답하여 출력하기 위한 MUX3부(164)를 구비한다.

샘플링 및 홀딩부(184)는 오드 채널에 접속된 오드 홀딩용 캐패시터(Co)와, 이븐 채널에 접속된 이븐 홀딩용 캐패시터(Ce)와, 오드(또는 이븐) 홀딩용 캐패시 터(Co) 이전단에 접속된 샘플링용 스위치 소자(SW)를 구비한다. 스위치 소자들(SW)은 도 6과 같이 신호 제어부(44)로부터 입력되는 오드/이븐 신호(ODD/EVEN)가 특정 상태, 예를 들면 로우

상태가 되는 오드 샘플링 구간에서만 턴-온된다. 이렇게 오드 샘플링 구간에서 턴-온된 스위치 소자들(SW)은 도 4와 같이 DEMUX부(180)로부터 오드 채널을 통해 입력되는 오드 화소 신호(ODD)를 샘플링하여 오드 홀딩용 캐패시터(Co)에 홀딩되게 된다. 그리고, 스위치 소자들(SW)은 오드/이븐 신호(ODD/EVEN) 상기 오드 샘플링 구간과 상반된 상태, 예를 들면 하이 상태인 구간에서는 턴-오프된다. 이때, 이븐 홀딩용 캐패시터(Ce)는 도 4에 도시된 바와 같이 DEMUX부(80)로부터 이븐 채널을 통해 입력되는 이븐 화소 신호(EVEN)를 홀딩하게 된다.

이렇게 샘플링 및 홀딩부(84)의 오드 홀딩용 캐패시터(Co)와 이븐 홀딩용 캐패시터(Ce)에 홀딩된 오드 화소 신호 및 이븐 화소 신호 각각은 해당 출력 버퍼(162)를 통해 제3 MUX부(164)로 공급된다.

MUX3부(164)는 각각의 출력 버퍼(162)를 통해 입력된 오드 화소 신호 및 이븐 화소 신호를 신호 제어부(144)로부터의 SOE 신호의 이네이블 기간에서 해당 데이터 라인들(DL1 내지 DL2k) 각각으로 공급하거나, SOE 신호의 디세이블 기간에서 공통 전압(Vcom)을 데이터 라인들(DL1 내지 DL2k)에 공통적으로 공급하게 된다. 이를 위하여, MUX3부(164)를 SOE 신호에 응답하며 출력 버퍼(162)와 해당 데이터 라인 사이마다 접속된 MUX3들(68)을 구비한다.

이와 같이, 본 발명의 제2 실시 예에 따른 데이터 드라이브 IC는 화소 데이 터를 시분할 구동함으로써 PDAC 및 NDAC과 MUX2를 포함하는 DAC(151)의 수를 도 2에 도시된 종래의 데이터 드라이브 IC 보다 1/2로 줄이면서도 구동하는 데이터 라인들의 수를 2배로 증가시킬 수 있게 된다. 이 결과, 본 발명에 따른 데이터 드라이브 IC를 사용하는 경우 액정 표시 패널에 필요한 데이터 드라이브 IC의 수를 절반으로 줄일 수 있게 된다. 또한, 본 발명의 제2 실시 예에 따른 데이터 드라이브 IC는 데이터 라인당 하나의 출력 버퍼를 사용함으로써 출력 버퍼들간의 편차로 인한 화질 저하를 방지할 수 있게 된다.

도 7은 본 발명의 제3 실시 예에 따른 액정 표시 장치의 데이터 드라이브 IC의 상세 구성을 도시한 것이다.

도 7은 도 3에 도시된 데이터 드라이브 IC와 대비하여 출력부(270)에서 출력 버퍼부(274)가 MUX2부의 출력채널과 접속된 것을 제외하고는 동일한 구성 요소들을 구비한다. 그리고, 도 7은 도 3에서 미도시된 MUX3부를 추가로 도시한다. 그러므로, 이하에서는 도 3과 중복되는 구성요소들에 대한 상세한 설명은 생략하기로 한다.

도 7에서 방전부인 MUX2부는 홀딩부(72)와 출력 버퍼부(274) 사이에 접속된다. 이러한 MUX2부는 이전 수평기간에서 해당 극성의 캐패시터에 충전된 화소 신호가 현재 수평기간에서 출력 버퍼부(274)로 출력되게 한다. 이를 위하여, MUX2부는 DEMUX2부의 오드 스위치들(SW31, SW33, SW35, SW37) 각각과 출력 버퍼들(B1 내지 B4) 각각의 사이에 접속된 정극성 경로의 오드 스위치들(SW41, SW43, SW45, SW47)과, DEMUX2부의 이븐 스위치들(SW32, SW34, SW36, SW38) 각각과 상기 출력 버 퍼들(B1 내지 B4) 각각의 사이에 접속된 부극성 경로의 이븐 스위치들(SW42, 44, 46, 48)을 구비한다. 이러한 MUX2부의 스위치들(SW41 내지 SW48)은 이전 수평 기간에 충전된 화소 신호들을 현재 수평 기간에서 방전시켜야 하므로 상기 DEMUX2부의 스위치들(SW31 내지 SW38)과 상반된 극성 경로로 턴-온/턴-오프된다. 다시 말하여, MUX2부는 도 4에 도시된 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호와 위상 반전된 제2 제어 신호에 의해 제어된다.

MUX3부는 출력 버퍼부(274)와 데이터 라인들 사이에 접속되어 도 8에 도시된 MSOE 신호에 응답하여 화소 신호의 공급 시간을 조절한다. 구체적으로, MUX3부는 도 8에 도시된 MSOE 신호의 이네이블 기간(EP)에서는 상기 출력 버퍼부(274)로부터의 화소 신호를 데이터 라인들(DL1 내지 DL4) 각각으로 공급하고, 디세이블 기간(DP)에서는 액정 셀(Clc) 구동시 기준이 되는 공통 전압(Vcom)을 데이터 라인들(DL1 내지 DL4) 각각으로 공급한다.

이러한 구성을 갖는 데이터 드라이브 IC의 동작 과정을 도 8에 도시된 구동 파형을 참조하여 설명하면 다음과 같다.

제1 수평 기간(H1)에서 제1 래치부(52)는 쉬프트 레지스터(50)의 샘플링 신호에 따라 제1 수평 라인의 화소 데이터(이하, D11 내지 D14)를 래치한다.

그 다음, 제2 수평 기간(H2)에서 제1 래치부(52)는 래치된 D11 내지 D14를 제2 래치부(54)로 출력한 다음, 제2 수평 라인의 화소 데이터(이하, D21 내지 D24)를 상기와 같이 순차적으로 래치한다. 이때, 제2 래치부(54)는 제1 래치부(52)로부터의 D11 내지 D14를 도 8과 같이 MSOE 신호의 이네이블 기간(EP)에서 출력한다. 이렇게 제2 래치부(54)로부터 출력된 D11 내지 D14는 상기 MSOE 신호의 이네이블 기간(EP) 내에서 DAC부(60)를 통해 아날로그 신호로 변환되어 출력부(270)의 해당 캐패시터에 충전 및 홀딩된다. 이 경우, D11 내지 D14는 도 8에 도시된 POL 및 ODD/EVEN 신호를 이용한 제1 제어 신호에 따라 MUX1부, DEMUX1부, DEMUX2부를 통해 시분할되어 구동됨과 아울러 극성이 결정된 경로를 통해 해당 캐패시터로 충전된다.

구체적으로, 제2 수평 기간(H2)의 이네이블 기간(EP)은 ODD/EVEN 신호에 따라 제1 및 제2 메인 기간(M1, M2)으로 시분할된다. 그 다음, 이어지는 제3 수평 기간(H3)의 디세이블 기간(DP)은 재충전을 위한 제1 및 제2 서브 기간(S1, S2)으로 시분할된다. 이를 위하여, ODD/EVEN 신호의 극성은 제1 및 제2 메인 기간(M1, M2)과 제1 및 제2 서브

기간(S1, S2)으로 가면서 교번적으로 반전된다. 여기서, 제1 및 제2 서브 기간(S1, S2)을 확보하기 위하여 MSOE 신호의 디세이블 기간(DP2)는 도 8과 같이 기본 SOE 신호의 디세이블 기간(DP1) 보다 길게 설정된다. 이러한 MSOE 신호는 타이밍 제어부(미도시) 또는 데이터 드라이브 IC의 신호 제어부(미도시)에서 기본 SOE 신호의 상승 에지부로부터 SSC를 카운트하여 생성한다.

우선, 제2 수평 기간(H2)의 제1 메인 기간(M1)에서 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호에 따라 MUX1부의 SW11를 통해 D11이 선택되어 레벨 쉬프터부(58)->PDAC->DEMUX1부의 SW21->DEMUX2부의 SW31을 경유하여 C1으로, MUX1의 SW14을 통해 D12가 선택되어 레벨 쉬프터부(58)->NDAC->DEMUX1부의 SW24->DEMUX2부의 SW34을 경유하여 C4으로 충전되어 홀딩된다. 그리고, 제2 메인 기간(M2)에서 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호에 따라 MUX1부의 SW15을 통해 D13가 선택되어 레벨 쉬프터부(58)->PDAC->DEMUX1부의 SW25->DEMUX2부의 SW35을 경유하여 C5로, MUX1부의 SW18을 통해 D14가 선택되어 레벨 쉬프터부(58)->NDAC->DEMUX1부의 SW28->DEMUX2부의 SW38을 경유하여 C8으로 충전되어 홀딩된다.

그리고, 제3 수평 기간(H2)의 제1 서브 기간(S1)에서 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호에 따라 D11, D12는 상기 제1 메인 기간(M1)에서와 동일한 경로를 통해 C1, C4에 재충전된다. 그리고, 제2 서브 기간(S3)에서 POL 신호 및 ODD/EVEN 신호를 이용한 제1 제어 신호에 따라 D13, 14는 상기 제2 메인 기간(M2)에서와 동일한 경로를 통해 C5, C8에 재충전된다. 이에 따라, 제3 수평 기간(H3)의 디세이블 기간(DP)에서 제2 수평 기간에서 C1, C4, C5, C8 각각에 충전된 화소 신호의 누설량을 보상할 수 있게 된다.

이어서, 제3 수평 기간(H3)의 이네이블 기간(EP)에서 상기 제2 수평 기간(H2)에서 해당 캐패시터에 홀딩된 화소 신호들이 MUX2부 -> 출력 버퍼부(274) -> MUX3부를 경유하여 해당 데이터 라인으로 공급된다.

구체적으로, 제3 수평 기간(H3)의 이네이블 기간(EP)에서 MUX2부의 SW41, SW44, SW45, SW48을 통해 상기 제2 수평 기간(H2)에서 C1, C4, C5, C8에 홀딩되었던 D11 내지 D14가 방전되게 한다. 방전된 D11 내지 D14는 출력 버퍼(B1 내지 B4) 각각과, MUX3부의 SW51, SW52, SW53, SW54 각각을 경유하여 데이터 라인들(DL1 내지 DL4) 각각으로 동시에 공급된다. 그리고, 이어지는 제4 수평 기간(H4)의 디세이블 기간(DP)에서는 MUX3를 통해 데이터 라인들(DL1 내지 DL4)에 공통으로 공통 전압(Vocm)이 공급된다.

한편, 이러한 제3 수평 기간(H3)의 제1 메인 기간(M1)에서 제2 래치부(54)를 통해 공급되는 D21 내지 D24 중 MUX1부의 SW12을 통해 D21이 선택되어 레벨 쉬프터부(58)->NDAC->DEMUX1부의 SW22->DEMUX2부의 SW32을 경유하여 C2로, MUX1부의 SW13을 통해 D22가 선택되어 레벨 쉬프터부(58)->PDAC->DEMUX1부의 SW23->DEMUX2부의 SW33을 경유하여 C3으로 충전되어 홀딩된다. 그리고, 제2 메인 기간(M2)에서 MUX1부의 SW16을 통해 D23이 선택되어 레벨 쉬프터부(58)->NDAC->DEMUX1부의 SW26->DEMUX2부의 SW36을 경유하여 C6로, MUX1부의 SW17을 통해 D24가 선택되어 레벨 쉬프터부(58)->PDAC->DEMUX1부의 SW27->DEMUX2부의 SW37을 경유하여 C7으로 충전되어 홀딩된다. 이어지는 제1 및 제2 서브 기간(S1, S2)에서 D21, D22, D23, D24는 상기와 동일한 경로를 통해 C2, C3, C6, C7 각각에 재충전된다.

이렇게 C2, C3, C6, C7에 홀딩된 D21 내지 D24는 그 다음 수평 기간에서 MUX2부 -> 출력 버퍼부(274) ->MUX3부를 경유하여 데이터 라인들(DL1 내지 DL4) 각각으로 공급된다.

이와 같이, 본 발명의 제3 실시 예에 따른 데이터 드라이브 IC는 화소 데이터를 시분할하여 아날로그 신호로 변환함과 아울러, 그 화소 데이터를 시분할하면서 화소 데이터의 극성 경로를 결정함으로써 PDAC 및 NDAC의 수를 도 3에 도시된 종래의 데이터 드라이브 IC 보다 1/4로 줄이면서도 구동하는 데이터 라인들의 수를 2배로 증가시킬 수 있게 된다. 이 결과, 본 발명에 따른 데이터 드라이브 IC를 사용하는 경우 액정 표시 패널에 필요한 데이터 드라이브 IC의 수를 절반으로 줄일 수 있게 된다. 또한, 본 발명의 제3 실시 예에 따른 데이터 드라이브 IC는 데이터 라인당 하나의 출력 버퍼를 사용함으로써 출력 버퍼들간의 편차로 인한 화질 저하를 방지할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정 표시 장치의 데이터 구동 장치 및 방법은 화소 데이터를 시분할하여 아날로그 신호로 변환함과 아울러, 그 화소 데이터를 시분할하면서 화소 데이터의 극성 경로를 결정함으로써 PDAC 및 NDAC의 수를 종래보다 1/4로 줄이면서도 구동하는 데이터 라인들의 수를 2배로 증가시킬 수 있게 된다.

또한, 본 발명에 따른 액정 표시 장치의 데이터 구동 장치 및 방법은 화소 데이터를 시분할 구동함으로써 PDAC 및 NDAC과 MUX2를 포함하는 DAC의 수를 종래보다 1/2로 줄이면서도 구동하는 데이터 라인들의 수를 2배로 증가시킬 수 있게 된다.

나아가, 본 발명에 따른 액정 표시 장치의 데이터 구동 장치 및 방법은 데이터 드라이브 IC의 수를 줄이면서도 데이터 라인당 하나의 출력 버퍼를 사용함으로써 출력 버퍼들간의 편차로 인한 화질 저하를 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니 라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.
입력된 화소 데이터를 시분할하여 공급하는 멀티플렉서부와;

상기 멀티플렉서로부터의 시분할된 디지털 화소 데이터를 아날로그 화소 신호로 변환하여 공급하는 디지탈-아날로그 변환부와;

상기 디지탈-아날로그 변환부로부터의 시분할된 화소 신호를 서로 다른 출력 채널로 공급하는 디멀티플렉서부와;

상기 디멀티플렉서부로부터 먼저 공급된 시분할된 화소 신호를 샘플링 및 홀딩하고, 다음으로 공급된 시분할된 화소 신호를 홀딩한 다음 홀딩된 화소 신호들을 동시에 해당 데이터 라인으로 출력하는 출력부를 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 2.
제 1 항에 있어서,

상기 디지탈-아날로그 변환부는

상기 멀티플렉서부의 출력 채널당 접속된 디지털-아날로그 변환기를 구비하고, 그 디지털-아날로그 변환기는,

상기 디지털 화소 데이터를 정극성 화소 신호로 변환하는 정극성 디지털-아날로그 변환기와;

상기 디지털 화소 데이터를 부극성 화소 신호로 변환하는 부극성 디지털-아날로그 변환기와;

상기 정극성 및 부극성 화소 신호 중 어느 하나를 입력 극성 제어 신호에 따라 선택하여 상기 디멀티플렉서부로 공급하는 제2 멀티플렉서를 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 3.
제 2 항에 있어서,

상기 출력부는

상기 디멀티플렉서부의 출력 채널 각각으로부터의 화소 신호를 홀딩하기 위한 캐패시터와;

상기 디멀티플렉서부의 출력 채널들 중 오드 또는 이븐 출력 채널로부터의 화소 신호를 샘플링하여 해당 캐패시터로 공급하는 샘플링 스위치와;

상기 캐패시터 각각과 접속된 출력 버퍼와;

상기 캐패시터에 홀딩된 화소 신호들을 상기 출력 버퍼를 통해 동시에 방전시켜 해당 데이터 라인으로 공급하는 제3 멀티플렉서부를 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 4.
제 3 항에 있어서,

입력 소스 스타트 펄스를 입력 소스 쉬프트 클럭에 따라 순차적으로 쉬프트시켜 샘플링 신호를 발생하는 쉬프트 레지스터와;

상기 샘플링 신호에 응답하여 입력되는 화소 데이터들을 순차적으로 래치한 후 입력 소스 출력 이네이블 신호의 이네이블 기간에서 래치된 화소 데이터들을 동 시에 상기 멀티플렉서부로 공급하는 래치부를 추가로 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 5.
제 4 항에 있어서,

상기 제2 멀티플렉서부는

상기 소스 출력 이네이블 신호의 이네이블 기간에서는 상기 홀딩된 화소 신호들을 해당 데이터 라인으로 공급하고, 디세이블 기간에서는 액정셀의 기준 전압이 상기 데이터 라인들에 공통으로 공급되게 하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 6.
제 1 항에 있어서,

상기 멀티플렉서부, 상기 디멀티플렉서부, 그리고 상기 샘플링 스위치는

한 수평 기간을 시분할하는 오드/이븐 신호에 의해 제어되는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 7.
입력된 화소 데이터를 시분할하여 극성이 결정된 출력 채널을 통해 출력하는 멀티플렉서와;

상기 멀티플렉서로부터의 시분할된 디지털 화소 데이터를 해당 극성의 아날로그 화소 신호로 변환하여 공급하는 디지탈-아날로그 변환부와;

상기 디지탈-아날로그 변환부로부터의 시분할된 화소 신호를 극성이 결정된 서로 다른 출력 채널로 공급하는 디멀티플렉서와;

상기 디멀티플렉서로부터의 화소 신호를 그 극성에 따른 경로를 통해 샘플링 및 홀딩하고, 홀딩된 화소 신호를 다음 수평 기간에서 해당 데이터 라인으로 출력하는 출력부를 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 8.
제 7 항에 있어서,

상기 디지탈-아날로그 변환부는

상기 멀티플렉서의 정극성 출력 채널을 통해 입력된 화소 데이터를 정극성 화소 신호로 변환하여 출력하는 정극성 디지털-아날로그 변환기와;

상기 멀티플렉서의 부극성 출력 채널을 통해 입력된 화소 데이터를 부극성 화소 신호로 변환하여 출력하는 정극성 디지털-아날로그 변환기를 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 9.
제 8 항에 있어서,

상기 멀티플렉서는

상기 화소 데이터의 입력 채널들 각각과 접속되고 상기 정극성 출력 채널과 공통으로 접속된 다수의 정극성 경로 스위치들과;

상기 화소 데이터의 입력 채널들 각각에 상기 다수의 정극성 경로 스위치들 각각과 병렬로 접속되고 상기 부극성 출력 채널과 공통으로 접속된 다수의 부극성 경로 스위치들을 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장 치.

청구항 10.

제 8 항에 있어서,

상기 디멀티플렉서는

상기 정극성 디지털-아날로그 변환기와 공통으로 접속되고 그의 출력 채널들 각각과 접속되어 서로 다른 정극성 경로를 형성하는 다수의 정극성 경로 스위치들과;

상기 부극성 디지털-아날로그 변환기와 공통으로 접속되고 그의 출력 채널들 각각에 상기 다수의 정극성 경로 스위치들 각각과 병렬로 접속되어 서로 다른 부극성 경로를 형성하는 다수의 부극성 경로 스위치들을 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 11.
제 7 항에 있어서,

상기 출력부는

상기 디멀티플렉서의 출력 채널을 통해 공급되는 화소 신호를 샘플링하여 서로 다른 해당 극성의 경로로 출력하는 샘플링부와;

상기 샘플링부의 서로 다른 해당 극성 경로를 통해 공급되는 화소 신호를 각각 홀딩하는 홀딩부와;

제1 기간에서 상기 홀딩부에 각각 홀딩된 화소 신호를 다음 제2 기간에서 서로 다른 해당 극성 경로를 통해 상기 해당 데이터 라인으로 출력하는 방전부를 구 비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 12.
제 11 항에 있어서,

상기 샘플링부 및 홀딩부는

상기 제2 기간에서 공급되는 화소 신호를 상기 제1 기간에서 공급된 화소 신호의 경로와 다른 경로를 통해 샘플링 및 홀딩하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 13.
제 11 항에 있어서,

상기 샘플링부는

상기 디멀티플렉서의 다수의 출력 채널들 각각과 접속되어 서로 다른 정극성 경로를 형성하는 다수의 정극성 경로 스위치들과;

상기 디멀티플렉서의 출력 채널들 각각에 상기 정극성 경로 스위치들과 병렬로 접속되어 서로 다른 부극성 경로를 형성하는 다수의 부극성 경로 스위치들을 포함하는 제2 디멀티플렉서를 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 14.
제 13 항에 있어서,

상기 홀딩부는

상기 제2 디멀티플렉서의 정극성 경로 스위치들 각각으로부터의 정극성 화소 신호를 충전하여 홀딩하는 정극성 경로 캐패시터와;

싱기 제2 디멀티플렉서의 부극성 경로 스위치들 각각으로부터의 부극성 화소 신호를 충전하여 홀딩하는 부극성 경로 캐패시터를 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 15.
제 13 항에 있어서,

상기 방전부는

상기 홀딩부를 경유하여 상기 제2 디멀티플렉서의 정극성 경로 스위치들 각각과 접속되고 상기 데이터 라인들 각각과 접속된 다수의 정극성 경로 스위치들과;

상기 홀딩부를 경유하여 상기 제2 디멀티플렉서의 부극성 스위치들 각각과 접속되고 상기 데이터 라인들 각각에 상기 정극성 경로 스위치들 각각과 병렬로 접속된 다수의 부극성 경로 스위치들을 포함하는 제2 멀티플렉서를 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 16.
제 15 항에 있어서,

상기 멀티플렉서, 디멀티플렉서, 제2 디멀티플렉서는 입력 극성 제어 신호와 한 수평 기간을 시분할하는 오드/이븐 신호를 이용한 제1 제어 신호에 의해 제어되는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 17.
제 16 항에 있어서,

상기 오드/이븐 신호는 한 수평 기간 중 소스 출력 이네이블 신호에 의해 결정되는 이네이블 기간을 시분할하는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 18.
제 17 항에 있어서,

상기 오드/이븐 신호는 상기 소스 출력 이네이블 신호의 디세이블 기간을 더 시분할하는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 19.
제 18 항에 있어서,

상기 오드/이븐 신호에 의해 상기 멀티플렉서, 디멀티플렉서, 제2 디멀티플렉서는 상기 디세이블 기간에서 이전 이네이블 기간과 동일한 화소 신호를 상기 홀딩부에 재충전시키는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 20.
제 19 항에 있어서,

상기 소스 출력 이네이블 신호는

상기 홀딩부의 재충전기간이 충분히 확보되도록 외부에서 입력된 기본 소스 출력 이네이블 신호의 디세이블 기간이 증가시켜 공급한 것을 액정 표시 패널의 데이터 구동 장치.

청구항 21.
제 15 항에 있어서,

상기 제2 멀티플렉서는 상기 제1 제어 신호와 위상 반전된 제2 제어 신호에 의해 제어되는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 22.
제 15 항에 있어서,

상기 홀딩부에서 상기 방전부로 방전되는 화소 신호를 완충하여 공급하는 출력 버퍼부를 추가로 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 23.
제 21 항에 있어서,

상기 출력 버퍼부는

상기 홀딩부의 정극성 경로 캐패시터들 각각과 상기 제2 멀티플렉서의 정극성 경로 스위치들 각각의 사이에 접속된 정극성 경로 출력 버퍼들과;

상기 홀딩부의 부극성 경로 캐패시터들 각각과 상기 제2 멀티플렉서의 부극성 경로 스위치들 각각의 사이에 접속된 부극성 경로 출력 버퍼들을 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 24.
제 15 항에 있어서,

상기 제2 멀티플렉서의 출력 채널들을 통해 공급되는 화소 신호들을 완충하여 상기 데이터 라인들 각각으로 공급하는 출력 버퍼부를 추가로 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 25.
제 24 항에 있어서,

상기 출력 버퍼부는

상기 제2 멀티플렉서의 출력 채널들 각각과 상기 데이터 라인들 각각의 사이에 접속된 출력 버퍼들을 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 26.
제 7 항에 있어서,

입력 소스 스타트 펄스를 입력 소스 쉬프트 클럭에 따라 순차적으로 쉬프트시켜 샘플링 신호를 발생하는 쉬프트 레지스터와;

상기 샘플링 신호에 응답하여 입력되는 화소 데이터들을 순차적으로 래치한 후 입력 소스 출력 이네이블 신호의 이네이블 기간에서 래치된 화소 데이터들을 동시에 상기 멀티플렉서로 공급하는 래치부와;

상기 멀티플렉서로부터의 화소 데이터를 승압하여 상기 디지털-아날로그 변환부로 공급하는 레벨 쉬프터부를 추가로 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 27.
제 17 항 또는 제 18 항에 있어서,

상기 소스 출력 이네이블 신호의 이네이블 기간에서는 상기 출력부로부터의 화소 신호들을 해당 데이터 라인으로 공급하고, 디세이블 기간에서는 액정셀의 기 준 전압이 상기 데이터 라인들에 공통으로 공급되게 하는 제3 멀티플렉서를 추가로 구비하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 장치.

청구항 28.
입력된 디지털 화소 데이터를 시분할하여 공급하는 1단계와;

상기 시분할된 디지털 화소 데이터를 아날로그 화소 신호로 변환하는 2단계와;

상기 시분할된 화소 신호를 서로 다른 출력 채널로 공급하는 3단계와;

상기 서로 다른 출력 채널 중 일부의 출력 채널을 통해 먼저 입력되는 화소 신호들을 샘플링 및 홀딩하고, 그 다음 다른 출력 채널을 통해 입력되는 화소 신호들을 홀딩하여, 홀딩된 화소 신호들을 동시에 해당 데이터 라인으로 공급하는 4단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 29.
제 28 항에 있어서,

상기 홀딩된 화소 신호들을 입력 소스 출력 이네이블 신호의 이네이블 기간에서 상기 해당 데이터 라인들로 공급하고, 디세이블 기간에서는 액정셀의 기준 전압을 상기 데이터 라인들에 공통으로 공급하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 30.
제 28 항에 있어서,

상기 2단계는

상기 시분할된 화소 데이터는 정극성 및 부극성 아날로그 화소 신호로 동시에 변환하는 단계와;

입력 극성 제어 신호에 따라 상기 정극성 및 부극성 아날로그 화소 신호 중 어느 하나를 선택하여 출력하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 31.
제 28 항에 있어서,

상기 홀딩된 화소 신호들을 상기 해당 데이터 라인으로 공급하기 이전에 그 해당 데이터 라인당 접속된 출력 버퍼를 통해 신호 완충하여 출력하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 32.
제 1 항에 있어서,

상기 1단계, 상기 2단계와, 상기 3단계에서 상기 화소 신호를 샘플링하는 단계는 한 수평 기간을 시분할하는 오드/이븐 신호에 의해 제어되는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 33.
입력된 화소 데이터를 시분할하여 극성이 결정된 출력 채널을 통해 출력하는 1단계와;

상기 시분할된 디지털 화소 데이터를 해당 극성의 아날로그 화소 신호로 변환하여 공급하는 2단계와;

상기 시분할된 아날로그 화소 신호를 극성이 결정된 서로 다른 출력 채널로 공급하여 샘플링 및 홀딩되게 하는 3단계와;

상기 홀딩된 화소 신호를 다음 수평 기간에서 해당 데이터 라인으로 출력하는 4단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 34.
제 33 항에 있어서,

상기 1단계 및 3 단계는 입력 극성 제어 신호와, 한 수평 기간을 시분할하는 오드/이븐 신호를 이용한 제1 제어 신호에 의해 제어되는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 35.
제 34 항에 있어서,

상기 오드/이븐 신호는 한 수평 기간 중 소스 출력 이네이블 신호에 의해 결정되는 이네이블 기간을 시분할하는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 36.
제 34 항에 있어서,

상기 오드/이븐 신호는 상기 소스 출력 이네이블 신호의 디세이블 기간을 더 시분할하는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 37.
제 36 항에 있어서,

상기 3단계는

상기 오드/이븐 신호에 의해 상기 디세이블 기간에서 이전 이네이블 기간과 동일한 화소 신호를 상기 다시 샘플링 및 홀딩하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 38.
제 37 항에 있어서,

상기 소스 출력 이네이블 신호의 디세이블 기간은 외부에서 입력된 기본 소스 출력 이네이블 신호의 디세이블 기간이 증가시켜 설정한 것을 액정 표시 패널의 데이터 구동 방법.

청구항 39.
제 34 항에 있어서,

상기 4 단계는 상기 제1 제어 신호와 위상 반전된 제2 제어 신호에 의해 제어되는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 40.
제 33 항에 있어서,

상기 1단계는

상기 시분할 화소 데이터 각각이 이전 기간 및 인접한 채널의 시분할 화소 데이터와 상반된 극성의 출력 채널을 통해 출력되게 하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 41.
제 34 항에 있어서,

상기 2단계는

상기 시분할 화소 데이터 각각을 이전 기간 및 인접한 채널의 시분할 화소 데이터와 상반된 극성의 시분할 아날로그 신호로 변환하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 42.
제 35 항에 있어서,

상기 3단계는

상기 시분할 화소 신호 각각을 이전 기간 및 인접한 채널의 시분할 화소 신호와 상반된 극성의 경로를 경유하여 샘플링 및 홀딩되게 하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 43.
제 36 항에 있어서,

상기 4단계는

상기 홀딩된 화소 신호들을 상기 해당 데이터 라인으로 공급하기 이전에 그 해당 데이터 라인당 접속된 출력 버퍼를 통해 신호 완충하여 출력하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 44.
제 33 항에 있어서,

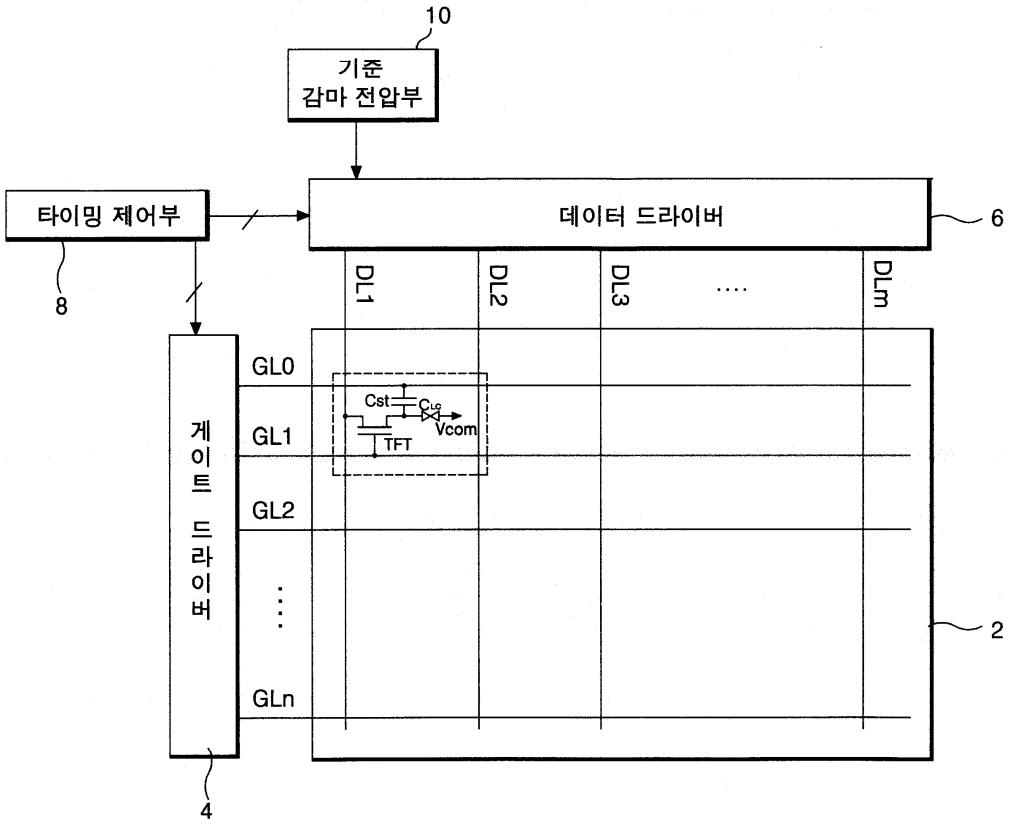
상기 홀딩된 화소 신호들을 입력 소스 출력 이네이블 신호의 이네이블 기간 에서 상기 해당 데이터 라인들로 공급하고, 디세이블 기간에서는 액정셀의 기준 전압을 상기 데이터 라인들에 공통으로 공급하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

청구항 45.
제 33 항에 있어서,

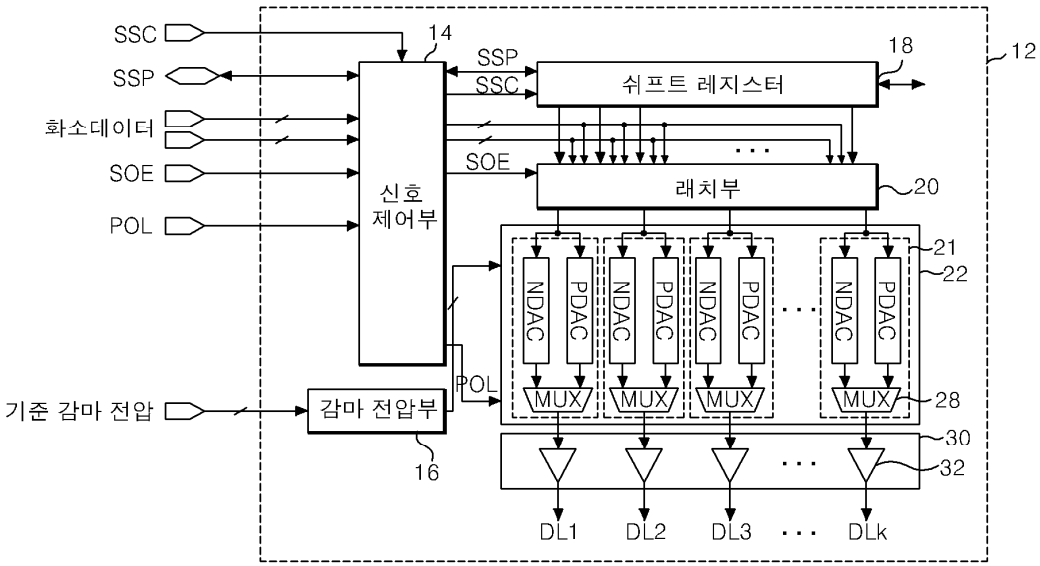
상기 1단계 및 2단계 사이에 상기 시분할 화소 데이터를 승압하여 출력하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 패널의 데이터 구동 방법.

도면

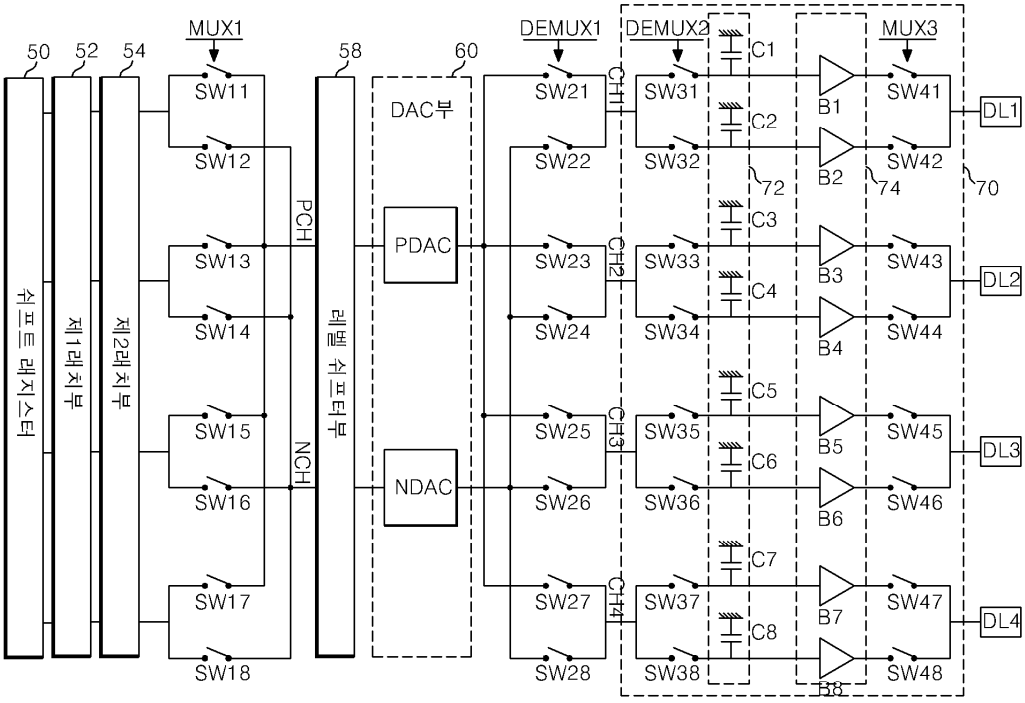
도면1



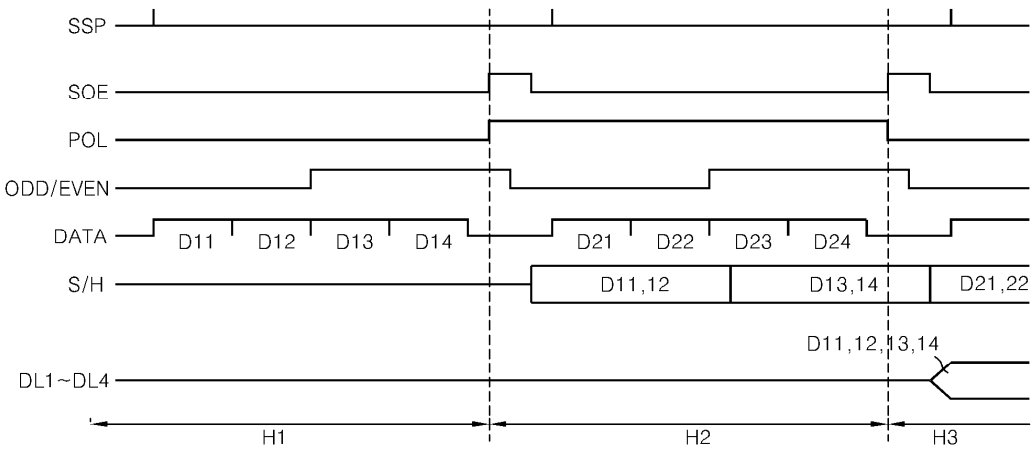
도면2



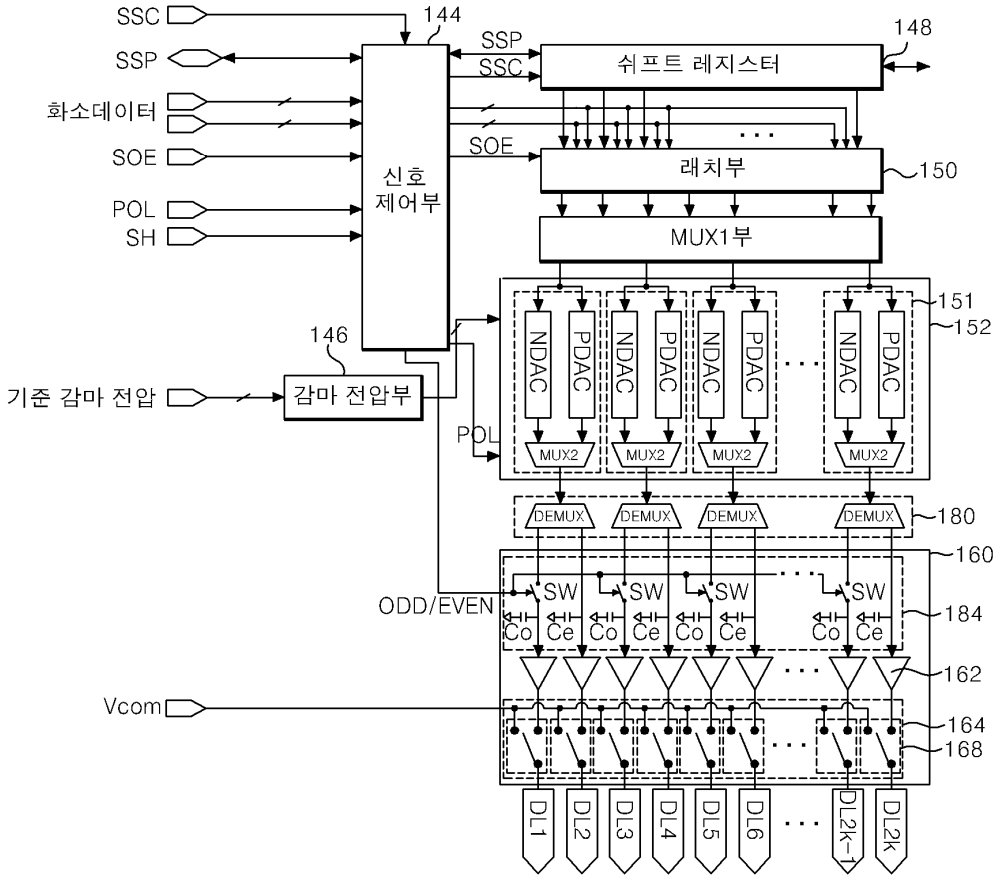
도면3


50
52
54
MUX1
58
60
DEMUX1
DEMUX2
MUX3
쉬프트 레지스터
제1래치부
제2래치부
SW11
SW12
SW13
SW14
SW15
SW16
SW17
SW18
PCH
NCH
레벨 쉬프터부
DAC부
PDAC
NDAC
CH1
CH2
CH3
CH4
SW21
SW22
SW23
SW24
SW25
SW26
SW27
SW28
SW31
SW32
SW33
SW34
SW35
SW36
SW37
SW38
C1
C2
C3
C4
C5
C6
C7
C8
72
B1
B2
B3
B4
B5
B6
B7
B8
74
SW41
SW42
SW43
SW44
SW45
SW46
SW47
SW48
70
DL1
DL2
DL3
DL4

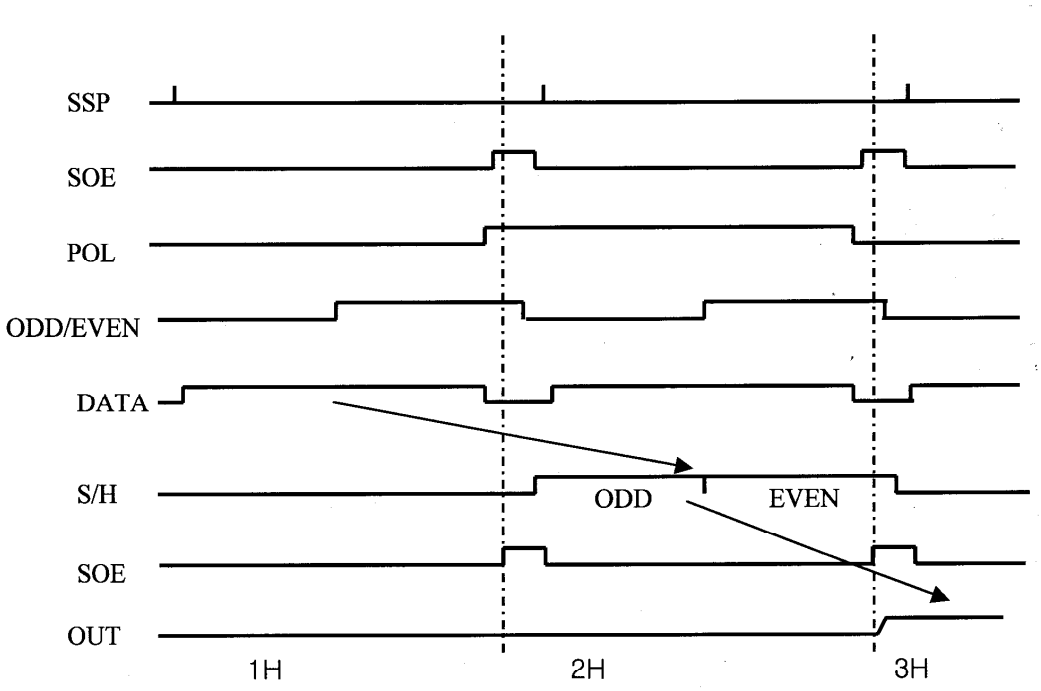
도면4


SSP
SOE
POL
ODD/EVEN
DATA
D11
D12
D13
D14
D21
D22
D23
D24
S/H
D11,12
D13,14
D21,22
D11,12,13,14
DL1~DL4
H1
H2
H3

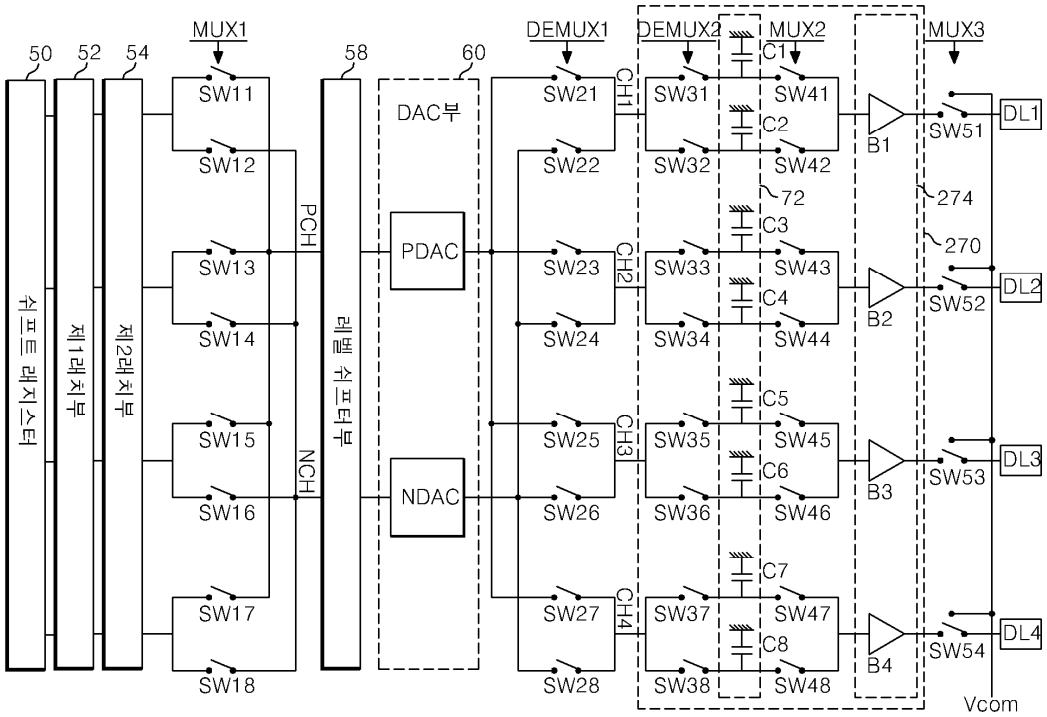
도면5


SSC
SSP
화소데이터
SOE
POL
SH
144
신호
제어부
SSP
SSC
SOE
쉬프트 레지스터
148
래치부
150
MUX1부
151
152
NDAC
PDAC
MUX2
146
기준 감마 전압
감마 전압부
POL
DEMUX
180
160
ODD/EVEN
SW
Co
Ce
184
162
Vcom
164
168
DL1
DL2
DL3
DL4
DL5
DL6
DL2k-1
DL2k

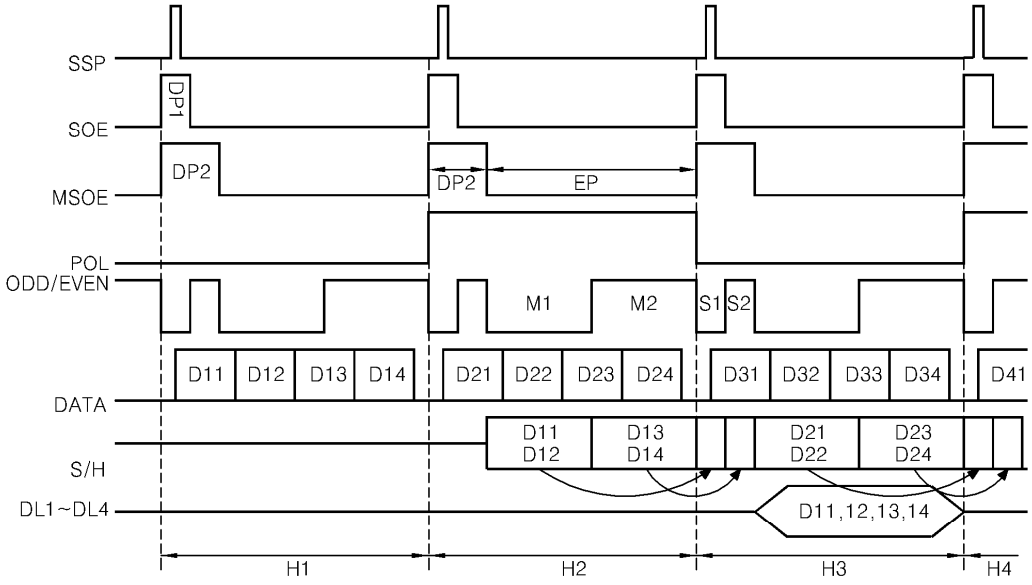
도면6


SSP
SOE
POL
ODD/EVEN
DATA
S/H
ODD
EVEN
SOE
OUT
1H
2H
3H

도면7


50
52
54
MUX1
58
60
DEMUX1
DEMUX2
MUX2
MUX3
쉬프트 레지스터
제1래치부
제2래치부
SW11
SW12
SW13
SW14
SW15
SW16
SW17
SW18
PCH
NCH
레벨 쉬프터부
DAC부
PDAC
NDAC
CH1
CH2
CH3
CH4
SW21
SW22
SW23
SW24
SW25
SW26
SW27
SW28
SW31
SW32
SW33
SW34
SW35
SW36
SW37
SW38
C1
C2
C3
C4
C5
C6
C7
C8
SW41
SW42
SW43
SW44
SW45
SW46
SW47
SW48
72
B1
B2
B3
B4
274
270
SW51
SW52
SW53
SW54
DL1
DL2
DL3
DL4
Vcom

도면8


SSP
SOE
MSOE
POL
ODD/EVEN
DATA
S/H
DL1~DL4
DP1
DP2
DP2
EP
M1
M2
S1
S2
D11
D12
D13
D14
D21
D22
D23
D24
D31
D32
D33
D34
D41
D11
D12
D13
D14
D21
D22
D23
D24
D11,12,13,14
H1
H2
H3
H4

专利名称(译)	用于驱动液晶显示板的装置和方法		
公开(公告)号	KR1020040060708A	公开(公告)日	2004-07-06
申请号	KR1020030043606	申请日	2003-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SEOKWOO 이석우 KWON KISEOK 권기석 KIM SEOKSU 김석수 KIM CHANGGONE 김창곤		
发明人	이석우 권기석 김석수 김창곤		
IPC分类号	G09G3/36		
优先权	1020020086998 2002-12-30 KR		
其他公开文献	KR100971088B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于LCD面板的数据传输的装置，该装置能够防止像素信号的失真，并且能够控制数据驱动IC的数量。根据本发明的一个特征的用于LCD面板的数据传输的装置配备有不同的输出通道，输出单元同时输出，相应的数据线到输出单元的来自多路复用器的时分像素信号它提供分时输入的像素数据和数字 - 模拟转换部分：它提供数字 - 模拟转换部分：将来自多路复用器的时分数字图像元素数据转换成模拟像素信号和数字 - 模拟转换部分。