

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호 10-2004-0019593
(43) 공개일자 2004년03월06일

(21) 출원번호 10-2002-0051184
(22) 출원일자 2002년08월28일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 황광조
경기도안양시만안구안양6동무진빌라가동301호

(74) 대리인 김용인
심창섭

심사청구 : 있음

(54) 액정표시장치의 제조방법

요약

본 발명은 게이트 라인과 교차되는 데이터 라인의 단선을 방지하여 수율을 향상시키도록 한 액정표시장치의 제조방법에 관한 것으로서, 화소영역을 정의하기 위하여 서로 교차하는 게이트 라인 및 데이터 라인을 포함하는 액정표시장치의 제조방법에 있어서, 상기 게이트 전극 및 상기 데이터 라인이 교차하는 부분의 게이트 라인상에 포토레지스트 패턴을 형성하여 소오스/드레인용 불순물 이온을 도핑하고 변질된 포토레지스트 패턴을 제거할 때 게이트 라인의 하부에 형성된 게이트 절연막의 식각을 방지하는데 있다.

대표도

도 5d

색인어

액정표시장치, LDD, 포토레지스트, 게이트 라인, 데이터 라인

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치를 나타낸 평면도

도 2a 내지 도 2i는 도 1의 I - I'선에 따른 종래의 액정표시장치의 제조방법을 나타낸 공정단면도

도 3은 종래의 액정표시장치의 제조방법에 의해 게이트 라인과 교차하는 데이터 라인을 형성한 상태를 나타낸 평면도

도 4는 도 3의 II - II 선에 따른 액정표시장치의 단면도

도 5a 내지 도 5i는 도 1의 I - I'선에 따른 본 발명에 의한 액정표시장치의 제조방법을 나타낸 공정단면도

도 6은 본 발명에 의한 액정표시장치의 제조방법에 의해 게이트 라인과 교차하는 데이터 라인을 형성한 상태를 나타낸 평면도

도 7은 도 6의 IV-IV선에 따른 액정표시장치의 단면도

도 8a 내지 도 8h는 본 발명의 다른 실시예에 의한 액정표시장치의 제조방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

51 : 절연 기판 52 : 버퍼층

53 : 액티브층 54 : 게이트 절연막

55 : 게이트 라인 56 : 게이트 전극

57 : LDD 영역 58 : 포토레지스트

59 : 소오스/드레인 영역 60 : 층간 절연막

61 : 제 1 콘택홀 62 : 데이터 라인

63 : 보호막 64 : 제 2 콘택홀

65 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 제조방법에 관한 것으로, 특히 게이트 라인과 데이터 라인이 교차되는 부분에서 단선 불량을 해결하여 수율을 향상시키는데 적당한 액정표시장치의 제조방법에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.

따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고 품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.

이와 같은 액정표시장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인 과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성되어 있다.

그리고 제 2 유리 기판(컬러필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 칼라 색상을 표현하기 위한 R,G,B 컬러 필터층과 화상을 구현하기 위한 공통 전극이 형성되어 있다. 물론, 횡전계 방식의 액정표시장치에서는 공통전극이 제 1 유리 기판에 형성된다.

이와 같은 상기 제 1, 제 2 유리 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실재에 의해 합착되고 상기 두 기판 사이에 액정이 주입된다.

이때, 액정 주입 방법은 상기 실재에 의해 합착된 두 기판 사이를 진공 상태로 유지하여 액정 용기에 상기 액정 주입구가 잠기도록 하면 삼투압 현상에 의해 액정이 두 기판 사이에 주입된다. 이와 같이 액정이 주입되면 상기 액정 주입구를 밀봉재로 밀봉하게 된다.

일반적으로 액정표시장치에 형성되는 박막 트랜지스터(이하, TFT라 한다)는 현재까지 비정질 실리콘(a-Si) TFT가 주종을 이루고 있다.

그러나 비정질 실리콘에 비하여 이동도가 높은 다결정 실리콘(poly Si)을 이용할 경우, 패널상에 별도의 구동 회로부를 부착하지 않고 내장할 수 있기 때문에, 최근에는 다결정 실리콘 TFT로의 대체가 이루어지고 있다.

즉, 다결정 실리콘 TFT는 비정질 실리콘 TFT에 비하여 전자나 정공의 이동도가 높고 상보형(CMOS) TFT로의 구현이 가능하다. 따라서, 구동회로 IC를 본딩(bonding)으로 연결하는 대신에, 구동회로의 많은 부분을 TFT로 형성하여 화소부에 형성되는 TFT와 동시에 제작할 수 있다.

한편, 다결정 실리콘 TFT는 비정질 실리콘 TFT에 비하여 이동도(mobility)가 굉장히 크기 때문에 HCS(hot carrier stress) 및 HDCS(high drain current stress)에 영향을 많이 받으며, 특히 채널 길이(channel length)가 짧아질수록 그 영향은 심해져서 소자의 신뢰성이 떨어지는 문제가 있다.

최근 들어 레이저를 이용한 결정화 기술의 발전으로 비정질 실리콘 TFT와 비슷한 온도에서 제작이 가능하기 때문에 대형 유리 기판상에 제작이 가능하게 되었다.

상기 다결정 실리콘 TFT를 사용하는 액정표시장치는 상술한 바와 같이, 유리 기판상에 구동 회로부와 화소부가 함께 내장된 구조를 취하고 있는데, 구동 회로부의 TFT는 다결정 실리콘의 특성상 빠른 주파수에서 스위칭이 가능하여 문제가 없지만, 화소부의 화소 스위치용 TFT는 오프(off)상태의 드레인 전류 값이 크기 때문에 그 작동에 장애를 일으킨다.

따라서, 화소부에서는 오프전류의 수준을 적절한 수준으로 낮추기 위하여, LDD(Lightly Doped Drain) 구조, 오프셋(offset) 구조, 듀얼 게이트(dual gate)구조 등을 채택한 TFT가 제안되고 있다.

도 1은 일반적인 액정표시장치를 나타낸 평면도이다.

도 1에 도시한 바와 같이, 하부 기판(10)상에 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(11)이 배열되고, 상기 게이트 라인(11)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(12)이 배열된다.

그리고 상기 게이트 라인(11)과 데이터 라인(12)이 교차되어 정의된 각 화소영역(P)에는 매트릭스 형태로 형성되는 화소전극(16)과, 상기 게이트 라인(11)의 신호에 의해 스위칭되어 상기 데이터 라인(12)의 신호를 상기 각 화소전극(16)에 전달하는 복수개의 박막 트랜지스터(T)가 형성된다.

여기서, 상기 박막 트랜지스터(T)는 상기 게이트 라인(11)으로부터 돌출되어 형성되는 게이트 전극(13)과, 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과 상기 게이트 전극(13) 상측의 게이트 절연막위에 형성되는 반도체층(14)과, 상기 데이터 라인(12)으로부터 돌출되어 형성되는 소오스 전극(15a)과, 상기 소오스 전극(15a)에 대향되도록 드레인 전극(15b)을 구비하여 구성된다.

여기서, 상기 드레인 전극(15b)은 상기 화소전극(16)과 콘택홀(17)을 통해 전기적으로 연결된다.

한편, 상기와 같이 구성된 하부 기판(10)은 일정한 공간을 갖고 상부 기판(도시되지 않음)과 합착된다.

여기서, 상기 상부 기판에는 하부 기판(10)에 형성된 화소영역(P)과 각각 대응되는 개구부를 가지며 광 차단 역할을 수행하는 블랙 매트릭스(black matrix)층과, 칼라 색상을 구현하기 위한 적/녹/청(R/G/B) 컬러 필터층 및 상기 화소 전극(반사전극)(16)과 함께 액정을 구동시키는 공통전극을 포함하여 구성되어 있다.

이와 같은 하부 기판(10)과 상부 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)재에 의해 합착된 두 기판 사이에 액정이 주입된다.

이하, 첨부된 도면을 참고하여 종래의 액정표시장치의 제조방법을 설명하면 다음과 같다.

도 2a 내지 도 2i는 종래의 액정표시장치의 제조방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와 같이, 절연 기판(박막 어레이 기판)(21)상에 실리콘 산화물을 재료로 하는 버퍼층(22)을 형성하고, 상기 버퍼층(22)상에 비정질 실리콘층을 형성한다.

이어, 상기 비정질 실리콘층에 레이저 등의 에너지를 조사하여 다결정화하여 다결정 실리콘층을 형성한다.

그리고 포토 및 식각공정을 통해 상기 다결정 실리콘층을 선택적으로 제거하여 액티브층(반도체층)(23)을 형성한다.

도 2b에 도시한 바와 같이, 상기 액티브층(23)을 포함한 절연 기판(21)의 전면에 실리콘 질화막 등을 증착하여 게이트 절연막(24)을 형성한다.

이어, 상기 게이트 절연막(24)상에 저저항의 금속막을 증착하고, 포토 및 식각 공정을 통해 선택적으로 제거하여 일방향으로 일정한 간격을 갖는 복수개의 게이트 라인(25) 및 이에 돌출되는 게이트 전극(26)을 형성한다.

상기 저저항의 금속막은 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo)등의 도전성 금속막을 스퍼터링(sputtering)법으로 증착하여 형성한다.

도 2c에 도시한 바와 같이, 상기 게이트 전극(26)을 마스크로 하여 상기 절연 기판(21)의 전면에 저농도 n형 또는 p형 불순물 이온을 선택적으로 도핑하여 상기 게이트 전극(26) 양측의 액티브층(23)에 LDD(Lightly Doped Drain) 영역(27)을 형성한다.

도 2d에 도시한 바와 같이, 상기 절연 기판(21)의 전면에 포토레지스트(28)를 도포한 후, 노광 및 현상 공정으로 상기 게이트 전극(26)의 상부 및 양측면에만 남도록 포토레지스트(28)를 패터닝한다.

이어, 상기 패터닝된 포토레지스트(28)를 마스크로 이용하여 절연 기판(21)의 전면에 고농도 p형 또는 n형 불순물 이온을 선택적으로 도핑하여 상기 액티브층(23)에 소오스/드레인 영역(29)을 형성한다.

도 2e에 도시한 바와 같이, 상기 소오스/드레인 영역(29)을 형성하기 위해 마스크로 사용된 포토레지스트(28)를 CF_4/O_2 플라즈마를 이용하여 불순물 이온을 도핑할 때 변성된 포토레지스트(28)를 제거하고, 애싱(ashing) 처리에 의해 포토레지스트(28)를 완전히 제거한다.

이때 상기 포토레지스트(28)를 CF_4/O_2 플라즈마 및 애싱처리로 제거할 때 상기 게이트 절연막(24)도 표면으로부터 소정두께만큼 제거된다.

여기서 미설명한 A는 상기 포토레지스트(28)를 제거할 때 원래의 게이트 절연막(24)에서 제거되는 두께를 나타낸 것이다.

도 2f에 도시한 바와 같이, 상기 게이트 전극(26)을 포함한 절연 기판(21)의 전면에 층간 절연막(30)을 형성하고, 상기 소오스/드레인 영역(29)의 표면이 소정 부분 노출되도록 상기 층간 절연막(30) 및 게이트 절연막(24)을 선택적으로 제거하여 제 1 콘택홀(31)을 형성한다.

도 2g에 도시한 바와 같이, 상기 제 1 콘택홀(31)을 포함한 절연 기판(21)의 전면에 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 게이트 라인(25)에 교차하는 데이터 라인(32)과 이에 돌출되는 소오스 전극(32a) 및 드레인 전극(32b)을 형성한다.

도 2h에 도시한 바와 같이, 상기 소오스 전극(32a) 및 드레인 전극(32b)을 포함한 절연 기판(21)의 전면에 보호막(33)을 형성하고, 상기 드레인 전극(32b)의 표면이 소정부분 노출되도록 상기 보호막(33)을 선택적으로 제거하여 제 2 콘택홀(34)을 형성한다.

도 2i에 도시한 바와 같이, 상기 제 2 콘택홀(34)을 포함한 절연 기판(21)의 전면에 금속막을 증착한 후 선택적으로 패터닝하여 상기 제 2 콘택홀(34)을 통해 상기 드레인 전극(32b)과 연결되는 화소전극(35)을 형성하면 액정표시장치의 어레이 기판이 완성된다.

이후, 공정은 도면에 도시하지 않았지만, 상기 박막 어레이 기판에 컬러 필터층과 공통전극을 가지는 컬러 필터 기판을 대향 합착하고, 두 기판 사이에 액정을 주입하면 액정표시장치가 된다.

도 3은 종래의 액정표시장치의 제조방법에 의해 게이트 라인과 교차하는 데이터 라인을 형성한 상태를 나타낸 평면도이고, 도 4는 도 3의 II - II 선에 따른 액정표시장치의 단면도이다.

도 3 및 도 4에 도시한 바와 같이, 데이터 라인(32)과 교차하는 게이트 라인(25) 하부에 형성된 게이트 절연막(24)이 도 2e에서 포토레지스트(28)를 제거할 때 식각(C)되어 층간 절연막(30)을 형성하게 되면 스텝 커버리지(step coverage) 불량 영향으로 인하여 데이터 라인(32)을 형성할 때 점선과 같이 단선이 발생한다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래의 액정표시장치의 제조방법에 있어서 다음과 같은 문제점이 있었다.

즉, 게이트 라인과 데이터 라인이 교차되는 부분에 소오스/드레인 영역을 형성할 때 포토레지스트가 블록킹되어 있지 않기 때문에 불순물 이온의 도핑에 의해 변질된 포토레지스트를 제거할 때 도 3 및 도 4에서와 같이, 게이트 라인 주변의 게이트 절연막 일부분이 식각된다.

따라서 게이트 절연막이 식각 된 상태에서 층간 절연막을 증착하면 스텝 커버리지 불량으로 인하여 데이터 라인(소오스 전극 및 드레인 전극)을 형성할 때 데이터 라인이 단선되는 등의 불량이 발생한다.

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로 게이트 라인과 교차되는 데이터 라인의 단선을 방지하여 수율을 향상시키도록 한 액정표시장치의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 액정표시장치의 제조방법은 화소영역을 정의하기 위하여 서로 교차하는 게이트 라인 및 데이터 라인을 포함하는 액정표시장치의 제조방법에 있어서, 절연 기판상의 소정영역의 액티브층을 형성하는 단계, 상기 액티브층을 포함한 전면에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막상에 게이트 라인 및 게이트 전극을 형성하는 단계, 상기 게이트 전극 및 상기 데이터 라인이 교차하는 부분의 게이트 라인상에 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트 패턴을 마스크로 이용하여 전면에 불순물 이온을 주입하여 상기 액티브층에 소오스/드레인 영역을 형성하는 단계, 상기 포토레지스트 패턴을 제거하는 단계, 상기 절연 기판의 전면에 소오스/드레인 영역이 노출되도록 제 1 콘택홀을 갖는 층간 절연막을 형성하는 단계, 상기 제 1 콘택홀을 포함한 층간 절연막상에 상기 게이트 라인과 교차하는 데이터 라인과 소오스 전극 및 드레인 전극을 형성하는 단계, 상기 절연 기판의 전면에 드레인 전극의 표면이 노출되도록 제 2 콘택홀을 갖는 보호막을 형성하는 단계, 상기 제 2 콘택홀 및 그에 인접한 보호막상에 화소전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

여기서, 상기 게이트 전극을 마스크로 이용하여 전면에 저농도 불순물 이온을 주입하여 상기 게이트 전극 양측의 액티브층에 LDD 영역을 형성하는 단계를 더 포함하여 이루어진다.

또한, 상기 액티브층을 형성하는 단계는 상기 절연 기판상에 비정질 실리콘층을 형성하는 단계, 상기 비정질 실리콘층에 레이저 등의 에너지를 조사하여 다결정화하여 다결정 실리콘층을 형성하는 단계, 상기 다결정 실리콘층을 선택적으로 제거하는 단계로 이루어진다.

여기서, 상기 절연 기판과 비정질 실리콘층 사이에 버퍼층을 형성하는 단계를 더 포함하여 이루어진다.

또한, 상기 층간 절연막은 질화 실리콘 또는 산화 실리콘 등의 무기절연물질 또는 아크릴계의 유기화합물, 테프론, BCB, 사이토프 또는 PFCB 등의 유전상수가 작은 유기 절연물로 형성한다.

또한, 상기 게이트 전극은 알루미늄, 알루미늄 합금, 크롬, 텅스텐, 몰리브덴 등의 도전성 금속으로 형성한다.

또한, 상기 화소전극은 ITO, IZO 또는 ITZO, Al, AlNd, Cr, Mo 등의 금속으로 형성한다.

또한, 상기 보호막은 실리콘 질화막, 실리콘 산화물, BCB 또는 아크릴 수지 등의 절연 물질로 형성한다.

또한, 상기 포토레지스트 패턴은 상기 게이트 전극 및 게이트 라인을 포함한 그 주변까지 형성한다.

또한, 본 발명의 다른 실시예에 의한 액정표시장치의 제조방법은 절연 기판상의 소정영역의 액티브층을 형성하는 단계, 상기 액티브층을 포함한 전면에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막상에 게이트 라인 및 게이트 전극을 형성하는 단계, 상기 게이트 전극 및 상기 게이트 라인의 양측면에 측벽 스페이서를 형성하는 단계, 상기 게이트 전극 및 측벽 스페이서를 마스크로 이용하여 전면에 불순물 이온을 주입하여 상기 액티브층에 소오스/드레인 영역을 형성하는 단계, 상기 절연 기판의 전면에 소오스/드레인 영역이 노출되도록 제 1 콘택홀을 갖는 층간 절연막을 형성하는 단계, 상기 제 1 콘택홀을 포함한 층간 절연막상에 상기 게이트 라인과 교차하는 데이터 라인과 소오스 전극 및 드레인 전극을 형성하는 단계, 상기 절연 기판의 전면에 드레인 전극의 표면이 노출되도록 제 2 콘택홀을 갖는 보호막을 형성하는 단계, 상기 제 2 콘택홀 및 그에 인접한 보호막상에 화소전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 액정표시장치의 제조방법을 상세히 설명하면 다음과 같다.

도 5a 내지 도 5i는 종래 기술에 의한 액정표시장치의 제조방법을 나타낸 공정단면도이다.

도 5a에 도시한 바와 같이, 절연 기판(박막 어레이 기판)(51)상에 실리콘 산화물을 재료로 하는 버퍼층(52)을 형성하고, 상기 버퍼층(52)상에 비정질 실리콘층을 형성한다.

여기서, 상기 비정질 실리콘층은 상기 버퍼층(52)상에 실란 가스를 사용하는 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure CVD), 스퍼터(sputter) 등의 방법을 이용하여 300 ~ 400°C에서 비정질 실리콘(Amorphous Silicon)을 증착하여 형성한다.

이어, 상기 비정질 실리콘층에 레이저 등의 에너지를 조사하여 다결정화하여 다결정 실리콘층을 형성한다.

한편, 상기 비정질 실리콘층의 결정화 방법은 다음과 같이 크게 세 가지로 분류될 수 있다.

첫째, 엑시머 레이저 어닐(Excimer Laser Annealing : ELA) 방법은 비정질 실리콘 박막이 증착된 기판에 엑시머 레이저를 가해서 다결정 실리콘을 성장하는 방법이다. 둘째, 고상 결정화(solid phase crystallization : 이하 SPC라 칭한다) 방법은 비정질 실리콘을 고온에서 장시간 열처리하여 다결정 실리콘을 형성하는 방법이다. 셋째, 금속유도 결정화(metal induced crystallization : MIC) 방법은 비정질 실리콘 상에 금속을 증착하여 다결정 실리콘을 형성하는 방법으로, 대면적의 유리기판을 사용할 수 있다.

그리고 포토 및 식각공정을 통해 상기 다결정 실리콘층을 선택적으로 제거하여 액티브층(53)을 형성한다.

도 5b에 도시한 바와 같이, 상기 액티브층(53)을 포함한 절연 기판(51)의 전면에 실리콘 질화막 등을 증착하여 게이트 절연막(54)을 형성한다.

이어, 상기 게이트 절연막(54)상에 저저항의 금속막을 증착하고, 포토 및 식각 공정을 통해 선택적으로 제거하여 일방향으로 일정한 간격을 갖는 복수개의 게이트 라인(55) 및 이에 돌출되는 게이트 전극(56)을 형성한다.

여기서, 상기 게이트 절연막(54)은 CVD(Chemical Vapor Deposition)법 등에 의하여 산화 실리콘 혹은 질화 실리콘을 증착하여 형성하고, 상기 금속막은 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo) 등의 도전성 금속막을 스퍼터링(sputtering)법으로 증착하여 형성한다.

도 5c에 도시한 바와 같이, 상기 게이트 전극(56)을 마스크로 하여 상기 절연 기판(51)의 전면에 저농도 n형 또는 p형 불순물 이온을 선택적으로 도핑하여 상기 게이트 전극(56) 양측의 액티브층(53)에 LDD 영역(57)을 형성한다.

도 5d에 도시한 바와 같이, 상기 절연 기판(51)의 전면에 포토레지스트(58)를 도포한 후, 노광 및 현상 공정으로 상기 게이트 전극(56) 및 게이트 라인(55)을 포함한 주변에만 남도록 포토레지스트(58)를 패터닝한다.

여기서 상기 포토레지스트(58)가 잔류하는 게이트 라인(55)은 이후 데이터 라인이 교차하는 부분이다.

이후, 상기 패터닝된 포토레지스트(58)를 마스크로 이용하여 절연 기판(51)의 전면에 고농도 p형 또는 n형 불순물 이온을 선택적으로 도핑하여 상기 액티브층(53)에 소오스/드레인 영역(59)을 형성한다.

도 5e에 도시한 바와 같이, 상기 포토레지스트(58)를 CF_4/O_2 플라즈마를 이용하여 상기 소오스/드레인 영역(59)을 형성하기 위해 불순물 이온을 도핑할 때 변성된 표면의 포토레지스트(58)를 제거하고, 애싱(ashing) 처리에 의해 포토레지스트(58)를 완전히 제거한다.

여기서 상기 게이트 라인(55)의 주변에도 포토레지스트(58)가 형성되어 있으므로 CF_4/O_2 플라즈마 및 애싱 처리 시에 게이트 절연막(54)이 노출되지 않아 종래와 같이 식각되는 것을 방지할 수 있다.

한편, 미설명된 'B'는 상기 포토레지스트(58)를 제거할 때 원래의 게이트 절연막(54)에서 제거되는 두께를 나타낸 것이다.

도 5f에 도시한 바와 같이, 상기 절연 기판(51)의 전면에 레이저 등과 같은 열에너지에 의한 어닐링 공정을 진행하여 액티브층(53)에 형성된 각각의 이온영역을 활성화시킨다.

이후, 상기 게이트 전극(56)을 포함한 절연 기판(51)의 전면에 층간 절연막(60)을 형성하고, 상기 소오스/드레인 영역(59)의 표면이 소정부분 노출되도록 상기 층간 절연막(60) 및 게이트 절연막(54)을 선택적으로 제거하여 제 1 콘택홀(61)을 형성한다.

여기서, 상기 층간 절연막(60)은 질화 실리콘 또는 산화 실리콘 등의 무기절연물질 또는 아크릴계의 유기화합물, 테프론, BCB, 사이토프 또는 PFCB 등의 유전상수가 작은 유기절연물로 형성한다.

도 5g에 도시한 바와 같이, 상기 제 1 콘택홀(61)을 포함한 절연 기판(51)의 전면에 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 게이트 라인(55)에 교차하는 복수개의 데이터 라인(62)과 소오스/드레인 영역(59)과 연결되는 소오스 전극(62a) 및 드레인 전극(62b)을 형성한다.

여기서, 상기 금속막은 알루미늄(Al), 구리(Cu), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti) 또는 탄탈륨(Ta)의 금속이나, MoW, MoTa 또는 MoNb의 몰리브덴 합금(Mo alloy) 등을 CVD 또는 스퍼터링법으로 증착하여 형성한다.

도 5h에 도시한 바와 같이, 상기 소오스 전극(62a) 및 드레인 전극(62b)을 포함한 절연 기판(51)의 전면에 보호막(63)을 형성하고, 상기 드레인 전극(62b)의 표면이 소정부분 노출되도록 상기 보호막(63)을 선택적으로 제거하여 제 2 콘택홀(64)을 형성한다.

여기서, 상기 보호막(63)은 실리콘 질화물, 실리콘 산화물, BCB 또는 아크릴 수지 등의 재료를 이용하여 형성한다.

도 5i에 도시한 바와 같이, 상기 제 2 콘택홀(64)을 포함한 절연 기판(51)의 전면에 금속막을 증착한 후 선택적으로 패터닝하여 상기 콘택홀을 통해 드레인 전극(62b)과 연결되는 화소전극(65)을 형성하면 액정표시장치의 어레이 기판이 완성된다.

여기서 상기 금속막은 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide) 또는 ITZO(Indium-Tin-Zinc-Oxide), Al, AlNd, Cr, Mo 등을 CVD 방법 또는 스퍼터링 방법으로 증착한다.

이후, 공정은 도면에 도시하지 않았지만, 상기 박막 어레이 기판에 컬러 필터층과 공통전극을 가지는 컬러 필터 기판을 대향 합착하고, 두 기판 사이에 액정층을 형성하면 액정표시장치가 된다.

도 6은 본 발명에 의한 액정표시장치의 제조방법에 의해 게이트 라인과 교차하는 데이터 라인을 형성한 상태를 나타낸 평면도이고, 도 7은 도 6의 IV-IV선에 따른 액정표시장치의 단면도이다.

도 6 및 도 7에 도시한 바와 같이, 데이터 라인(62)과 교차하는 게이트 라인(55) 상부에 도 5d에서와 같이 포토레지스트(58)가 형성되어 있기 때문에 도 5e에서와 포토레지스트(58)를 제거하더라도 게이트 라인(55)의 하부의 게이트 절연막(54)이 식각되는 것을 방지할 수 있다.

도 8a 내지 도 8h는 본 발명의 다른 실시예에 의한 액정표시장치의 제조방법을 나타낸 공정단면도이다.

도 8a에 도시한 바와 같이, 절연 기판(박막 어레이 기판)(71)상에 실리콘 산화물을 재료로 하는 버퍼층(72)을 형성하고, 상기 버퍼층(72)상에 비정질 실리콘층을 형성한다.

여기서, 상기 비정질 실리콘층은 상기 버퍼층(72)상에 실란 가스를 사용하는 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure CVD), 스퍼터(sputter) 등의 방법을 이용하여 300 ~ 400°C에서 비정질 실리콘(Amorphous Silicon)을 증착하여 형성한다.

이어, 상기 비정질 실리콘층에 레이저 등의 에너지를 조사하여 다결정화하여 다결정 실리콘층을 형성한다.

그리고 포토 및 식각공정을 통해 상기 다결정 실리콘층을 선택적으로 제거하여 액티브층(73)을 형성한다.

도 8b에 도시한 바와 같이, 상기 액티브층(57)을 포함한 절연 기판(71)의 전면에 실리콘 질화막 등을 증착하여 게이트 절연막(74)을 형성한다.

이어, 상기 게이트 절연막(74)상에 저저항의 금속막을 증착하고, 포토 및 식각 공정을 통해 선택적으로 제거하여 일방향으로 일정한 간격을 갖는 복수개의 게이트 라인(75) 및 이에 돌출되는 게이트 전극(76)을 형성한다.

여기서, 상기 게이트 절연막(74)은 CVD(Chemical Vapor Deposition)법 등에 의하여 산화 실리콘 혹은 질화 실리콘을 증착하여 형성하고, 상기 금속막은 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo)등의 도전성 금속막을 스퍼터링(sputtering)법으로 증착하여 형성한다.

도 8c에 도시한 바와 같이, 상기 게이트 전극(76)을 마스크로 하여 상기 절연 기판(71)의 전면에 저농도 n형 또는 p형 불순물 이온을 선택적으로 도핑하여 상기 게이트 전극(76) 양측의 액티브층(73)에 LDD 영역(77)을 형성한다.

도 8d에 도시한 바와 같이, 상기 게이트 전극(76)을 포함한 절연 기판(71)의 전면에 절연막을 형성한 후, 전면에 에치백 공정을 실시하여 상기 게이트 전극(76) 및 게이트 라인(75)의 양측면에 측벽 스페이서(78)를 형성한다.

이어, 상기 게이트 전극(76) 및 측벽 스페이서(78)를 마스크로 이용하여 절연 기판(71)의 전면에 고농도 p형 또는 n형 불순물 이온을 선택적으로 도핑하여 상기 액티브층(73)에 소오스/드레인 영역(79)을 형성한다.

도 8e에 도시한 바와 같이, 상기 절연 기판(71)의 전면에 레이저 등과 같은 열에너지에 의한 어닐링 공정을 진행하여 액티브층(73)에 형성된 각각의 이온영역을 활성화시킨다.

이어, 상기 게이트 전극(76)을 포함한 절연 기판(71)의 전면에 층간 절연막(80)을 형성하고, 상기 소오스/드레인 영역(79)의 표면이 소정부분 노출되도록 상기 층간 절연막(80) 및 게이트 절연막(74)을 선택적으로 제거하여 제 1 콘택홀(81)을 형성한다.

여기서, 상기 층간 절연막(80)은 질화 실리콘 또는 산화 실리콘 등의 무기절연물질 또는 아크릴계의 유기화합물, 테프론, BCB, 사이토프 또는 PFCB 등의 유전 상수가 작은 유기절연물로 형성한다.

도 8f에 도시한 바와 같이, 상기 제 1 콘택홀(81)을 포함한 절연 기판(71)의 전면에 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 게이트 라인(75)에 교차하는 복수개의 데이터 라인(82)과 소오스/드레인 영역(79)과 연결되는 소오스 전극(82a) 및 드레인 전극(82b)을 형성한다.

여기서, 상기 금속막은 알루미늄(Al), 구리(Cu), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti) 또는 탄탈륨(Ta)의 금속이나, MoW, MoTa 또는 MoNb의 몰리브덴 합금(Mo alloy) 등을 CVD 또는 스퍼터링법으로 증착하여 형성한다.

도 8g에 도시한 바와 같이, 상기 소오스 전극(82a) 및 드레인 전극(82b)을 포함한 절연 기판(71)의 전면에 보호막(83)을 형성하고, 상기 드레인 전극(82b)의 표면이 소정부분 노출되도록 상기 보호막(83)을 선택적으로 제거하여 제 2 콘택홀(84)을 형성한다.

여기서, 상기 보호막(83)은 실리콘 질화물, 실리콘 산화물, BCB 또는 아크릴 수지 등의 재료를 이용하여 형성한다.

도 8h에 도시한 바와 같이, 상기 제 2 콘택홀(84)을 포함한 절연 기판(71)의 전면에 금속막을 증착한 후 선택적으로 패터닝하여 상기 제 2 콘택홀(84)을 통해 드레인 전극(82b)과 연결되는 화소전극(85)을 형성하면 액정표시장치의 레이 기판이 완성된다.

여기서 상기 금속막은 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide) 또는 ITZO(Indium-Tin-Zinc-Oxide), Al, AlNd, Cr, Mo 등을 CVD 방법 또는 스퍼터링 방법으로 증착한다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 액정표시장치의 제조방법은 다음과 같은 효과가 있다.

첫째, 소오스/드레인 영역을 형성하기 위한 불순물 이온 도핑할 때 데이터 라인과 교차하는 게이트 라인 상부에 포토레지스트를 통해 블로킹함으로써 포토레지스트를 제거할 때 게이트 라인 하부의 게이트 절연막이 식각되는 것을 방지할 수 있기 때문에 스텝 커버리지 불량에 의한 데이터 라인의 단선을 방지할 수 있다.

둘째, 게이트 전극 및 게이트 라인의 양측면에 측벽 스페이서를 형성한 후 소오스/드레인 영역을 형성하기 위한 불순물 이온을 도핑함으로써 포토레지스트를 도포하거나 제거하는 공정을 생략할 수 있을 뿐만 아니라 스텝 커버리지를 향상시켜 이후 공정 마진을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

화소영역을 정의하기 위하여 서로 교차하는 게이트 라인 및 데이터 라인을 포함하는 액정표시장치의 제조방법에 있어서,

절연 기판상의 소정영역의 액티브층을 형성하는 단계;

상기 액티브층을 포함한 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막상에 게이트 라인 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 데이터 라인이 교차하는 부분의 게이트 라인상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 이용하여 전면에 불순물 이온을 주입하여 상기 액티브층에 소오스/드레인 영역을 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 절연 기판의 전면에 소오스/드레인 영역이 노출되도록 제 1 콘택홀을 갖는 층간 절연막을 형성하는 단계;

상기 제 1 콘택홀을 포함한 층간 절연막상에 상기 게이트 라인과 교차하는 데이터 라인과 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 절연 기판의 전면에 드레인 전극의 표면이 노출되도록 제 2 콘택홀을 갖는 보호막을 형성하는 단계;

상기 제 2 콘택홀 및 그에 인접한 보호막상에 화소전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 게이트 전극을 마스크로 이용하여 전면에 저농도 불순물 이온을 주입하여 상기 게이트 전극 양측의 액티브층에 LDD 영역을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

청구항 3.

제 1 항에 있어서, 상기 액티브층을 형성하는 단계는

상기 절연 기판상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층에 레이저 등의 에너지를 조사하여 다결정화하여 다결정 실리콘층을 형성하는 단계;

상기 다결정 실리콘층을 선택적으로 제거하는 단계로 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

청구항 4.

제 3 항에 있어서, 상기 절연 기판과 비정질 실리콘층 사이에 버퍼층을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

청구항 5.

제 1 항에 있어서, 상기 층간 절연막은 질화 실리콘 또는 산화 실리콘 등의 무기절연물질 또는 아크릴계의 유기화합물, 테프론, BCB, 사이토프 또는 PFCB 등의 유전상수가 작은 유기 절연물로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6.

제 1 항에 있어서, 상기 게이트 전극은 알루미늄, 알루미늄 합금, 크롬, 텅스텐, 몰리브덴 등의 도전성 금속으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7.

제 1 항에 있어서, 상기 화소전극은 ITO, IZO 또는 ITZO, Al, AlNd, Cr, Mo 등의 금속으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8.

제 1 항에 있어서, 상기 보호막은 실리콘 질화막, 실리콘 산화물, BCB또는 아크릴 수지 등의 절연 물질로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9.

제 1 항에 있어서, 상기 포토레지스트 패턴은 상기 게이트 전극 및 게이트 라인을 포함한 그 주변까지 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 10.

절연 기판상의 소정영역의 액티브층을 형성하는 단계;

상기 액티브층을 포함한 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막상에 게이트 라인 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 게이트 라인의 양측면에 측벽 스페이서를 형성하는 단계;

상기 게이트 전극 및 측벽 스페이서를 마스크로 이용하여 전면에 불순물 이 온을 주입하여 상기 액티브층에 소오스/드레인 영역을 형성하는 단계;

상기 절연 기판의 전면에 소오스/드레인 영역이 노출되도록 제 1 콘택홀을 갖는 층간 절연막을 형성하는 단계;

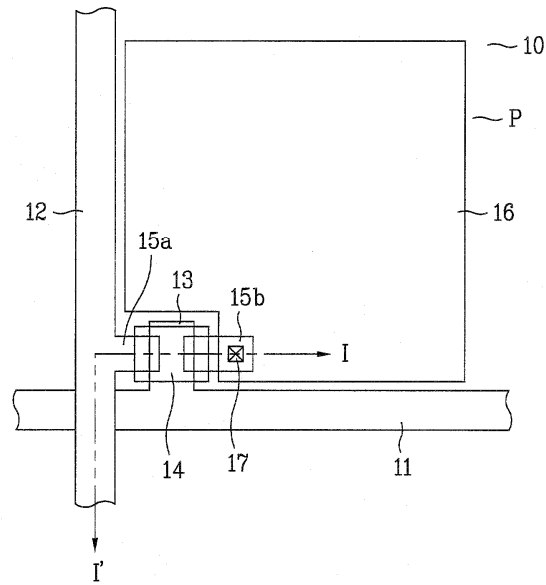
상기 제 1 콘택홀을 포함한 층간 절연막상에 상기 게이트 라인과 교차하는 데이터 라인과 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 절연 기판의 전면에 드레인 전극의 표면이 노출되도록 제 2 콘택홀을 갖는 보호막을 형성하는 단계;

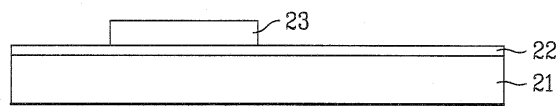
상기 제 2 콘택홀 및 그에 인접한 보호막상에 화소전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

도면

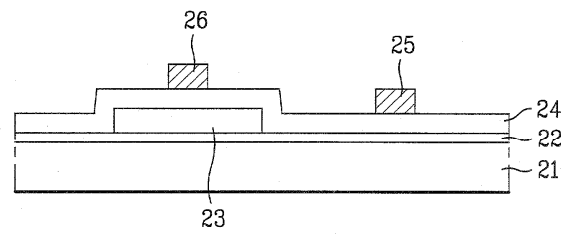
도면1



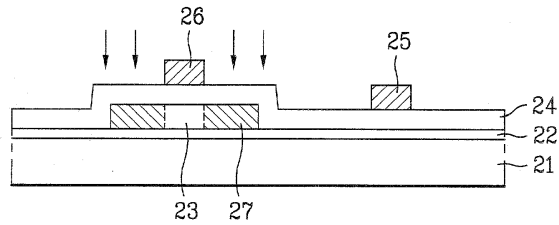
도면2a



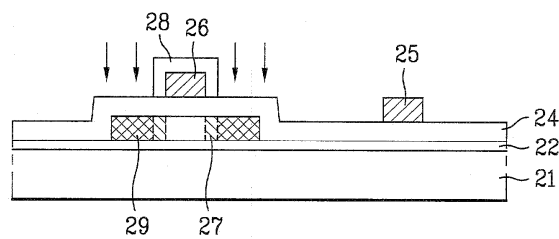
도면2b



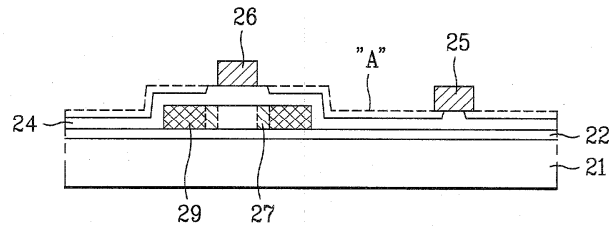
도면2c



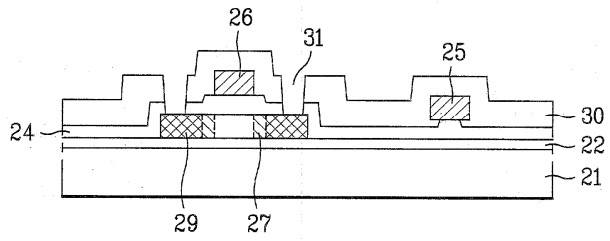
도면2d



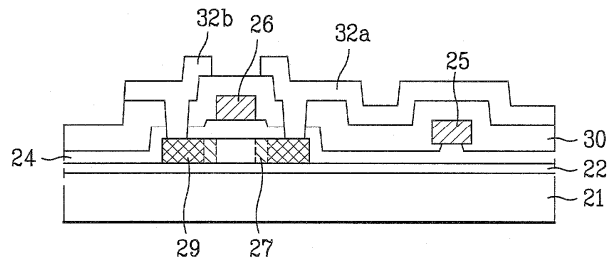
도면2e



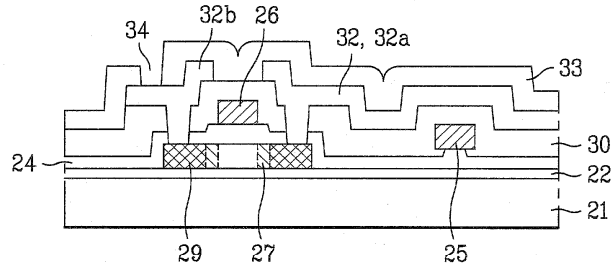
도면2f



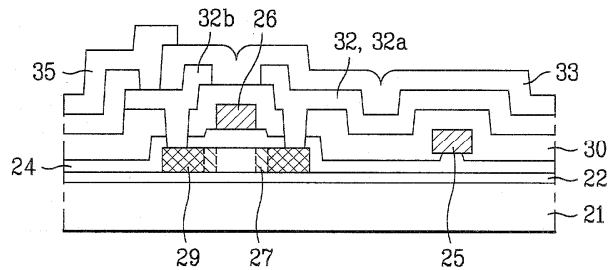
도면2g



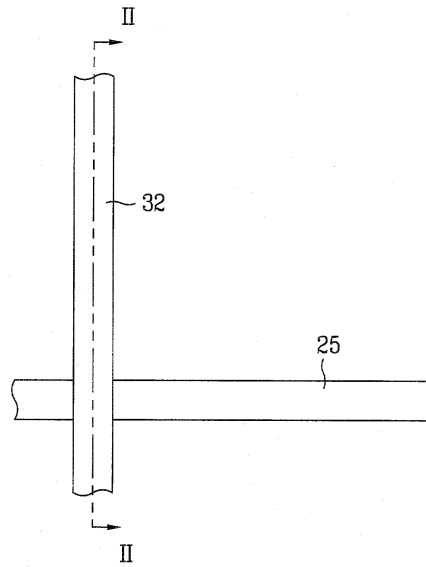
도면2h



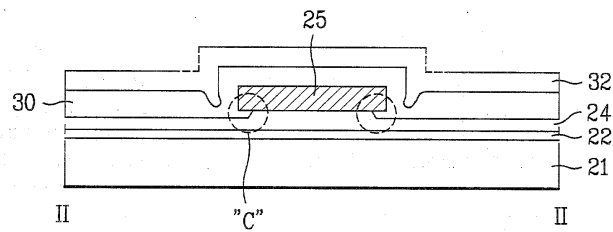
도면2i



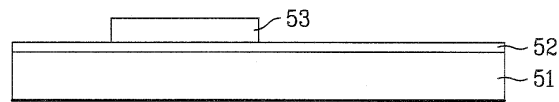
도면3



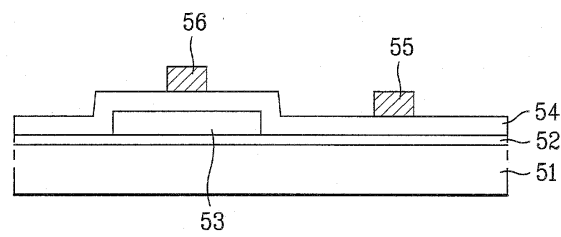
도면4



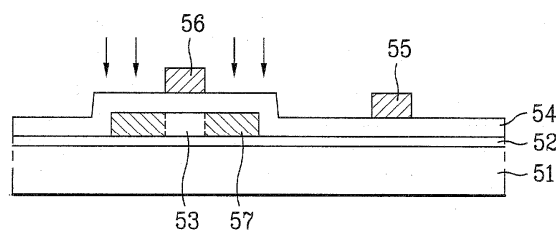
도면5a



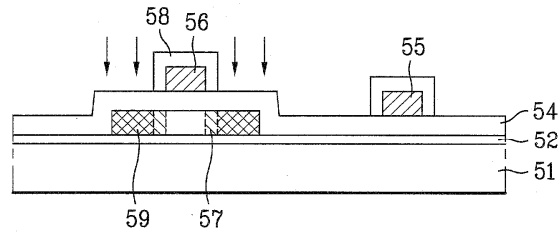
도면5b



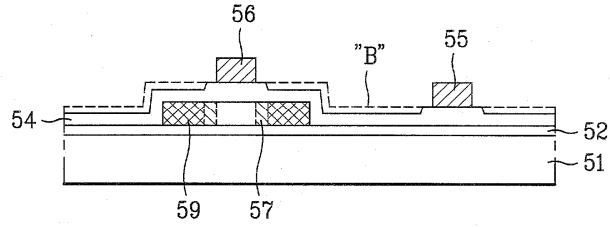
도면5c



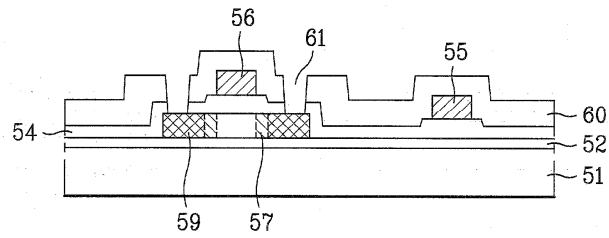
도면5d



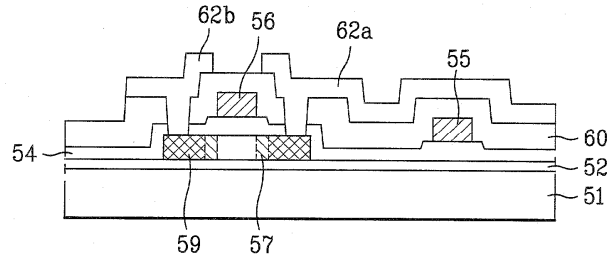
도면5e



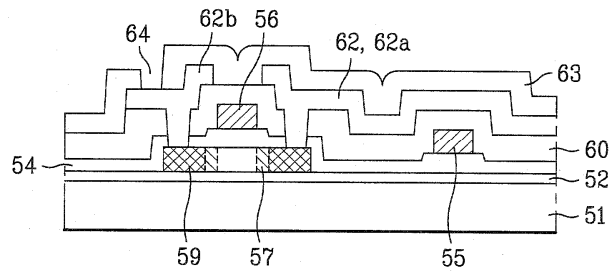
도면5f



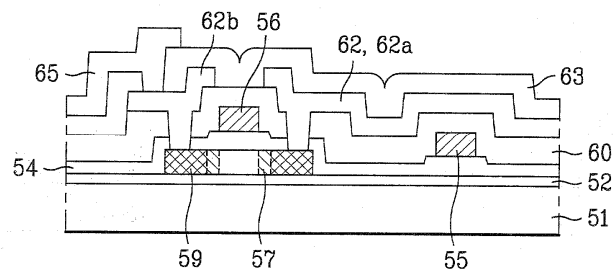
도면5g



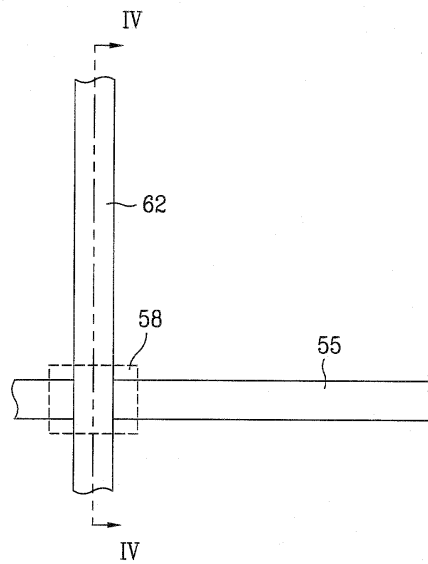
도면5h



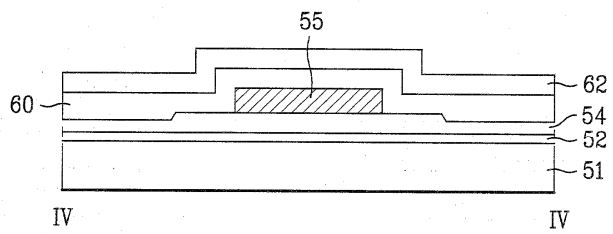
도면5i



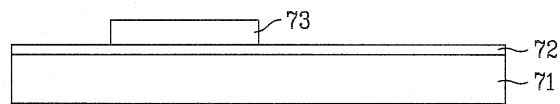
도면6



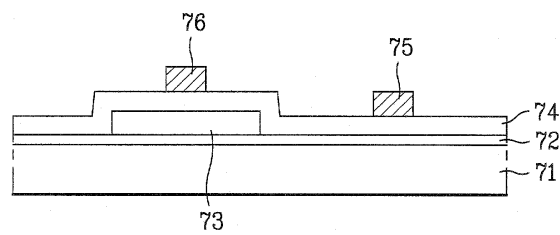
도면7



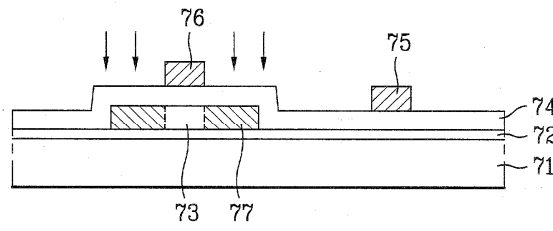
도면8a



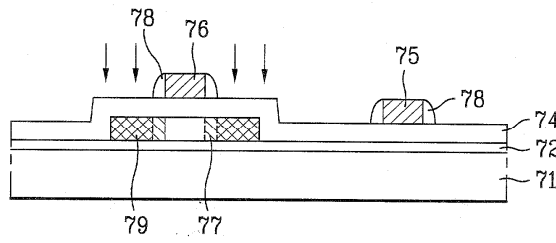
도면8b



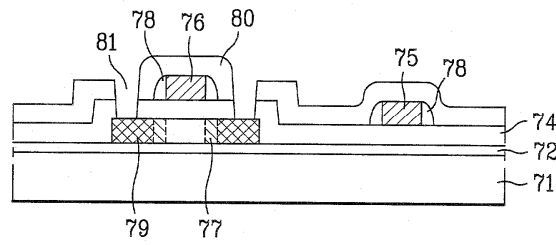
도면8c



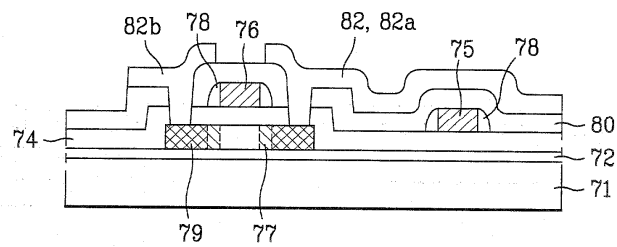
도면8d



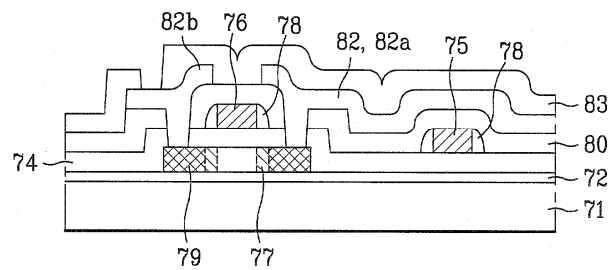
도면8e



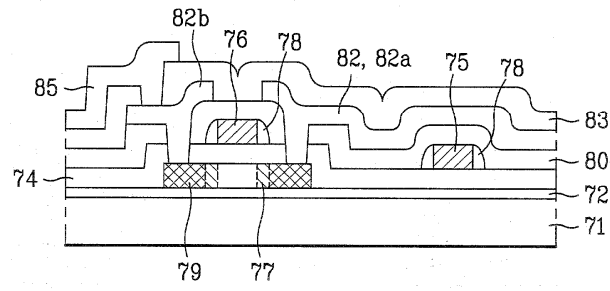
도면8f



도면8g



도면8h



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR1020040019593A	公开(公告)日	2004-03-06
申请号	KR1020020051184	申请日	2002-08-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG KWANGJO 황광조		
发明人	황광조		
IPC分类号	G02F1/1362 G02F1/133		
CPC分类号	G02F1/136286		
代理人(译)	金勇 新昌		
其他公开文献	KR100493382B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置的制造方法技术领域本发明涉及一种制造液晶显示装置的方法，该液晶显示装置防止与栅极线交叉的数据线的破损以提高产量，并且更具体地涉及制造包括栅极线和数据线的液晶显示装置的方法。一种制造器件的方法，该方法包括：在栅极线和栅极与数据线交叉的部分处的栅极线上形成光刻胶图案，掺杂源极/漏极的杂质离子并去除损坏的光刻胶图案;从而防止蚀刻形成在下部的栅极绝缘膜。图5d 指数方面 液晶显示器，LDD，光刻胶，栅极线，数据线

