

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl. 7
G02F 1/13

(11) 공개번호 특2003-0037893
(43) 공개일자 2003년05월16일

(21) 출원번호 10-2001-0069139
(22) 출원일자 2001년11월07일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 이형곤
경기도용인시수지읍죽전리89-1죽전현대1차아파트103동1501호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 전기적 절단을 위한 액정 표시 장치와 이의 제조 방법

요약

본 발명은 전기적 절단을 위한 액정 표시 장치와 이의 제조 방법을 개시한다. 본 발명에 따르면, 데이터 라인 테스트 부는 일정 레벨의 2개 이상의 서로 다른 제1 테스트 신호 각각 출력하고, 프리-차징/프리-디스차징 동작에 이용되는 제1 총 테스트부는 제1단이 공통 직렬 연결된 홀수측 스위칭 소자와 짝수측 스위칭 소자를 복수개 구비하고, 각 스위칭 소자의 제2단을 통해 제1 테스트 신호를 제3단을 통해 출력한다. 또한, 액정 패널은 제2 테스트 신호에 응답하여 제1 테스트 신호에 대응하는 화상 출력을 제어하는 스위칭 소자를 가지는 행렬 형태로 배열된 다수의 화소를 구비하여 이루어지고, 제1 테스트 신호와 제2 테스트 신호의 인가를 통해 화소의 정상 동작 여부를 시각적으로 체크한다.

그 결과, 액정 패널의 공정 불량을 시각적으로 손쉽게 검사할 수 있고, 제조 완료된 액정 패널의 절단을 전기적 방식을 통해 수행함으로써 액정 패널의 액티브 영역을 절단을 얻을 수 있을 뿐만 아니라, 제조 완료된 액정 패널의 상측에 배치되는 소스 라인을 구동시 데이터 신호를 프리-차징/프리-디스차징하는데 이용함으로써 저전력을 실현할 수 있다.

대표도

도 1

색인어

액정, 절단, 전기, 퓨즈, 검사, 불량, 패널, 프리 차징

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 전기적 절단을 위한 액정 표시 장치를 설명하기 위한 도면이다.

도 2는 상기한 도 1의 프리차징 동작을 설명하기 위한 도면이다.

도 3은 본 발명의 다른 실시예에 따른 액정 표시 장치의 성능 향상 방법을 설명하기 위한 도면이다.

도 4는 상기한 도 3의 게이트 드라이버부를 설명하기 위한 도면이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 데이터 라인 테스트부 150, 450 : 전기적 퓨징 영역

200, 500 : 총 테스트부 300 : 액정 패널

400 : 게이트 라인 테스트부 600 : 게이트 드라이버부

612, 614, 622, 624 : 낸드 게이트 616, 618, 626, 628 : 인버터

610, 620, ..., 6(m-1)0, 6m0 : 게이트 신호 출력부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치와 이의 제조 방법에 관한 것으로, 보다 상세하게는 데이터 라인 프리-차징/프리-디스차징과 전기적 절단을 위한 액정 표시 장치와 이의 제조 방법에 관한 것이다.

일반적으로 액정 표시 장치는 현재 화상 표시 소자의 주류를 이루고 있는 음극선관에 비해 훨씬 얇고, 훨씬 가벼우며, 전력 소비가 적어 이미 이동전화기나 노트북 컴퓨터 등 휴대형 정보 기기의 화면 표시 소자로 널리 사용되고 있으며, 전자파 방출이 적어 향후에는 음극선관을 제치고 탁상용 화면 표시 소자에서도 주류가 될 것으로 예상된다.

특히, 중소형 제품이나 패널 사이즈가 콤팩트한 제품에 적용되는 액정 표시 장치는 글래스당 패널 갯수가 많아 테스트 및 작업에 많은 시간과 노력이 필요하다. 또한 제품의 응용이 저전력을 요구하기 때문에 패널의 전력 소모를 줄이는 방법이 필요하다.

종래에는 액정 패널에 불량 발생했을 때, 외부에서 물리적으로 액정 패널을 2D(Data line)/2G(Gate line) 혹은 3D/2G 등으로 연결하여 해당 액정 패널의 불량을 스크린(screen)한 후 양품인 경우에 레이저나 절단기를 이용하여 액정 패널을 절단하는 방법을 이용하였다.

그러나 이러한 액정 패널의 절단 방법은 TCP나 외부에 소스 드라이브 IC를 사용해야 하는 경우이며, 드라이브 IC를 COG(Chip On Glass) 형태로 사용하는 경우에는 실현하는데 있어서 공간상의 제약이 존재하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 액정 표시 장치의 성능을 향상시키기 위해 액정 패널의 공정 불량을 시각적으로 감지하고, 저전력 소모를 위해 데이터 라인을 액정 패널에서 프리-차징/프리-디스차징하기 위한 수단 및 전기적 절단을 위한 액정 표시 장치를 제공하는 것이다.

또한 본 발명의 다른 목적은 상기한 전기적 절단을 위한 액정 표시 장치의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 전기적 절단을 위한 액정 표시 장치는,

일정 레벨의 2개 이상의 서로 다른 제1 테스트 신호 각각 출력하는 데이터 라인 테스트부;

제1단이 공통 직렬 연결된 홀수측 스위칭 소자와 짝수측 스위칭 소자를 복수개 구비하고, 상기 각 스위칭 소자의 제2단을 통해 상기 제1 테스트 신호를 제3단을 통해 출력하는 제1 총 테스트부; 및

상기 제1 테스트 신호를 전달하는 다수의 데이터 라인과, 제2 테스트 신호를 전달하는 다수의 게이트 라인과, 상기 게이트 라인 및 데이터 라인에 의해 둘러싸인 일정 영역에 형성되며 상기 게이트 라인 및 데이터 라인에 각각 연결되어 상기 제2 테스트 신호에 응답하여 상기 제1 테스트 신호에 대응하는 화상 출력을 제어하는 스위칭 소자를 가지는 행렬 형태로 배열된 다수의 화소를 구비하여 이루어지는 액정 패널을 포함하여 이루어지고,

상기 제1 테스트 신호와 상기 제2 테스트 신호의 인가를 통해 상기 화소의 정상 동작 여부를 체크하는 것을 특징으로 한다. 여기서, 상기한 제1 총 테스트부는 상기 액정 표시 장치의 구동시, 화상 표시를 위한 데이터의 프리-차징/프리-디스차징에 이용되는 것이 바람직하고, 상기한 액정 표시 장치는 상기 데이터 라인 테스트부와 상기 제1 총 테스트부의 사이에 배치되어, 상기 제1 총 테스트부의 동작 제어에 의해 절단되는 제1 전기적 퓨징 영역을 더 포함하는 것이 바람직하다.

또한, 상기한 액정 표시 장치는 일정 레벨의 게이트 온/오프 신호를 출력하는 게이트 라인 테스트부; 및 제1단이 공통 직렬 연결된 홀수측 스위칭 소자와 짝수측 스위칭 소자를 복수개 구비하고, 상기 각 스위칭 소자의 제2단을 통해 상기 게이트 온/오프 신호를 제3단을 통해 상기 액정 패널의 해당 게이트 라인에 출력하는 제2 총 테스트부를 더 포함하는 것이 바람직하다.

또한 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 전기적 절단을 위한 액정 표시 장치의 제조 방법은,

다수의 게이트 라인과, 상기 게이트 라인과 절연되어 교차하는 다수의 데이터 라인과, 상기 게이트 라인 및 데이터 라인에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트 라인 및 데이터 라인에 연결되어 있는 스위칭 소자를 가지는 행렬 형태로 배열된 다수의 화소를 구비하는 액정 패널을 포함하는 액정 표시 장치의 제조 방법에 있어서,

(a) 상기 액정 패널의 제조가 완료됨에 따라, 소정의 데이터 라인 테스트부 를 이용하여 일정 레벨의 2개 이상의 서로 다른 제1 테스트 신호를 상기 데이터 라인 각각에 인가하는 단계;

(b) 소정의 게이트 라인 테스트부를 이용하여 게이트 온/오프 신호를 상기 게이트 라인에 인가하여 상기 액정 패널의 불량 여부를 체크하는 단계; 및

(c) 상기 단계(b)에서 상기 액정 패널이 양품이라 판별되는 경우에는 전기적 퓨징 동작을 통해 상기 액정 패널의 활성 영역과 상기 데이터 라인 테스트부와 상기 게이트 라인 테스트부를 분리하는 단계를 포함하여 이루어진다.

이러한 전기적 절단을 위한 액정 표시 장치와 이의 제조 방법에 의하면, 액정 패널의 공정 불량을 시각적으로 손쉽게 검사할 수 있고, 제조 완료된 액정 패널의 절단을 전기적 방식을 통해 수행하므로써 액정 패널의 액티브 영역을 절단을 얻을 수 있을 뿐만 아니라, 제조 완료된 액정 패널의 상측에 배치되는 소스 라인을 구동시 데이터 신호를 프리-차징/프리-디스차징하는데 이용하므로써 저전력을 실현할 수 있다.

그러면, 통상의 지식을 지닌 자가 본 발명을 용이하게 실시할 수 있도록 실시예에 관해 설명하기로 한다.

도 1은 본 발명의 일 실시예에 따른 전기적 절단을 위한 액정 표시 장치를 설명하기 위한 도면으로, 특히 아몰포스 실리콘(a-Si) 공정을 사용하는 액정 표시 장치에 적용 가능한 실시예를 설명한다.

도 1을 참조하면, 본 발명의 일 실시예에 따른 전기적 절단을 위한 액정 표시 장치는 데이터 드라이버, 게이트 드라이버, 데이터 라인 테스트부(100), 제1 전기적 퓨징 영역(150), 제1 총 테스트부(200), 액정 패널(300), 게이트 라인 테스트부(400), 제2 전기적 퓨징 영역(450) 및 제2 총 테스트부(500)를 포함한다. 여기서, 상기한 제1 및 제2 전기적 퓨징 영역(150, 450)은 고정되는 영역이 아니고, 제조 완료된 액정 표시 장치의 스크린 동작 완료후 절단될 부분이다.

제1 출력단 및 제2 출력단을 구비하는 데이터 라인 테스트부(100)는 액정 패널(300)에 구비되는 데이터 라인의 정상 동작 여부를 체크하기 위한 제1 테스트 신호(101, 103) 각각을 제1 전기적 퓨징 영역(150)을 경유하여 제1 총 테스트부(200)에 출력한다.

제1 총 테스트부(200)는 게이트 단자끼리 공통하여 직렬 연결되는 홀수측 트랜지스터($Q_{D1}, \dots, Q_{Dn-1}$)와 게이트 단자끼리 공통하여 직렬 연결되는 짝수측 트랜지스터($Q_{D2}, \dots, Q_{Dn}$)로 이루어져, 데이터 라인 테스트부(100)로부터 출력되는 제1 테스트 신호(101, 103)를 액정 패널의 데이터 라인(D1, D2, ..., Dn-1, Dn)에 출력한다.

보다 상세히는, 홀수측 트랜지스터($Q_{D1}, \dots, Q_{Dn-1}$) 각각의 게이트 단자는 SD1 전압원에 공통 연결되고, 소스 단자(또는 드레인 단자)는 데이터 라인 테스트부(100)의 제1 출력단 및 액정 패널의 홀수측 데이터 라인($D1, D3, \dots, D_{n-1}$)에 연결되며, 드레인 단자(또는 소스 단자)의 각각은 GSD1 전압원에 공통 연결된다.

또한, 짝수측 트랜지스터($Q_{D2}, \dots, Q_{Dn}$) 각각의 게이트 단자는 SD2 전압원에 공통 연결되고, 소스 단자(또는 드레인 단자)는 데이터 라인 테스트부(100)의 제2 출력단 및 액정 패널의 짝수측 데이터 라인($D2, D4, \dots, D_n$)에 연결되며, 드레인 단자(또는 소스 단자)의 각각은 GSD2 전압원에 공통 연결된다.

상기한 제1 총 테스트부(200)는 상기 제1 전기적 퓨징 영역이 절단된 이후에는 데이터 드라이버로부터 출력되는 데이터 전압의 프리-차징/프리-디스차징(Pre-Charging/Pre-Discharging) 동작에 이용되어 액정 패널(300)의 저전력 소모를 향상시킬 수 있다.

액정 패널(300)은 데이터 드라이버로부터 출력되는 데이터 신호를 전달하는 다수의 데이터 라인과, 상기 데이터 라인에 전기적으로 절연되어 교차하며 게이트 드라이버로부터 출력되는 게이트 신호를 전달하는 다수의 게이트 라인을 포함하고, 상기 데이터 라인과 상기 게이트 라인간에 배치되는 스위칭 소자(TFT)와 상기 스위칭 소자에 연결되는 액정 캐패시터 및 스토리지 캐패시터를 포함하여 이루어지는데, 이에 대한 상세한 설명은 생략한다. 여기서, 상기한 데이터 드라이버나 게이트 드라이버는 COG 타입으로 실장되는 것이 바람직하다.

제1 출력단 및 제2 출력단을 구비하는 게이트 라인 테스트부(400)는 액정 패널(300)에 구비되는 게이트 라인에 정상 동작 여부를 체크하기 위한 제2 테스트 신호(401, 403) 각각을 제2 전기적 퓨징 영역(450)을 경유하여 제2 총 테스트부(500)에 출력한다.

제2 총 테스트부(500)는 게이트 단자끼리 공통하는 홀수측 트랜지스터($Q_{G1}, \dots, Q_{Gm-1}$)와 게이트 단자끼리 공통하는 짝수측 트랜지스터($Q_{G2}, \dots, Q_{Gm}$)로 이루어져, 제2 테스트 신호(401, 403)를 게이트 단자끼리 공통하여 직렬 연결되는 홀수측 트랜지스터($Q_{G1}, \dots, Q_{Gm-1}$)와 게이트 단자끼리 공통하여 직렬 연결되는 짝수측 트랜지스터($Q_{G2}, \dots, Q_{Gm}$)로 이루어져, 게이트 라인 테스트부(400)로부터 출력되는 제2 테스트 신호(401, 403)를 액정 패널의 게이트 라인($G1, G2, \dots, Gm-1, Gm$)에 출력한다.

보다 상세히는, 홀수측 트랜지스터($Q_{G1}, \dots, Q_{Gm-1}$) 각각의 게이트 단자는 SG1 전압원에 공통 연결되고, 소스 단자(또는 드레인 단자)는 게이트 라인 테스트부(400)의 제1 출력단 및 액정 패널의 홀수측 게이트 라인($G1, G3, \dots, G_{m-1}$)에 연결되며, 드레인 단자(또는 소스 단자)의 각각은 GSG1 전압원에 공통 연결된다.

또한, 짝수측 트랜지스터($Q_{G2}, \dots, Q_{Gm}$) 각각의 게이트 단자는 SG2 전압원에 공통 연결되고, 소스 단자(또는 드레인 단자)는 데이터 라인 테스트부(100)의 제2 출력단 및 액정 패널의 짝수측 게이트 라인($G2, G4, \dots, G_n$)에 연결되며, 드레인 단자(또는 소스 단자)의 각각은 GSG2 전압원에 공통 연결된다.

그러면, 상기한 액정 표시 장치를 이용한 전기적 절단 방법에 대해서 설명한다.

먼저, 액정 패널의 제조 공정에서 액정 패널이 제조되면 제일 먼저 비주얼 인스펙션 테스트(Visual Inspection Test) 동작을 수행한다.

즉, 소스측에서는 데이터 라인 테스트부(100)를 사용하여 서로 다른 레벨의 일정 전압을 제1 테스트 신호(101, 103)로서 제1 총 테스트부(200) 및 액정 패널(300)의 데이터 라인에 인가한다. 이때 제1 총 테스트부(200)에 인가되는 SD1, SD2, GSD1, GSD2는 로우 레벨의 전압을 인가하는 것이 바람직한데, 예를 들어 그라운드(GND)나 부극성 전압 또는 게이트 오프 전압(Voff)을 인가할 수 있다.

또한, 게이트측에서는 게이트 라인 테스트부(400)를 이용하여 게이트 온 전압 및 게이트 오프 전압을 제2 총 테스트부(500) 및 액정 패널의 게이트 라인에 인가한다. 이때 제2 총 테스트부(500)에 인가되는 SG1, SG2, GSG1, GSG2는 로우 레벨의 전압을 인가하는 것이 바람직한데, 예를 들어 그라운드(GND)나 부극성 전압 또는 게이트 오프 전압(Voff)을 인가한다.

이처럼, 소스측과 게이트측에 제1 테스트 신호(101, 103) 및 제2 테스트 신호(401, 403)를 인가하므로써 액정 패널의 오픈(Open), 쇼트(Short) 및 기타 불량을 스크린하여 양품의 액정 패널을 확보할 수 있다.

이어, 실질적으로 디스플레이 동작에 이용되는 액정 패널의 액티브 영역과 데이터 라인 테스트부(100), 게이트 라인 테스트부(400)를 분리하는 작업을 실시한 후 얻어진 액정 패널에 데이터 드라이브 IC와 게이트 드라이브 IC를 COG 공정 및 TCP 작업을 수행하여 액정 표시 장치를 얻을 수 있다.

즉, 제1 총 테스트부(200)에 구비되는 트랜지스터들($Q_{D1}, \dots, Q_{Dn}$)과 제2 총 테스트부(500)에 구비되는 트랜지스터들($Q_{G1}, \dots, Q_{Gm}$)을 각각 턴-온시켜 데이터 라인 테스트부(100) 또는 게이트 라인 테스트부(400)로부터 출력되는 전류를 제1 전기적 퓨징 영역(150)이나 제2 전기적 퓨징 영역(450)을 경유하여 각 트랜지스터의 그라운드 라인인 GSD1, GSD2, SG1, SG2를 통하여 전류가 흐른다. 이러한 전류의 흐름으로 인하여 제1 전기적 퓨징 영역(150)이나 제2 전기적 퓨징 영역(450)이 단락되게 되는 것이다.

물론, 상기한 제1 총 테스트부(200)나 제2 총 테스트부(500)에 인가되는 SD1, SD2, GSD1, GSD2, SG1, SG2, GSG1, GSG2는 액정 패널의 크기나 해상도에 따라 복수개로 분리될 수 있으며, 설령 분리되더라도 그 동작은 동일하다.

한편, 제1 전기적 퓨징 영역(150)이 단락이 된 다음에는 제1 총 테스트부(200)에 구비되는 트랜지스터들($Q_{D1}, \dots, Q_{Dn}$)은 하기하는 도 2에서 설명하는 바와 같이, 프리-차징/프리-디스차징에 이용된다.

도 2는 상기한 도 1의 프리차징 동작을 설명하기 위한 도면이다.

도 2를 참조하면, 데이터 드라이버나 게이트 드라이버가 COG 타입으로 실장되는 액정 표시 장치의 구동 구간중 1H의 처음 구간에서 SD1 및 SD2와, GSD1 및 GSD2 전압원 각각은 하이 레벨의 전압을 출력하면, 제1 총 테스트부(200)에 구비되는 트랜지스터들($Q_{D1}, \dots, Q_{Dn}$)은 일종의 캐패시터로서의 동작을 수행하고, 소정 시간 경과후 SD1 및 SD2와, GSD1 및 GSD2 전압원 각각은 로우 레벨의 전압을 출력한다.

이때, SD1 및 SD2 전압원은 하이 레벨의 전압으로 게이트 온(Von) 전압을 이용할 수 있고, 로우 레벨의 전압으로 게이트 오프(Voff) 전압을 이용할 수 있다.

또한, GSD1 및 GSD2 전압원에서 출력되는 하이 레벨의 전압은 데이터 라인에 인가되는 전압의 1/2인 것이 바람직하고, 로우 레벨의 전압은 제로 레벨을 유지하는 것이 바람직하다.

이상에서 설명한 바와 같이, 제1 총 테스트부에 구비되는 각 트랜지스터에 인가되는 전압을 조정하여 데이터 드라이버로부터 제공되는 데이터를 프리-차징/프리-디스차징시켜 액정 패널의 전력 소모 및 충/방전(Charging/Discharging) 시간을 향상시킬 수 있다.

도 3은 본 발명의 다른 실시예에 따른 액정 표시 장치의 성능 향상 방법을 설명하기 위한 도면으로, 특히 저온 폴리실리콘(이하, LTPS) 공정을 사용하는 액정 표시 장치에 적용 가능한 실시예를 설명한다.

도 3을 참조하면, 소스(또는 데이터)측에서 진행되는 일은 상기한 도 1에서 설명한 방법과 동일하므로 그 상세한 설명은 생략한다.

한편, 게이트측에서의 동작 설명은 보통의 LTPS 제품은 게이트 드라이버 회로가 액정 패널에 집적되는 경우가 보통의 일이다. 따라서, 시각적 검사시의 동작 설명은 VGS1, VGS2, VGS3의 전압 레벨을 사용하여 게이트 라인의 온/오프를 조정한다.

물론, 상기한 도 3에서 도시한 제1 전기적 퓨징 영역(150)이 단락이 된 다음에도 상기한 도 1 내지 도 2에서 설명한 바와 같이, 제1 총 테스트부(200)는 데이터 드라이버로부터 출력되는 데이터를 프리-차징/프리-디스차징하는데 이용된다.

그러면, 이에 대한 상세한 설명을 첨부하는 도 4를 참조하여 보다 상세히 설명한다.

도 4는 상기한 도 3의 게이트 드라이버부를 설명하기 위한 도면으로, 특히 일반적인 게이트 드라이버는 로직 입력이 '1'인 데이터 값을 1라인 시간 간격으로 순차 이동하는 양방향 쉬프트 레지스터(Bi-directional shift register)와, 쉬프트 레지스터의 출력 로직 레벨을 게이트 라인의 온/오프 전압으로 변환하는 레벨 쉬프트(Level shifter)와, 게이트 라인의 부하를 감안하여 전류를 증폭하는 커런트 버퍼(Current buffer)로 구성되는데 그에 대한 도시는 생략하고, 단지 본 발명과 연계되는 부분만 도시하여 설명한다.

도 4를 참조하면, 본 발명의 다른 실시예에 따른 게이트 드라이버부(600)는 2개의 낸드 게이트(612, 614)와 2개의 인버터(616, 618)를 각각 구비하는 복수개의 게이트 신호 출력부(610, 620, ..., 6(m-1)0, 6m0)를 포함한다.

보다 상세히는, 홀수측 게이트 신호 출력부(610, ..., 6(m-1)0)에 구비되는 제1 낸드 게이트(612)는 일단을 통해 쉬프트 레지스터(미도시)로부터 입력되는 신호 전압과 타단을 통해 입력되는 제1 게이트 신호 전압(VGS1)을 인가받아 낸드 연산값을 제2 낸드 게이트(614)에 출력한다.

제2 낸드 게이트(614)는 일단을 통해 제1 낸드 게이트로부터 입력되는 낸드 연산값과 타단을 통해 입력되는 제2 게이트 신호 전압(VGS2)을 인가받아 낸드 연산값을 제1 및 제2 인버터(616, 618)를 경유하여 액정 패널의 첫번째 게이트 라인에 제공한다.

한편, 짝수측 게이트 신호 출력부(620, ..., 6m0)에 구비되는 제3 낸드 게이트(622)는 일단을 통해 쉬프트 레지스터(미도시)로부터 입력되는 신호 전압과 타단을 통해 입력되는 제1 게이트 신호 전압(VGS1)을 인가받아 낸드 연산값을 제4 낸드 게이트(624)에 출력한다.

제4 낸드 게이트(624)는 일단을 통해 제3 낸드 게이트(622)로부터 입력되는 낸드 연산값과 타단을 통해 입력되는 제3 게이트 신호 전압(VGS3)을 인가받아 낸드 연산값을 제3 및 제4 인버터(626, 628)를 경유하여 액정 패널의 두번째 게이트 라인에 제공한다.

이상에서는 게이트 드라이버에 구비되는 첫번째 게이트 신호 출력부와 두번째 게이트 신호 출력부만을 설명하였으나, 각각 세번째나 네번째에 대해서도 동일한 방법으로 게이트 신호를 액정 패널의 게이트 라인에 출력할 수 있을 것이며, 이에 대해 정규화한 테이블을 하기하는 표 1에 도시한다.

[표 1]

VGS1	VGS2	VGS3	
L	L	H	홀수측 게이트 'H', 짝수측 게이트 'L'
L	H	L	홀수측 게이트 'L', 짝수측 게이트 'H'
X	L	L	모든 게이트 'H'
H	H	H	액정 패널 동작시

상기한 표 1에 따르면, 게이트 드라이버에 인가되는 제1 내지 제3 게이트 신호 전압(VGS1, VGS2, VGS3)을 조정함으로써, 액정 패널에 구비되는 게이트 라인들의 온/오프를 조절할 수 있고, 이러한 조절을 통해 액정 패널의 정상 동작 여부를 확인할 수 있다.

한편, 이상의 실시예에서는 홀수측 게이트 신호 출력부와 짝수측 게이트 신호 출력부의 구현을 복수의 낸드 게이트(NAND)와 복수의 인버터(INVERTER)를 통해 설명하였으나, 복수의 노어 게이트(NOR)와 복수의 인버터(INVERTER)를 통해서도 구현될 수 있음은 자명하다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따라 액정 패널의 제조 공정에서 해당 패널의 불량 여부를 시각적으로 체크하는데 소요되는 시간 및 노력을 절감할 수 있다.

또한, 양품으로 판정되어 전기적 절단 방법을 통해 액티브 영역을 갖는 액정 패널을 양산할 때, 절단된 액정 패널의 상측에 배치되는 데이터 라인의 인접 부분에 제1 총 테스트 영역을 제거하지 않고 그대로 남겨둠으로써 데이터 라인에 인가되는 데이터 전압을 프리-차징/프리-디스차징시키는데 이용함으로써 액정 표시 장치의 저전력을 실현할 수 있다.

(57) 청구의 범위

청구항 1.

일정 레벨의 2개 이상의 서로 다른 제1 테스트 신호 각각 출력하는 데이터 라인 테스트부;

제1단이 공통 직렬 연결된 홀수측 스위칭 소자와 짝수측 스위칭 소자를 복수개 구비하고, 상기 각 스위칭 소자의 제2단을 통해 상기 제1 테스트 신호를 제3단을 통해 출력하는 제1 총 테스트부; 및

상기 제1 테스트 신호를 전달하는 다수의 데이터 라인과, 제2 테스트 신호를 전달하는 다수의 게이트 라인과, 상기 게이트 라인 및 데이터 라인에 의해 둘러싸인 일정 영역에 형성되며 상기 게이트 라인 및 데이터 라인에 각각 연결되어 상기 제2 테스트 신호에 응답하여 상기 제1 테스트 신호에 대응하는 화상 출력을 제어하는 스위칭 소자를 가지는 행렬 형태로 배열된 다수의 화소를 구비하여 이루어지는 액정 패널을 포함하여 이루어지고,

상기 제1 테스트 신호와 상기 제2 테스트 신호의 인가를 통해 상기 화소의 정상 동작 여부를 체크하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 2.

제1항에 있어서, 상기 제1 총 테스트부는 상기 액정 표시 장치의 구동시, 화상 표시를 위한 데이터의 프리-차징 또는 프리-디스차징 중 어느 하나에 이용되는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 3.

제1항에 있어서, 상기 액정 표시 장치는,

상기 데이터 라인 테스트부와 상기 제1 총 테스트부와 사이에 배치되어, 상기 제1 총 테스트부의 동작 제어에 의해 절단되는 제1 전기적 퓨징 영역을 더 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 4.

제1항에 있어서, 상기 액정 표시 장치는,

일정 레벨의 게이트 온/오프 신호를 출력하는 게이트 라인 테스트부; 및

제1단이 공통 직렬 연결된 홀수측 스위칭 소자와 짝수측 스위칭 소자를 복수개 구비하고, 상기 각 스위칭 소자의 제2단을 통해 상기 게이트 온/오프 신호를 제3단을 통해 상기 액정 패널의 해당 게이트 라인에 출력하는 제2 총 테스트부를 더 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 5.

제4항에 있어서,

상기 게이트 라인 테스트부와 상기 제2 총 테스트부와 사이에 배치되어, 상기 제2 총 테스트부의 동작 제어에 의해 절단되는 제2 전기적 퓨징 영역을 더 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 6.

제1항에 있어서, 상기 액정 표시 장치는,

상기 게이트 온/오프 신호 각각을 상기 게이트 라인의 각각에 순차 출력하는 게이트 드라이버를 더 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 7.

제6항에 있어서, 상기 게이트 드라이버는,

내부의 쉬프트 레지스터로부터 입력되는 신호와 제1 및 제2 게이트 신호를 근거로 홀수측 게이트 온/오프 신호를 해당 게이트 라인에 순차 출력하는 홀수측 게이트 신호 출력부; 및

내부의 쉬프트 레지스터로부터 입력되는 신호와 제1 및 제3 게이트 신호를 근거로 짝수측 게이트 온/오프 신호를 해당 게이트 라인에 순차 출력하는 짝수측 게이트 신호 출력부를 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 8.

제7항에 있어서, 상기 홀수측 게이트 신호 출력부는,

일단을 통해 내부의 쉬프트 레지스터로부터 입력되는 신호와 타단을 통해 입력되는 제1 게이트 신호를 인가받아 낸드 연산하는 제1 낸드 게이트;

일단을 통해 상기 제1 낸드 게이트로부터 입력되는 낸드 연산값과 타단을 통해 입력되는 제2 게이트 신호를 낸드 연산하여 생성한 게이트 온/오프 신호를 상기 액정 패널의 홀수측 게이트 라인에 출력하는 제2 낸드 게이트를 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 9.

제8항에 있어서, 상기 홀수측 게이트 신호 출력부는,

상기 게이트 온/오프 신호를 소정 시간 지연하기 위한 복수의 아날로그 버퍼를 더 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 10.

제7항에 있어서, 상기 짝수측 게이트 신호 출력부는,

일단을 통해 쉬프트 레지스터로부터 입력되는 신호와 타단을 통해 입력되는 제1 게이트 신호를 인가받아 낸드 연산하는 제3 낸드 게이트;

일단을 통해 상기 제3 낸드 게이트로부터 입력되는 낸드 연산값과 타단을 통해 입력되는 제3 게이트 신호를 낸드 연산하여 생성한 게이트 온/오프 신호를 상기 액정 패널의 짝수측 게이트 라인에 출력하는 제4 낸드 게이트를 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 11.

제10항에 있어서, 상기 짝수측 게이트 신호 출력부는,

상기 게이트 온/오프 신호를 소정 시간 지연하기 위한 복수의 아날로그 버퍼를 더 포함하는 것을 특징으로 하는 전기적 절단을 위한 액정 표시 장치.

청구항 12.

다수의 게이트 라인과, 상기 게이트 라인과 절연되어 교차하는 다수의 데이터 라인과, 상기 게이트 라인 및 데이터 라인에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트 라인 및 데이터 라인에 연결되어 있는 스위칭 소자를 가지는 행렬 형태로 배열된 다수의 화소를 구비하는 액정 패널을 포함하는 액정 표시 장치의 제조 방법에 있어서,

(a) 상기 액정 패널의 제조가 완료됨에 따라, 소정의 데이터 라인 테스트부를 이용하여 일정 레벨의 2개 이상의 서로 다른 제1 테스트 신호를 상기 데이터 라인 각각에 인가하는 단계;

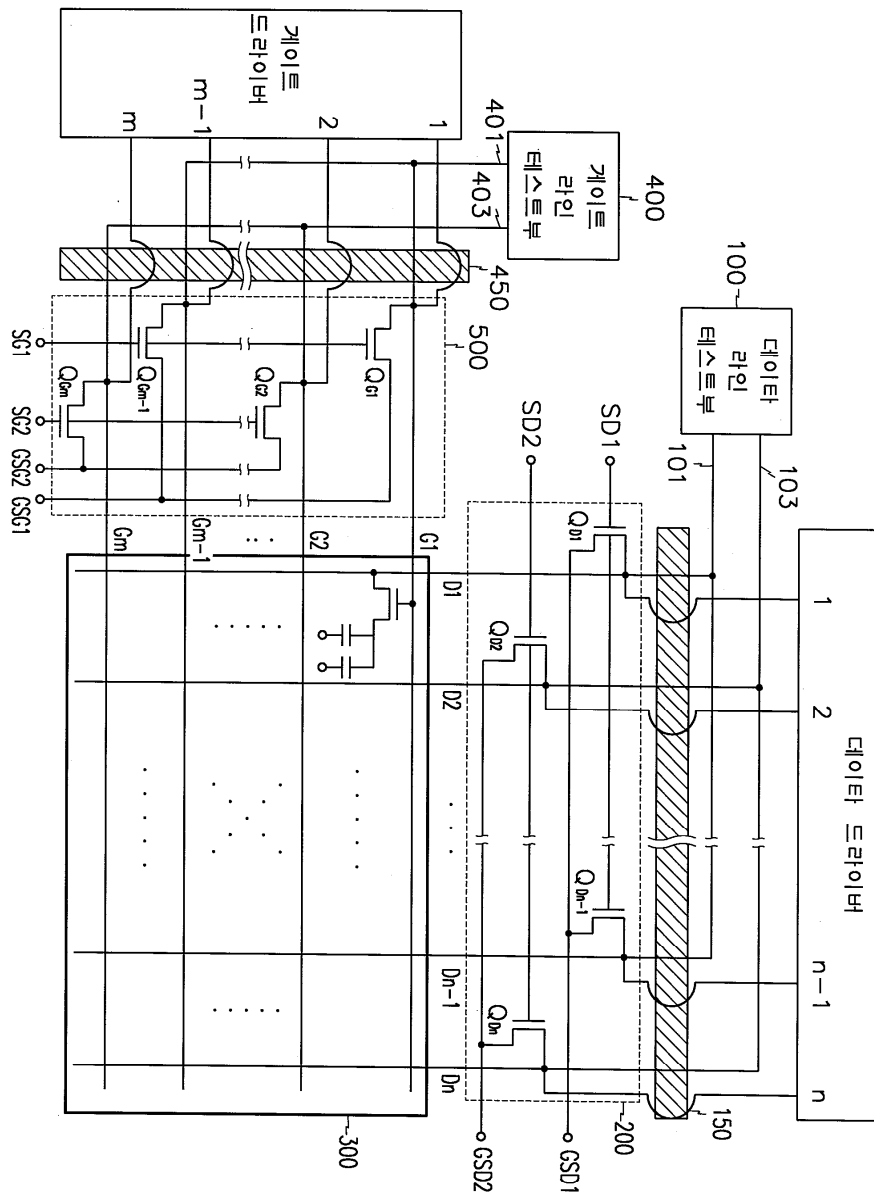
(b) 소정의 게이트 라인 테스트부를 이용하여 게이트 온/오프 신호를 상기 게이트 라인에 인가하여 상기 액정 패널의 불량 여부를 체크하는 단계; 및

(c) 상기 단계(b)에서 상기 액정 패널이 양품이라 판별되는 경우에는 전기적 퓨징 동작을 통해 상기 액정 패널의 활성 영역과 상기 데이터 라인 테스트부와 상기 게이트 라인 테스트부를 분리하는 단계

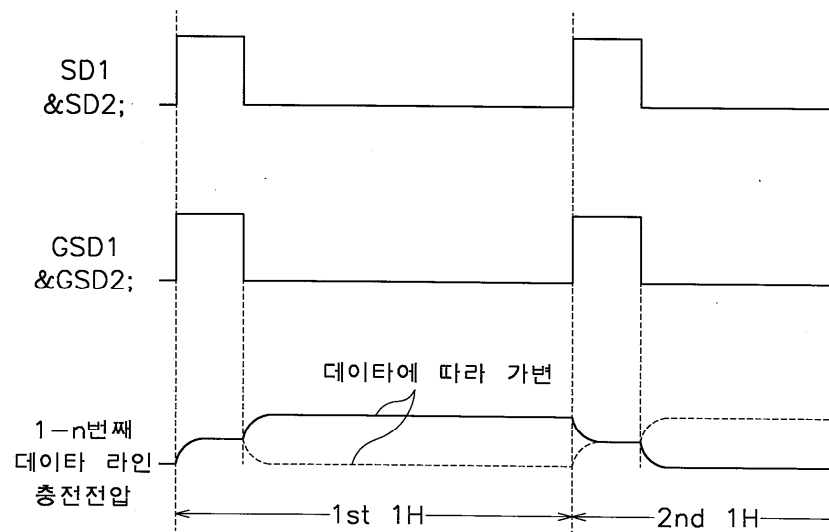
을 포함하는 액정 표시 장치의 제조 방법.

도면

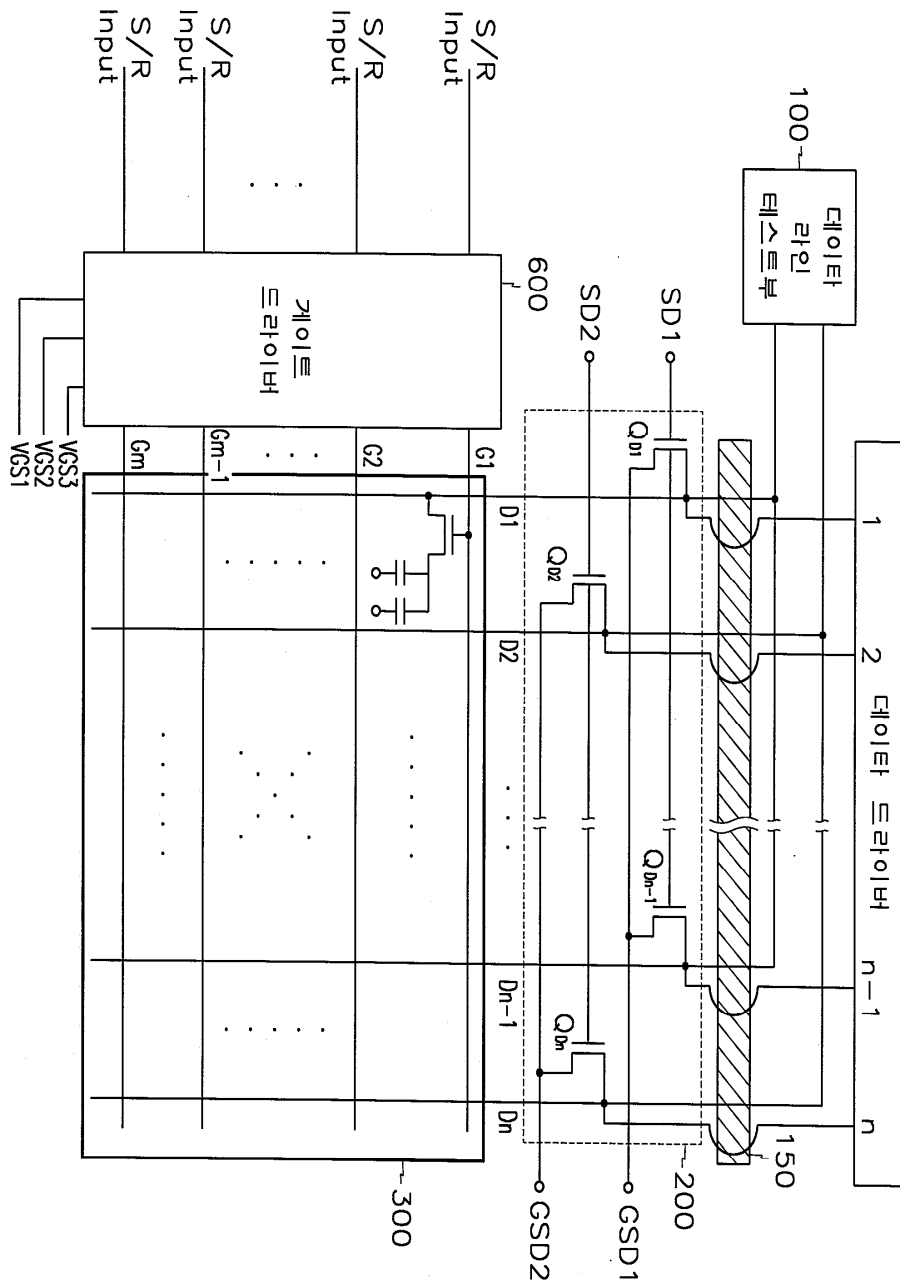
도면1



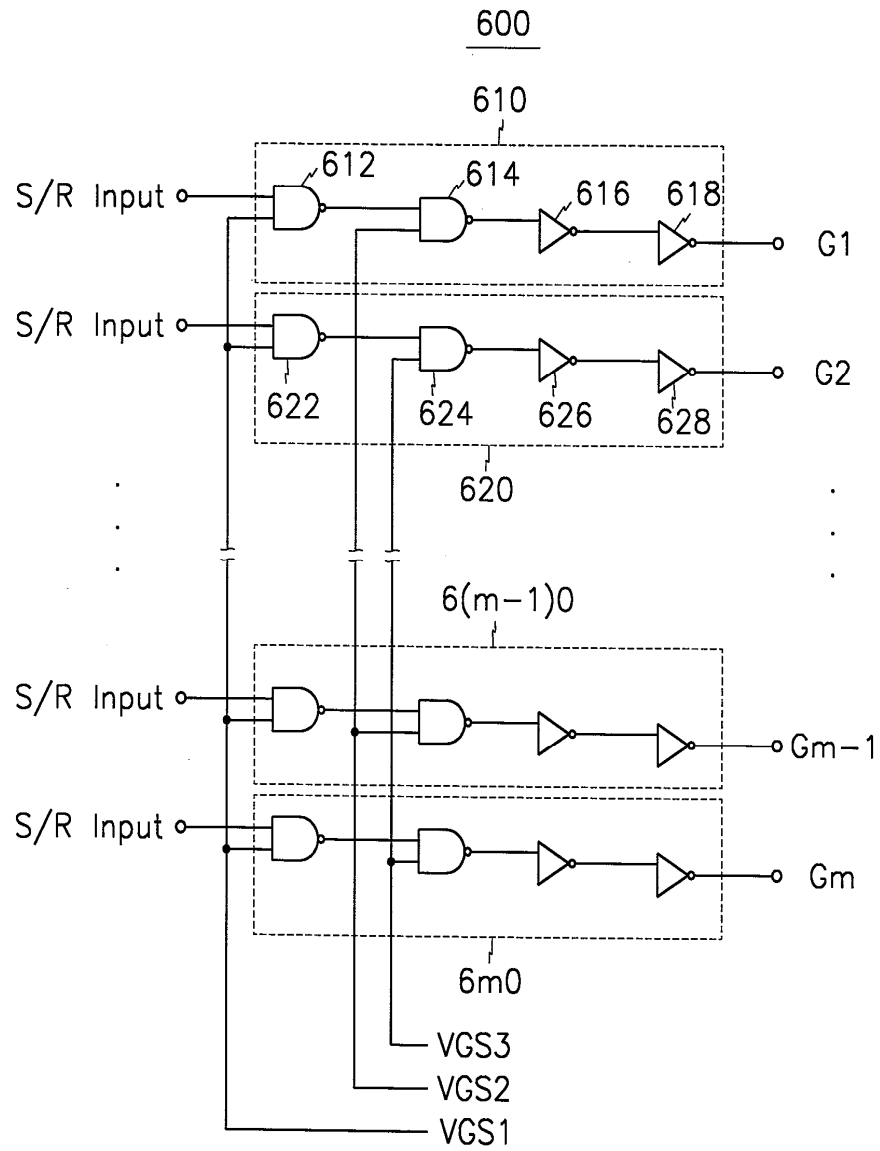
도면2



도면3



도면4



专利名称(译)	用于电切割的液晶显示装置及其制造方法		
公开(公告)号	KR1020030037893A	公开(公告)日	2003-05-16
申请号	KR1020010069139	申请日	2001-11-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE HYEONG GON		
发明人	LEE, HYEONG, GON		
IPC分类号	G02F1/13		
其他公开文献	KR100783706B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种用于电切割的液晶显示装置及其制造方法。根据本发明，数据线测试部分输出一定水平的两个或多个不同的第一测试信号中的每一个，并且用于预充电/预充电的第一总测试部分侧开关元件和偶数侧开关元件，并且通过第三级通过每个开关元件的第二级输出第一测试信号。液晶面板还包括以矩阵形式排列的多个像素，其具有用于响应于第二测试信号控制对应于第一测试信号的图像输出的开关元件，并通过应用信号在视觉上检查像素是否正常操作。结果，可以容易地目视检查液晶面板的工艺缺陷，并且通过电学方法切割制造的液晶面板，不仅可以切割液晶面板的有源区域，当源极线被驱动时，可以通过预充电/预放电数据信号来实现电源。1 指数方面 液晶，切割，电力，保险丝，检查，坏，面板，预充电

