

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G02F 1/133

(11) 공개번호 특2002 - 0083924
(43) 공개일자 2002년11월04일

(21) 출원번호 10 - 2002 - 0022665
(22) 출원일자 2002년04월25일

(30) 우선권주장 JP - P - 2001 - 00128620 2001년04월26일 일본(JP)

(71) 출원인 가부시킴가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쵸메 6반치
히다치디바이스 엔지니어링가부시킴가이샤
일본국 지바켄 모바라시 하야노 3681

(72) 발명자 사이또우가즈나리
일본지바켄모바라시도우부다이2 - 23 - 4
이또우시게루
일본지바켄모바라시시모나가요시701
오데유끼히데
일본지바켄모바라시가미나가요시220 - 22
나까야스요우조우
일본지바켄모바라시오시비1215 - 216
야스까와신지
일본지바켄쵸세이군시라코마찌나까자또4835 - 5

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 액정 표시 장치

요약

저소비 전력의 구동 회로를 표시부와 동일 기판 상에 탑재한 액정 표시 장치를 실현한다.

화소에 계조 전압을 공급하는 구동 회로를 액정 표시 패널 상에 탑재하고, 구동 회로 간은 액정 표시 패널 상에 형성된 배선에 의해 표시 데이터를 전송하며, 구동 회로 내는 내부 데이터 버스 라인에 의해 표시 데이터를 전송하고, 저소비 전력화를 위해 표시 데이터의 값을 반전하는 데이터 반전 연산을 구동 회로 내부에서 행한다.

대표도

도 10

색인어

액정 표시 패널, 구동 회로, 입력 회로, 데이터 래치 회로, 데이터 버스 라인

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예인 액정 표시 장치의 개략적인 구성을 나타내는 블록도.
 도 2는 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 3은 본 발명의 실시예인 액정 표시 장치의 개략적인 구성을 나타내는 블록도.
 도 4는 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 5는 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 6은 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 7은 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 8은 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 9는 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 10은 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 11은 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.
 도 12는 본 발명의 실시예인 액정 표시 장치의 소스 드라이버의 개략적인 블록도.

< 도면의 주요 부분에 대한 부호의 설명 >

- 1 : 액정 표시 패널
- 2 : 표시부
- 3 : 컨트롤러
- 4 : 전원 회로
- 5 : 데이터 버스 라인
- 6 : 소스 드라이버
- 7 : 게이트 드라이버
- 8 : 영상 신호선

- 9 : 게이트 신호선
- 10 : 박막 트랜지스터
- 11 : 화소부
- 12 : FPC
- 13 : 입력 단자
- 14 : 출력 단자
- 15 : 계조 전압선
- 20 : 입력 래치 회로
- 21 : 내부 데이터 버스 라인
- 22 : 시프트 레지스터 회로
- 23 : 클럭 컨트롤러
- 24 : 데이터 래치 회로
- 25 : 라인 래치 회로
- 26 : 디코더 회로
- 27 : 출력 증폭기 회로
- 28 : 데이터 반전 신호선
- 30 : 출력 래치 회로
- 31 : 스탠바이 회로
- 32 : 데이터 반전 연산 회로
- 33 : 전송용 데이터 버스 라인
- 34 : 배타적 논리합 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정 표시 장치에 관한 것으로, 특히 플립 칩 방식으로 실장된 드라이버 IC에 구동 신호를 공급하기 위한 배선 구성을 최적화하고, 신규한 신호 전송 방식을 채용하여 전력 절약화를 도모한 액정 표시 장치에 관한 것이다.

STN(Super Twisted Nematic) 방식, 혹은 TFT(Thin Film Transistor) 방식의 액정 표시 장치는, 노트북 컴퓨터 등의 표시 장치로서 널리 사용되고 있다. 이들 액정 표시 장치는, 액정 표시 패널과, 액정 표시 패널을 구동하는 구동 회로를 구비하고 있다.

그리고, 이러한 액정 표시 장치에서, 예를 들면, USP5739887호(특개평08 - 122806호) 공보에 기재된 바와 같이, 액정 표시 패널을 형성하는 투명 절연 기판 상에, 실리콘 칩을 탑재한 소위 플립 칩 방식(FCA)이 알려져 있다. 실리콘 칩에는 접속 단자(범프)가 형성되어, 투명 절연 기판 상의 전극과 전기적으로 접속된다. 또한, 실리콘 칩에는 구동 회로가 형성되어 있고, 투명 절연 기판 상의 전극으로부터 제어 신호, 전원 전압 등이 입력되어, 투명 절연 기판 상의 전극에 액정 표시 패널을 구동하는 신호를 출력한다.

특개평6 - 13724호 공보에는, 실리콘 칩 상호간의 접속에 액정 표시 패널의 기판 상에 형성된 배선을 이용하는 것(순차 직렬 공급 방식, 버킷 릴레이 방식)이 제안되어 있다(이하, 데이터 전송 방식이라고 함).

발명이 이루고자 하는 기술적 과제

실리콘 칩 상호간의 배선에 의해 전송되는 신호 중 하나로서 표시 데이터가 있다. 표시 데이터는 액정 표시 패널에 화상을 표시하기 위한 데이터로, 구동 회로에 디지털 신호로서 전송된다. 액정 표시 장치의 게조가 증가하면, 표시 데이터의 비트 수도 증가하여 배선 수도 증가한다. 투명 절연 기판 상에 형성된 배선은 배선 저항과 기생 용량을 갖고 있어, 그 때문에 표시 데이터가 빈번하게 변화되면 소비 전력이 증가되는 문제가 발생한다. 또한, 실리콘 칩 내의 배선에 의한 소비 전력도 무시할 수 없게 된다. 특히 게조 수가 증가하여 배선 수가 증가되면 그에 따라 소비 전력이 증가되어 문제점이 현저해진다.

본 발명은 상기 종래 기술의 문제점을 해결하기 위해 이루어진 것으로, 액정 표시 장치에서, 구동 회로 간의 배선에 의해 소비되는 전력이 감소하는 기술을 제공한다.

본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면에 의해 명백해질 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 하기와 같다.

즉, 본 발명은, 액정 표시 장치에서, 액정 표시 패널과 해당 액정 표시 패널에 구동 신호를 공급하는 구동 회로를 갖고, 구동 회로는 액정 표시 패널에 탑재되며, 구동 회로 간의 신호 전송은 액정 표시 패널 상에 형성된 배선을 이용하는 데이터 전송 방식에 대응하고, 구동 회로 내부의 데이터 버스 라인을 내부 회로용과 다음 단의 드라이버로의 전송용 버스로 분리하는 데이터 버스 라인의 구성을 취하며, 데이터 버스의 분리는 입력 래치 회로부 이후에 행하고, 내부 데이터 버스 라인에 스탠바이 기능을 갖는 회로를 추가함으로써 내부 회로용 데이터 버스 라인의 상태 변화를 적게 한다.

또한 본 발명은, 액정 표시 장치에서, 액정 표시 패널과 해당 액정 표시 패널에 구동 신호를 공급하는 구동 회로를 갖고, 구동 회로는 액정 표시 패널에 탑재되며, 구동 회로 간의 신호 전송은 액정 표시 패널 상에 형성된 배선을 이용하는 데이터 전송 방식에 대응하고, 구동 회로 내부의 데이터 버스 라인을 이용하여 표시 데이터를 전송하는 구성을 취하며, 데이터 버스 라인의 상태 변화를 적게 하도록, 표시 데이터를 반전하는 반전 연산 회로를 데이터 버스 라인 이후의 배선에 설치한다.

상기 구성에 의해 액정 표시 장치의 저소비 전력을 실현한다.

< 실시예 >

이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

또한, 실시예를 설명하기 위한 모든 도면에 있어서, 동일 기능을 갖는 것은 동일 부호를 붙이고, 그 반복되는 설명은 생략한다.

도 1은 본 발명의 실시예의 액정 표시 장치의 개략적인 구성을 나타내는 블록도이다.

참조 부호(1)는 액정 표시 패널, 참조 부호(2)는 표시부이다. 표시부(2)에 표시 데이터에 따라 상이 표시된다.

참조 부호(3)는 컨트롤러이다. 컨트롤러(3)에는 외부(컴퓨터 등)로부터 표시 데이터, 제어 신호 등이 입력된다. 컨트롤러(3)는 외부로부터 표시 데이터, 제어 신호 등을 받아, 액정 표시 패널(1)에 표시 데이터, 각종 클럭 신호, 각종 제어 신호를 공급한다. 참조 부호(4)는 전원 회로이다. 전원 회로(4)는 액정 표시 패널(1)을 구동하기 위한 각종 구동 전압을 발생한다.

컨트롤러(3)에는 데이터 버스 라인(5)이 접속되어 있다. 컨트롤러(3)는 데이터 버스 라인(5)으로 표시 데이터를 출력한다. 또한 컨트롤러(3)는, 외부로부터 입력된 제어 신호를 변환하여 액정 표시 패널(1)을 제어하는 신호를 출력한다. 컨트롤러(3)가 출력하는 제어 신호로서는, 소스 드라이버(6)가 표시 데이터를 캡처하기 위한 클럭 신호, 소스 드라이버(6)로부터 액정 표시 패널로의 출력을 전환하기 위한 클럭 신호, 게이트 드라이버(7)를 구동하는 프레임 개시 지시 신호와 순차 주사 신호를 출력하기 위한 게이트 클럭 신호 등의 타이밍 신호가 있다.

또한, 전원 회로(4)는 양극 계조 전압과 음극 계조 전압, 대향 전극 전압, 주사 신호 전압 등을 발생시켜 출력한다.

컨트롤러(3)가 출력한 표시 데이터는, 데이터 버스 라인(5)을 통해 소스 드라이버(6)로 전송된다. 표시 데이터는 디지털 데이터로, 전송하는 데이터량에 따라 데이터 버스 라인(5)의 개수가 정해진다. 예를 들면 6비트의 데이터인 경우에는 데이터 버스 라인은 6개가 된다. 또한, 액정 표시 패널(1)은, 컬러 표시를 행하기 위해, 적(R), 녹(G), 청(B)의 화소를 갖고 있고, 적(R), 녹(G), 청(B)의 각 표시 데이터가 1조(組)로서 전송된다. 그 때문에, 적(R), 녹(G), 청(B)의 각 표시 데이터를 1조로 하여 전송하는 경우에는, 합계 18개의 데이터 버스 라인이 이용된다.

컨트롤러(3)는 데이터 버스 라인(5)으로 단위 시간당 1화소분의 데이터를 출력한다. 또한 데이터 버스 라인(5) 상에 순서대로 표시 데이터를 출력한다. 소스 드라이버(6)는 순서대로 출력되는 표시 데이터 중에서 표시해야 할 데이터를 캡처한다. 소스 드라이버(6)가 표시 데이터를 캡처하는 타이밍은 클럭 신호에 따른다. 또한, 컨트롤러(3)로부터 데이터 버스 라인(5)으로 표시 데이터를 출력하여 소스 드라이버에 데이터를 캡처하는 방법에 대해서는 후술한다.

표시부(2)의 주변을 따라, 가로 방향(X 방향)으로 소스 드라이버(6; 구동 회로)가 배치된다. 이 소스 드라이버(6)의 출력 단자는 액정 표시 패널(1)의 영상 신호선(8)에 접속되어 있다. 영상 신호선(8)은 도면에서 Y 방향으로 연장되어, 박막 트랜지스터(10)의 드레인 전극에 접속되어 있다. 또한, 영상 신호선(8)은 도면에서 X 방향으로 복수개 병렬로 배치되어 있다. 소스 드라이버(6)는, 데이터 버스 라인(5)으로부터 표시 데이터를 캡처하고, 표시 데이터에 따라 계조 전압을 영상 신호선(8)으로 출력한다. 영상 신호선(8)에 의해 액정을 구동하기 위한 전압(계조 전압)이 박막 트랜지스터(10)에 공급된다.

또한, 소스, 드레인의 호칭 방법은, 바이어스의 관계에 따라 반대로 되는 경우도 있지만, 여기서는, 영상 신호선(8)에 접속되는 쪽을 드레인으로 부른다.

표시부(2) 주변을 따라 세로 방향으로, 게이트 드라이버(주사 회로; 7)가 배치된다. 게이트 드라이버(7)의 출력 단자는 액정 표시 패널(1)의 주사 신호선(9)에 접속되어 있다. 주사 신호선(9)은 도면에서 X 방향으로 연장되어, 박막 트랜지스터(10)의 게이트 전극에 접속되어 있다. 또한, 주사 신호선(9)은 도면에서 Y 방향으로 복수개 병렬로 배치된다. 게이트 드라이버(7)는 컨트롤러(3)로부터 송신되어 오는 프레임 개시 지시 신호 및 시프트 클럭에 기초하여, 1수평 주사기간마다, 순차적으로, 주사 신호선(9)에 하이 레벨의 주사 전압을 공급한다. 박막 트랜지스터(10)는 게이트 전극에 인가된 주사 전압에 의해 온과 오프가 제어된다.

액정 표시 패널(1)의 표시부(2)는, 매트릭스 형상으로 배치되는 화소부(11)를 갖고 있다. 단, 도 1에서는 도면을 간략화하기 위해 하나의 화소부(11)만을 나타내고 있다. 각 화소부(11)는 박막 트랜지스터(10)와 화소 전극을 갖고 있다. 각 화소부(11)는 인접하는 2개의 영상 신호선(8)과, 인접하는 2개의 주사 신호선(9)과의 교차 영역(4개의 신호선으로 둘러싸인 영역)에 배치된다.

상술한 바와 같이, 주사 신호선(9)에는 게이트 드라이버(7)로부터 주사 신호가 출력된다. 이 주사 신호에 의해 박막 트랜지스터(10)가 온·오프한다. 영상 신호선(8)에는 계조 전압이 공급되고, 박막 트랜지스터(10)가 온으로 되면, 영상 신호선(8)으로부터 화소 전극에 계조 전압이 공급된다. 화소 전극에 대향하도록 대향 전극(공통 전극)이 배치되고, 화소 전극과 대향 전극 사이에는 액정층(도시 생략)이 형성된다. 또한, 도 1에 도시한 회로도 상에서는 화소 전극과 대향 전극 사이는 등가적으로 액정 용량이 접속되어 있는 것처럼 표시하였다.

화소 전극과 대향 전극 사이에 전압을 인가함으로써 액정층의 배향이 변화된다. 액정 표시 패널에서는 액정층의 배향 변화에 의해 광의 투과율이 변화되는 것을 이용하여 표시가 행해진다. 액정 표시 패널(1)이 표시하는 화상은 화소로 구성된다. 화상을 구성하는 각 화소의 계조는, 화소 전극에 공급되는 전압에 따른다. 소스 드라이버(6)는 표시하는 계조를 표시 데이터로 받아 대응하는 계조 전압을 출력한다. 그 때문에, 액정 표시 패널(1)이 표시하는 계조 수의 증가에 따라, 표시 데이터의 데이터량이나 데이터 버스 라인(5)의 개수도 증가된다.

직류 전압을 액정에 장시간 인가하면 액정이 열화되는 것이 알려져 있다. 액정의 열화를 방지하기 위해 액정층에 인가하는 전압의 극성을 주기적으로 반전시키는 교류화 구동이 행해지고 있다. 교류화 구동에서는 대향 전극에 대하여, 화소 전극에 양극성, 음극성의 신호 전압이 인가된다. 그 때문에, 전원 회로(4)는 양극 계조 전압 생성 회로와 음극 계조 전압 생성 회로를 갖고 있다. 소스 드라이버(6)는 교류화 신호에 따라, 동일한 표시 데이터라도 양극성, 음극성의 계조 전압을 선택한다.

도 2는 소스 드라이버(6) 내부의 개략적인 블록도를 나타낸다. 컨트롤러(3)로부터 출력된 표시 데이터는 데이터 버스 라인(5)을 거쳐 입력 래치 회로(20)에 입력된다. 입력 래치 회로(20)에는 내부 데이터 버스 라인(21)이 접속되어 있다. 입력 래치 회로(20)에서는 클럭 컨트롤러(23)가 출력하는 클럭 신호에 표시 데이터를 동기시켜, 그 동기화된 표시 데이터를 내부 데이터 버스 라인으로 출력한다. 시프트 레지스터 회로(22)에도 클럭 컨트롤러(23)로부터 클럭 신호가 입력되며, 클럭 신호에 따라 순차적으로 타이밍 신호가 출력된다.

데이터 래치 회로(24)는 타이밍 신호가 입력되면 내부 데이터 버스 라인(21) 상의 표시 데이터를 캡처한다. 모든 데이터 래치 회로(24)에 표시 데이터가 캡처된 상태에서, 데이터 래치 회로(24)의 표시 데이터가 라인 래치 회로(25)에 캡처된다. 라인 래치 회로(25)는 디코더 회로(26)로 표시 데이터를 출력하고, 디코더 회로(26)에서는 표시 데이터에 따른 계조 전압이 선택되어 출력 증폭기 회로(27)에 입력된다. 또한, 출력 증폭기 회로(27)에서는 계조 전압을 전류 증폭하여 액정 표시 패널(1)로 출력한다. 계조 전압은 계조 전압선(15)에 의해 디코더 회로(26)에 공급된다. 또한, 도 2에서는 각 회로로의 전원 전압을 공급하는 배선에 대해서는 생략하였지만, 각각의 회로에는 필요한 전압이 공급된다.

컨트롤러(3)로부터 출력된 표시 데이터는, 데이터 버스 라인(5)을 거쳐 소스 드라이버(6)에 입력되지만, 데이터 버스 라인(5)의 개수가 증가된 경우에는, 데이터 버스 라인(5)에서 소비되는 전력도 무시할 수 없게 된다. 즉, 데이터 버스 라인(5)은 용량 성분과 저항 성분을 갖고 있으며, 데이터 값이 변화된 경우에, 배선 부하로의 충방전이 발생하여 전력이 소비된다.

데이터 버스 라인(5)에서의 전력 소비를 억제하기 위해, 표시 데이터 값을 가능한 한 변화시키지 않고, 표시 데이터를 전송하는 방법이 생각되고 있다. 참조 부호(28)는 데이터 반전 신호선이다. 데이터 반전 신호선(28)은 입력 래치 회로(20)에 접속되어 있다. 데이터 반전 신호는 입력 데이터 회로에 입력된 표시 데이터 값을 반전하여 출력할지, 반전하지 않고서 출력할지를 제어한다. 표시 데이터는 디지털 신호이기 때문에, 데이터 버스 라인(5) 상의 신호 값은 1(하이 레벨)이나 0(로우 레벨)이다. 즉, 데이터 반전 신호에 의해 표시 데이터 값을 반전한다고 하는 것은, 입력 래치 회로(20)에 입력된 표시 데이터 값이 1인 경우에 0을 출력하고, 입력이 0인 경우에는 1을 출력하는 것이다.

표 1은, 데이터 반전 신호가 1일 때에 표시 데이터를 반전한 경우에서의 데이터 버스 라인 상의 표시 데이터 값과 데이터 반전 신호와의 관계를 나타낸다. 표 1에 도시한 바와 같이, 표시 데이터와 데이터 반전 신호와의 연산은 배타적 논리합으로 된다.

이하 데이터 반전 신호를 이용하는 방법에 대해 설명한다. 우선, 가장 효과적인 경우로서, 데이터 버스 라인(5) 상의 제1 표시 데이터가 (000000)이고, 제2 표시 데이터가 (111111)인 경우를 생각한다. 데이터 반전 신호를 이용하지 않으면, 제1 표시 데이터로서 데이터 버스 라인에 (000000)의 값을 출력한 상태에서, 다음의 표시 데이터로서 제2 표시 데이터 (111111)이 컨트롤러(3)로부터 출력된다. 이 경우, 데이터 버스 라인 상의 모든 값이 0으로부터 1로 변화된다.

이에 반하여 데이터 반전 신호를 이용하는 경우에는, 제2 표시 데이터로서 컨트롤러(3)로부터는 데이터 버스 라인(5) 상에 (000000)을 출력한다. 이 경우, 데이터 버스 라인 상의 값은 0 그대로 상태의 변화는 없다. 데이터 반전 신호에 의해 입력 래치 회로(20)에서 표시 데이터 값을 반전시키면, 입력 래치 회로(20)로부터는 제2 표시 데이터 (111111)이 출력된다. 이와 같이, 데이터 반전 신호를 이용함으로써, 데이터 버스 라인(5) 상의 표시 데이터의 값을 가능한 한 변화시키지 않고 표시 데이터를 전송할 수 있다.

[표 1]

입력		출력
표시 데이터 신호	데이터 반전 신호	
0	0	0
0	1	1
11	01	10

계속해서 소비 전력에 대하여 표시 데이터가 (000000)이고, 다음의 표시 데이터가 (111111)인 경우를 이용하여 설명한다. 데이터 버스 라인(5) 상의 표시 데이터가 (000000)으로부터 (111111)로 변화되면, 6개의 데이터 버스 라인의 값이 0으로부터 1로 변화된다. 이 때문에, 6개의 데이터 버스 라인 모두를 하이 레벨로 충전해야만 한다. 이에 반하여 데이터 버스 라인의 표시 데이터가 (000000)인 상태에서, 데이터 반전 신호를 이용하여 입력 래치 회로(20)의 출력을 (111111)로 하면, 데이터 버스 라인(5)의 표시 데이터는 변화되지 않기 때문에, 데이터 버스 라인(5)의 충전전은 행해지지 않는다. 그 결과, 데이터 버스 라인(5)을 충전하는 전력을 감소시킬 수 있다. 단, 이 경우에는 6개의 내부 데이터 버스 라인(21)의 값은 (000000)으로부터 (111111)로 변화되기 때문에, 내부 데이터 버스 라인(21)의 충전전은 고려되어 있지 않다.

다른 예로서, 표시 데이터가 (010101)이고, 다음의 표시 데이터가 (111000)으로 되는 경우에 대해 설명한다. 이 경우, 상태가 변화되는 데이터 버스 라인(5)의 개수는 4개로 되며, 상태가 변화되는 데이터 버스 라인(5)의 개수는 상태가 변화되지 않는 개수보다 많다. 그 때문에, 이 경우에는 컨트롤러(3)로부터 데이터 버스 라인(5)으로 (000111)를 출력하고, 데이터 반전 신호를 이용하여 입력 래치 회로(20)로부터 (111000)을 출력하도록 한다. 데이터 버스 라인(5) 상에서는, 표시 데이터가 (010101)로부터 (000111)로 변화되고, 상태가 변화되는 데이터 버스 라인(5)의 개수는 2개로 된다. 상태가 변화되는 데이터 버스 라인의 개수는 4개에서 2개로 절반으로 되므로, 저소비 전력화를 실현할 수 있다.

상술한 예로 설명한 바와 같이, 데이터 버스 라인(5)에서 상태가 변화되는 배선의 개수가, 전체 데이터 버스 라인의 반수 이상이면, 컨트롤러(3)에서는 데이터 버스 라인(5)으로 표시 데이터의 각 비트 값을 반전한 신호를 출력하고, 데이터 버스 라인(5)으로부터 입력 래치 회로(20)로 입력하는 신호를 데이터 반전 신호에 의해 반전하여 출력한 쪽이 저소비 전력으로 된다.

이에 반하여 데이터 버스 라인(5)에서 상태가 변화되는 개수가, 전체 데이터 버스 라인의 반수 이하인 경우에는, 컨트롤러(3)에서는 데이터 버스 라인(5)으로 표시 데이터를 출력하고, 입력 래치 회로(20)에서도, 데이터 버스 라인(5)으로부터 입력된 신호를 출력한다.

다음으로 도 3은 소스 드라이버(6) 내의 배선을 이용하여 표시 데이터를 전송하는 경우의 개략적인 블록도를 나타낸다. 우선, 컨트롤러(3)로부터 소스 드라이버(6)까지 데이터 버스 라인(5)이 배선되어 있다. 소스 드라이버(6)는 입력 단자(13)를 갖고 있고, 입력 단자(13)와 데이터 버스 라인(5)이 접속된다. 표시 데이터는 입력 단자(13)로부터 소스 드라이버(6)로 입력된다. 인접하는 소스 드라이버 사이에도 데이터 버스 라인(5)이 배선되어 있다. 소스 드라이버에는 출력 단자(14)가 설치되어 있고, 출력 단자(14)와 데이터 버스가 접속되어 출력 단자(14)로부터 다음 단의 소스 드라이버로 표시 데이터가 출력된다. 입력 단자(13)와 출력 단자(14) 사이의 소스 드라이버(6) 내부에 배선이 설치되어 있고, 표시 데이터는 내부의 배선으로 전송된다.

전원 회로(4)로부터 출력되는 양극 계조 전압이나 음극 계조 전압은 플렉시블 회로 기판(12)에 공급된다. 또한, 도시하지 않지만, 각종 클럭 신호, 교류화 구동 신호, 데이터 반전 신호는 표시 데이터와 마찬가지로 소스 드라이버 내의 배선에 전송된다.

도 4는 소스 드라이버(6) 내의 배선을 이용하여 표시 데이터를 전송하는 방식에 대응한 소스 드라이버(6)의 개략적인 블록도를 나타낸다. 데이터 버스 라인(5)은 입력 래치 회로(20)에 접속되어 있고, 표시 데이터는 입력 래치 회로(20)에 입력된다. 입력 래치 회로(20)에서는 표시 데이터와 클럭 컨트롤러(23)로부터 출력되는 클럭 신호 사이에서 동기가 취해진다. 또한, 입력 래치 회로(20)에서는 소비 전력이 감소되도록 표시 데이터와 데이터 반전 신호 사이에서 반전 연산이 행해진다.

입력 래치 회로(20)에는 내부 데이터 버스 라인이 접속되어, 입력 래치 회로(20)로부터 표시 데이터가 내부 데이터 버스 라인(21)으로 출력된다. 내부 데이터 버스 라인(21)이 데이터 래치 회로(24)에 접속되어 표시 데이터는 데이터 래치 회로(24)로 전송된다. 또한, 내부 데이터 버스 라인(21)은 소스 드라이버(6) 내에 배선되며 출력 래치 회로(30)에 접속된다. 또한, 출력 래치 회로(30)로부터 출력된 표시 데이터는 다음 단의 소스 드라이버(6)로 전송된다. 여기서, 상술한 바와 같이, 입력 래치 회로(20)에서는 표시 데이터와 데이터 반전 신호 사이에서 연산이 행해지고 있기 때문에, 출력 단자로부터 출력되는 표시 데이터는 데이터 반전 신호 사이에서 역 연산을 행하여 원래의 상태로 복원되어 다음 단의 소스 드라이버(6)로 전송된다.

도 4에 도시한 회로에서는, 데이터 반전 신호로 소비 전력을 감소할 수 있는 것은, 소스 드라이버(6) 밖의 데이터 버스 라인(5)으로 한정되고, 내부 데이터 버스 라인(21)의 소비 전력을 감소시키는 것에 대해서는 고려되어 있지 않다. 단, 데이터 버스 라인(5)을 액정 표시 패널(1) 상에 형성하기 위해서는, 배선에 크롬 등의 저항 값이 높은 도체가 이용되는 경우가 많다. 그 때문에, 데이터 버스 라인의 배선 부하가 내부 데이터 버스 라인의 배선 부하에 비해 높은 경우에는, 데이터 반전 신호를 이용하여, 소스 드라이버 간의 데이터 버스 라인(5)에서의 소비 전력을 감소시키는 것이 저소비 전력화에 유효하다.

도 5는 전송용 데이터 버스 라인(33)을 설치한 소스 드라이버(6)의 개략적인 블록도를 나타낸다. 입력 래치 회로(20)로부터는 내부 데이터 버스 라인(21)에 평행하여 전송용 데이터 버스 라인(33)이 배선되어 있다. 내부 데이터 버스 라인(21)은 데이터 래치 회로(24)에 접속되어, 데이터 래치 회로(24)로 표시 데이터를 전송하고 있다. 전송용 데이터 버스 라인(33)은 소스 드라이버 내부에 배선되며 출력 래치 회로(30)에 접속되고, 다음 단의 소스 드라이버(6)에 표시 데이터를 전송한다. 입력 래치 회로(20)에서는 데이터 반전 신호와 표시 데이터 사이에서 연산이 행해지고, 출력 래치 회로(30)에서는 데이터 반전 신호와 표시 데이터 사이에서 역 연산이 행해진다.

내부 데이터 버스 라인(21)에는 스태바이 회로(31)가 설치되어 있다. 스태바이 회로(31)는 데이터 래치 회로(24)가 내부 데이터 버스 라인(21)으로부터 표시 데이터를 캡처하지 못한 경우에, 내부 데이터 버스 라인(21)의 값이 변화되지 않도록 하고 있다. 스태바이 회로(31)를 설치하면, 복수의 소스 드라이버(6) 중에서, 내부 데이터 버스 라인(21)의 충방전이 발생하는 것은, 데이터 래치 회로(24)에 표시 데이터가 캡처되어 있는 하나의 소스 드라이버만으로 되기 때문에 저소비 전력화가 가능해진다.

또한, 내부 데이터 버스 라인(21)은 데이터 래치 회로(24)에 접속되어 있기 때문에, 전송용 데이터 버스 라인(33)에 비해 배선 부하가 크다. 도 5에 도시한 회로에서는, 다음 단의 소스 드라이버(6)로의 표시 데이터의 전송을 배선 부하가 작은 전송용 데이터 버스 라인(33)에 의해 행하고 있어 저소비 전력화가 도모되고 있다.

다음으로, 도 6은 데이터 버스 라인을 입력 래치 회로(20) 전에서 분리한 소스 드라이버(6)의 개략적인 블록도를 나타

낸다. 입력 래치 회로(20)(1)에서는 데이터 반전 신호와 표시 데이터 사이에서 연산이 행해지고 있다. 이에 반하여 입력 래치 회로(20)(2)에서는 데이터 반전 신호와 표시 데이터 사이에서의 연산이 행해지지 않는다. 그 때문에, 전송용 데이터 버스 라인(33)에 의해 전송되는 표시 데이터는 데이터 반전 신호에 의해 연산되지 않아, 전송용 데이터 버스 라인(33)에서의 저소비 전력화도 가능해진다. 또한, 출력 래치 회로(30)에서의 역 연산의 필요도 없다. 출력 래치 회로(30)에서는 표시 데이터와 데이터 반전 신호와의 위상을 정합하기 위해, 클럭 신호를 이용하여 표시 데이터와 데이터 반전 신호를 동기화하고 있다.

도 6에 도시한 회로에도 내부 데이터 버스 라인(21)에는 스탠바이 회로(31)가 설치되어 있다. 스탠바이 회로(31)를 설치함으로써, 내부 데이터 버스 라인(21)에서의 충방전을 감소시킬 수 있어, 보다 저소비 전력화가 가능해진다.

다음으로 도 7은, 데이터 버스 라인이 입력 래치 회로(20)에 접속되고, 입력 래치 회로(20)에는 내부 데이터 버스 라인(21)과 전송용 데이터 버스 라인(33)이 접속되는 소스 드라이버(6)의 개략적인 블록도를 나타낸다. 입력 래치 회로(20)에 접속된 내부 데이터 버스 라인에는 데이터 반전 신호 사이에서 연산이 행해진 표시 데이터가 출력된다. 이에 반하여 전송용 데이터 버스 라인에는 데이터 반전 신호 사이에서의 연산이 행해지지 않은 표시 데이터가 출력된다. 그 때문에, 전송용 데이터 버스 라인(33)에 의해 전송되는 표시 데이터는 데이터 반전 신호에 의해 연산되지 않아, 전송용 데이터 버스 라인(33)에서의 저소비 전력화도 가능해진다. 또한, 출력 래치 회로(30)에서의 역 연산의 필요도 없다. 출력 래치 회로(30)에서는 표시 데이터와 데이터 반전 신호와의 위상을 정합하기 위해, 클럭 신호를 이용하여 표시 데이터와 데이터 반전 신호를 동기화하고 있다.

도 7에 도시한 회로에도, 내부 데이터 버스 라인(21)에는 스탠바이 회로(31)가 설치되어 있다. 스탠바이 회로(31)를 설치함으로써, 내부 데이터 버스 라인(21)에서의 충방전을 감소시킬 수 있어, 보다 저소비 전력화가 가능해진다.

다음으로, 도 8은 입력 래치 회로(20)와 데이터 래치 회로(24) 사이에서 데이터 반전 연산을 행하는 소스 드라이버(6)의 개략적인 블록도를 나타낸다. 데이터 반전 연산을 입력 래치 회로(20)에서 행하지 않고, 데이터 래치 회로(24)에 입력하기 전에 반전 연산을 행하고 있다. 도 8에 도시한 회로에서, 스탠바이 회로(31)에서 데이터 반전 연산을 행하도록 하고 있다. 도 8의 회로에서는, 전송용 데이터 버스 라인(33)은 데이터 반전 연산이 되어 있지 않기 때문에, 전송용 데이터 버스 라인(33)의 상태 변화를 적게 할 수 있다. 또한, 출력 래치 회로(30)에서의 역 연산의 필요도 없다.

다음으로, 도 9는 입력 래치 회로(20)와 데이터 래치 회로(24) 사이에서 데이터 반전 연산을 행하는 소스 드라이버(6)의 개략적인 블록도를 나타낸다. 데이터 반전 연산을 입력 래치 회로(20)에서 행하지 않고, 데이터 래치 회로(24)에 입력하기 전에 행하고 있다. 도 9에 도시한 바와 같이, 데이터 반전 연산 회로(32)가 내부 데이터 버스 라인(21)과 데이터 래치 회로(24) 사이에 설치되며, 이 데이터 반전 연산 회로(32)에서 데이터 반전 연산을 행한다. 데이터 반전 연산은 상술한 바와 같이, 배타적 논리합이기 때문에, 데이터 반전 연산 회로(32)에는 종래부터 있는 배타적 논리합 회로를 이용할 수 있다. 도 9에서는 도면을 간명하게 하기 위해 1개의 표시 데이터에 대해서만 배타적 논리합 회로(34)를 나타냈다.

도 9에 도시한 회로에서는, 내부 데이터 버스 라인(21)을 분리하고, 전송용 데이터 버스 라인(33)을 설치할 필요가 없다. 그 때문에 데이터 버스 라인 수의 증대를 억제함으로써 저소비 전력화를 실현할 수 있다. 또한 입력 래치 회로(20) 이후의 내부 데이터 버스 라인(21)은 데이터 반전 연산이 되어 있지 않기 때문에, 내부 데이터 버스 라인(21)의 상태 변화를 적게 할 수 있다. 또한, 데이터 반전 연산 회로(32) 이후에는 배선의 부하는 데이터 버스 라인과 비교하면 작기 때문에, 충방전에 의한 소비 전력을 극력 억제할 수 있다.

다음으로 도 10은 데이터 래치 회로(24)에 데이터 반전 신호를 입력한 소스 드라이버(6)의 개략적인 블록도를 나타낸다. 데이터 래치 회로(24)에 데이터 반전 신호를 입력함으로써, 데이터 반전 신호에 의한 연산을 데이터 래치 회로(24) 이후에 행하는 것이 가능해진다.

도 10에 도시한 회로에서는, 입력 래치 회로부(20)에서 표시 데이터 신호와 데이터 반전 신호와의 연산은 행하지 않는다. 입력 래치 회로부(20)에서는 표시 데이터 신호를 클럭 신호로 동기화할뿐이고, 내부 데이터 버스 라인(21)에 입력된 표시 데이터를 반전 연산하지 않고서 출력한다. 내부 데이터 버스 라인(21)은, 데이터 래치 회로(24)로 데이터를 송신하기 위해 분기되어 있다. 또한, 내부 데이터 버스 라인(21)은 소스 드라이버(6) 내에 배선되며 출력 래치 회로(30)에 접속되어 있다. 출력 래치 회로(30)에서 표시 데이터는 클럭 신호와 동기화되어, 다음 단의 소스 드라이버로 전송된다. 한편, 데이터 반전 신호도 표시 데이터와 마찬가지로 데이터 래치 회로(24)에 입력된다. 표시 데이터 신호와 데이터 반전 신호와의 연산은 데이터 래치 회로(24)로부터 출력 이후에 행해진다. 표시 데이터와 데이터 반전 신호가 데이터 래치 회로(24)로부터 출력되어 데이터 반전 연산 회로(32)에 입력되고, 데이터 반전 연산이 데이터 반전 연산 회로(32)에서 행해진다. 또한, 데이터 반전 연산 후의 표시 데이터가 라인 래치 회로(25)에 입력된다.

도 10에 도시한 회로에서는, 내부 데이터 버스 라인(21)을 분리하고, 전송용 데이터 버스 라인(33)을 설치할 필요가 없다. 또한 입력 래치 회로(20) 이후의 내부 데이터 버스 라인(21)은 데이터 반전 연산이 되어 있지 않기 때문에, 내부 데이터 버스 라인(21)의 상태 변화를 적게 할 수 있다. 그 때문에, 데이터 버스 라인 수의 증대를 억제하는 것에 의한 저소비 전력화와 아울러, 내부 데이터 버스 라인(21)의 상태 변화에 의한 소비 전력을 감소할 수 있다.

또한, 데이터 반전 연산 회로(32) 이후의 배선에 대해서는, 상태 변화를 억제할 수 없지만, 데이터 반전 연산 회로(32) 이후에는 배선의 부하가 데이터 버스 라인과 비교하면 작기 때문에, 충방전에 의한 소비 전력을 극력 억제할 수 있다. 또한, 도 9, 도 10에 도시한 회로에서는, 내부 데이터 버스 라인(21)이 다음 단의 소스 드라이버로 표시 데이터를 전송하는 전송 데이터 버스 라인의 역할도 겸하고 있기 때문에, 내부 데이터 버스 라인(21)에 스태바이 회로를 설치할 필요가 없다. 그 때문에, 도 9, 도 10에 도시한 회로는, 스태바이 회로에 의해 저소비 전력화를 도모할 수 없는 경우에 특히 유효하다.

또한, 본 방식에서는 출력 래치 회로(30)를 설치하여, 클럭 신호로 표시 데이터 신호와 데이터 반전 신호의 동기화를 행하고 있지만, 출력 래치 회로(30)를 이용하지 않아도, 다음 단의 드라이버의 입력 데이터 회로에서 동일한 동기화를 행하는 것도 가능하다.

다음으로 도 11은, 데이터 버스 라인(5)이 소스 드라이버(6)의 외부에 형성되는 액정 표시 장치에서, 내부 데이터 버스 라인(21)과 데이터 래치 회로(24) 사이에서 데이터 반전 연산을 행하는 소스 드라이버(6)의 개략적인 블록도를 나타낸다. 도 11에 도시한 회로에서는, 데이터 반전 연산을 입력 래치 회로(20)에서 행하지 않고, 데이터 래치 회로(24)에 입력하기 전에 반전 연산을 행하고 있다.

도 11에 도시한 회로에서는, 내부 데이터 버스 라인(21)으로부터 분리된 배선에서 데이터 반전 연산을 행하고 있기 때문에, 내부 데이터 버스 라인(21)의 상태 변화를 적게 할 수 있다. 또한, 데이터 래치 회로(24) 이후에는 배선의 부하는 내부 데이터 버스 라인(21)과 비교하면 작기 때문에, 충방전에 의한 소비 전력을 극력 억제할 수 있다. 또한, 내부 데이터 버스 라인(21)에는 스태바이 회로(31)가 설치되어 있고, 클럭 컨트롤러(23) 등으로부터의 제어 신호에 의해, 소스 드라이버(6)가 표시 데이터를 캡처하지 않은 경우에 내부 데이터 버스 라인의 값을 변화시키지 않도록 하여, 저소비 전력화를 도모하고 있다.

다음으로 도 12는, 데이터 버스 라인(5)이 소스 드라이버(6)의 외부에 형성되는 액정 표시 장치에서, 데이터 래치 회로(24) 이후에 데이터 반전 연산을 행하는 소스 드라이버(6)의 개략적인 블록도를 나타낸다. 도 12에 도시한 회로에서는, 데이터 반전 연산을 입력 래치 회로(20)에서 행하지 않고, 라인 래치 회로(25)에 입력하기 전에 반전 연산을 행하고 있다.

도 12에 도시한 회로에서는, 데이터 래치 회로(24) 이후의 배선 사이에서 데이터 반전 연산을 행하고 있기 때문에, 내부 데이터 버스 라인(21)의 상태 변화를 적게 할 수 있다. 또한, 데이터 래치 회로(24) 이후에는 배선의 부하는 내부 데이터 버스 라인(21)과 비교하면 작기 때문에, 충방전에 의한 소비 전력을 극력 억제할 수 있다. 또한, 내부 데이터 버스 라인(21)에는 스탠바이 회로(31)가 설치되어 있고, 클럭 컨트롤러(23) 등으로부터의 제어 신호에 의해, 소스 드라이버(6)가 표시 데이터를 캡처하지 않은 경우에 내부 데이터 버스 라인의 값을 변화시키지 않도록 하여, 저소비 전력화를 도모하고 있다.

발명의 효과

스탠바이 기능을 갖는 회로의 추가에 의해, 데이터를 캡처하고자 하는 소스 드라이버 이외의 드라이버의 기능을 정지시킴으로써, 드라이버 내부의 데이터 버스 라인의 상태 변화를 적게 하여, 저소비 전력을 실현한다.

입력 래치 회로에서의 데이터 반전 연산 전에 내부 데이터 버스 라인과 전송용 데이터 버스 라인을 분리하고, 데이터 반전 연산 기능에 의해 다음 단의 소스 드라이버로의 데이터 전송에 의한 소비 전력을 저감한다.

소스 드라이버 내부의 데이터 버스 라인은 내부 회로용과 다음 단의 소스 드라이버로의 전송용을 공유화하지만, 입력 래치 회로부에서 데이터 반전 연산을 행하지 않고, 내부의 데이터 래치 회로 혹은 라인 래치 회로 전에서 데이터 신호와 데이터 반전 신호를 데이터 반전 연산시킴으로써 데이터 버스 라인 수를 증대시키지 않고, 데이터 반전 기능을 유효화시켜, 데이터 버스 라인에 의한 소비 전력을 저감한다.

(57) 청구의 범위

청구항 1.

액정 표시 패널과, 상기 액정 표시 패널을 구동하는 복수의 구동 회로를 갖는 액정 표시 장치에 있어서,

상기 구동 회로는,

외부로부터 표시 데이터가 입력되는 입력 회로와,

상기 표시 데이터를 유지하는 데이터 래치 회로와,

상기 표시 데이터에 따라 계조 전압을 선택하는 디코더 회로와,

상기 계조 전압을 상기 액정 표시 패널로 출력하는 출력 증폭기 회로와,

상기 표시 데이터를 다음 단의 구동 회로로 출력하는 출력 회로와,

상기 입력 회로와 상기 데이터 래치 회로를 접속하는 내부 데이터 배선과,

상기 입력 회로와 상기 출력 회로를 접속하는 데이터 전송 배선

을 포함하며,

상기 내부 데이터 배선에 스탠바이 회로를 설치하고,

상기 입력 회로에 데이터 반전 신호를 입력하여, 상기 데이터 반전 신호에 의해 상기 데이터 전송 배선의 값을 반전시키는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

액정 표시 패널과, 상기 액정 표시 패널을 구동하는 복수의 구동 회로를 갖는 액정 표시 장치에 있어서,

상기 구동 회로는,

외부로부터 표시 데이터가 입력되는 입력 단자와,

상기 표시 데이터를 유지하는 데이터 래치 회로와,

상기 표시 데이터에 따라 계조 전압을 선택하는 디코더 회로와,

상기 계조 전압을 상기 액정 표시 패널로 출력하는 출력 증폭기 회로와,

상기 표시 데이터를 다음 단의 구동 회로로 출력하는 출력 단자와,

상기 입력 단자와 상기 데이터 래치 회로를 접속하는 내부 데이터 배선과,

상기 입력 단자와 상기 출력 단자를 접속하는 데이터 전송 배선

을 포함하며,

상기 내부 데이터 배선에 데이터 반전 연산 회로를 설치하여, 상기 데이터 반전 연산 회로에 의해 상기 내부 데이터 배선의 값을 반전시키는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

액정 표시 패널과, 상기 액정 표시 패널을 구동하는 복수의 구동 회로를 갖는 액정 표시 장치에 있어서,

상기 구동 회로는,

외부로부터 표시 데이터가 입력되는 입력 회로와,

상기 표시 데이터를 유지하는 데이터 래치 회로와,

상기 표시 데이터에 따라 계조 전압을 선택하는 디코더 회로와,

상기 계조 전압을 상기 액정 표시 패널로 출력하는 출력 증폭기 회로와,

상기 표시 데이터를 다음 단의 구동 회로로 출력하는 출력 회로와,

상기 입력 회로와 상기 데이터 래치 회로를 접속하는 내부 데이터 배선과,

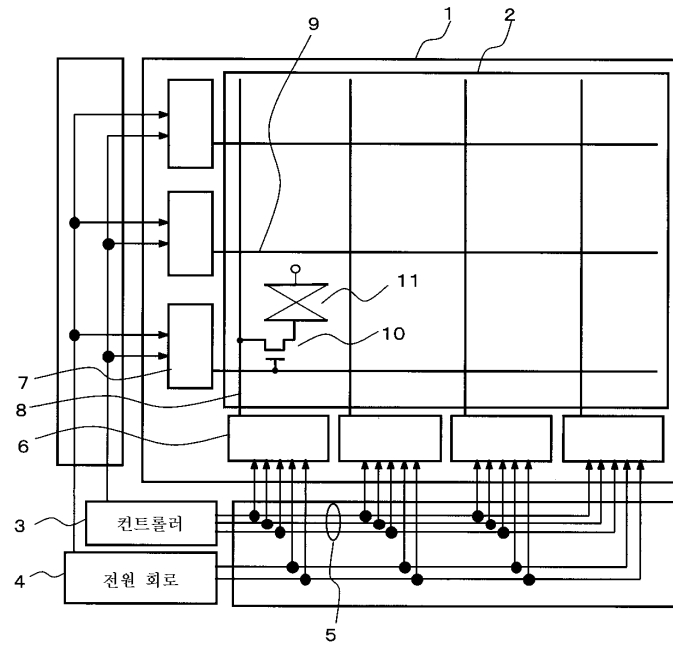
상기 입력 회로와 상기 출력 회로를 접속하는 데이터 전송 배선

을 포함하며,

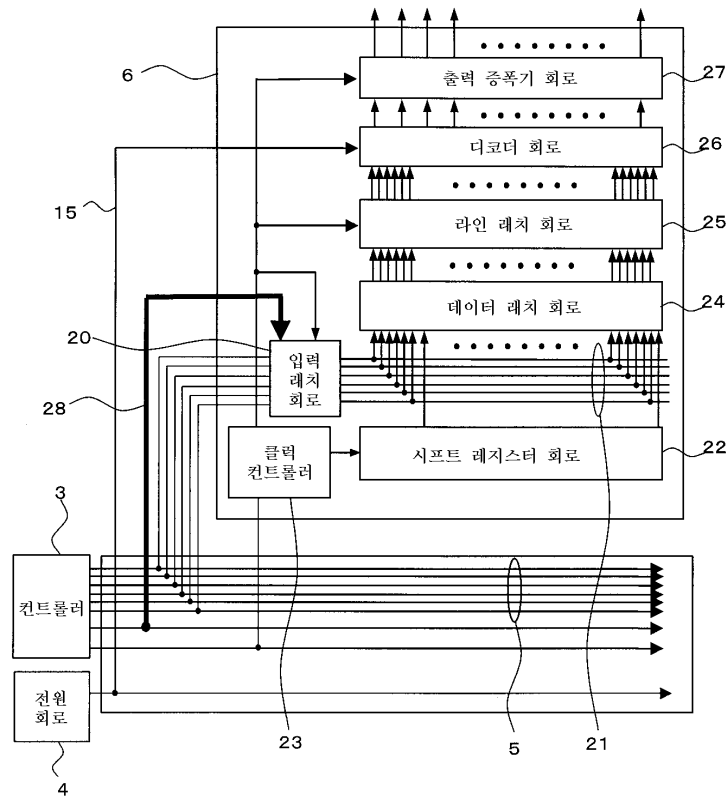
상기 내부 데이터 배선과 상기 출력 증폭기 회로 사이에 데이터 반전 연산 회로를 설치하여, 상기 데이터 반전 연산 회로에 의해 상기 표시 데이터의 값을 반전시키는 것을 특징으로 하는 액정 표시 장치.

도면

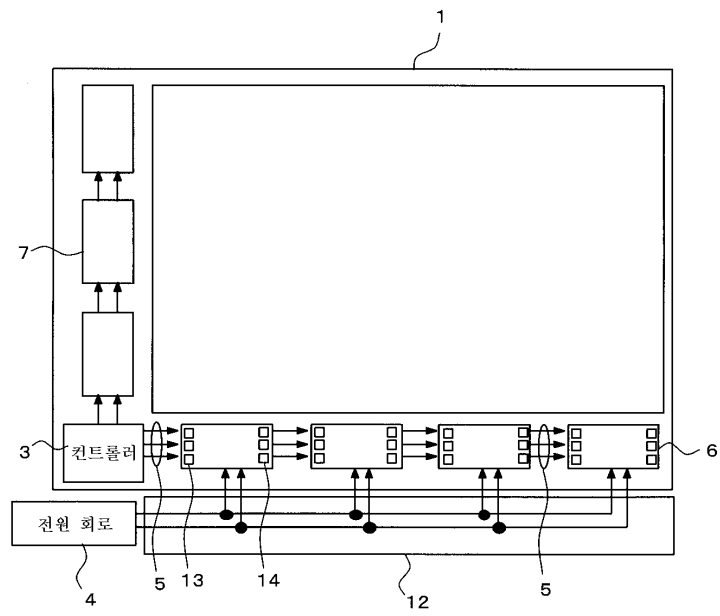
도면 1



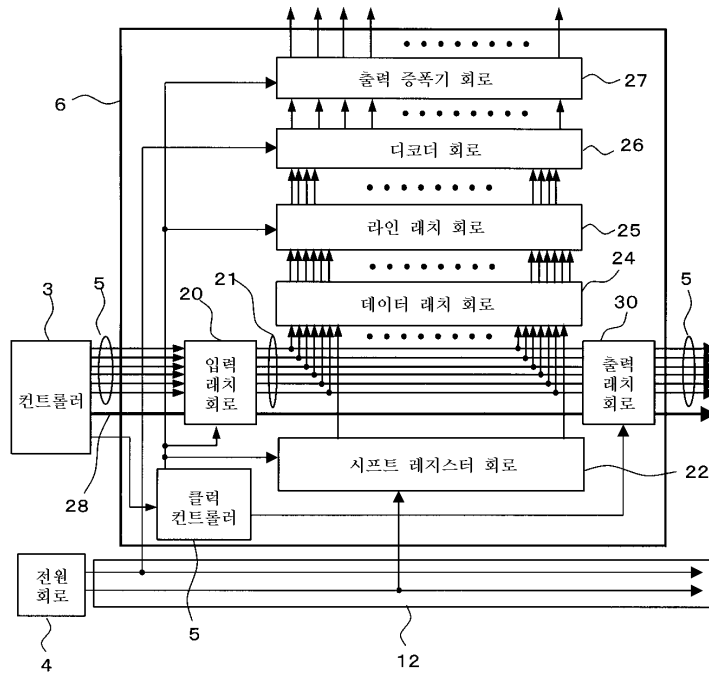
도면 2



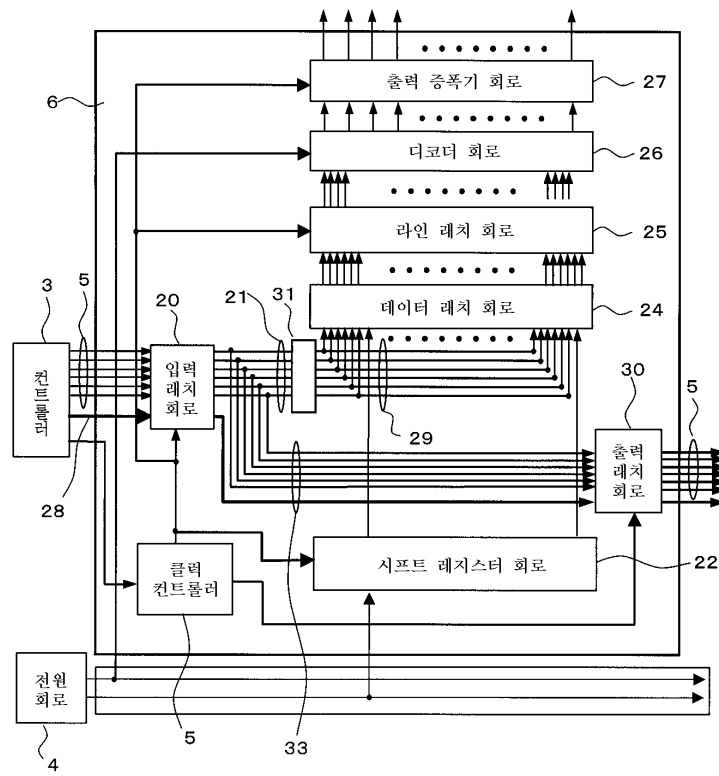
도면 3



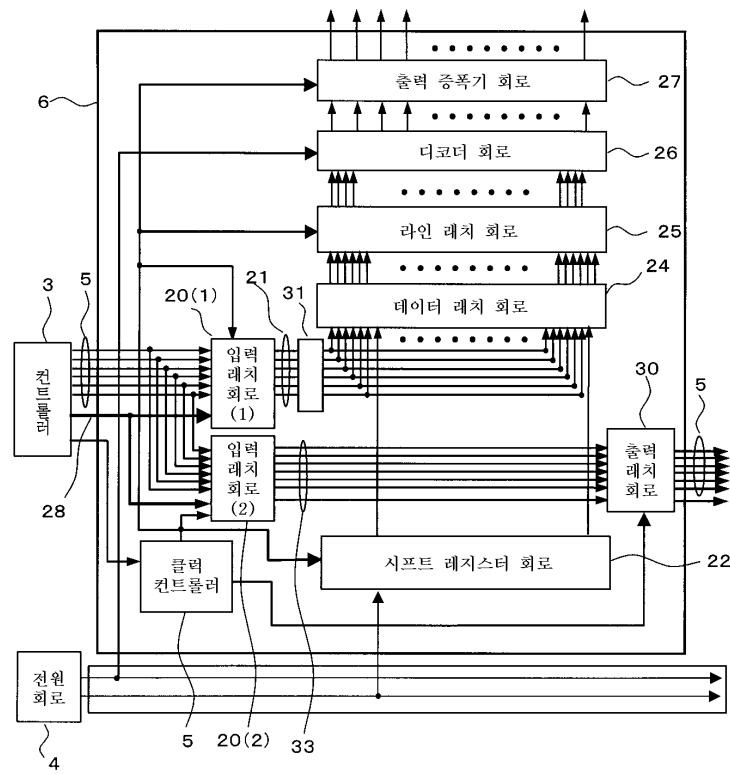
도면 4



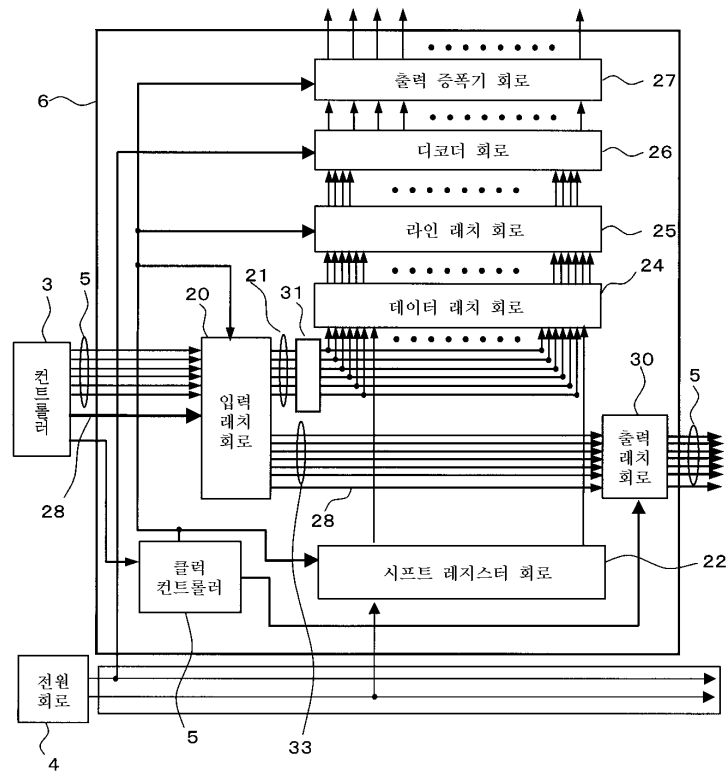
도면 5



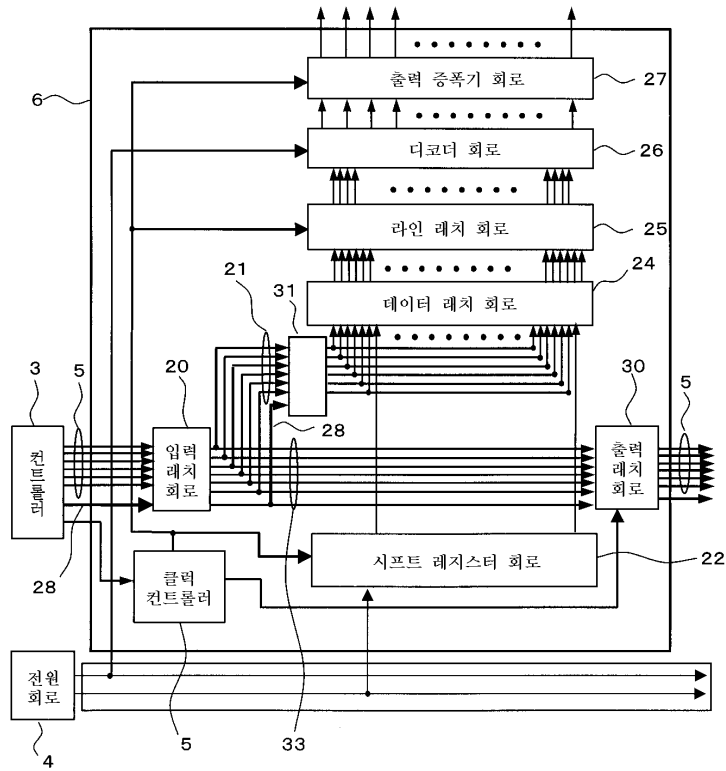
도면 6



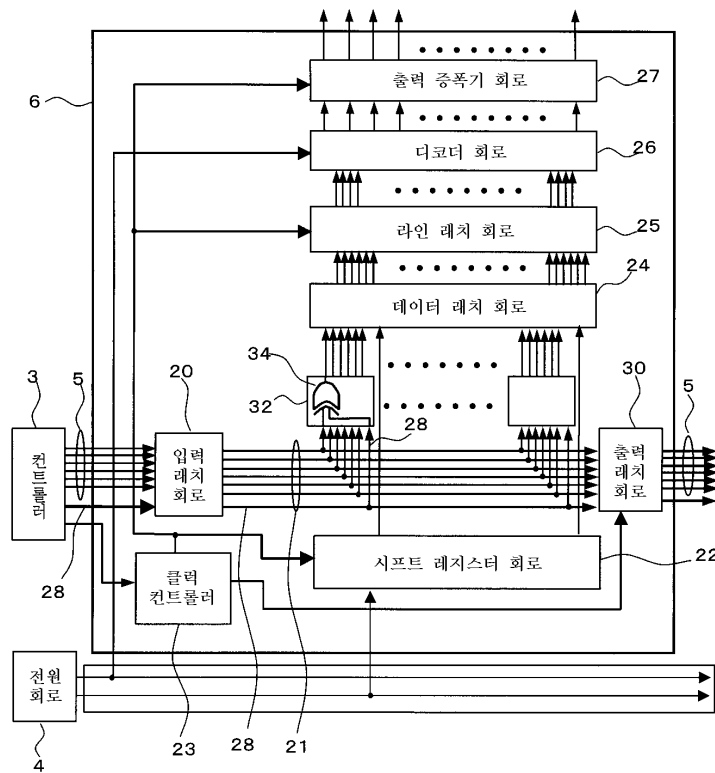
도면 7



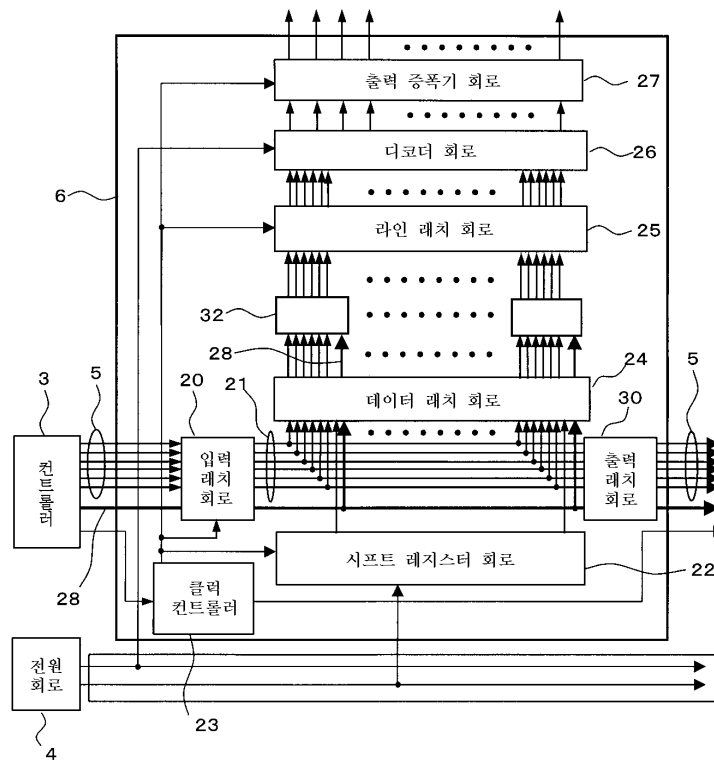
도면 8



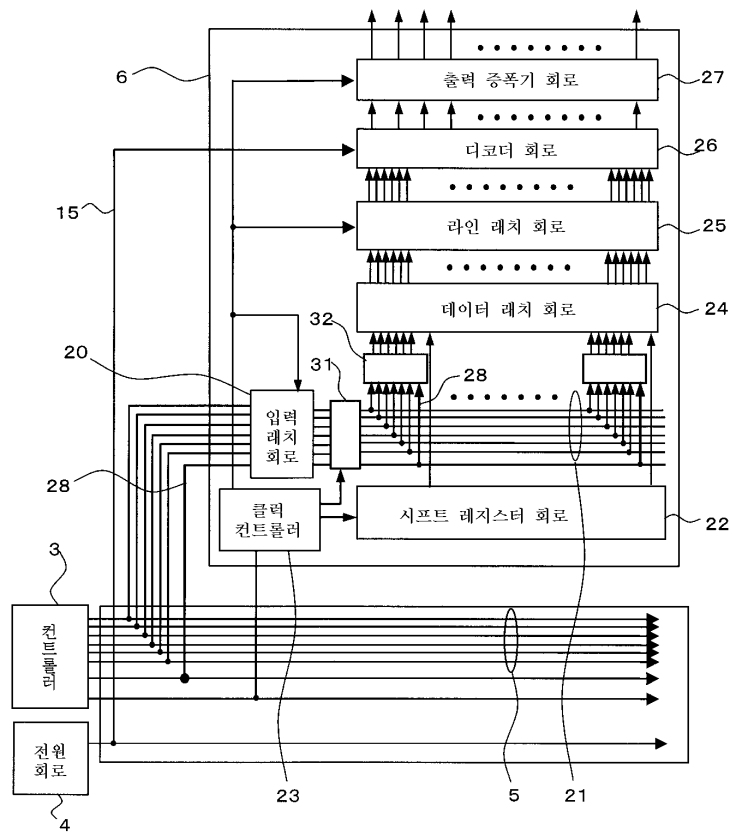
도면 9



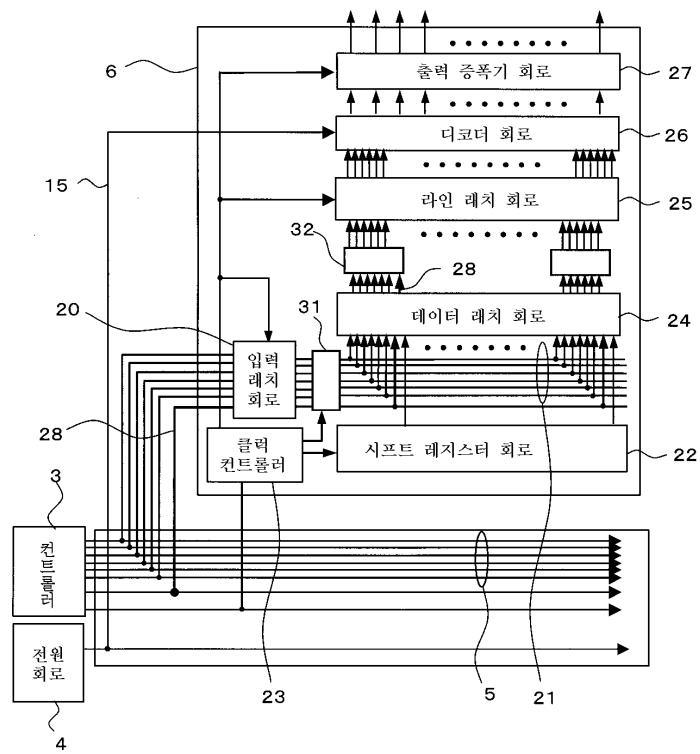
도면 10



도면 11



도면 12



专利名称(译)	液晶显示器		
公开(公告)号	KR1020020083924A	公开(公告)日	2002-11-04
申请号	KR1020020022665	申请日	2002-04-25
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 地伤装置工程可否让这个夏		
当前申请(专利权)人(译)	株式会社日立制作所 地伤装置工程可否让这个夏		
[标]发明人	SAITOU KAZUNARI 사이또우가즈나리 ITOU SHIGERU 이또우시게루 ODE YUKIHIDE 오데유키히데 NAKAYASU YOUZOU 나까야스요우조우 YASUKAWA SHINJI 야스까와신지		
发明人	사이또우가즈나리 이또우시게루 오데유키히데 나까야스요우조우 야스까와신지		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/027 G09G2330/021 G09G3/3685 G09G3/3614 G09G2370/08		
代理人(译)	CHANG, SOO KIL		
优先权	2001128620 2001-04-26 JP		
其他公开文献	KR100548840B1		
外部链接	Espacenet		

摘要(译)

实现了在与安装有显示单元的同一基板上进行低耗散驱动电路的液晶显示器。用于向像素提供灰度电压的驱动电路安装在LCD面板上。利用形成的布线在LCD面板上传输显示数据用于驱动电路。并且显示数据与由驱动电路构成的内部数据总线一起传输。针对驱动电路内的低功耗电力执行反转显示数据的值的数据转换计算。 LCD面板，驱动电路，输入电路，数据锁存电路，数据总线。

