(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/36

(11) 공개번호 특2002-0070148
(43) 공개일자 2002년09월05일

(21) 출원번호 10-2002-0010543
(22) 출원일자 2002년02월27일

(30) 우선권주장 0104786.9 2001년02월27일 영국(GB)

(71) 출원인 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 케른스,그래임앤드류
영국오엑스28엔에이치옥스퍼드커터스로우보우른클로즈22
다쉬,까뜨린느로신다마리아르미다
영국오엑스127제이제트옥슨그로브원티즈밀브록스퀘어12
브라운로우,마이클제임스
영국오엑스44와이비옥스퍼드샌드포드온템스처치로드124
가이세야스요시
일본나라껭덴리시이찌노모또쪼2613-1라포루덴리640

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 액티브 매트릭스 장치 및 디스플레이 장치

요약

액티브 매트릭스 장치는 화소의 배열을 포함한다. 각각의 화소는, 제1 저장 캐패시터(12)에 연결되고, 스캔 라인(6) 상의 스캔 신호에 의해 활성화될 때 박막 트랜지스터(10)에 의해 데이터 라인(4)에 접속되도록 배치되어 있는 LCD 셀(11)과 같은 이미지 소자를 갖는다. 제2 저장 캐패시터(21)는 픽셀에서 저장 캐패시턴스를 증가시키는 것을 바라는 경우에 다른 박막 트랜지스터(20)에 의해 제1 캐패시터(12)에 걸쳐 접속될 수 있다.

대표도
도 6

색인어
이미지 소자, 박막 트랜지스터, 화소, 전하 저장 소자, 스캔 라인,

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스 디스플레이를 개략적으로 도시한 도

도 2는 종래의 디스플레이 유형의 액티브 매트릭스 픽셀의 회로도.

도 3은 종래의 다른 디스플레이 유형의 액티브 매트릭스 픽셀의 회로도.

도 4는 장치의 게이트/소스에 대한 MOS 캐패시터 및 캐패시턴스를 설명한 도.

도 5는 또 다른 종래의 장치의 픽셀의 회로도.

도 6은 본 발명의 제1 실시형태를 구성하는 장치의 픽셀의 회로도.

도 7은 2개의 동작 모드에서 도 6에 도시된 픽셀의 시뮬레이션 동작을 설명하는 파형도.

도 8은 패널 샘플 및 홀드 장치에서 도 6의 픽셀의 동작 시뮬레이션을 설명하는 파형도.

도 9는 본 발명의 제2 실시형태를 구성하는 장치의 4개 픽셀의 회로도.

도 10은 본 발명의 제3 실시형태를 구성하는 장치의 4개 픽셀의 회로도.

도 11은 본 발명의 제4 실시형태를 구성하는 장치의 4개 픽셀의 회로도.

도 12는 본 발명의 제5 실시형태를 구성하는 장치의 4개 픽셀의 회로도.

도 13은 본 발명의 제6 실시형태를 구성하는 장치의 4개의 픽셀의 회로도.

도 14는 도 13에 도시된 장치의 픽셀의 마스크 레이아웃의 일례를 도시하는 도.

도 15는 본 발명의 제7 실시형태를 구성하는 장치의 4개의 픽셀의 회로도.

도 16은 도 15에 도시된 유형의 픽셀의 마스크 레이아웃의 일례를 도시하는 도면.

도 17은 MOS 캐패시터의 개략적인 동작을 도시하는 도.

도 18은 본 발명의 제8 실시형태를 구성하는 장치의 4개의 픽셀의 회로도.

도 19는 도 18에 도시된 픽셀의 마스크 레이아웃의 일례를 도시하는 도.

도 20은 본 발명의 제9 실시형태를 구성하는 장치의 4개의 픽셀의 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

2 : 화소

3 : 데이터 라인 드라이버

4 : 데이터 라인

6 : 스캔 라인

7 : 스캔 라인 드라이버

11 : 픽셀 전극

12 : 저장 캐패시터

13 : 공통 전극 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 예를 들어 디스플레이로서 사용하기 위한 액티브 매트릭스 장치에 관한 것이다. 액티브 매트릭스 장치는, 예를 들어 비정질 실리콘이나 고온 또는 저온 폴리실리콘에 기초한 박막 트랜지스터(TFT) 기술을 사용하여 구현된 액정 액티브 매트릭스 디스플레이를 포함할 수 있다. 이러한 디스플레이들은 휴대용 배터리-전력 공급식 장치에 사용될 수 있다.

첨부 도면들 중 도 1은 화소들(픽셀들)(2)의 N 행과 M 열로 된 액티브 매트릭스(1)를 포함한 종래 유형의 액티브 매트릭스를 도시한다. 각 열의 픽셀들은 각 데이터 라인(4)에 의해 데이터 라인 드라이버(3)에 접속된다. 데이터 라인 드라이버(3)는 타이밍, 제어 및 데이터 신호들을 수신하기 위한 입력(5)을 갖는다.

각 행의 픽셀들은 각 스캔 라인(6)에 의해 스캔 라인 드라이버(7)에 접속된다. 스캔 라인 드라이버(7)는 입력(5)으로부터의 타이밍 신호에 의해 동기화되고, 반복하는 시퀀스의 시각에 하나의 스캔 라인(6)을 활성화한다.

도 2는 공지된 4개의 유형의 액티브 매트릭스 픽셀들을 도시한다. 각 픽셀은 게이트가 스캔 라인(6)에 접속되고 소스가 데이터 라인(4)에 접속된 TFT(10)를 포함한다. TFT(10)의 드레인은 픽셀 전극(11), 및 저장 캐패시터(12)의 제1 단자에 접속되는데, 저장 캐패시터(12)의 제2 단자는 공통 전극 라인(13)에 접속되며, 이 공통 전극 라인(13)은 동일 픽셀 행의 모든 저장 캐패시터들(12)에 의해 공유된다. 모든 행들의 공통 전극 라인들(13)은 공통 DC 전원에 접속된다.

사용시, 픽셀들의 TFT들(10)은 스캔 라인들(6) 상의 신호에 의해 제어되는 스위칭을 하는 스위치들로서 작동한다. 그러면, 액티브 매트릭스의 각 픽셀(2)은 소위 프레임 레이트의 주파수로 갱신된다. 이미지 데이터의 신호 프레임의 갱신은 일반적으로 행을 단위로 수행된다. 각 행의 픽셀들에 대해, 데이터 라인 드라이버(3)는 디스플레이될 이미지 데이터의 행을 수신하고, M 데이터 라인들(4)을 대응 아날로그 전압들로 충전한다. 스캔 라인 드라이버(7)는 스캔 라인들(6)중의 하나를 활성화하고, 활성화된 스캔 라인에 접속된 모든 TFT들(10)이 스위칭 온된다. TFT들(10)은 각 캐패시터의 양단 전압이 데이터 라인 상의 전압과 같아질 때까지 전하를 데이터 라인들(4)로부터 저장 캐패시터들(12)에 전달한다. 그런 다음, 스캔 라인 드라이버(7)는 TFT들(10)의 행을 비활성화하고, TFT들(10)의 소스-드레인 경로들은 고임피던스 상태로 복귀된다.

액티브 매트릭스 어드레싱은 소위 패널-샘플-및-홀드 어드레싱(panel-sample-and-hold addressing) (포인트-엣-어-타임 어드레싱(point-at-a-time addressing)으로도 일컬어짐)과 라인-엣-어-타임 어드레싱(line-at-

a-time addressing)의 두가지 카테고리로 더 세분화될 수 있다. 전자의 방식에서는, 각 스케닝된 라인이 활성화될 때, 데이터 라인들은 보통 데이터 라인 드라이버(3)의 데이터 라인 충전 회로들로부터 격리된다. 후자의 방식에서는, 데이터 라인들은 스캔 라인 활성화 시간 동안 정상적으로 계속해서 구동된다.

스위칭 오프될 때 각 TFT(10)의 유한 임피던스는 각 저장 캐패시터(12)와 그 열에 대한 데이터 라인(14) 간의 전하 흐름이나 누설을 야기한다. 이것은 픽셀 전극(11)에서의 바람직하지 않은 전압의 변화를 야기하고 그에 따른 화질의 악화를 초래한다. 전압 변화의 크기는 누설 전류의 크기, 저장 캐패시터(12)의 크기 및 픽셀 갱신 간의 기간 즉 프레임 레이트에 따른다.

TFT의 누설 전류는 장치 디자인 변경에 의해 감소될 수 있는데, 이러한 변경은 제조 공정에 변화를 필요로 한다. 예를 들어, 높은 드레인 필드를 감소시킬 뿐만 아니라 채널 저항을 증가시키는 저농도로 도핑된 드레인 (LDD)을 도입하는 것도 가능하다. 각 TFT 스위치는 데이터 라인과 픽셀 전극 사이에 두 개 또는 세 개의 스위치들을 직렬로 연결하여 놓은, 이중 또는 삼중 게이트 장치로서 구현될 수도 있다. 이것은 TFT들의 채널 저항의 증가와 " ON" 성능의 저하를 초래한다.

US5517150은 도 3에 도시된 유형의 배치를 개시한다. 이 픽셀 배치는 소스-드레인 경로가 TFT(10)의 드레인과 픽셀 전극(11) 사이에 접속된 TFT(15)를 더 제공한다는 것이 도 2에 도시된 것과 다르다. 또한, 캐패시터(16)는 공통 라인(13)과 TFT들(10, 15) 간의 접점 사이에 접속된다.

특정 픽셀에 대한 스캔 라인(6)이 활성화되면, 트랜지스터들(10, 15)은 모두 턴온되어, 캐패시터들(12, 16)이 모두 데이터 라인(4)에 의해 충전된다. 스캔 라인이 비활성화되면, 트랜지스터들은 모두 스위칭 오프된다. 상술한 바와 같이, 트랜지스터(10)를 통한 전하 누설은 캐패시터(16) 양단의 전압의 변화를 야기한다. 그러나, 트랜지스터(15) 양단의 전압에 있어서는 매우 작은 강하만이 있고, 따라서 매우 작은 누설 전류가 있을 뿐이어서, 캐패시터(12) 양단의 전압의 변화가 매우 작아지고 그에 따라 픽셀 전극(11)에서의 전압의 변화도 매우 작아진다.

전하 누설에 의해 야기되는 픽셀 전압의 변화는 저장 캐패시터(12)의 값을 증가시킴으로써 더 작아질 수 있다. 그러나, 저장 캐패시터는 임의로 크게 만들어질 수 없다. 예를 들어, 디스플레이가 투과형이면, 큰 저장 캐패시터는 픽셀 개구율을 감소시켜 디스플레이 밝기를 감소시킬 수 있다. 또한, 가능한 스캔 라인 활성화 시간 동안 비교적 소형인 TFT로 상대적으로 큰 저장 캐패시터를 충분히 충전하는 것은 불가능할 수 있다. 패널-샘플-및-홀드 디스플레이들에 대해, 캐패시턴스 Cl을 갖는 데이터 라인 상의 전하는, 캐패시턴스가 Cs인 저장 캐패시터와 공유된다. 그 결과, 픽셀에 기록된 전압은 데이터 라인(4) 상에 샘플링된 전압 V1과 같지 않다. 이 전압 차이 △V는 저장 캐패시터의 캐패시턴스에 따라 증가하고, 저장 캐패시터가 초기에 충전되지 않았다고 가정하면, 다음과 같은 식으로 주어진다.

$$\triangle V = \frac{Cs \times V1}{Cs + Cl}$$

비록 픽셀 전압이 일정하게 유지되어야 하는 기간이 최소화되도록 프레임 레이트를 증가시키는 것도 가능하지만, 이것은 실용적인 방안은 아니다. 예를 들어, 감소된 어드레싱 주기 동안 데이터 라인들이나 저장 캐패시터들을 충전하는 것이 불가능할 수 있고, 또는 소비 전력이 수용 가능한 것 이상으로 증가될 수 있다. 저전력 인가를 위해, 액티브 매트릭스를 비교적 낮은 프레임 레이트로 갱신하는 것이 소비 전력을 감소시키기 위해 바람직할 수 있다.

US6023074는 US5517150에 개시된 것과 유사한 픽셀 TFT 배치를 개시한다. 그러나, 저장 캐패시터들은 금속-산화-반도체(MOS) 캐패시터들로서 구현된다. 도 4에 되시된 바와 같이, MOS 캐패시터는 트랜지스터(18)에 의해 형성되는데, 그 게이트 g가 캐패시터의 일 단자를 형성하고, 소스 s와 드레인 d가 함께 접속되어 캐패시터의 타 단자를 형성한다. 소스와 드레인 간의 접속은 별도의 상호접속 층에의 " 오믹(ohmic)' 콘택트에 의해서가 아니라, 고농도로 도핑된 반도체에 의해 달성될 수 있다. 이 장치의 유효 캐패시턴스는 도 4에 도시된 바와 같이 전압 의존성을 갖는다. MOS 장치의 임계 전압 Vt보다 아래에서, 캐패시턴스는 게이트-소스 및 게이트-드레인 중첩 캐패시턴스의 합과 같다. 임계 전압 Vt보다 위에서, 캐패시턴스는 중첩 캐패시턴스 뿐만 아니라 MOS 산화 캐패시턴스를 포함하도록 변화한다.

US5835170은 공통 전극 라인들(13)이 생략되고 캐패시터들(12)의 제2 단자들이 인접 픽셀 행의 스캔 라인(6)에 접속되는 도 5에 도시된 유형의 배치를 개시한다. 이러한 캐패시터-온-게이트(capacitor-on-gate) 배치의 이점은 액티브 매트릭스(1)를 횡단하는 수평 신호들의 총 수가 도 2에 도시된 배치에 비해 절반으로 되어, 보다 높은 픽셀 개구율을 얻을 수 있다는 것이다. 그러나, 액티브 매트릭스(1)의 스캐닝 방향은 고정된다. 특히, 액티브 매트릭스의 행들은 도 5에서 최하단 행으로부터 위로 스캔되어야 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래 기술의 문제점을 해결하고자 하는 것이다. 또한 본 발명은 각 픽셀에서의 저장 용량은 다른 모드에서 액티브 매트릭스의 동작을 가능하도록, 변경하여 이미지 품질 및 전력 소비 성능이 최적화하고자 하는 것이다. 예를 들어, 비교적 높은 프레임 레이트에서의 동작으로 고품질 이미지를 제공하기 위해 고속으로 한층 더 정확한 갱신을 가능하게 하는 보다 낮은 저장 용량에서 동작가능한 액티브 매트릭스 장치를 제공하는 것이다. 저전력 소비를 위해서, 보다 낮은 프레임 레이트 모드를 픽셀에서 보다 큰 저장 용량으로 선택함으로써, 픽셀간 간격 갱신시 전하 누설에 의한 이미지 훼손을 감소 또는 방지할 수 있다.

발명의 구성 및 작용

본 발명에 따르면, 액티브 매트릭스 장치에 있어서, 화소들의 배열을 포함하고, 각 화소는, 이미지 소자; 상기 이미지 소자에 접속된 제1 전하 저장 소자; 및 상기 제1 전하 저장 소자와 상기 이미지 소자에 데이터 라인을 접속하기 위한 제1 반도체 스위치를 구비하고, 상기 각 화소는, 제2 전하 저장 소자; 및 전하 저장 캐패시턴스를 증가시키기 위해 상기 제1 전하 저장 소자와 상기 이미지 소자에 상기 제2 전하 저장 소자를 접속시키는 상기 제1 반도체 스위치와 독립적으로 스위칭가능한 제2 반도체 스위치를 구비하는 것을 특징으로 한다.

각 이미지 소자는 투과성 또는 반사성을 갖는 광 변조 소자일 수 있다. 예를 들어, 각 이미지 소자는 액정 소자일 수 있다.

각 이미지 소자는 발광 소자일 수 있다.

상기 제1 및 제2 반도체 스위치 각각은 박막 트랜지스터일 수 있다.

제2 전하 저장 소자의 전하 저장 용량은 제1 전하 저장 소자의 전하 저장 용량보다 클 수 있다.

각 화소에 대하여, 상기 제2 전하 저장 소자 및 상기 제2 반도체 스위치는 상기 제1 전하 저장 소자를 가로질러 직렬로 접속될 수 있다.

화소들은 행 및 열로 배열될 수 있고, 각 열의 화소들은 개별 데이터 라인에 접속되고, 각 행의 화소들은 개별 스캔 라인에 접속된다.

화소들의 각 행의 제2 반도체 스위치들은 개별 제어 라인에 접속되는 제어 단자들을 구비할 수 있다. 제어 라인들은 통합 접속될 수 있다.

각 화소에 대하여, 상기 제2 반도체 스위치는 제1 및 제2 전하 저장 소자의 제1 단자들에 접속된 제어 단자를 구비할 수 있다.

화소들의 각 행의 제1 및 제2 전하 저장 소자는 개별 공통 라인에 접속된 제1 단자들을 구비할 수 있다.

화소들 행의 각 인접 쌍의 제1 및 제2 전하 저장 소자는 개별 공통 라인에 접속된 제1 단자들을 구비할 수 있다.

화소들의 각 행의 제1 및 제2 전하 저장 소자는 인접 행의 스캔 라인에 접속되는 제1 단자들을 구비할 수 있다.

각 화소의 제1 및 제2 전하 저장 소자는 제1 및 제2 캐패시터를 각각 포함할 수 있다. 제1 및 제2 캐패시터는 공통 플레이트를 구비할 수 있다. 공통 플레이트는 게이트 금속 배선층의 일부를 포함할 수 있다. 각 화소의 제1 캐패시터는 소스 금속 상호접속층의 일부를 포함하는 플레이트를 더 구비할 수 있다. 각 화소의 제2 캐패시터는 고농도로 도핑된 실리콘층의 일부를 포함하는 플레이트를 더 구비할 수 있다.

각 화소의 제2 캐패시터는 게이트 산화물을 포함하는 유전체를 구비할 수 있다. 각 화소의 제2 캐패시터는 금속 산화물 실리콘 캐패시터를 포함할 수 있다. 금속 산화물 실리콘 캐패시터는 제2 반도체 스위치를 형성할 수 있고, 제1 반도체 스위치 및 이미지 소자에 접속된 소스 및 드레인 단자들을 구비할 수 있다. 각 화소의 제1 캐패시터는 금속 산화물 실리콘 캐패시터의 게이트/소스 중첩 캐패시턴스 및 게이트/드레인 중첩 캐패시턴스를 포함할 수 있다. 금속 산화물 실리콘 캐패시터는 게이트 전극 아래에 저농도로 도핑된 드레인을 구비할 수 있다.

본 발명의 다른 특징에 따르면, 본 발명의 제1 특징에 따른 장치를 포함하는 디스플레이를 제공한다.

도 6은 액티브 매트릭스 장치의 4개의 픽셀을 도시하는 도면으로서, 예를 들면, 액정 디스플레이 패널의 형태이다. 각각의 픽셀은 예를 들면 도 2를 참조하여 설명한 바와 같이, TFT(10), 저장 캐패시터(12), 및 픽셀 전극(11)을 포함한다. 또한, 각각의 픽셀은, 드레인(또는 소스)이 픽셀 전극(11)에 접속되고, 다른 플레이트에는 공통 전극 라인(13)이 접속되는 다른 저장 캐패시터(21)의 제1 플레이트에 소스(또는 드레인)가 접속되는 TFT(20)를 더 포함한다. TFT(20)의 게이트는 픽셀의 행에 공통되어 있는 캐패시터 선택 라인에 접속된다. 캐패시터(21)의 캐패시턴스 Cs2는 캐패시터(12)의 캐패시턴스 Cs1와 동일할 필요가 없고, 예를 들면, 그 값의 5배 정도로 충분히 높을 수 있다.

각 픽셀은 하나의 수직 신호 배선과 3개의 수평 신호 배선과 연관되어 있다. 수직 배선은 소스 금속 배선층으로 제조되고, 수평 배선은 게이트 금속 배선층으로 제조된다.

액티브 매트릭스 장치는 2가지 모드 중 하나로 동작한다. 제1 모드에서는, 캐패시터 선택 신호 라인은 상대적으로 낮은 전압에 접속된다. 이러한 모드에서는, 모든 픽셀의 TFT(20)들이 턴 오프되어, 캐패시터(21)는 픽셀 전극(11)으로부터 효과적으로 절단된다. 이는 각 픽셀에서의 저장 캐패시턴스가 저장 캐패시터(12)의 값 Cs1과 실질적으로 동일한 상대적으로 낮은 캐패시턴스 동작 모드이다. 다른 높은 캐패시턴스 모드에서는, 라인(22)들이 상대적으로 높은 전압에 접속되어, 모든 픽셀에서의 트랜지스터(20)가 턴 온되고, 캐패시터(21)는 각 픽셀에서 캐패시터(12)와 병렬로 접속된다. 이러한 모드에서는, 저장 캐패시턴스는 캐패시터(12, 21)의 값 Cs1과 Cs2와의 합과 동일하다.

도 7은 낮은 캐패시턴스 및 높은 캐패시턴스 모드에서 동작하는 도 6의 장치의 시뮬레이션 결과를 나타내는 마이크로초 단위의 시간에 대한 볼트 단위의 전압을 나타내는 파형도이다. 시뮬레이션은 하나의 프레임에서 -3.5V의 전압을, 다음 프레임에서 +3.5V의 전압을 수신하는 액정 픽셀 셀을 나타낸다. 픽셀 전압은 6V의 대향 전극 전위에 상대적이어서, 픽셀 전극(11)에 공급되는 전압은 제1 프레임에서는 2.5V이고, 제2 프레임에서는 9.5V이다. 스캔 라인 활성화 주파수와 누설이 조절되어, 적절한 시뮬레이션 시간 내에서 상대적인 효과가 관찰될 수 있다. 캐패시터(12)의 값 Cs1은 100fF으로서, 이는 소형의 직시형 액티브 매트릭스 액정 디스플레이에서 일반적이다. 캐패시터(21)의 값 Cs2는 500 fF이다.

낮은 캐패시턴스 동작 모드에서, 픽셀 충전은 매우 빠르게 일어난다. 그러나, 스캔 라인이 낮아지면, TFT(10)의 중첩 캐패시턴스로부터 상당한 전하 주입이 일어난다. 또한, 저장 캐패시터(12)로부터의 누설도 매우 크다. 높은 캐패시턴스 동작 모드에서 픽셀 전극 전압이 데이터 라인 전압을 향해 이동함에 따라, 픽셀 충전이 오래 걸리게 되어, 트랜지스터(10)가 턴 오프될 때 전하 주입이 덜 발생하게 되고, 누설은 실질적으로 작아진다.

시뮬레이션 결과는, 패널-샘플 및 홀드형 디스플레이에서 공유하는 전하에 의해 데이터 라인 전압에 야기된 변조를 도시하지는 않는다. 소형의 직시형 액티브 매트릭스 액정 디스플레이에 대하여, 데이터 라인 캐패시턴스는 일반적으로 10pF이다. 동일한 저장 캐패시턴스에 대해서는, 낮은 캐패시턴스 모드에서, 픽셀에서 발생하는 전압의 변화량은 대략적으로 양호한 데이터 라인 전압의 1%이다. 높은 캐패시턴스 모드에서, 전압 변화량은 6%에 근접한다. 이러한 효과는 도 8에 도시되어 있다. 제2 스캔 주기 바로 직전에, 데이터 라인은 초기에는 9.5V이다. 스캔 라인이 활성화될 때, 데이터 라인과 캐패시터(12, 21) 모두는 전하를 공유한다. 전체 효과는 픽셀 전극(11)이 희망하는 9.5V가 아닌 9.1V에서 정지한다는 것이다.

각 픽셀에서 별도의 TFT(20)를 갖는 500fF의 또 다른 저장 캐패시터(21)의 구현은, 특히 게이트 및 소스 금속 배선층을 이용하여 병렬 플레이트 저장 캐패시터를 형성하는 경우, 소형의 투과형 액정 디스플레이에서 실질적으로 픽셀 개구율을 감소시킨다는 것이다. 그러나, 픽셀 개구율은, 반사 전극 하면에 별도의 소자(20, 21)가 배치되는 반사 또는 투과-반사형 디스플레이에는 실질적으로 영향을 미치지 않는다.

높은 캐패시턴스 동작 모드 동안 픽셀 충전 시간을 증가시키는 것은, 특히 TFT(10, 20)이 비정질 실리콘 유형인 경우 세심한 주의를 요한다. 이러한 장치의 이동도는 예를 들면, 1㎠/Vs로 매우 낮으며, 이는 데이터 라인(4)으로부터 저장 캐패시터(12, 21)로의 전하 흐름 속도를 제한한다. 따라서, 픽셀을 충분히 충전시키기 위해 액티브 매트릭스 어드레스의 속도를 낮추는 것이 필요하거나 바람직하다. 또 다른 방식으로, 동일한 이미지 데이터를 연속적인 프레임 내의 액티브 매트릭스에 기입하는 것이 가능하여, 이로서 만족스러운 셀 충전을 확보한다. 이러한 기술은 데이터 라인 드라이버(3) 및 스캔 라인 드라이버(7)에서의 타이밍 변형에 의해 조정될 수 있다. 50㎠/Vs를 초과하는 이동도를 갖는 고성능 폴리 실리콘 TFT(10, 20)로 제조된 디스플레이에서, 높은 캐패시턴스 모드는 넓은 픽셀 충전 주기를 요구할 필요는 없다.

높은 커패시턴스 모드내에서 어드레싱하는 포인트-앳-어-타임(point-at-a-time) 디스플레이의 정확성의 감소는 디스플레이가 접속된 데이터 라인 드라이버 또는 액정 드라이버 제어기(도시되지 않음)내에서 보상될 수 있다. 액정 픽셀의 비-선형 전압/전송 응답에 대한 보상이 일반적으로 필요하므로 그러한 보상은 표준 프랙티스이며; 이는 일반적으로 "감마 보정"이라 명칭된다. 그럼에도 불구하고, 높고 낮은 커패시턴스 모드에 대한 드라이버 회로내의 2개의 보상 기법의 수용은 현저한 오버헤드를 나타낸다. 디스플레이는, 주로 전력 소비를 감소시키기 위해, 감소된 프레임 레이트로 고 커패시턴스 모드내에서 동작될 수도 있다. 이러한 경우에, 높은 그레이-스케일의 정확성은 덜 중요하다. 예컨대, 디스플레이는 1비트 칼라 모드의 저 프레임 레이트로 동작할 수 있다. 그러한 1비트 칼라 모드에서의 공유된 전하에 의해 야기되는 어떠한 부정확성도 실질적인 이미지 품질 문제를 나타내지 않을 수도 있다.

도 9에 도시된 실시예는, TFT(20)및 커패시터(21)의 위치가 교체되었다는 점에서, 도 6에 도시된 실시예와 다르다. 그러나, 동작은 이에 의해 영향을 받지 않는다.

도 10에 도시된 소자는, 도 5에 도시된 커패시터-온-게이트 기술이 액티브 매트릭스의 각각의 열을 가로지르는 수평 신호중 하나를 감소시키는데 사용된다는 점에서, 도 6에 도시된 소자와 다르다. 따라서, 커패시터(12 및 21)의 하부 프레이트는 인접한 픽셀 열의 스캔 라인(6)에 접속되어 공통 라인(13)이 필요없다. 스캔선은 커패시터(12 및 21)의 하부 터미널에 DC 전압을 공급하는데 사용되고, 이 전압은 대부분의 시간동안 0V 이다. 그러나, 스캔 라인(6)은, 픽셀의 행의 TFT(10)들을 활성화키시기 위하여 높은 DC 전압으로 교대로 스위칭된다. 캐패시터(12, 21) 상에 저장된 전압의 변조를 피하기 위하여, 스위칭 동작은 캐패시터가 충전되기 전에 발생되어만 한다. 또한, 도 10에 도시된 액티브 매트릭스는 최하부 행으로부터 위쪽으로 스캔되어야만 한다.

도 11에 도시된 소자는, 공통 전극 라인(13) 및 캐패시터 선택 라인(22)이, 캐패시터(12 및 21)의 추가적인 플레이트 및 TFT(20)의 게이트에 접속된 단일 라인(24)로 교체된다는 점에서, 도 6에 도시된 소자와 상이하다. 이것은, 캐패시터 선택 라인은, 일단 동작 모드가 선택되면 기본적으로 DC 신호이기 때문에 허용된다. 낮은 캐패시턴스 모드에서는, 라인(24)은 그라운드에 접속되어, TFT(20)는 스위치 오프되고, 유효 저장 캐패시턴스는 캐패시터(12)에 의해 제공된다. 높은 캐패시턴스 모드에서는, 라인(24)은 포지티브 전압원 Vdd에 접속되고, TFT(20)는 스위치 온 되어, 캐패시터(12)를 가로질러 캐패시터(21)에 접속된다. 또한 이러한 기술은 이하 기술되는 실시예에도 적용될 수 있다.

도 12는, 각각의 캐패시터 선택 라인 및 공통 전극 라인(24)이 픽셀열의 인접한 쌍에 의해 공유된다는 점에서 도 11에 도시된 것과 다른 소자를 도시한다. 따라서, 평균적으로, 각각의 픽셀열을 지나는 1.5개의 수평신호가 있다. 이러한 기술도 또한 이하 기술되는 실시예에도 적용될 수 있다.

도 13에 도시된 소자는, 각각의 픽셀열이 공통 라인(13) 및 캐패시터 선택 라인(22)을 갖는다는 점에서, 도 6에 도시된 소자와 유사하다. 그러나, 캐패시터(12 및 21)는, TFT(10 및 20)가 형성되는 집적 구조의 게이트 금속의 배선층 일부를 형성하는 공통 플레이트를 공유한다. 캐패시터(21)의 다른 플레이트가 고 농도로 도핑된 비정질 또는 폴리실리콘 층, 예컨대, N-형 재료, 의 일부를 형성하는데 반해, 캐패시터(12)의 다른 플레이트는 소스 금속 배선층의 일부를 포함한다. 전형적인 TFT 구조에서, 캐패시터(21)의 유전체는 게이트 산화물이어서, 캐패시터(21)의 기판에서 단위 면적당의 캐패시턴스는 캐패시터(12)에서의 캐패시턴스보다 상당히 크다. 이것은, 캐패시터(21)의 보다 큰값의 캐패시턴스 Cs2를 얻을 수 있도록 한다.

도 14는, 폴리실리콘 듀얼-게이트 TFT 구조를 갖는 반사형 액정 디스플레이로 구현되는 도 13에 도시된 유형의 소자의 마스크 레이아웃을 도시한다. 데이터 라인(4)은 소스 금속 배선층(SL)상에 구현되고, 이중 게이트 구조의 TFT(10)의 소스를 갖는 비어(30)를 통한 접속을 갖는 픽셀의 우측에 수직으로 지나간다. TFT(10)는, 스캔 라인(6)에 의해 2번 통과되고, 스캔 라인(6)은 게이트 금속 배선층(GL)내에 형성되어 2개의 직렬-접속 TFT 채널이 또 다른 우측 모서리에 형성된다. 이러한 배치은 장치에서 마스크 정렬 에러가 더욱 발생하지 않도록 한다.

TFT(10)의 드레인에서, 비어(31)는 큰 SL 전극에 단자를 접속하고, SL 전극은 캐패시터(12)의 하나의 플레이트를 형성하고, 다른 플레이트는 GL 전극 라인의 일부에 의해 형성된다. SL 전극은 또한 반사형 전극(RE)(32)과 접촉한다. TFT(10)의 드레인도 또한 폴리실리콘 트랙에 접속되고, 폴리실리콘 트랙은, 캐패시터 선택 라인(22)에 의해 통과되

는 트랜지스터(20)를 형성한다. 다음에, 폴리실리콘 트랙은, GL 공통 전극 라인(13)과 결합된 캐패시터(21)를 형성하는 고 농도로 도핑된 폴리실리콘 전극에 접속된다.

게이트층 하부의 고농도로 도핑된 비정질 또는 폴리실리콘층은 종래의 TFT 공정을 사용하여서는 정상적으로 얻어질 수 없고, 고 농도 도핑 영역을 한정하는 추가적인 마스크를 필요로 할 수 있다.

도 15에 도시된 소자는, 도 13에 도시된 장치와 유사한 유형이지만, 도 11에 도시된 바와 같이 단일의 캐패시터 선택 라인 및 공통 전극 라인(24)를 사용하고, MOS 캐패시터로 구현된 캐패시터(12 및 21)를 갖는다. 라인(24)이, 그라운드와 같은 저 전압에 접속되면, TFT(20)는 스위치 오프되고, 캐패시터(12)가 SL층과 GL층간의 병렬 플레이트 캐패시터에 의해 형성된다. 예컨대 Vdd에서, 라인(24)상의 선택 라인이 하이이면, TFT(20)는 스위치 온되고, 값 Cs2의 MOS 캐패시터는 캐패시터(12)와 병렬이 된다. MOS 캐패시터(35)는 게이트 전극 하부의 비정질 또는 폴리실리콘 층에 의해 형성된다. 게이트 전극은 GL 층 상에 경로를 정하는 캐패시터 선택 신호 라인에 의해 형성되고, 이것은 MOS 구조(35)의 임계 전압(Vt)이상인 고전위가 된다. 다음에, 전체적인 캐패시턴스는, 도 4를 참조하여 전술한 바와 같은, 산화물 캐패시턴스 및 중첩 캐패시턴스의 합과 동일하게 된다.

도 16은, 반사형 폴리실리콘 듀얼-게이트 TFT 구조로 구현된 도 15의 소자에 대한 마스크 레이아웃을 도시한다. 픽셀을 지나 경로를 정하는 단지 2개의 수평 신호가 있다. MOS 캐패시터의 폴리실리콘 층은 캐패시터의 게이트 금속 층 위로 확장된다. 노멀 자동-정렬 TFT 구성도에서, 이 영역은 고농도로 도핑된다. 33으로 지시되는 바와 같이, 이 영역은, 필요한 소스-드레인 접속을 형성하기 위해 MOS 캐패시터의 3개의 모서리 주위로 계속된다.

MOS 구조의 캐패시턴스는 공통 전극에 인가된 전압에 의존하여 변한다. 도 17은 2가지 조건에서의 MOS 캐패시터(35)의 단자 전압을 도시한다. 도 17의 상부 도면에서, 공통 전극은 15V이고, 이전압은 액티브 매트릭스 소자에 대해서는 전형적인 전압원이다. 픽셀 전극(11)은, 전형적인 소자에서는 1.5V 와 10.5V 간의 어느 값도 가질 수 있다. 캐패시터가 그 자체의 높은 캐패시턴스 영역에 있도록 하기 위해, MOS 임계 전압은 4.5V 이하이어야 하고, 이것은 일반적으로 비정질 및 폴리실리콘 픽셀 TFT인 경우이다.

도 17의 하부 도면에 도시된 구성에서, 공통 전극은 0V이다. 캐패시터가 그 자체의 낮은 캐패시턴스 영역에 있도록 하기 위해, MOS 임계 전압은 -1.5V 이상이어야 하고, 이것은 일반적으로 비정질 및 폴리실리콘 픽셀 TFT인 경우이다. 따라서, 공통 전극 전압 자체를 스위칭하여, 2개의 MOS 캐패시터 영역간을 변경시켜 2개의 상이한 저장 캐패시턴스를 선택하는 것이 가능하다.

도 18에 도시된 장치는 이 능력을 이용하고 캐패시턴스 스위칭이 MOS 구조(35)에 의해 실행되기 때문에 TFT(20)가 생략되는 점에서 도 15에 도시된 것과는 다르다. 이 장치의 하나의 픽셀에 대한 마스크 레이아웃은 도 19에 도시된다.

도 20에 도시된 장치는 상호 접속된 층들에 의해 형성된 평행 플레이트 캐패시터가 생략된다는 점에서 도 18에 도시된 것과는 다르다. 따라서, 배선층(SL) 상에 형성된 전극이 필요없게 되어 매우 간단한 픽셀 회로가 된다. 영구적으로 연결된 저장 캐패시터는 중첩 캐패시턴스에 의해 제공되는 반면에, 셀프 스위칭 캐패시터는 산화 캐패시턴스에 의해 생성되고 Vdd와 같은, 라인(24)이 고전압으로 스위칭되는 경우에 회로로 단지 스위칭된다. 영구적으로 연결된 저장 캐패시터의 값(Cs1)은 게이트 전극 아래에 일체화된 저농도로 도핑된 드레인(LDD) 같은 공지된 TFT 채널 엔지니어링 기술을 사용하여 선택되어진다.

발명의 효과

본 발명은 저전력 소비를 위해서, 보다 낮은 프레임 레이트 모드가 픽셀에서 보다 큰 저장 용량으로 선택될 수 있어 픽셀간 간격 갱신시 전하 누설에 의한 이미지 훼손을 감소 또는 방지할 수 있다.

(57) 청구의 범위

청구항 1.

이미지 소자,상기 이미지 소자에 연결된 제1 전하 저장 소자, 및 상기 제1 전하 저장 소자 및 상기 이미지 소자에 데이터 라인을 연결시키기 위한 제1 반도체 스위치를 각각 포함하는, 화소 배열을 포함한 액티브 매트릭스 장치에 있어서,

상기 화소 각각은, 전하 저장 용량을 증가시키기 위하여, 제2 전하 저장 소자 및 상기 제1 전하 저장 소자 및 상기 이미지 소자에 상기 제2 전하 저장 소자를 접속시키기 위해 상기 제1 반도체 스위치와 독립적으로 스위치가능한 제2 반도체 스위치를 포함하는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 2.

제1항에 있어서,

상기 이미지 소자 각각은 광 변조 소자인 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 3.

제2항에 있어서,

상기 이미지 소자 각각은 투과형인 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 4.

제2항에 있어서,

상기 이미지 소자 각각은 반사형인 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 5.

제2항에 있어서,

상기 이미지 소자 각각은 액정 소자인 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 6.

제1항에 있어서,

상기 이미지 소자 각각은 광 발광 소자인 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 7.

제1항에 있어서,

상기 제1 및 제2 스위치 각각은 박막 트랜지스터인 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 8.

제1항에 있어서,

상기 제2 전하 저장 소자의 상기 전하 저장 용량은 상기 제1 전하 저장 소자의 전하 저장 용량보다 큰 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 9.

제1항에 있어서,

상기 화소 각각에 대해, 상기 제2 전하 저장 소자 및 상기 제2 스위치는 상기 제1 전하 저장 소자에 걸쳐 직렬로 접속된 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 10.

제1항에 있어서,

상기 화소는 열과 행으로 배치되며, 각 열의 화소는 개별적인 데이터 라인에 접속되고, 각 행의 화소는 개별적인 스캔 라인에 접속되는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 11.

제10항에 있어서,

상기 각 행의 화소의 상기 제2 스위치는 개별적인 제어 라인에 접속된 제어 단자를 갖는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 12.

제11항에 있어서,

상기 제어 라인은 통합 접속된 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 13.

제1항에 있어서,

상기 각 화소에 대해, 상기 제2 스위치는 상기 제1 및 제2 전하 저장 소자의 제1 단자에 접속된 제어 단자를 갖는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 14.

제10항에 있어서,

상기 각 행의 화소의 상기 제1 및 제2 전하 저장 소자는 개별적인 공통 라인에 연결된 제1 단자를 갖는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 15.

제10항에 있어서,

인접한 쌍의 행의 화소의 상기 제1 및 제2 전하 저장 소자는 개별적인 공통 라인에 연결된 제1 단자를 갖는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 16.

제10항에 있어서,

상기 각 행의 화소의 상기 제1 및 제2 전하 저장 소자는 인접한 행의 상기 스캔 라인에 접속된 제1 단자를 갖는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 17.

제1항에 있어서,

상기 각 화소의 상기 제1 및 제2 전하 저장 소자는 제1 및 제2 캐패시터를 각각 포함하는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 18.

제17항에 있어서,

상기 각 화소의 상기 제1 및 제2 캐패시터는 공통 플레이트를 갖는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 19.

제18항에 있어서,

상기 공통 플레이트는 게이트 금속 배선층(GL)의 일부를 포함하는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 20.

제19항에 있어서,

상기 각 화소의 상기 제1 캐패시터는 소스 금속 배선층(SL)의 일부를 포함하는 플레이트를 더 포함하는 것을 특징으로 액티브 매트릭스 장치.

청구항 21.

제19항에 있어서,

상기 각 화소의 상기 제2 캐패시터는 고농도로 도핑된 실리콘 층의 일부를 포함하는 다른 플레이트를 포함하는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 22.

제17항에 있어서,

상기 각 화소의 상기 제2 캐패시터는 게이트 산화물을 포함하는 유전체를 포함하는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 23.

제22항에 있어서,

상기 각 화소의 상기 제2 캐패시터는 금속 산화물 실리콘 캐패시터를 포함하는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 24.

제23항에 있어서,

상기 금속 산화물 실리콘 캐패시터는 상기 제2 스위치를 형성하고, 상기 제1 스위치 및 상기 이미지 소자에 접속된 소스 및 드레인 단자를 포함하는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 25.

제23항에 있어서,

상기 각 화소의 상기 제1 캐패시터는 상기 금속 산화물 실리콘 캐패시터의 게이트/소스 중첩 캐패시턴스 및 게이트/드레인 중첩 캐패시턴스를 포함하는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 26.

제25항에 있어서,

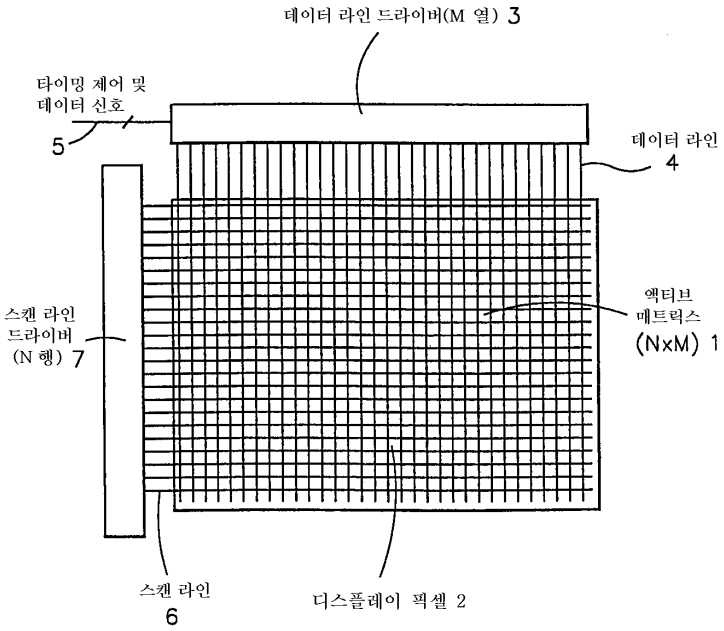
상기 금속 산화물 실리콘 캐패시터(35)는 상기 게이트 전극 아래에 저농도로 도핑된 드레인을 갖는 것을 특징으로 하는 액티브 매트릭스 장치.

청구항 27.

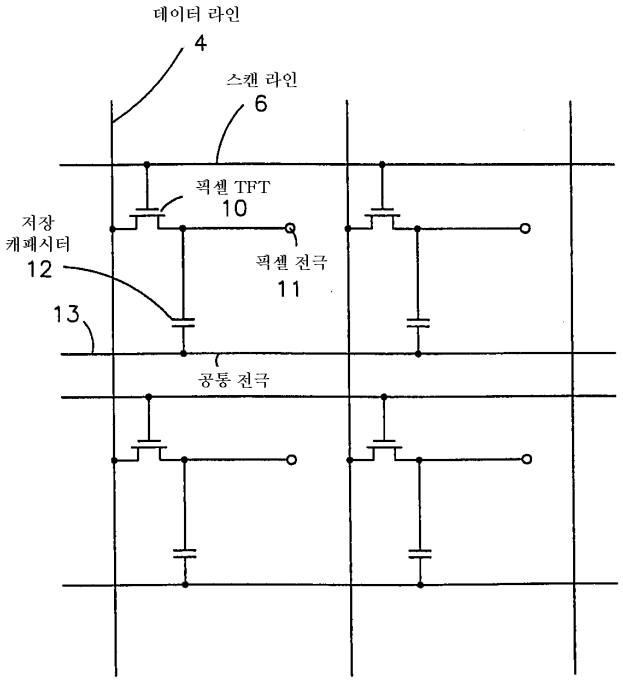
제1항의 액티브 매트릭스 장치를 포함하는 것을 특징으로 하는 디스플레이 장치.

도면

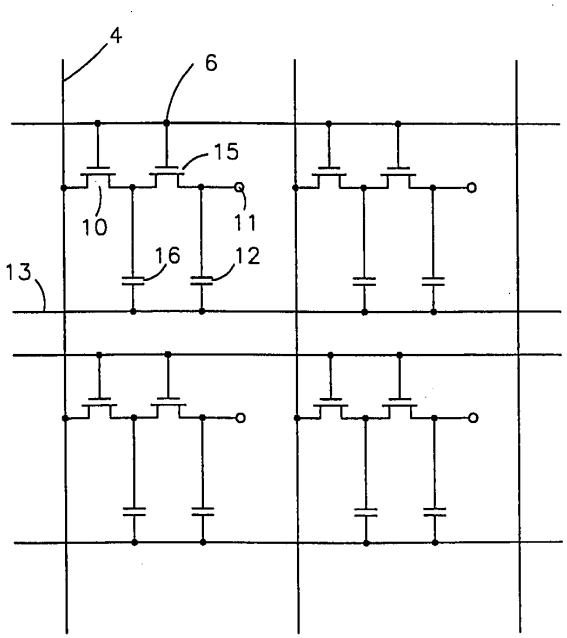
도면 1


데이터 라인 드라이버(M 열) 3
타이밍 제어 및
데이터 신호
5
데이터 라인
4
액티브
매트릭스
(NxM) 1
스캔 라인
드라이버
(N 행) 7
스캔 라인
6
디스플레이 픽셀 2

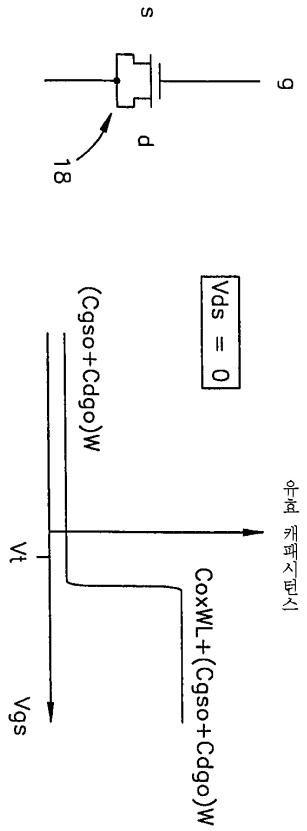
도면 2


데이터 라인
4
스캔 라인
6
픽셀 TFT
10
저장
캐패시터
12
픽셀 전극
11
13
공통 전극

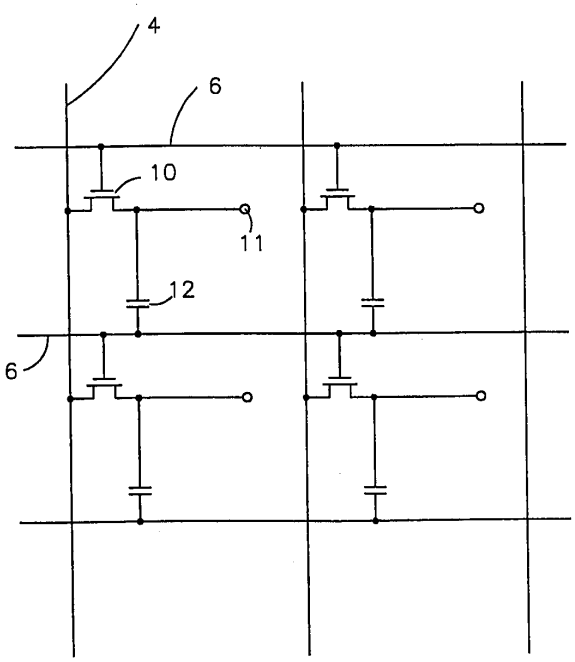
도면 3



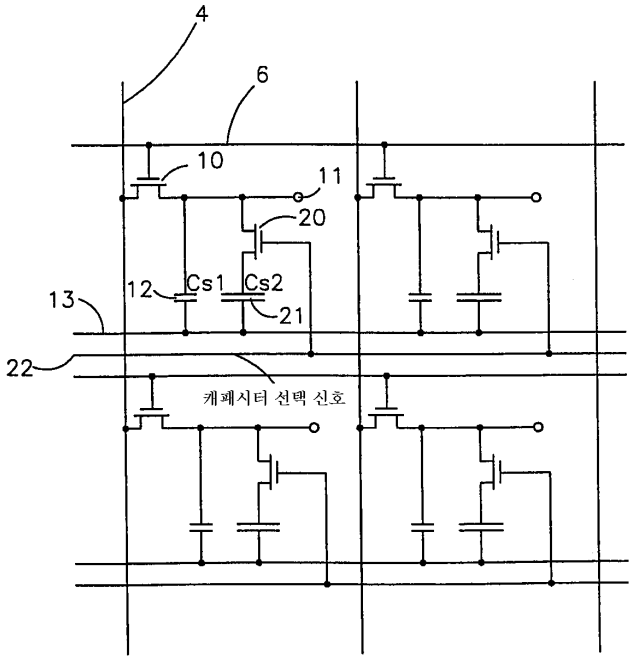
도면 4



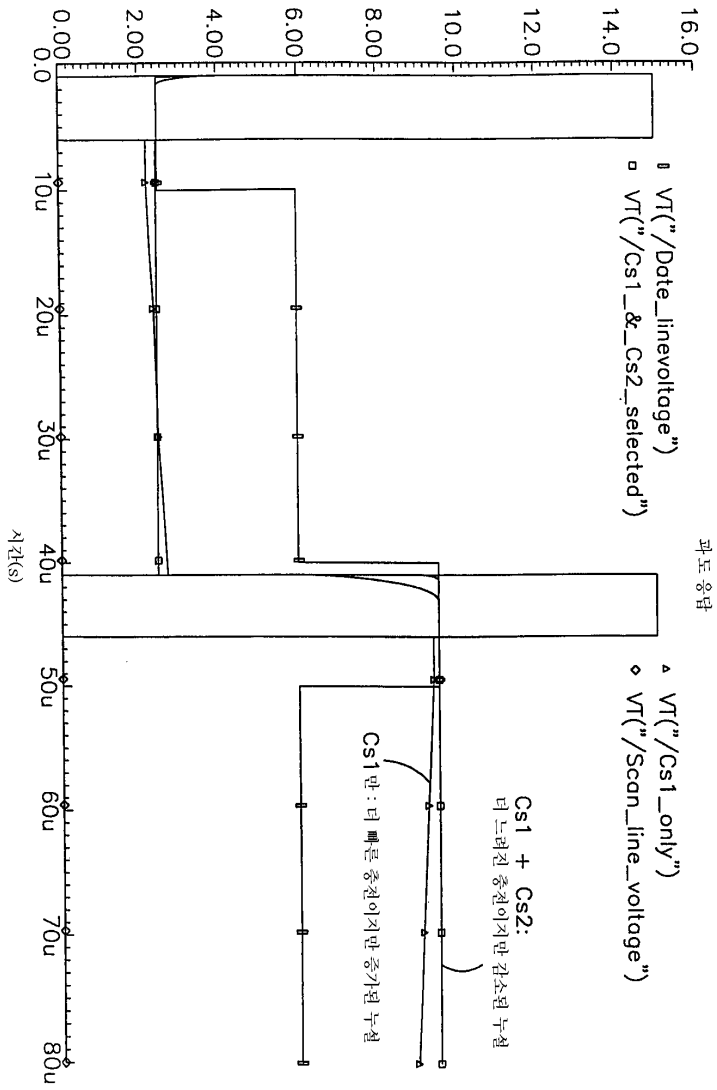
도면 5



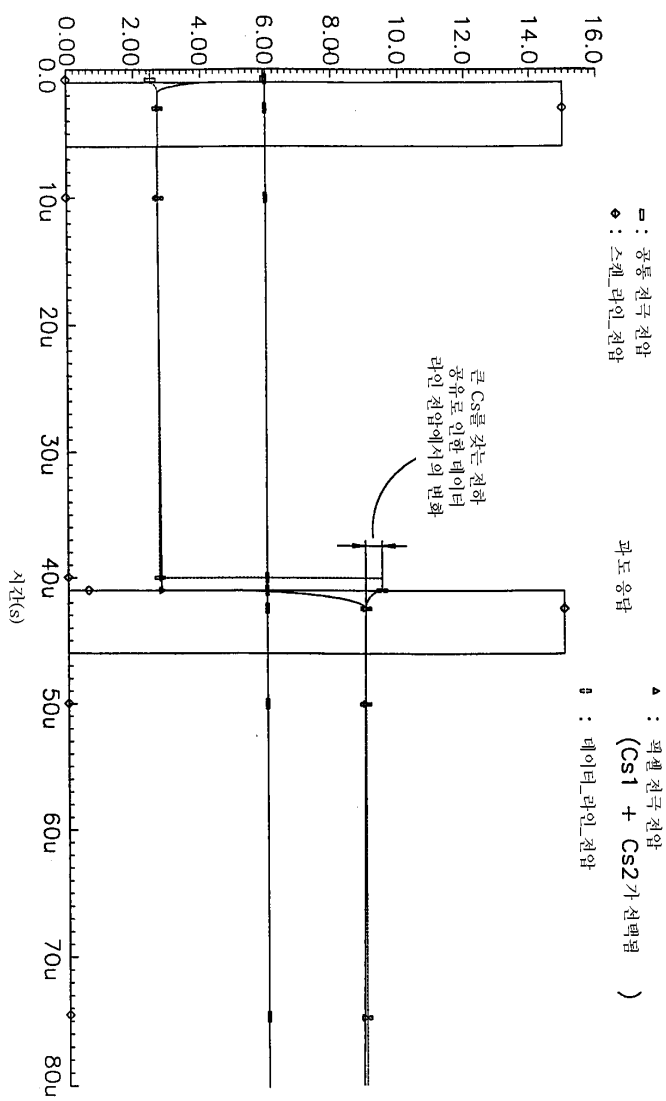
도면 6



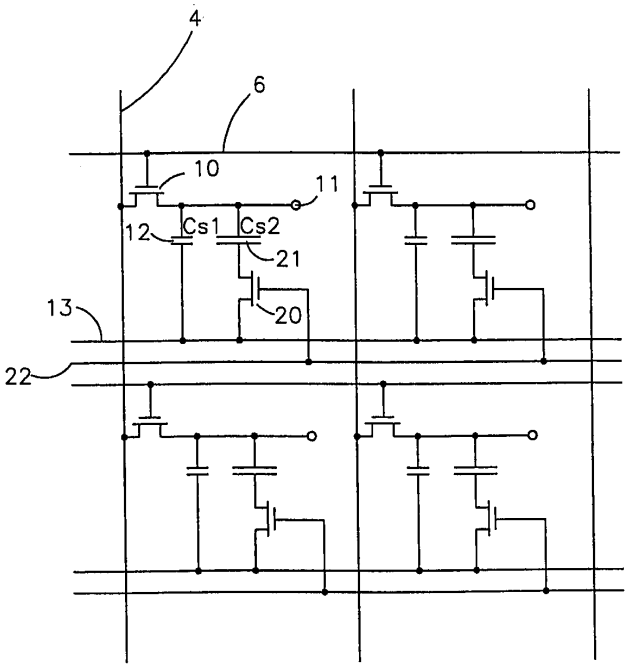
도면 7


16.0
14.0
12.0
10.0
8.00
6.00
4.00
2.00
0.00
0.0
10u
20u
30u
40u
50u
60u
70u
80u
시간(s)
파도 응답
VT("/Date_linevoltage")
VT("/Cs1_&_Cs2_selected")
VT("/Cs1_only")
VT("/Scan_line_voltage")
Cs1 + Cs2:
더 느려진 충전이지만 감소된 누설
Cs1만 : 더 빠른 충전이지만 증가된 누설

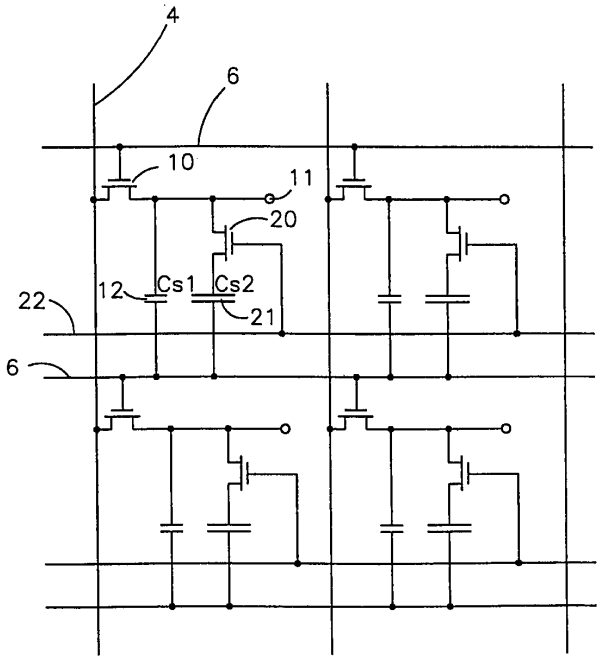
도면 8


16.0
14.0
12.0
10.0
8.00
6.00
4.00
2.00
0.00
0.0
10u
20u
30u
40u
50u
60u
70u
80u
시간(s)
■ : 공통 전극 전압
◆ : 스캔_라인_전압
▲ : 픽셀 전극 전압
(Cs1 + Cs2가 선택됨)
■ : 데이터_라인_전압
과도 응답
큰 Cs를 갖는 전하
공유로 인한 데이터
라인 전압에서의 변화

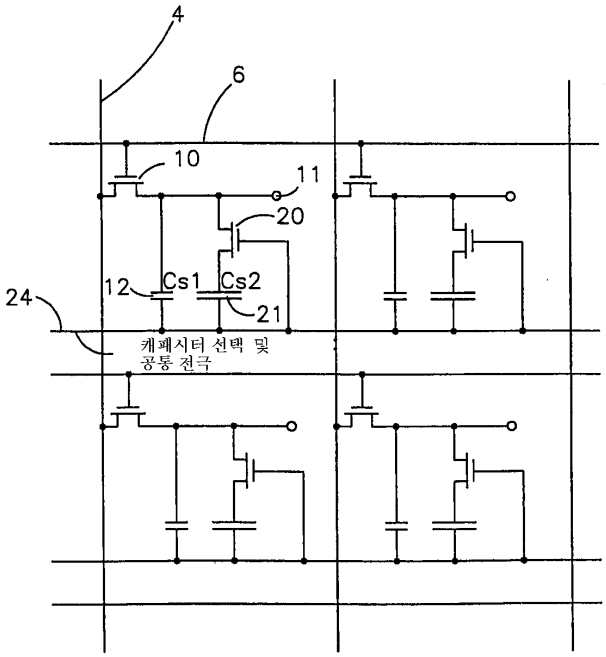
도면 9



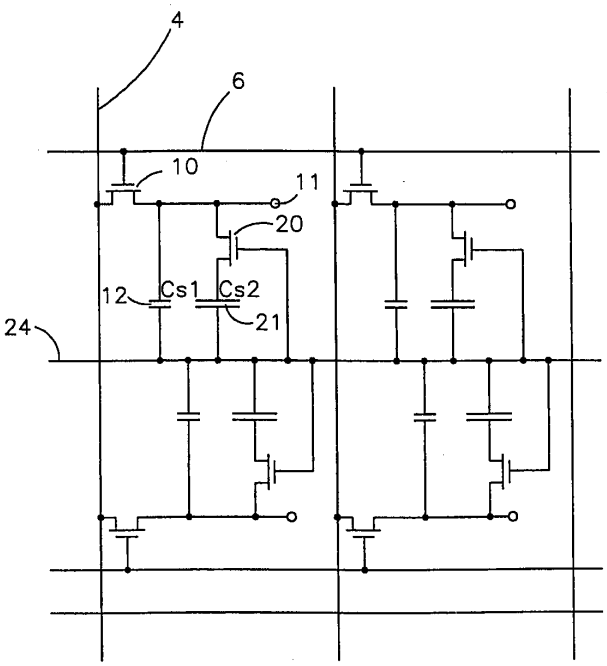
도면 10



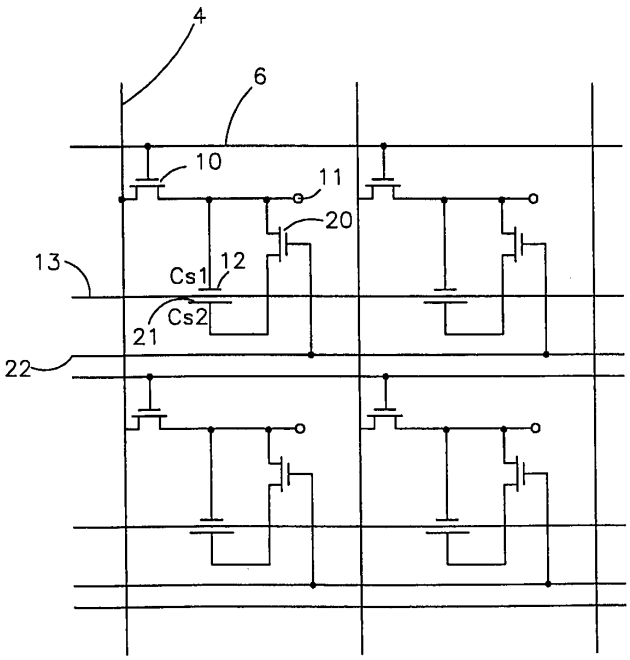
도면 11


4
6
10
11
20
12
Cs1
Cs2
21
24
캐패시터 선택 및
공통 전극

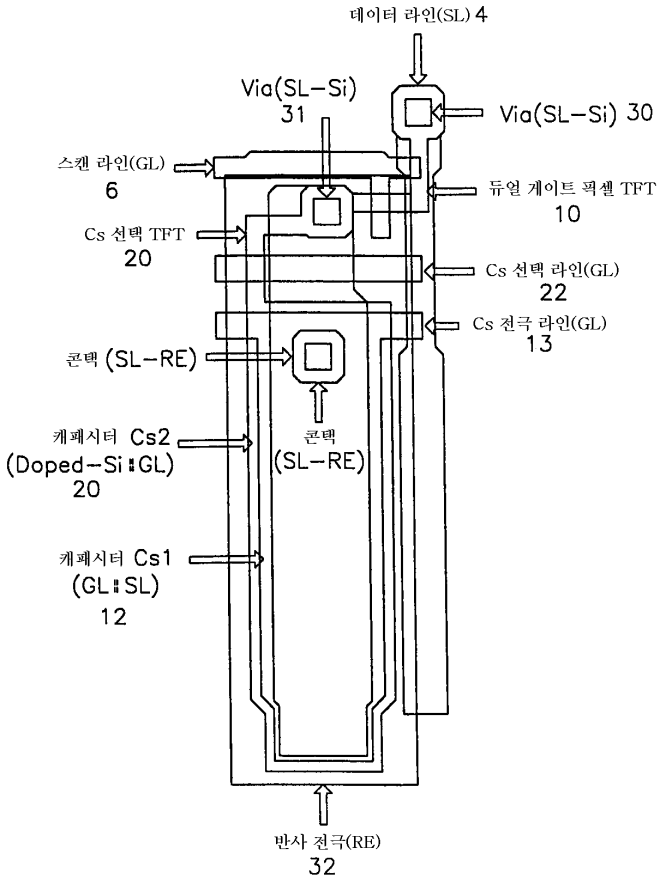
도면 12


4
6
10
11
20
12
Cs1
Cs2
21
24

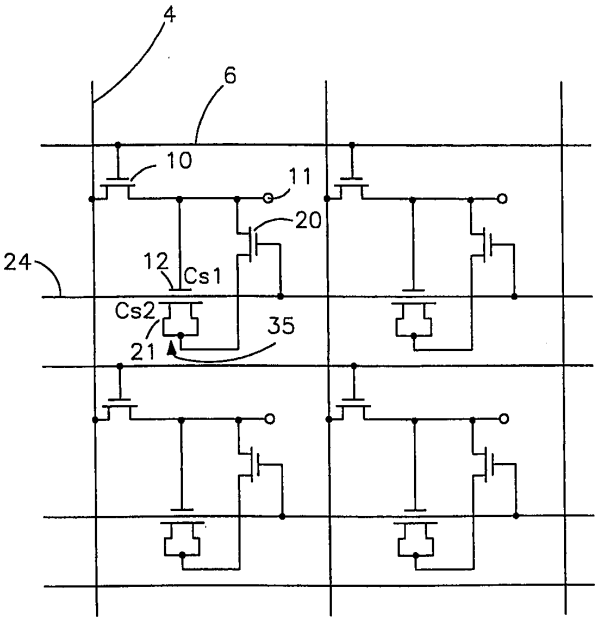
도면 13



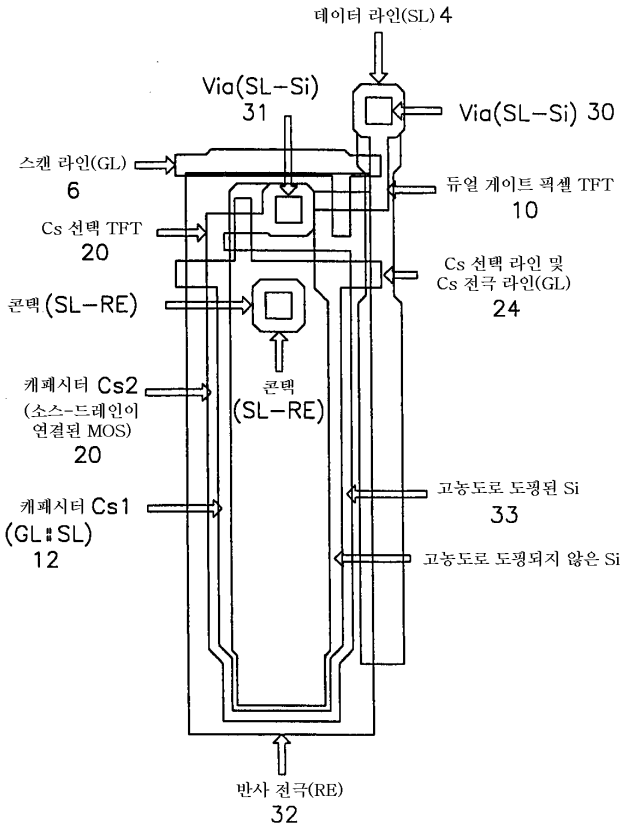
도면 14


데이터 라인(SL) 4
Via(SL-Si)
31
Via(SL-Si) 30
스캔 라인(GL)
6
듀얼 게이트 픽셀 TFT
10
Cs 선택 TFT
20
Cs 선택 라인(GL)
22
Cs 전극 라인(GL)
13
콘택 (SL-RE)
캐패시터 Cs2
(Doped-Si:GL)
20
콘택
(SL-RE)
캐패시터 Cs1
(GL:SL)
12
반사 전극(RE)
32

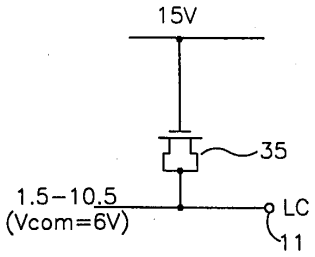
도면 15



도면 16

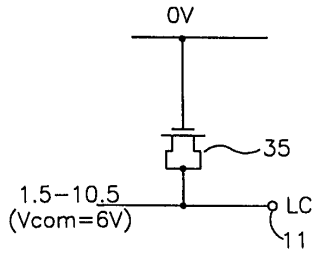

데이터 라인(SL) 4
Via(SL-Si)
31
Via(SL-Si) 30
스캔 라인(GL)
6
듀얼 게이트 픽셀 TFT
10
Cs 선택 TFT
20
Cs 선택 라인 및
Cs 전극 라인(GL)
24
콘택(SL-RE)
콘택
(SL-RE)
캐패시터 Cs2
(소스-드레인이
연결된 MOS)
20
고농도로 도핑된 Si
33
캐패시터 Cs1
(GL:SL)
12
고농도로 도핑되지 않은 Si
반사 전극(RE)
32

도면 17



높은 정전 용량을 위한 조건 :

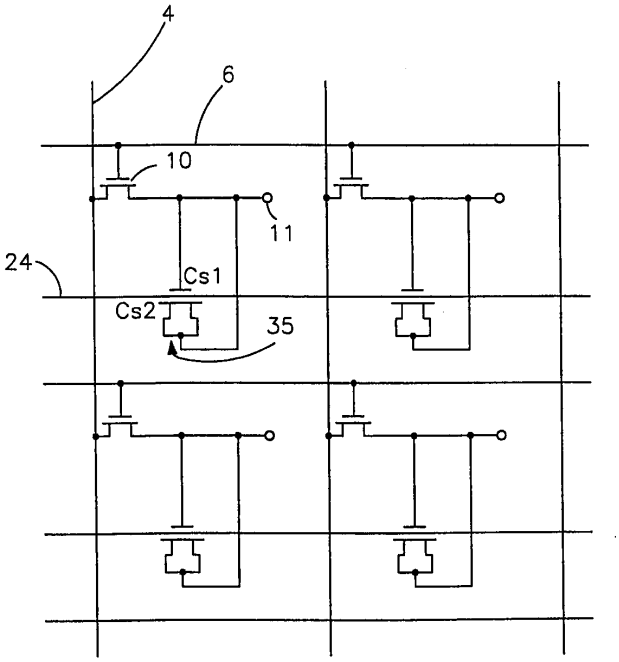
Vt<4.5



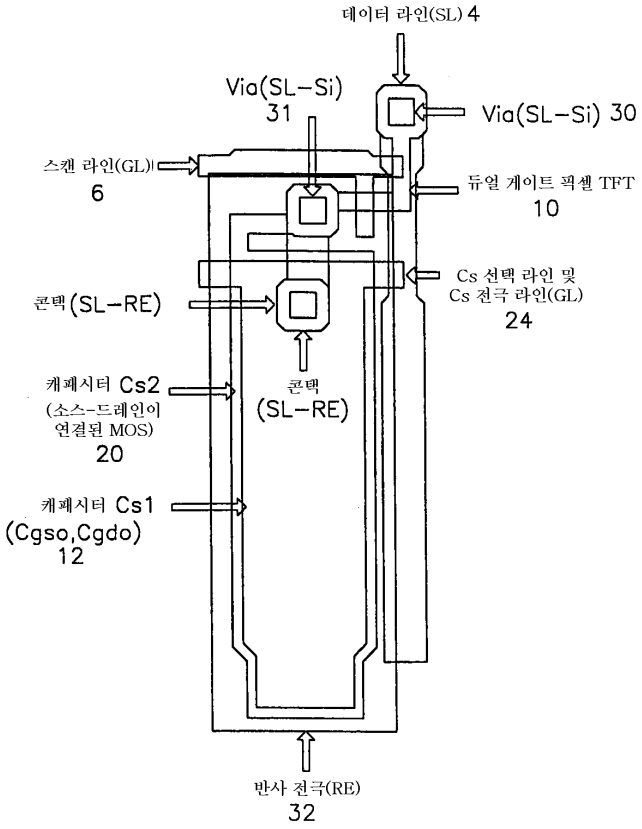
낮은 정전 용량을 위한 조건 :

Vt>-1.5

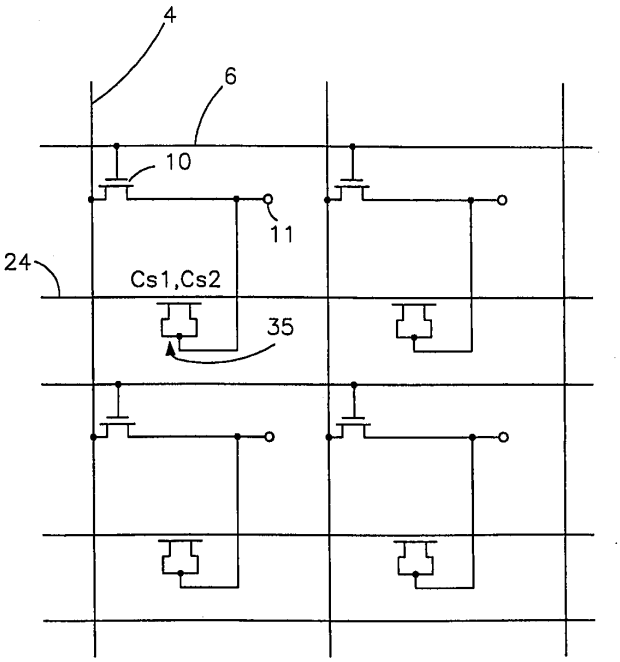
도면 18



도면 19


데이터 라인(SL) 4
Via(SL-Si)
31
Via(SL-Si) 30
스캔 라인(GL)
6
듀얼 게이트 픽셀 TFT
10
Cs 선택 라인 및
Cs 전극 라인(GL)
24
콘택(SL-RE)
콘택
(SL-RE)
캐패시터 Cs2
(소스-드레인이
연결된 MOS)
20
캐패시터 Cs1
(Cgso,Cgdo)
12
반사 전극(RE)
32

도면 20



专利名称(译)	有源矩阵设备和显示设备		
公开(公告)号	KR1020020070148A	公开(公告)日	2002-09-05
申请号	KR1020020010543	申请日	2002-02-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	CAIRNS GRAHAMANDREW DACHS CATHERINEROSINDAMARIEARMIDA BROWNLOW MICHAELJAMES 브라운로우마이클제임스 KAISE YASUYOSHI 가이세야스요시		
发明人	케른스,그래임앤드류 다쉬,까뜨린느로신다마리아르미다 브라운로우,마이클제임스 가이세야스요시		
IPC分类号	G02F1/1362 G09F9/30 H01L21/336 G09G3/20 H01L29/786 G09G3/36 G09F9/35 G02F1/1368		
CPC分类号	G02F2001/136245 G09G3/3648 G09G2300/0809 G02F1/136213		
代理人(译)	CHANG, SOO KIL		
优先权	2001004786 2001-02-27 GB		
其他公开文献	KR100443219B1		
外部链接	Espacenet		

摘要(译)

有源矩阵装置包括像素阵列。每个像素连接到第一存储电容器12，并且当由扫描线6上的扫描信号激活时，由薄膜晶体管10连接到数据线4。