(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 29/786

(11) 공개번호 특2001-0098918
(43) 공개일자 2001년11월08일

(21) 출원번호 10-2001-0022816
(22) 출원일자 2001년04월27일

(30) 우선권주장 2000-129661 2000년04월28일 일본(JP)
2000-165516 2000년06월02일 일본(JP)

(71) 출원인 가시오게산키 가부시키가이샤
가시오 가즈오
일본국 도쿄도 시부야쿠 혼마치 1쵸메 6반 2고

(72) 발명자 히가시도시아키
일본국가나가와켄요코하마시미도리쿠가모이1-13-1-902
미야카와다츠야
일본국도쿄도다치카와시이치반쵸2-38-31

(74) 대리인 손은진

심사청구 : 있음

(54) 박막트랜지스터패널의 제조방법

요약

본 발명은 액티브매트릭스형 액정표시장치 등에 적용되는 박막트랜지스터패널의 제조방법에 관한 것으로서,

박막트랜지스터(8)의 채널영역을 보호하는 보호막(33)을 드라이에칭에 의해 형성하므로, 반도체막(32)에 결합이 있어도 게이트절연막(31)에 핀홀이 형성되는 일은 없고, 이 때문에 게이트전극(G)을 포함하는 주사신호라인(9) 등을 표면에 양극산화막을 갖지 않는 Al계 금속막만에 의하여 형성해도 게이트절연막(31)의 절연내압이 저하하지 않도록 할 수 있는 것을 특징으로 한다.

대표도
도 1

색인어
박막트랜지스터, 보호막, 반도체막, 게이트절연막, 주사신호라인

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시형태에 있어서의 박막트랜지스터패널의 제조공정을 나타내는 도면.

도 2는 도 1에 나타내어진 박막트랜지스터패널의 제조공정의 당초의 공정을 설명하기 위한 박막트랜지스터패널의 요부확대단면도.

도 3은 도 2에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 4는 도 3에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 5는 도 4에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 6은 도 5에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 7은 도 6에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 8은 도 7에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 9는 도 8에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 10은 본 발명의 제 2 실시형태에 있어서의 박막트랜지스터패널의 제조방법을 설명하기 위한 요부확대단면도.

도 11은 도 10에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 12는 본 발명의 제 3 실시형태에 있어서의 박막트랜지스터패널의 제조방법을 설명하기 위한 요부확대단면도.

도 13은 본 발명의 제 4 실시형태에 있어서의 박막트랜지스터패널의 제조방법을 설명하기 위한 요부확대단면도.

도 14는 본 발명의 박막트랜지스터패널의 투명전극형성장치, 즉 반응성 이온에칭(RIE)장치의 개략구성도.

도 15는 도 14에 나타내어진 투명전극형성장치에 의해 투명전극을 에칭하는 경우에 있어서의 요오드화수소가스에 대한 헬륨가스의 유량비(He/HI)와 에칭레이트 및 에칭레이트균일성의 관계를 나타내는 도면.

도 16은 도 14에 나타내어진 투명전극장치의 하부전극의 제 1 예를 설명하기 위해 나타내는 평면도.

도 17은 도 14에 나타내어진 투명전극장치의 하부전극의 제 2 예를 설명하기 위해 나타내는 평면도.

도 18은 도 16에 나타내는 하부전극을 이용한 경우에 있어서의 기판온도의 경시변화를 설명하기 위해 나타내는 도면.

도 19는 도 17에 나타내는 하부전극을 이용한 경우에 있어서의 기판온도의 경시변화를 설명하기 위해 나타내는 도면.

도 20은 종래예를 설명하기 위해 나타내는 것으로, 박막트랜지스터패널 복수개분에 대응하는 크기의 유리기판상에 화소전극 등이 형성된 상태에 있어서의 등가회로적 평면도.

도 21은 도 20에 나타내는 박막트랜지스터패널의 제조공정을 나타내는 도면.

도 22는 도 21에 나타내어진 박막트랜지스터패널의 제조공정의 당초의 공정을 설명하기 위한 박막트랜지스터패널의 요부확대단면도.

도 23은 도 22에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 24는 도 23에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 25는 도 24에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 26은 도 25에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 27은 도 26에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 28은 도 27에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 29는 도 28에 계속되는 공정을 설명하기 위한 요부확대단면도.

도 30은 도 29에 계속되는 공정을 설명하기 위한 요부확대단면도.

※도면의 주요부분에 대한 부호의 설명

1: 유리기판2: 컷트라인

3: 패널형성영역4: 패널비형성영역

5: 표시영역6: 비표시영역

7: 화소전극8: 박막트랜지스터

9: 주사신호라인10: 데이터신호라인

11: 보조용량라인12: 점퍼선

13: 보호링14, 15: 보호소자

16: 급전라인17, 19: 반도체칩탑재영역

18, 20, 21, 22, 26: 접속패드23: 외부접속단자

24: 배선25: 공통라인

31: 게이트절연막32: 반도체막

33: 보호막형성용 막34a, 34b: 제 2 포토레지스트막

35: n형 비결정성실리콘막37: 금속막

39a 39d: 제 3 포토레지스트막41: 오버코트막

42, 43, 44, 45, 46: 콘택트홀47: ITO막

48a 48c: 제 5 포토레지스트막100: 반응용기

102: 하부전극(음극)103: 상부전극(양극)

104: 블로킹콘덴서105: RF전원

106: 가스도입구107: 가스배출구

108: 시료

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브매트릭스형 액정표시장치 등에 적용되는 박막트랜지스터패널의 제조방법에 관한 것이고, 보다 상세하게는 박막트랜지스터의 채널영역의 보호막을 갖는 박막트랜지스터의 프로세스를 저감하여 싼값에 제조할 수 있는 박막트랜지스터패널의 제조방법에 관한 것이다.

액티브매트릭스형 액정표시장치에 적용되는 박막트랜지스터패널을 제조하는 경우 생산성의 향상을 도모하기 위해 박막트랜지스터패널의 베이스로 되는 유리 등으로 이루어지는 투명기판으로 하고, 해당 박막트랜지스터패널 복수개분에 대응하는 크기의 것을 준비하며, 그리고 소정의 공정까지는 복수개분을 일괄하여 제조하고, 그 후 각 단체로 분단하여 제조하고 있다. 또 스위칭소자로서 박막트랜지스터를 구비한 박막트랜지스터패널을 제조하는 경우 박막트랜지스터의 게이트전극을 포함하는 게이트라인(주사신호라인) 등의 표면에 양극산화막을 형성하여 절연내압의 향상을 도모하고 있다. 또한 각 단체로 분단하기 전에 있어서는 예를 들면 배향막을 러빙처리할 때에 발생하는 정전기에 의해, 각 단체로 분단한 후에 있어서는 예를 들면 정전기 등의 고전압을 띤 다른 물체와 접촉함으로써, 박막트랜지스터에 절연파괴가 생기거나 박막트랜지스터의 전압－전류특성이 변화하거나 하는 일이 있고, 따라서 이와 같은 일을 방지하기 위해 정전기대책을 실시하고 있다.

도 20은 이와 같은 종래예를 설명하기 위해 나타내는 것으로, 박막트랜지스터패널 복수개분에 대응하는 크기의 유리기판상에 화소전극 등이 형성된 상태에 있어서의 박막트랜지스터패널의 등가회로적 평면도를 나타낸 것이다. 박막트랜지스터패널 복수개분에 대응하는 크기의 유리기판(1)은 최종적으로는 일점쇄선으로 나타내는 컷트라인(2)을 따라서 절단됨으로써 각 단체로 분단되도록 되어 있다. 이 경우 컷트라인(2)으로 둘러싸여진 영역은 패널형성영역(3)으로 되어 있고, 그 주위는 패널비형성영역(4)으로 되어 있다. 또 패널형성영역(3) 중 이점쇄선으로 둘러싸여진 영역은 표시영역(5)으로 되어 있고, 그 주위는 비표시영역(6)으로 되어 있다.

표시영역(5)내에는 매트릭스상으로 배치된 복수의 화소전극(7)과, 이들의 화소전극(7)에 각각 접속된 복수의 박막트랜지스터(8)와, 행방향으로 배치되고 박막트랜지스터(8)에 주사신호를 공급하는 복수의 주사신호라인(9)과, 열방향으로 배치되고 박막트랜지스터(8)에 데이터신호를 공급하는 복수의 데이터신호라인(10)과, 행방향으로 배치되고 화소전극(7)과의 사이에서 보조용량부(Cs)를 형성하는 복수의 보조용량라인(11)과, 복수의 화소전극(7)의 주위에 배치된 점퍼선(12)을 포함하는 보호링(13)과, 보호링(13)의 외측에 있어서 보호링(13)과 각 주사신호라인(9)의 사이에 각각 개재된 2개씩의 보호용 박막트랜지스터로 이루어지는 복수의 주사신호라인측의 보호소자(14)와, 보호링(13)의 외측에 있어서 보호링(13)과 각 데이터신호라인(10)의 사이에 각각 개재된 2개씩의 보호용 박막트랜지스터로 이루어지는 복수의 데이터신호라인측의 보호소자(15)가 설치되어 있다. 패널비형성영역(4)에는 급전라인(16)이 격자상으로 설치되어 있다.

각 주사신호라인(9)의 좌단부는 비표시영역(6)의 점선으로 나타내는 반도체칩탑재영역(17)내에 설치되는 출력측의 접속패드(주사전극단자)(18)를 통하여 급전라인(16)에 접속되어 있다. 각 데이터신호라인(10)의 상단부는 비표시영역(6)의 점선으로 나타내는 반도체칩탑재영역(19)내에 설치된 출력측의 접속패드(데이터전극단자)(20)를 통하여 급전라인(16)에 접속되어 있다. 반도체칩탑재영역(17, 19)내에 설치된 입력측의 접속패드(21, 22)는 비표시영역(6)의 소정의 곳에 설치된 외부접속단자(23)에 배선(24)을 통하여 접속되어 있다. 외부접속단자(23)는 급전라인(16)에 접속되어 있다. 각 보조용량라인(11)의 우단부는 보호링(13)의 우단부의 외측에 배치된 공통라인(25) 및 접속패드(26)를 통하여 급전라인(16)에 접속되어 있다. 또한 공통라인(25)이 보호링(13)에 접속되어 있는 경우도 있다.

주사신호라인측의 보호소자(14) 중 상측의 보호용 박막트랜지스터의 게이트전극(G) 및 소스전극(S)은 둘다 주사신호라인(9)에 접속되고, 드레인전극(D)은 보호링(13)에 접속되어 있다. 주사신호라인측의 보호소자(14) 중 하측의 보호용 박막트랜지스터의 게이트전극(G) 및 소스전극(S)은 둘다 보호링(13)에 접속되고, 드레인전극(D)은 주사신호라인(9)에 접속되어 있다. 데이터신호라인측의 보호소자(15) 중 좌측의 보호용 박막트랜지스터의 게이트전극(G) 및 소스전극(S)은 둘다 보호링(13)에 접속되고, 드레인전극(D)은 데이터신호라인(10)에 접속되어 있다. 데이터신호라인측의 보호소자(15) 중 우측의 보호용 박막트랜지스터의 게이트전극(G) 및 소스전극(S)은 둘다 데이터신호라인(10)에 접속되고, 드레인전극(D)은 보호링(13)에 접속되어 있다.

다음에 이 박막트랜지스터패널의 제조방법에 대해서 도 21에 나타내는 제조공정을 참조하여 설명한다. 우선 도 21의 1층성막공정 S1에 있어서 도시하고 있지 않지만 유리기판의 상면에 Al이나 Al합금 등으로 이루어지는 Al계 금속막을 성막하고, 계속해서 도 21의 제 1 포토레지스트형성공정 S2에 있어서 Al계 금속막의 상면에 제 1 포토레지스트막을 형성하며, 계속해서 도 21의 주사신호라인 등 형성공정 S3에 있어서 제 1 포토레지스트막을 마스크로 하여 Al계 금속막을 에칭하고, 계속해서 제 1 포토레지스트막을 박리한다.

그러면 도 22에 나타내는 바와 같이 유리기판(1)의 상면에 Al계 금속막으로 이루어지는 박막트랜지스터(8)의 게이트전극(G), 주사신호라인(9), 보조용량라인(11), 보호링(13)의 일부(13a)(이 경우 도 20에 나타내는 보호링(13)의 상변부, 하변부 및 우변부, 이하 하부보호링(13a)이라고 한다.), 하층접속패드(18a)가 형성된다. 또 도 20에 나타내는 급전라인(16), 접속패드(21, 22),외부접속단자(23), 배선(24), 공통라인(25), 접속패드(26) 등이 형성된다. 또한 보호소자(14, 15)의 보호용 박막트랜지스터의 형성은 박막트랜지스터(8)의 형성과 대략 같으므로 그 설명을 생략한다.

다음에 도 21의 제 2 포토레지스트형성공정 S4에 있어서 도 22에 나타내는 바와 같이 하층접속패드(18a)상에 제 2 포토레지스트막(29a)을 형성하는 동시에 하부보호링(13a)의 접속부(도 20의 점퍼선(12)과 접속되는 부분)상에 제 2 포토레지스트막(29b)을 형성한다. 다음에 도 21의 양극산화공정 S5에 있어서 도 20에 나타내는 급전라인(16)을 한쪽의 전극으로서 양극산화를 실시하면 도 23에 나타내는 바와 같이 박막트랜지스터(8)의 게이트전극(G), 주사신호라인(9), 보조용량라인(11) 등의 표면에 양극산화막(30)이 형성되고, 제 2 포토레지스트막(29a, 29b)에 의하여 덮인 하층접속패드(18a)의 표면 및 하부보호링(13a)의 접속부의 표면에는 양극산화막은 형성되지 않는다. 이 후 제 2 포토레지스트막(29a, 29b)을 박리한다.

다음에 도 21의 3층성막공정 S6에 있어서 도 24에 나타내는 바와 같이 질화실리콘으로 이루어지는 게이트절연막(31), 진성 비결정성실리콘으로 이루어지는 반도체막(32), 질화실리콘으로 이루어지는 보호막형성용 막(33)을 연속하여 성막한다. 다음에 도 21의 제 3 포토레지스트형성공정 S7에 있어서 보호막형성용 막(33)의 상면에 제 3 포토레지스트막

을 도포하고, 계속해서 이면측으로부터 게이트전극(G) 등을 마스크로 하여 노광을 실시하는 동시에 표면측으로부터 도시하지 않은 포토마스크를 이용하여 노광을 실시하고 계속해서 현상한다. 그러면 도 24에 나타내는 바와 같이 박막트랜지스터(8)의 게이트전극(G)상에 있어서의 보호막형성용 막(33)의 상면에 제 3 포토레지스트막(34a)이 형성된다. 또 양 라인(9, 10)교차영역에 있어서의 보호막형성용 막(33)의 상면에 제 3 포토레지스트막(34b)이 형성된다.

다음에 도 21의 보호막형성공정 S8에 있어서 제 3 포토레지스트막(34a, 34b)을 마스크로 하여 보호막형성용 막(33)을 웨트에칭한다. 그러면 도 25에 나타내는 바와 같이 제 3 포토레지스트막(34a, 34b)의 각 아래에 보호막(33a, 33b)이 형성된다. 이 후 제 3 포토레지스트막(34a, 34b)을 박리한다. 이 경우 보호막(33b)은 양 라인(9, 10)교차영역에 있어서의 절연내압의 향상을 도모하기 위한 것이다. 또 보호막(33a)은 반도체막(32)의 채널영역을 보호하기 위한 것이며, 이하의 박막트랜지스터의 제조프로세스에 있어서 그 자세한 내용을 설명한다.

여기에서 보호막형성용 막(33)을 웨트에칭할 때 반도체막(32)에 핀홀 등의 결합이 있는 경우 에칭액이 반도체막(32)에 깊이 스며들어서 게이트절연막(31)에 도달하여 게이트절연막(31)에 핀홀이 형성되거나 손상을 입는 일이 있다. 그러나 게이트전극(G)을 포함하는 주사신호라인(9) 등의 표면에는 양극산화막(30)이 형성되어 있으므로, 게이트전극(30)과 소스전극(S) 또는 드레인전극(D)의 단락이 발생하는 것을 방지하고, 또 게이트절연막(31)의 실질적인 절연내압이 저하하지 않도록 할 수 있다.

다음에 도 21의 n형 비결정성실리콘성막공정 S9에 있어서 도 26에 나타내는 바와 같이 n형 비결정성실리콘막(35)을 성막한다. 다음에 도 21의 3층성막공정 S10에 있어서 도 26에 나타내는 바와 같이 Cr막(36), Al계 금속막(37), Cr막(38)을 연속하여 성막한다.

다음에 도 21의 제 4 포토레지스트형성공정 S11에 있어서 도 26에 나타내는 바와 같이 상층의 Cr막(38)의 상면의 각 소정의 곳에 제 4 포토레지스트막(39a 39d)을 형성한다. 이 경우 제 4 포토레지스트막(39a, 39b)은 박막트랜지스터(8)의 드레인전극(D) 및 소스전극(S) 등을 형성하기 위한 것이다. 제 3 포토레지스트막(39c)은 데이터신호라인(10) 및 하층접속패드를 형성하기 위한 것이다. 제 4 포토레지스트막(39d)은 보호링(13)의 나머지의 부분, 즉 도 20에 나타내는 보호링(13)의 좌변부를 형성하기 위한 것이다.

다음에 도 21의 데이터신호라인 등 형성공정 S12에 있어서 제 4 포토레지스트막(39a 39d)을 마스크로 하여 Cr막(38), Al계 금속막(37), Cr막(36)을 에칭하고, 계속해서 도 21의 디바이스영역형성공정 S13에 있어서 제 4 포토레지스트막(39a 39d)을 마스크로 하여 n형 비결정성실리콘막(35) 및 반도체막(32)을 에칭한다.

그러면 도 27에 나타내는 바와 같이 데이터신호라인(10) 및 하층접속패드(20a)가 형성된다. 이 경우 데이터신호라인(10) 및 하층접속패드(20a)는 아래로부터 차례로 반도체막(32), n형 비결정성실리콘막(35), Cr막(36), Al계 금속막(37), Cr막(38)의 5층구조로 된다.

또 박막트랜지스터(8) 등 형성영역에 있어서는 게이트절연막(31)의 상면의 소정의 곳에 반도체막(32a)이 형성되는 동시에 보호막(33a)의 상면양측 및 반도체막(32a)의 상면양측에 드레인전극(D) 및 소스전극(S)이 형성된다. 이 경우 드레인전극(D) 및 소스전극(S)은 아래로부터 차례로 n형 비결정성실리콘막(35), Cr막(36), Al계 금속막(37), Cr막(38)의 4층구조로 된다. 여기에서 보호막(33a)은 박막트랜지스터(8)의 채널영역상의 n형 비결정성실리콘막(35)을 에칭할 때 비결정성실리콘으로 이루어지는 반도체막(32a)이 에칭되어 박막트랜지스터의 특성이 악화되는 것을 방지하기 위한 것이다.

또한 보호링(13)의 나머지의 부분(13b), 즉 도 20에 나타내는 보호링(13)의 좌변부가 형성된다. 이 경우 보호링(13)의 나머지의 부분(13b)(이하 상부보호링(13b)이라고 한다.)은 아래로부터 차례로 반도체막(32), n형 비결정성실리콘막(35), Cr막(36), Al계 금속막(37), Cr막(38)의 5층구조로 된다. 이 후 제 4 포토레지스트막(39a 39d)을 박리한다.

다음에 도 21의 오버코트성막공정 S14에 있어서 질화실리콘으로 이루어지는 오버코트막(41)(도 28 참조)을 성막하고, 계속해서 도 21의 제 5 포토레지스트형성공정 S15에 있어서 오버코트막(상부절연막)(41)의 상면에 제 5 포토레지스트막(도시하지 않음)을 형성하고, 계속해서 도 21의 콘택트홀형성공정 S16에 있어서 제 5 포토레지스트막을 마스크로 하여 오버코트막(41) 및 게이트절연막(31)의 각 소정의 곳에 콘택트홀을 형성하고, 계속해서 제 5 포토레지스트막을 박리한다.

그러면 도 28에 나타내는 바와 같이 박막트랜지스터(8) 등 형성영역에 있어서는 소스전극(S)에 대응하는 부분에 있어서의 오버코트막(41)에 콘택트홀(42)이 형성된다. 또 보호링(13)의 점퍼선(12)형성영역에 있어서는 하부보호링(13a)의 접속부에 대응하는 부분에 있어서의 오버코트막(41) 및 게이트절연막(31)에 콘택트홀(43)이 형성되는 동시에 상부보호링(13b)의 접속부에 대응하는 부분에 있어서의 오버코트막(41)에 콘택트홀(44)이 형성된다. 또 접속패드(20)형성영역에 있어서는 하층접속패드(20a)에 대응하는 부분에 있어서의 오버코트막(41)에 콘택트홀(45)이 형성된다. 또한 접속패드(18)형성영역에 있어서는 하층접속패드(18a)에 대응하는 부분에 있어서의 오버코트막(41) 및 게이트절연막(31)에 콘택트홀(46)이 형성된다.

다음에 도 21의 ITO성막공정 S17에 있어서 도 29에 나타내는 바와 같이 ITO막(47)을 성막한다. 다음에 도 21의 제 6 포토레지스트형성공정 S18에 있어서 도 29에 나타내는 바와 같이 ITO막(47)의 상면의 각 소정의 곳에 제 6 포토레지스트막(48a 48d)을 형성한다. 이 경우 제 6 포토레지스트막(48a)은 화소전극(7)을 형성하기 위한 것이다. 제 6 포토레지스트막(48b)은 보호링(13)의 점퍼선(12)을 형성하기 위한 것이다. 제 6 포토레지스트막(48c, 48d)은 상층접속패드를 형성하기 위한 것이다.

다음에 도 21의 화소전극 등 형성영역 S19에 있어서 제 6 포토레지스트막(48a 48d)을 마스크로 하여 ITO막(47)을 에칭하고, 계속해서 제 6 포토레지스트막(48a 48d)을 박리한다. 그러면 도 30에 나타내는 바와 같이 박막트랜지스터(8) 등 형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 화소전극(7)이 콘택트홀(42)을 통하여 소스전극(S)에 접속되어 형성된다. 또 보호링(13)의 점퍼선(12)형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 점퍼선(12)이 형성된다. 이 경우 점퍼선(12)의 일단부는 콘택트홀(43)을 통하여 하부보호링(13a)에 접속되고, 타단부는 콘택트홀(44)을 통하여 상부보호링(13b)에 접속된다.

또 접속패드(20)형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 상층접속패드(20b)가 콘택트홀(45)을 통하여 하층접속패드(20a)에 접속되어 형성된다. 또한 접속패드(18)형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 상층접속패드(18b)가 콘택트홀(46)을 통하여 하층접속패드(18a)에 접속되어 형성된다. 이 경우 접속패드(18)를 Al계 금속막으로 이루어지는 하층접속패드(18a)만에 의하여 형성하면 그 표면이 개구부(콘택트홀(46))로부터 노출되어 산화되어 버리지만, 그 위에 ITO막으로 이루어지는 상층접속패드(18b)를 형성하고 있으므로 그와 같은 일은 없다. 이렇게 하여 도 20에 나타내는 박막트랜지스터패널이 얻어진다. 이와 같이 하여 얻어진 박막트랜지스터패널에서는 화소전극(7)을 구성하는 ITO가 박막트랜지스터(8)의 톱측에 위치하고 있기 때문에 TOP-ITO구조라고 말해지는 일이 있다.

여기에서 이 박막트랜지스터패널을 제조할 때에 컷트라인(2)을 따라서 절단하기 전의 상태에 있어서 예를 들면 배향막을 러빙처리할 때에 정전기가 발생한 경우에 대하여 설명한다. 이 경우에는 패널형성영역(3)내의 모든 배선이 패널비형성영역(4)의 급전라인(16)에 접속되어 있으므로 급전라인(16)을 접지해두면 발생한 정전기를 빠르게 제거할 수 있다.

다음에 이 박막트랜지스터패널을 제조할 때에 컷트라인(2)을 따라서 절단한 후에 있어서 예를 들면 정전기를 띤 다른 물체와 접촉한 경우에 대하여 간단히 설명한다. 이 경우에는 보호소자(14, 15)의 보호용 박막트랜지스터가 적당히 ON상태로 됨으로써 보호링(13), 모든 주사신호라인(9) 및 모든 데이터신호라인(10)이 동일 전위로 된다. 또한 보호소자(14, 15)의 보호용 박막트랜지스터는 이 박막트랜지스터패널을 구비한 액정표시장치의 정규의 표시구동에 악영향을 미치는 일은 없다.

발명이 이루고자 하는 기술적 과제

그런데 상기한 종래의 박막트랜지스터패널의 제조방법에서는, 특히 도 21의 제 2 포토레지스트형성공정 S4 및 양극산화공정 S5에 있어서 제 2 포토레지스트막(29a, 29b)을 형성하여 양극산화처리하고, 제 2 포토레지스트막(29a, 29b)을 박리하고 있으므로, 제조공정수가 많아져 버린다는 문제가 있었다.

또 도 30에 나타내는 바와 같이 접속패드(18)를 Al계 금속막으로 이루어지는 하층접속패드(18a)상에 ITO막으로 이루어지는 상층접속패드(18b)를 설치한 것에 의하여 형성하면 Al계 금속막과 ITO막의 콘택트특성이 나빠지지만, 이 대응으로서 Al계 금속막으로 이루어지는 하층접속패드(18a)상의 ITO막을 제거하도록 하면 노출된 Al계 금속막이 ITO막의 에칭액과 반응하여 용해되고, 또 Al계 금속막 및 ITO막이 접촉해 있으면 ITO의 에칭액으로 Al계 금속막이 산화되어 ITO막이 환원되는, 소위 전지반응에 의해 양자가 부식된다는 문제가 있었다.

본 발명의 목적은 제조공정수를 적게 하고, 또 전지반응의 발생을 방지하여 접속패드의 콘택트특성을 양호하게 하는 것이며, 본 발명에 따르면,

기판(1)상에 표면을 포함하는 전체가 도전성 금속막으로 이루어지고, 접속패드(18) 및 게이트전극부(13a)을 포함하는 주사신호라인(9)을 형성하고,

상기 기판(1)상 및 상기 주사신호라인(9)상에 게이트절연막(31)을 형성하며,

상기 게이트절연막(31)상에 반도체막(32)을 형성하고,

상기 반도체막(32)상에 보호막형성용 막(33)을 형성하며,

보호막형성용 막(33)을 드라이에칭에 의해 패터닝하고, 상기 게이트전극부(13a)에 대응하는 상기 반도체막(32)의 영역에 보호막(33b)을 형성하며,

각각 상기 보호막(33b)의 양측으로부터 노출하는 상기 반도체막(32)의 한쪽의 영역에 접속되는 드레인전극(D)을 형성하고, 다른쪽의 영역에 접속되는 소스전극(S)을 형성하며,

상기 드레인전극(D), 소스전극(S) 및 상기 게이트절연막(31)상에 상부절연막(41)을 형성하는 것 및,

상기 상부절연막(41)상에 상기 소스전극(S)에 접속되는 투명전극(7)을 형성하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법이 제공된다.

발명의 구성 및 작용

(제 1 실시형태)

도 1은 본 발명의 제 1 실시형태에 있어서의 액티브매트릭스형 액정표시장치에 적용되는 박막트랜지스터패널의 제조공정을 나타내고, 도 2 도 9는 각각 그 각 제조공정에 있어서의 박막트랜지스터패널의 요부확대단면도를 나타낸 것이다.

또한 이 제 1 실시형태에 있어서 박막트랜지스터패널 복수개분에 대응하는 크기의 유리기판상에 화소전극 등이 형성된 상태에 있어서의 등가회로적 평면도는 도 20에 나타내는 종래의 경우와 같으므로, 설명의 편의상 도 2 도 9에 있어서 도 20 등과 동일 명칭의 것에는 동일한 부호를 붙여서 설명하기로 한다.

이 제 1 실시형태에 있어서 박막트랜지스터패널을 제조하는 경우에는, 우선 도 1의 1층성막공정 S1에 있어서 도시하고 있지 않지만 유리기판의 상면의 Al이나 Al합금 등으로 이루어지는 Al계 금속막(저저항도전성 금속막)을 성막하고, 계속해서 도 1의 제 1 포토레지스트형성공정 S2에 있어서 Al계 금속막의 상면에 제 1 포토레지스트막을 형성하며, 계속해서 도 1의 주사신호라인 등 형성공정 S3에 있어서 제 1 포토레지스트막을 마스크로 하여 Al계 금속막을 에칭하고, 계속해서 제 1 포토레지스트막을 박리한다.

그러면 도 2에 나타내는 바와 같이 유리기판(1)의 상면에 Al계 금속막으로 이루어지는 박막트랜지스터(8)의 게이트전극(G), 주사신호라인(9), 보조용량라인(11), 보호링(13)의 일부(13a)(이 경우 도 20에 나타내는 보호링(13)의 상변부, 하변부 및 우변부, 이하 상부보호링(13a)이라고 한다.), 접속패드(주사전극단자)(18)가 형성된다. 또 도 20에 나타내는 급전라인(16), 접속패드(21, 22), 외부접속단자(23), 배선(24), 공통라인(25), 접속패드(26) 등이 형성된다. 또한 이 경우도 보호소자(14, 15)의 보호용 박막트랜지스터의 형성은 박막트랜지스터(8)의 형성과 대략 같으므로 그 설명을 생략한다.

다음에 도 1의 3층성막공정 S4에 있어서 도 3에 나타내는 바와 같이 질화실리콘으로 이루어지는 게이트절연막(31), 진성 비결정성실리콘으로 이루어지는 반도체막(32), 질화실리콘으로 이루어지는 보호막형성용 막(33)을 연속하여 성막한다. 다음에 도 1의 제 2 포토레지스트형성공정 S5에 있어서 보호막형성용 막(33)의 상면에 제 2 포토레지스트막을 도포하고, 계속해서 이면측으로부터 게이트전극(G) 등을 마스크로 하여 노광을 실시하는 동시에 표면측으로부터 도시하지 않은 포토마스크를 이용하여 노광을 실시하고, 계속해서 현상한다. 그러면 도 3에 나타내는 바와 같이 박막트랜지스터(8)의 게이트전극(G)상에 있어서의 보호막형성용 막(33)의 상면에 제 2 포토레지스트막(34a)이 형성된다. 또 양 라인(9, 10)교차영역에 있어서의 보호막형성용 막(33)의 상면에 제 2 포토레지스트막(34b)이 형성된다.

다음에 도 1의 보호막형성공정 S6에 있어서 제 2 포토레지스트막(34a, 34b)을 마스크로 하여 보호막형성용 막(33)을 드라이에칭한다. 이 드라이에칭은 예를 들면 SF_6 및 He, 또는 CF_4 및 O_2 를 이용한 반응성 이온에칭법을 이용하는 것이 바람직하다. 이 드라이에칭에 의해 도 4에 나타내는 바와 같이 제 2 포토레지스트막(34a, 34b)의 각 아래에 보호막(33a, 33b)이 형성된다. 이 경우 드라이에칭이므로 반도체막(32)에 핀홀 등의 결함이 있어도 게이트절연막(31)이 손상을 입는 일이 없다. 즉 반도체막(32)에 핀홀 등의 결함이 있으면 질화실리콘막으로 이루어지는 보호막형성용 막(33)을 에칭액을 이용한 웨트에칭에 의해 패터닝하면 에칭액이 반도체막(32)의 결함부분으로부터 게이트절연막(31)에 도달하고, 질화실리콘막으로 이루어지는 게이트절연막을 에칭한다. 이 때문에 게이트절연막(31)에 게이트전극(G)에 도달하는 핀홀이 형성되고, 게이트전극(G)과 소스전극(S) 또는 드레인전극(D)이 단락하거나 게이트절연막(31)의 절연내압이 저하하거나 하는 불합리가 발생한다. 이에 대해 본 발명은 보호막형성용 막(33)을 드라이에칭으로 패터닝하는 방법이기 때문에 상기와 같은 불합리의 발생을 방지할 수 있다. 이 때문에 게이트전극(G)을 포함하는 주사신호라인(9) 등을 표면에 양극산화막을 갖지 않는 Al계 금속막만에 의하여 형성해도 게이트절연막(31)의 절연내압이 저하하지 않도록 할 수 있다. 또 보호막(33b)은 양 라인(9, 10)교차영역에 있어서의 절연내압의 향상을 도모하기 위한 것이다. 이 후 제 2 포토레지스트막(34a, 34b)을 박리한다.

다음에 도 1의 n형 비결정성실리콘성막공정 S7에 있어서 도 5에 나타내는 바와 같이 n형 비결정성실리콘막(35)을 성막한다. 다음에 도 1의 1층성막공정 S8에 있어서 도 5에 나타내는 바와 같이 Cr, Mo, Ta 등의 Al보다도 산화환원전위가 높은 금속막(37)을 성막한다. 다음에 도 1의 제 3 포토레지스형성공정 S9에 있어서 도 5에 나타내는 바와 같이 금속막(37)의 상면의 각 소정의 곳에 제 3 포토레지스트막(39a 39d)을 형성한다. 이 경우 제 3 포토레지스트막(39a, 39b)은 박막트랜지스터(8)의 드레인전극(D) 및 소스전극(S) 등을 형성하기 위한 것이다. 제 3 포토레지스트막(39c)은 데이터신호라인(10) 및 하층접속패드를 형성하기 위한 것이다. 제 3 포토레지스트막(39d)은 보호링(13)의 나머지의 부분, 즉 도 20에 나타내는 보호링(13)의 좌변부를 형성하기 위한 것이다.

다음에 도 1의 데이터신호라인 등 형성공정 S10에 있어서 제 3 포토레지스트막(39a 39d)을 마스크로 하여 금속막(37)을 에칭하고, 계속해서 도 1의 디바이스영역형성공정 S11에 있어서 제 3 포토레지스트막(39a 39d)을 마스크로 하여 n형 비결정성실리콘막(35) 및 반도체막(32)을 에칭한다.

그러면 도 6에 나타내는 바와 같이 데이터신호라인(10) 및 하층접속패드(20a)가 형성된다. 이 경우 데이터신호라인(10) 및 하층접속패드(20a)는 아래로부터 차례로 반도체막(32), n형 비결정성실리콘막(35), 금속막(37)의 3층구조로 된다.

또 박막트랜지스터(8) 등 형성영역에 있어서는 게이트절연막(31)의 상면의 소정의 곳에 반도체막(32a)이 형성되는 동시에 보호막(33a)의 상면양측 및 반도체막(32a)의 상면양측에 드레인전극(D) 및 소스전극(S)이 형성된다. 이 경우 드레인전극(D) 및 소스전극(S)은 아래로부터 차례로 n형 비결정성실리콘막(35) 및 금속막(37)의 2층구조로 된다.

또한 보호링(13)의 나머지의 부분(13b), 즉 도 20에 나타내는 보호링(13)의 좌변부가 형성된다. 이 경우 보호링(13)의 나머지의 부분(13b)(이하 상부보호링(13b)이라고 한다.)은 아래로부터 차례로 반도체막(32), n형 비결정성실리콘막(35), 금속막(37)의 3층구조로 된다. 이 후 제 3 포토레지스트막(39a 39d)을 박리한다.

다음에 도 1의 오버코트성막공정 S12에 있어서 질화실리콘막으로 이루어지는 오버코트막(41)(도 7 참조)을 성막하고, 계속해서 도 1의 제 4 포토레지스트형성공정 S13에 있어서 오버코트막(41)의 상면에 제 4 포토레지스트막(도시하지 않음)을 형성하며, 계속해서 도 1의 콘택트홀형성공정 S14에 있어서 제 4 포토레지스트막을 마스크로 하여 오버코트막(41) 및 게이트절연막(31)의 각 소정의 곳에 콘택트홀을 형성하고, 계속해서 제 4 포토레지스트막을 박리한다.

그러면 도 7에 나타내는 바와 같이 박막트랜지스터(8) 등 형성영역에 있어서는 소스전극(S)에 대응하는 부분에 있어서의 오버코트막(41)에 콘택트홀(42)이 형성된다. 또 보호링(13)의 점퍼선(12)형성영역에 있어서는 하부보호링(13a)의 접속부에 대응하는 부분에 있어서의 오버코트막(41) 및 게이트절연막(31)에 콘택트홀(43)이 형성되는 동시에 상부보호링(13b)의 접속부에 대응하는 부분에 있어서의 오버코트막(41)에 콘택트홀(44)이 형성된다. 또 접속패드(20)형성영역에 있어서는 하층접속패드(20a)에 대응하는 부분에 있어서의 오버코트막(41)에 콘택트홀(45)이 형성된다. 또한 접속패드(18)형성영역에 있어서는 접속패드(18)에 대응하는 부분에 있어서의 오버코트막(41) 및 게이트절연막(31)에 콘택트홀(46)이 형성된다.

다음에 도 1의 ITO성막공정 S15에 있어서 도 8에 나타내는 바와 같이 ITO막(47)을 성막한다. 다음에 도 1의 제 5 포토레지스트형성공정 S16에 있어서 도 8에 나타내는 바와 같이 ITO막(47)의 상면의 각 소정의 곳에 제 5 포토레지스트막(48a 48c)을 형성한다. 이 경우 제 5 포토레지스트막(48a)은 화소전극(7)을 형성하기 위한 것이다. 제 5 포토레지스트막(48b)은 보호링(13)의 점퍼선(12)을 형성하기 위한 것이다. 제 5 포토레지스트막(48c)은 접속패드(데이터전극단자)(20)의 상층접속패드(20b)를 형성하기 위한 것이다.

다음에 도 1의 화소전극 등 형성공정 S17에 있어서 제 5 포토레지스트막(48a 48c)을 마스크로 하여 ITO막(47)을 에칭한다. 이 경우 도 8에 도시되는 바와 같이 접속패드(주사전극단자)(18)상에는 포토레지스트막이 형성되어 있지 않기 때문에, 에칭의 진행에 의해 Al계 금속막으로 이루어지는 접속패드(주사전극단자)(18)가 노출되게 된다(도 9 참조). 이 때문에 ITO막(47)의 에칭을 웨트에칭으로 실시하면 노출된 Al계 금속막이 ITO막의 에칭액과 반응하여 용해되고, 또 Al계 금속막 및 ITO막이 보호링(13)을 통하여 접속되어 있으므로, ITO막의 에칭액으로 Al계 금속막이 산화되어 ITO막이 환원되는, 소위 전지반응에 의해 양자가 부식되게 된다. 이 때문에 본 발명에서는 ITO막의 에칭을 드라이에칭으로 실시하는 것을 특징으로 한다.

이하 ITO막을 드라이에칭하는 방법을 구체적으로 설명한다.

도 14는 투명전극형성장치, 즉 반응성 이온에칭(RIE)장치의 개략구성도를 나타낸 것이다. 이 RIE장치는 캐소드커플링 방식이며, 반응용기(100)를 구비하고 있다. 반응용기(100)내의 하부에는 하부전극(음극)(102)이 설치되고, 상부에는 상부전극(양극)(103)이 설치되어 있다. 하부전극(102)은 블로킹콘덴서(104)를 통하여 RF전원(105)에 접속되어 있다. 상부전극(103)은 접지되어 있다. 반응용기(100)의 왼쪽부에는 가스도입구(106)가 설치되고, 오른쪽부에는 가스배출구(107)가 설치되어 있다. 가스도입구(106)는 요오드화수소가스(할로겐화수소가스)와 헬륨가스(불활성가스)의 혼합가스를 공급하는 가스공급수단(도시하지 않음)에 접속되어 있다. 하부전극(102)상에 재치된 시료(108)는 도 8에 도시된 바와 같이 유리기판(1)상에 다수의 박막트랜지스터(8), 이들 박막트랜지스터(8)를 덮는 오버코트막(41), 해당 오버코트막(41)에 성막된 ITO막(47) 및 ITO막(47)상에 형성된 포토레지스트(48a 48c)를 갖는 박막트랜지스터패널이다.

이 RIE장치를 이용하여 시료(108)의 ITO막(47)을 드라이에칭하는 데에는, 우선 반응용기(100)내의 가스를 가스배출구(107)로부터 배출하여 반응용기(100)내를 진공상태로 한 후 가스공급수단으로부터 공급되는 요오드화수소가스와 헬륨가스의 혼합가스를 가스도입구(106)로부터 반응용기(100)내에 도입한다. 이 경우 반응용기(100)내의 압력을 3Pa로 하고, RF전원(106)으로부터 13.56㎒의 RF전력 2.4㎾를 인가했다.

그리고 혼합가스의 총 유량을 200ccm으로 하고, 요오드화수소가스에 대한 헬륨가스의 유량비(He/HI)를 변화시켜서 시료(108)의 ITO막의 에칭레이트와 에칭레이트균일성을 조사한 바 도 15에 나타내는 결과가 얻어졌다. 도 15에 있어서 흰 점은 에칭레이트를 나타내고, 검은 점은 에칭레이트균일성을 나타낸다. 에칭레이트균일성이란 에칭레이트의 최대값 및 최소값을 E1, E2로 했을 때 (E1−E2)/(E1+E2)×100%로 나타내어지는 값의 것이고, 값이 작아질수록 에칭레이트가 균일한 것을 의미한다.

여기에서 드라이에칭가스로서 요오드화수소가스만을 이용한 경우, 즉 도 15에 있어서 유량비(He/HI) 0인 경우 흰 점으로 나타내는 에칭레이트는 550Å/분 정도로 비교적 커서 바람직하지만, 검은 점으로 나타내는 에칭레이트균일성은 65% 정도로 비교적 커서 바람직하지 않다. 즉 드라이에칭가스로서 요오드화수소가스만을 이용한 경우 높은 에칭레이트를 얻을 수는 있지만 에칭레이트균일성이 나빠져 버린다.

이에 대해 드라이에칭가스로서 요오드화수소가스와 헬륨가스의 혼합가스를 이용하면 도 15에 나타내는 바와 같이 흰 점으로 나타내는 에칭레이트는 유량비(He/HI) 0.2일 때 최대(약 590Å/분)로 되고 그것보다 작아도 커도 서서히 감소하는데, 유량비(He/HI) 0.5이어도 400Å/분 이상으로 양호하다. 한편 검은 점으로 나타내는 에칭레이트균일성은 유량비(He/HI)가 커질수록 작아지고, 즉 좋아지고 있는데, 특히 유량비(He/HI) 0.2 이상으로 급격히 좋아지고 있다.

이를 고찰하는 데, 요오드화수소가스이온에 의한 반응성 이온에칭의 시료(108)의 ITO막에 대한 불균일한 에칭레이트가 헬륨가스이온의 물리적 스퍼터링효과에 의해 보완되는 것이라고 생각된다. 따라서 요오드화수소가스에 헬륨가스를 첨가함으로써 에칭레이트가 균일화하게 된다. 이 경우 도 2에서 판단하여 흰 점으로 나타내는 에칭레이트는 유량비(H

e/HI)가 0.5보다도 커지면 400Å/분 이하로 비교적 작아진다고 생각되며, 한편 검은 점으로 나타내는 에칭레이트균일성은 유량비(He/HI)가 0.2 이상이면 급격히 좋아지고 있으며, 따라서 유량비(He/HI)는 0.2 0.5인 것이 바람직하다. 또 도 2에서 명백한 바와 같이 유량비(He/HI)가 0.3이면 에칭레이트가 520Å/분 정도로 비교적 크고, 에칭레이트균일성이 35% 정도로 비교적 작으며, 따라서 유량비(He/HI)는 0.3 정도인 것이 보다 바람직하다.

그런데 하부전극(102)으로서 도 16에 나타내는 바와 같이 전극판(340×340㎜)(111)내에 1개의 배관(112)을 갈짓자상으로 설치한 것을 이용하여 배관(112)에 열용매(갈덴)을 흘리고, 시료(108)의 기판온도가 80℃로 되도록 설정했다. 또 하부전극(102)으로서 도 17에 나타내는 바와 같이 전극판(340×340㎜)(111)내의 중앙부에 1개의 배관(113)을 갈짓자상으로 설치하는 동시에 외주부에 또 1개의 배관(114)을 설치한 것을 이용하여 양 배관(113, 114)에 열용매(갈덴)를 흘리며, 시료(108)의 기판온도가 중앙부에서 80℃, 외주부에서 110℃로 되도록 설정했다. 이 경우 기판설정온도는 30 110℃의 범위내에서 조정할 수 있다. 또 요오드화수소가스의 유량을 175ccm, 헬륨가스의 유량을 50ccm으로 하고(유량비(He/HI) 약 0.3), 반응용기(100)내의 압력을 6Pa로 하며, RF전원(105)으로부터 13.56㎒의 RF전력 2.5㎾를 인가했다.

그리고 이 경우의 에칭레이트 및 에칭레이트균일성을 조사한 바, 도 16에 나타내는 1개의 배관(112)(1계통의 기판온도조정기구)을 갖는 하부전극(102)을 이용한 경우 에칭레이트는 700Å/분 정도이며, 에칭레이트균일성은 35% 정도이었다. 이에 대하여 도 17에 나타내는 2개의 배관(113, 114)(2계통의 기판온도조정기구)을 갖는 하부전극(102)을 이용한 경우 에칭레이트는 900Å/분 정도이며, 에칭레이트균일성은 15% 정도이었다.

이를 고찰하는 데, 도 16에 나타내는 1개의 배관(112)을 갖는 하부전극(102)을 이용한 경우에 있어서의 시료(108)의 기판온도의 경시변화를 조사한 바, 도 18에 나타내는 결과가 얻어졌다. 또 도 17에 나타내는 2개의 배관(113, 114)을 갖는 하부전극(102)을 이용한 경우에 있어서의 시료(108)의 기판온도의 경시변화를 조사한 바, 도 19에 나타내는 결과가 얻어졌다. 이들 도면에 있어서, 흰 점은 기판중앙부의 온도이며, 검은 점은 기판외주부의 온도이다. 다만 에칭시간(RF전력인가시간)은 실제로는 60초 정도이다.

도 18에 나타내는 바와 같이 도 16에 나타내는 1개의 배관(112)을 갖는 하부전극(102)을 이용한 경우에는 흰 점으로 나타내는 기판중앙부의 온도가 검은 점으로 나타내는 기판외주부의 온도보다도 높아져 있다. 이에 대해 도 19에 나타내는 바와 같이 도 17에 나타내는 2개의 배관(113, 114)을 갖는 하부전극(102)을 이용한 경우에는 흰 점으로 나타내는 기판중앙부의 온도와 검은 점으로 나타내는 기판외주부의 온도는 대략 같아져 있다.

따라서 이 기판온도의 상이에 기인하여 에칭레이트는 도 16에 나타내는 1개의 배관(112)을 갖는 하부전극(102)을 이용한 경우 700Å/분 정도인 것에 대해 도 17에 나타내는 2개의 배관(113, 114)을 갖는 하부전극(102)을 이용한 경우 900Å/분 정도로 더 한층 커지는 것이라고 생각된다. 또 에칭레이트균일성은 도 16에 나타내는 1개의 배관(112)을 갖는 하부전극(102)을 이용한 경우 35% 정도인 것에 대해 도 17에 나타내는 2개의 배관(113, 114)을 갖는 하부전극(102)을 이용한 경우 15% 정도로 더 한층 작아지는 것이라고 생각된다.

이 결과 시료(108)의 ITO막(47)을 드라이에칭할 때 기판온도가 중앙부보다도 외주부에서 높아지도록 설정하는 편이 바람직하다. 또 기판중앙부의 설정온도와 기판외주부의 설정온도의 차는 상기 실시예의 경우 30℃인데, 20 30℃인 것이 바람직한 것을 알았다.

또한 기판외주부의 설정온도(상기 실시예의 경우 110℃)는 시료(108)의 ITO막(47)상에 설치된 포토레지스트의 포스트베이크(Post-baking)온도(예를 들면 125℃) 이하인 것이 바람직하다. 이와 같이 하면 포토레지스트의 박리성을 좋게 할 수 있다.

이와 같이 하여 ITO막(47)을 드라이에칭한 후 제 5 포토레지스트막(48a 48c)을 박리한다. 그러면 도 9에 나타내는 바와 같이 박막트랜지스터(8) 등 형성영역에 있어서는 오버코트막(41) 상면의 소정의 곳에 ITO막으로 이루어지는 화소전극(투명전극)(7)이 콘택트홀(42)을 통하여 소스전극(S)에 접속되어 형성된다. 또 보호링(13)의 점퍼선(12)형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 점퍼선(12)이 형성된다. 이 경우 점퍼선(12)의 일단부는 콘택트홀(43)을 통하여 하부보호링(13a)에 접속되고, 타단부는 콘택트홀(44)을 통하여 상부보호링(13b)에 접속된다.

또 접속패드(20)형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 상층접속패드(20b)가 콘택트홀(45)을 통하여 하층접속패드(20a)에 접속되어 형성된다.

이 상태에서 접속패드(18)형성영역에 있어서는 오버코트막(41) 및 게이트절연막(31)의 콘택트홀(46)로부터 노출되어 있다. 이렇게 하여 제 1 실시형태의 박막트랜지스터패널이 얻어진다.

이상과 같이 제 1 실시형태의 박막트랜지스터패널의 제조방법에서는 게이트전극(G)을 포함하는 주사신호라인(9) 등을 표면에 양극산화막을 갖지 않는 Al계 금속막에 의하여 형성하고 있으므로, 양극산화공정이 불필요하게 되어 제조공정수를 적게 할 수 있다. 이 경우 반도체막(32)의 채널영역의 보호막(33b)을 드라이에칭에 의해 형성하고 있으므로, 반도체막(32)에 핀홀과 같은 결함이 있어도 게이트절연막이 손상을 입는 일이 없으며, 게이트전극(G)과 소스전극(S) 또는 드레인전극(D)의 단락이나 게이트절연막(31)의 절연내압의 저감을 방지할 수 있다. 또 ITO막(47)을 드라이에칭방법에 의해 에칭하여 화소전극(7)을 형성하므로, Al계 금속막으로 이루어지는 접속패드(주사전극단자)(18)를 노출해도 에칭시의 전지반응을 방지할 수 있다. 이 때문에 접속패드(주사전극단자)(18)를 저저항값의 Al계 금속막만으로 하여 상부에 산화방지용의 ITO막을 형성할 필요가 없으므로, 이 접속패드(18)에 접속되는 커넥터나 COG(Chip on Glass)법으로 본딩되는 IC칩과의 콘택트저항을 작게 할 수 있어서 접속의 신뢰성을 향상할 수 있다.

상기한 제 1 실시형태에서는 접속패드(데이터전극단자)(20)의 하층접속패드(20a)의 최상층은 Cr, Mo, Ta 등의 금속으로 구성되기 때문에 이 하층접속패드(20a)상에 ITO막으로 이루어지는 상층접속패드(20b)를 형성해도 콘택트저항을 작게 할 수 있다. 그러나 접속패드(주사전극단자)(18)는 Al계 금속막으로 구성되어 있기 때문에, 이 접속패드(주사전극단자)(18)상에 ITO막을 형성하면 콘택트저항이 커져 버린다. 이 때문에 접속패드(주사전극단자)(18)가 오버코트막(41) 및 게이트절연막(31)의 콘택트홀(46)로부터 노출되는 구성으로 되어 있다. 그러나 이와 같이 접속패드(주사전극단자)(18)가 오버코트막(41) 및 게이트절연막(31)의 콘택트홀(46)로부터 노출되는 구성에서는 접속패드(주사전극단자)(18)의 표면에 자연산화막이 발생하므로, 접속패드(주사전극단자)(18)에 커넥터나 IC칩을 본딩하기 직전에 자연산화막의 제거를 실시할 필요가 있다. 다음에 접속패드(주사전극단자)(18)의 표면에 자연산화막이 발생하는 것을 방지할 수 있는 실시형태를 나타낸다.

(제 2 실시형태)

제 2 실시형태는, 도 1의 1층성막공정 S1 콘택트홀형성공정 S14까지는 제 1 실시형태의 공정을 적용하는 것이며, 채널보호막형성공정 S6에 있어서 보호막(33a, 33b)을 형성하기 위한 보호막형성용 막(33)의 에칭은 드라이에칭이다. 다만 3층성막공정 S4에 있어서의 금속막(37)은 Cr, Mo, Ta 등보다도 저항값이 작은 Al계 금속막을 이용할 수 있다.

콘택트홀형성공정 S14에 있어서의 오버코트막(41)에 콘택트홀(42, 44, 45)을 형성하고, 오버코트막(41) 및 게이트절연막(31)에 콘택트홀(43 및 46)을 형성한 후는 Cr, Mo, Ta 등의 금속막(61)을 성막한다. 이 금속막(61)은 Al계 금속막과 ITO막의 콘택트저항을 개선하기 위한 것이며, 후술하는 화소전극(7)의 영역에 있어서의 광투과성을 충분한 것으로 하기 위해 그 막두께는 30 70Å으로 하는 것이 바람직하다.

다음에 금속막(61)상에 ITO막(47)을 성막한다. 다음에 제 1 실시형태와 똑같이 ITO막(47)의 상면의 각 소정의 곳에 제 5 포토레지스트막을 형성하는 것인데, 이 경우 포토레지스트막은 48a, 48b, 48c 외에 48d도 형성한다. 포토레지스트막(48d)은 접속패드(주사전극단자)(18)상에 콘택트홀(46)을 덮어서 형성한다.

다음에 제 5 포토레지스트막(48a 48d)을 마스크로 하여 ITO막(47)을 에칭하고, 계속해서 제 5 포토레지스트막(48a 48d)을 박리한다. 그러면 도 11에 나타내는 바와 같이 박막트랜지스터(8) 등 형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 화소전극(7)(그 아래에 형성된 금속막(61)을 포함한다)이 콘택트홀(42)을 통하여 소스전극(S)에 접속되어 형성된다. 또 보호링(13)의 점퍼선(12)형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 점퍼선(12)(그 아래에 형성된 Cr계 금속막(61)을 포함한다)이 형성된다. 이 경우 점퍼선(12)의 일단부는 콘택트홀(43)을 통하여 하부보호링(13a)에 접속되고, 타단부는 콘택트홀(44)을 통하여 상부보호링(13b)에 접속된다.

또 접속패드(20)형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 상층접속패드(20b)(그 아래에 형성된 Cr계 금속막(61)을 포함한다)가 콘택트홀(45)을 통하여 하층접속패드(20a)에 접속되어 형성된다. 또한 접속패드(18)형성영역에 있어서는 오버코트막(41)의 상면의 소정의 곳에 ITO막으로 이루어지는 상층접속패드(18b)(그 아래에 형성된 금속막(61)을 포함한다)가 콘택트홀(46)을 통하여 접속패드(18)에 접속되어 형성된다.

이상과 같이 제 2 실시형태에 있어서의 박막트랜지스터패널의 제조방법에 있어서도 게이트전극(G)을 포함하는 주사신호라인(9) 등을, 표면에 양극산화막을 갖지 않는 Al계 금속막에 의하여 형성하고 있으므로, 양극산화공정이 불필요하게 되어 제조공정수를 적게 할 수 있다. 또 주사신호라인(9)의 접속패드(18)상에 Al계 금속막보다도 산화환원전위가 높은 금속막(61)을 통하여 ITO막으로 이루어지는 상층접속패드(18b)를 형성하고 있으므로, 즉 Al계 금속막과 ITO막의 사이에 이 양자에 대한 콘택트특성이 양호한 금속막을 개재시키고 있으므로, 3층으로 이루어지는 접속패드(18)의 콘택트특성을 양호하게 할 수 있다.

또 데이터신호라인(10)의 접속패드(20)상에 금속막(61) 및 ITO막으로 이루어지는 상층접속패드(20b)를 형성하고 있으므로, 접속패드(18)의 콘택트특성을 양호하게 할 수 있다. 이와 같은 것은 화소전극(7)과 소스전극(S)의 콘택트특성, 5층으로 이루어지는 접속패드(20)의 콘택트특성, 점퍼선(12)의 접속부의 콘택트특성에 대해서도 마찬가지이다. 이 때문에 주사신호라인(9)만이 아니라 데이터신호라인(10)에 저저항의 Al계 금속막을 이용할 수 있어서 표시화상의 균일성을 향상할 수 있다.

(제 3 실시형태)

도 12는 본 발명의 제 3 실시형태를 설명하기 위한 박막트랜지스터패널의 프로세스종료상태의 확대단면도이다.

제 3 실시형태에서는 주사신호라인(10)이 Al계 금속막과 그 전체표면에 도금된 Cr, Ni, Mo, Ti, Ta 등으로 이루어지는 도금막(71)으로 이루어진다. 이와 같은 주사신호라인(10)의 제조방법을 설명한다.

도 1에 나타내어지는 1층성막공정 S1에 있어서 유리기판의 상면에 Al계 금속막을 성막하고, 도 1의 제 1 포토레지스트형성공정 S2에 있어서 Al계 금속막의 상면에 제 1 포토레지스트막을 형성한다. 이 때 제 1 포토레지스트막은 도 20에 나타내어지는 바와 같이 전체의 주사신호라인(9)이 접속되는 급전라인(16)이 모든 주사신호라인(9)과 일체적으로 형성되도록 패터닝한다. 그리고 도 1의 주사신호라인형성공정 S3에 있어서 제 1 포토레지스트막을 마스크로 하여 Al계 금속막을 에칭해서 주사신호라인(9)을 형성하고, 해당 주사신호라인(9)에 급전라인(16)을 통하여 전계도금처리를 실시하며, 주사신호라인(9)의 전체표면에 도금막(71)을 형성한다. 이 후의 공정은 모두 제 1 실시형태와 동일하므로

설명을 생략한다.

이 제 3 실시형태의 경우에는 도금막(71) 및 금속막(37)을 같은 재료로 함으로써 도금막(71) 및 금속막(37)의 접착강도를 크게 하는 동시에 콘택트저항을 작게 하여 신뢰성을 한층 향상할 수 있다.

(제 4 실시형태)

제 4 실시형태는 주사신호라인(10)을 제 3 실시형태와 같이 Al계 금속막의 표면에 도금막(71)을 설치하여 형성하고, 접속패드(주사전극단자)(18)상 및 접속패드(데이터전극단자)(20)상에 ITO를 형성하지 않고 콘택트홀(45 또는 46)로부터 노출한 구성이다. 화소전극(7) 및 점퍼선(12)은 ITO막만에 의하여 형성된다. 주사신호라인(10)에 도금막(71)을 형성하는 방법은 제 3 실시형태와 동일하다. 또 접속패드(데이터전극단자)(20)상에 ITO를 형성하지 않고 콘택트홀(45)로부터 노출하는 데는 도 8에 있어서 접속패드(20)상에 포토레지스트막(48c)을 형성하지 않고 ITO막(47)을 에칭하면 좋다.

또 이 제 4 실시형태에서는 드레인전극(D) 및 소스전극(S)이 종래기술과 똑같이 Al계 금속막(37)의 상하에 Cr, Mo, Ta 등의 금속막(36, 38)을 적층한 3층구조를 갖는다. 이 제조방법은 종래예와 똑같이 스퍼터에 의해 3층을 연속성막하면 좋다. 또는 하층의 금속막(36) 및 중간의 금속막(37)을 성막한 후 이들 금속막(36 및 37)을 모든 데이터신호라인(9)이 접속되는 급전라인(도시하지 않음)을 포함하는 형상으로 패터닝하고, 전계도금에 의해 상층의 금속막(37a)을 형성하도록 해도 좋다. 물론 이 제 4 실시형태에 있어서의 금속막(37)은 Cr, Mo, Ta 등의 단층구조로 해도 좋다.

발명의 효과

이상과 같이 본 발명의 박막트랜지스터패널의 제조방법에서는 게이트전극(G)을 포함하는 주사신호라인(9) 등을 표면에 양극산화막을 갖지 않는 Al계 금속막에 의하여 형성하고 있으므로, 양극산화공정이 불필요하게 되어 제조공정수를 적게 할 수 있다. 이 경우 반도체막(32)의 채널영역의 보호막(33b)을 드라이에칭에 의해 형성하고 있으므로, 반도체막(32)에 핀홀과 같은 결함이 있어도 게이트절연막이 손상을 입는 일이 없고, 게이트전극(G)과 소스전극(S) 또는 드레인전극(D)의 단락이나 게이트절연막(31)의 절연내압의 저감을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

기판(1)상에 표면을 포함하는 전체가 도전성 금속막으로 이루어지고, 접속패드(18) 및 게이트전극부(13a)을 포함하는 주사신호라인(9)을 형성하고,

상기 기판(1)상 및 상기 주사신호라인(9)상에 게이트절연막(31)을 형성하며,

상기 게이트절연막(31)상에 반도체막(32)을 형성하고,

상기 반도체막(32)상에 보호막형성용 막(33)을 형성하며,

보호막형성용 막(33)을 드라이에칭에 의해 패터닝하고, 상기 게이트전극부(13a)에 대응하는 상기 반도체막(32)의 영역에 보호막(33b)을 형성하며,

각각 상기 보호막(33b)의 양측으로부터 노출하는 상기 반도체막(32)의 한쪽의 영역에 접속되는 드레인전극(D)을 형성하고, 다른쪽의 영역에 접속되는 소스전극(S)을 형성하며,

상기 드레인전극(D), 소스전극(S) 및 상기 게이트절연막(31)상에 상부절연막(41)을 형성하는 것 및,

상기 상부절연막(41)상에 상기 소스전극(S)에 접속되는 투명전극(7)을 형성하는 공정으로 이루어지는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 저저항도전성 금속막은 알루미늄 또는 알루미늄합금으로 형성되어 있는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 게이트절연막(31) 및 상기 보호막형성용 막(33)은 동일한 재료로 형성되어 있는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 4.

제 1 항에 있어서,

상기 투명전극(7)을 형성하는 공정은 상기 소스전극(S)에 대응하는 상기 상부절연막(41)의 영역에 콘택트홀(43)을 형성하고, 상기 주사신호라인(9)의 상기 접속패드(18)에 대응하는 상기 상부절연막(41)의 영역 및 상기 게이트절연막(31)의 영역에 콘택트홀(46)을 형성하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 5.

제 4 항에 있어서,

상기 투명전극(7)을 형성하는 공정은 상기 소스전극(S)과의 대응영역 및 상기 주사신호라인(9)의 상기 접속패드(18) 대응영역에 콘택트홀(46)을 갖는 상기 상부절연막(41) 전면상에 투명도전성 금속막(47)을 성막하고, 상기 투명도전성 금속막(47)을 드라이에칭하여 상기 투명전극(7)을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 6.

제 5 항에 있어서,

상기 투명도전성 금속막(47)을 드라이에칭할 때 상기 주사신호라인(9)의 상기 접속패드(18)상에 형성된 상기 투명도전성 금속막(47)을 제거하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 투명도전성 금속막(47)을 드라이에칭하는 공정은 요오드화수소가스와 불활성가스의 혼합가스를 이용한 반응성 이온에칭에 의해 실시하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 요오드화수소가스에 대한 불활성가스의 유량비는 0.2 0.5인 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 9.

제 5 항에 있어서,

상기 투명도전성 금속막(47)을 드라이에칭할 때 상기 기판(11)의 가열설정온도를, 상기 기판(11)의 중앙부보다도 외주부를 높게 하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 10.

제 9 항에 있어서,

상기 기판(11)의 가열설정온도는 상기 기판(11)의 중앙부와 외주부에서 20 30℃ 상이한 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 11.

제 4 항에 있어서,

상기 투명전극을 형성하는 공정은 상기 소스전극(S)과의 대응영역 및 상기 주사신호라인(9)의 상기 접속패드(18)대응영역에 콘택트홀(46)을 갖는 상기 상부절연막(41) 전면상에 ITO막보다 저항율이 작은 제 1 투명도전성 금속막(61)을 형성하는 공정 및 상기 제 1 투명도전성 금속막(61)상에 ITO막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 12.

제 1 항에 있어서,

상기 주사신호라인(9)을 형성하는 공정은 저저항도전성 금속막에 의해 제 1 주사신호라인(9)을 형성하는 공정과 상기 제 1 주사신호라인에 도금(71)을 실시하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 13.

제 12 항에 있어서,

상기 투명전극(7)을 형성하는 공정은 상기 상부절연막(41)의 상기 소스전극(S)과의 대응영역 및 상기 주사신호라인(9)의 상기 접속패드(18)대응영역에 콘택트홀(46)을 형성하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 14.

제 12 항에 있어서,

상기 투명전극(7)을 형성하는 공정은 상기 소스전극(S)과의 대응영역 및 상기 주사신호라인(9)의 상기 접속패드(18) 대응영역에 콘택트홀(46)을 갖는 상기 상부절연막(41) 전면상에 투명도전성 금속막(47)을 성막하고, 상기 투명도전성 금속막(47)을 드라이에칭하여 상기 투명전극(7)을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 15.

기판(1)상에 주사전극단자(18) 및 게이트전극(G)을 포함하는 주사신호라인(9)을 형성하고,

상기 기판(1)상 및 상기 주사신호라인(9)상에 게이트절연막(31)을 형성하며,

상기 게이트절연막(31)상에 채널영역, 소스영역 및 드레인영역으로 되는 영역을 갖는 반도체막(32)을 형성하고,

상기 반도체막(32)상에 보호막형성용 막(33)을 형성하며,

보호막형성용 막(33)을 드라이에칭에 의해 패터닝하고, 채널영역으로 되는 영역상에 보호막(33b)을 형성하며,

상기 반도체막(32)의 드레인영역(D)으로 되는 영역에 접속되는 소스전극(S)을 형성하고, 드레인영역(D)으로 되는 영역에 접속되는 드레인전극(D) 및 데이터전극단자(20a)를 갖는 상기 주사신호라인(9)보다 산화환원전위가 큰 데이터신호라인(10)을 형성하며,

상기 드레인전극(D), 소스전극(S) 및 상기 게이트절연막(31)상에 상기 소스전극(S), 상기 데이터전극단자(20a) 및 상기 주사전극단자(18)를 노출하는 콘택트홀(42, 45, 46)을 갖는 상부절연막(41)을 형성하는 것 및,

상기 상부절연막(41)상에 상기 데이터전극단자(20a)를 덮는 투명도전막(20b) 및 상기 소스전극(S)에 접속되는 투명전극(7)을 형성하는 공정으로 이루어지는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 16.

제 15 항에 있어서,

상기 저저항도전성 금속막은 알루미늄 또는 알루미늄합금으로 형성되어 있는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 17.

제 15 항에 있어서,

상기 게이트절연막(31) 및 상기 보호막형성용 막(33)은 동일한 재료로 형성되어 있는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

청구항 18.

제 15 항에 있어서,

상기 투명도전막(20b) 및 상기 투명전극(7)을 형성하는 공정은 상기 상부절연막(41) 전면상에 투명도전성 금속막(47)을 성막하고, 상기 투명도전성 금속막(47)을 드라이에칭하여 상기 투명도전막(20b) 및 상기 투명전극(7)을 형성하는 공정을 포함하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

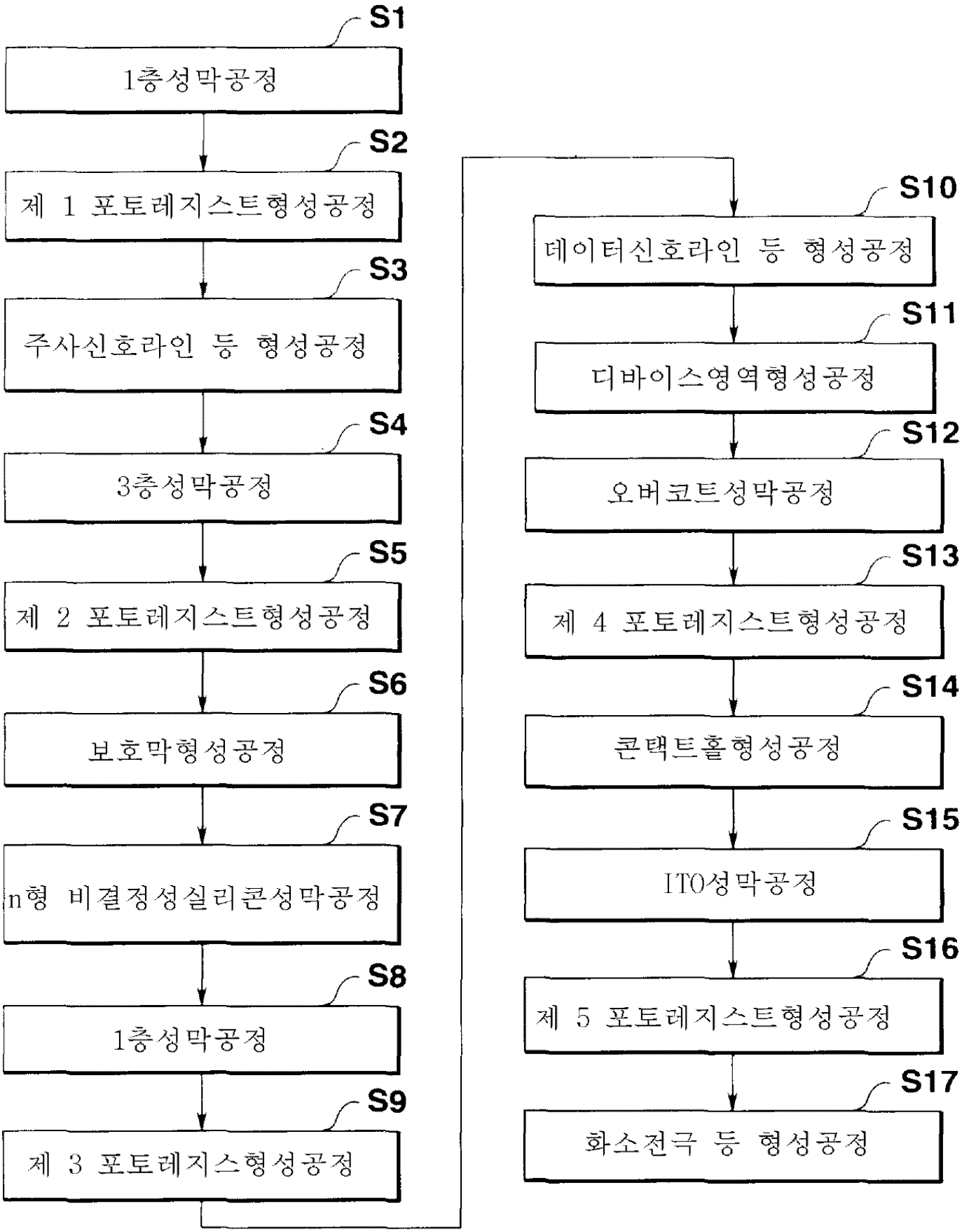
청구항 19.

제 18 항에 있어서,

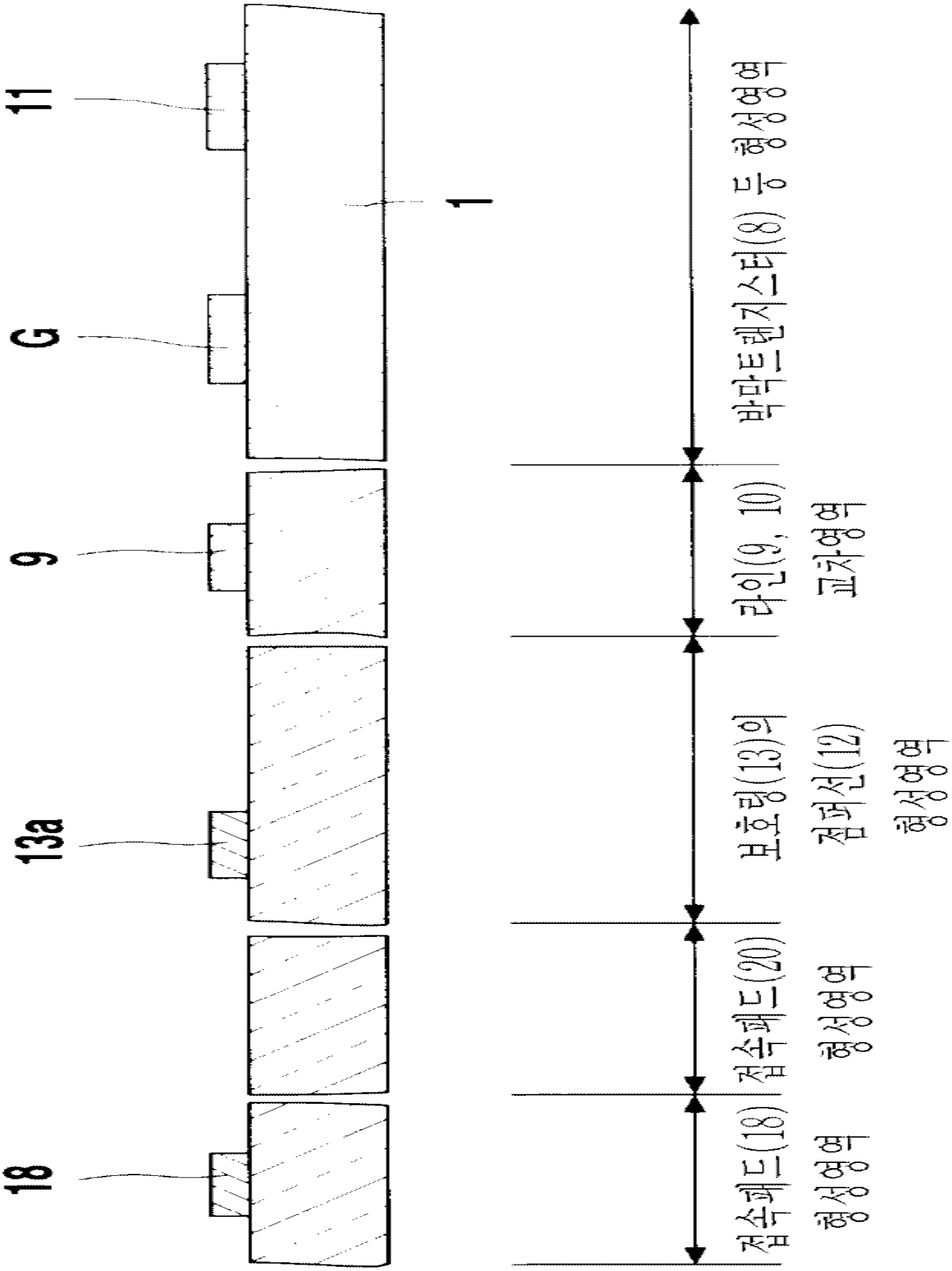
상기 투명도전성 금속막(47)을 드라이에칭할 때 상기 주사신호라인(9)의 상기 주사전극단자(18)상에 형성된 상기 투명도전성 금속막(47)을 제거하는 것을 특징으로 하는 박막트랜지스터패널의 제조방법.

도면

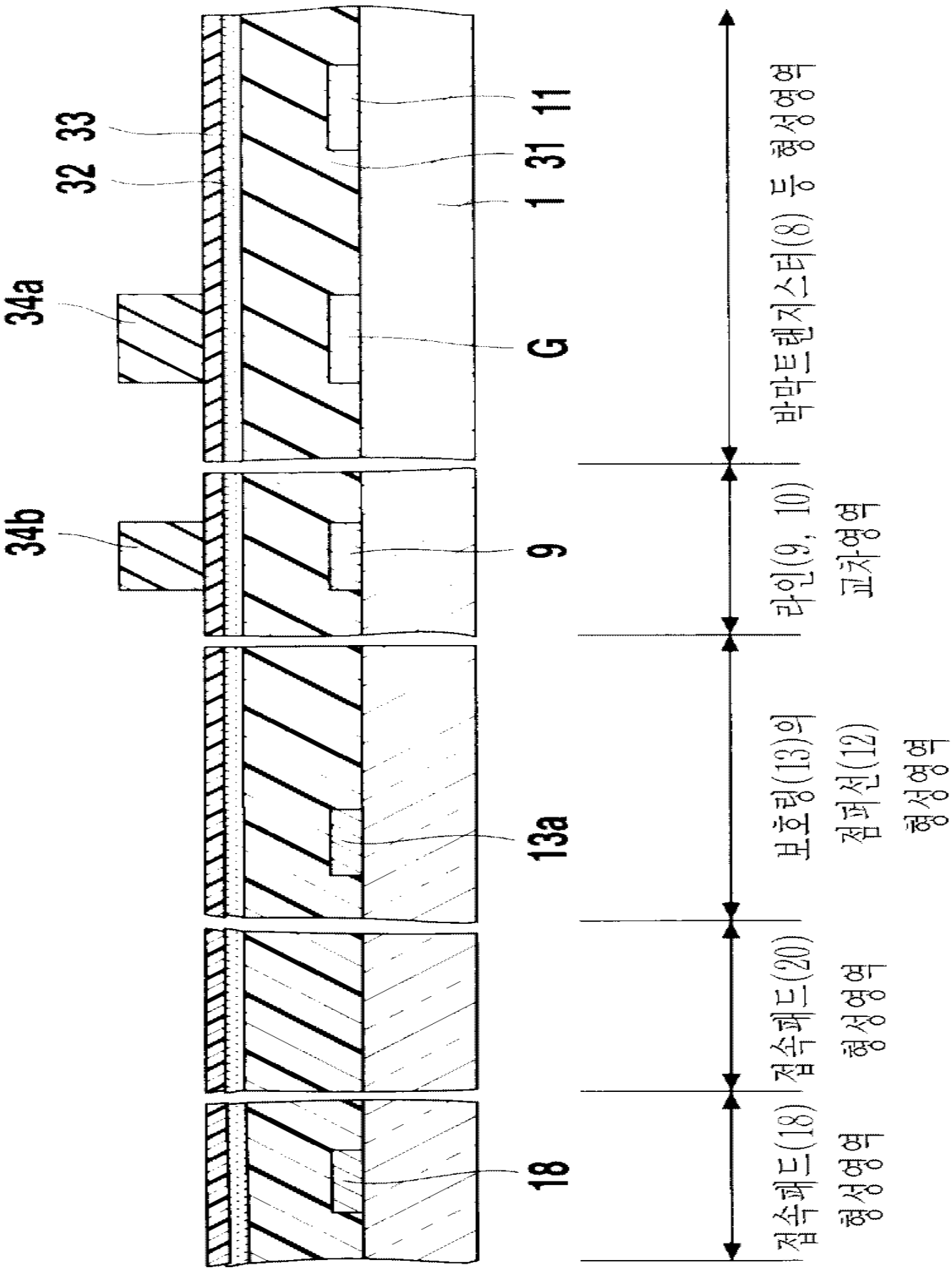
도면 1


S1
1층성막공정
S2
제 1 포토레지스트형성공정
S3
주사신호라인 등 형성공정
S4
3층성막공정
S5
제 2 포토레지스트형성공정
S6
보호막형성공정
S7
n형 비결정성실리콘성막공정
S8
1층성막공정
S9
제 3 포토레지스형성공정
S10
데이터신호라인 등 형성공정
S11
디바이스영역형성공정
S12
오버코트성막공정
S13
제 4 포토레지스트형성공정
S14
콘택트홀형성공정
S15
ITO성막공정
S16
제 5 포토레지스트형성공정
S17
화소전극 등 형성공정

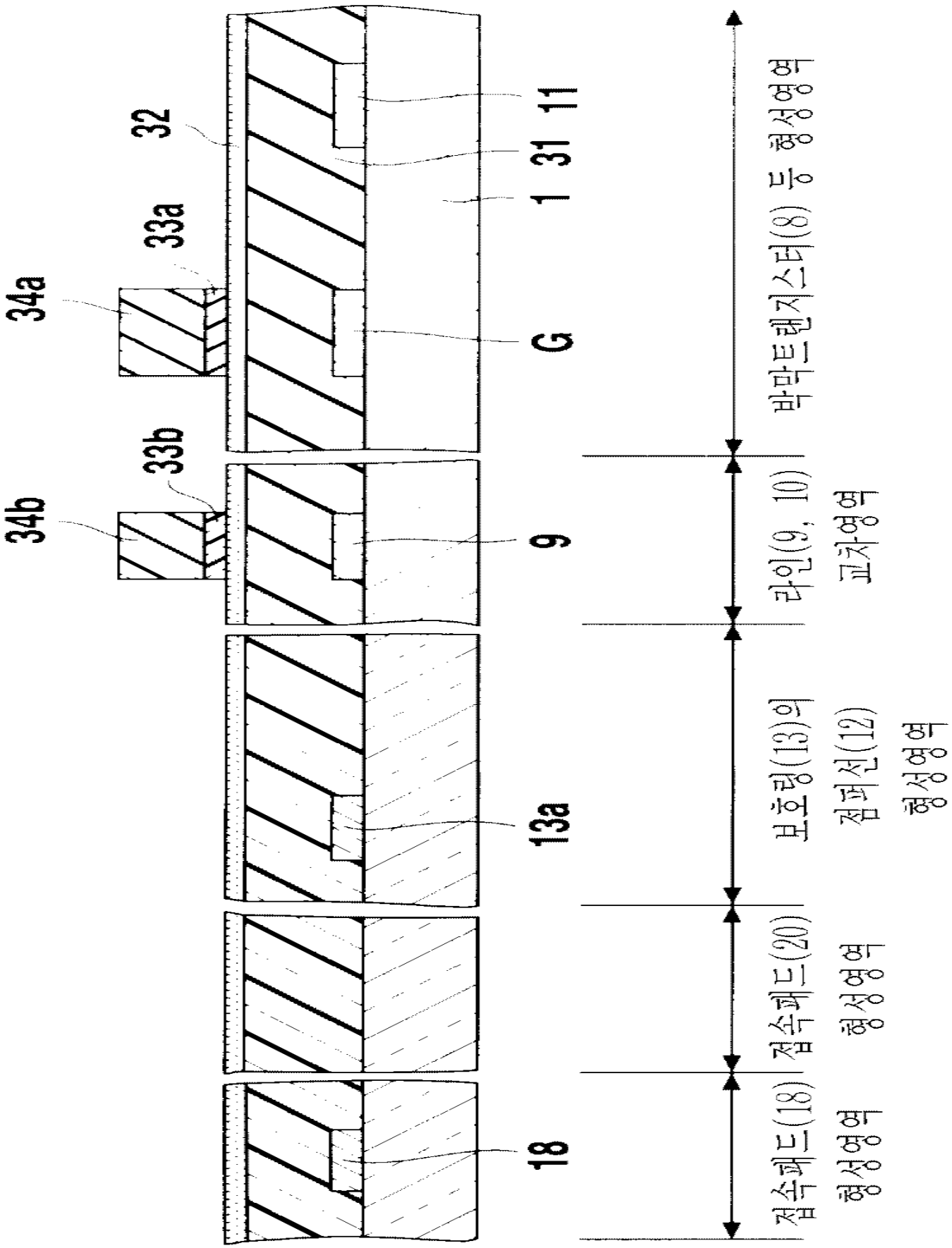
도면 2


11
G
9
13a
18
1
박막트랜지스터(8) 등 광성영역
라인(9, 10) 교차영역
보호링(13)의 접속패드(12) 광성영역
접속패드(20) 광성영역
접속패드(18) 광성영역

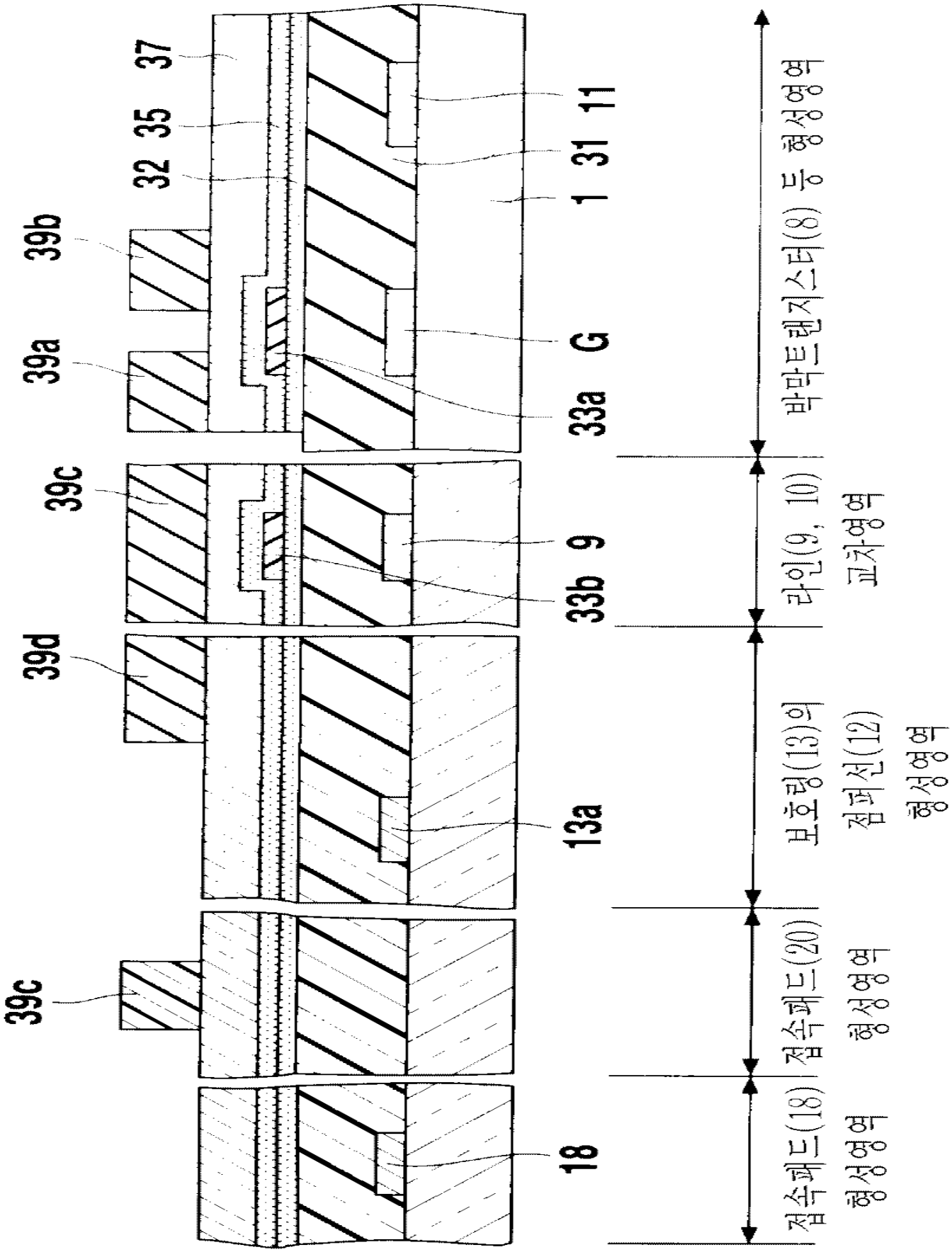
도면 3


34a
32 33
34b
18
13a
9
G
1 31 11
접속패드(18)
평성영역
접속패드(20)
평성영역
보호링(13)의
접퍼선(12)
평성영역
라인(9, 10)
교차영역
반막트랜지스터(8) 능 평성영역

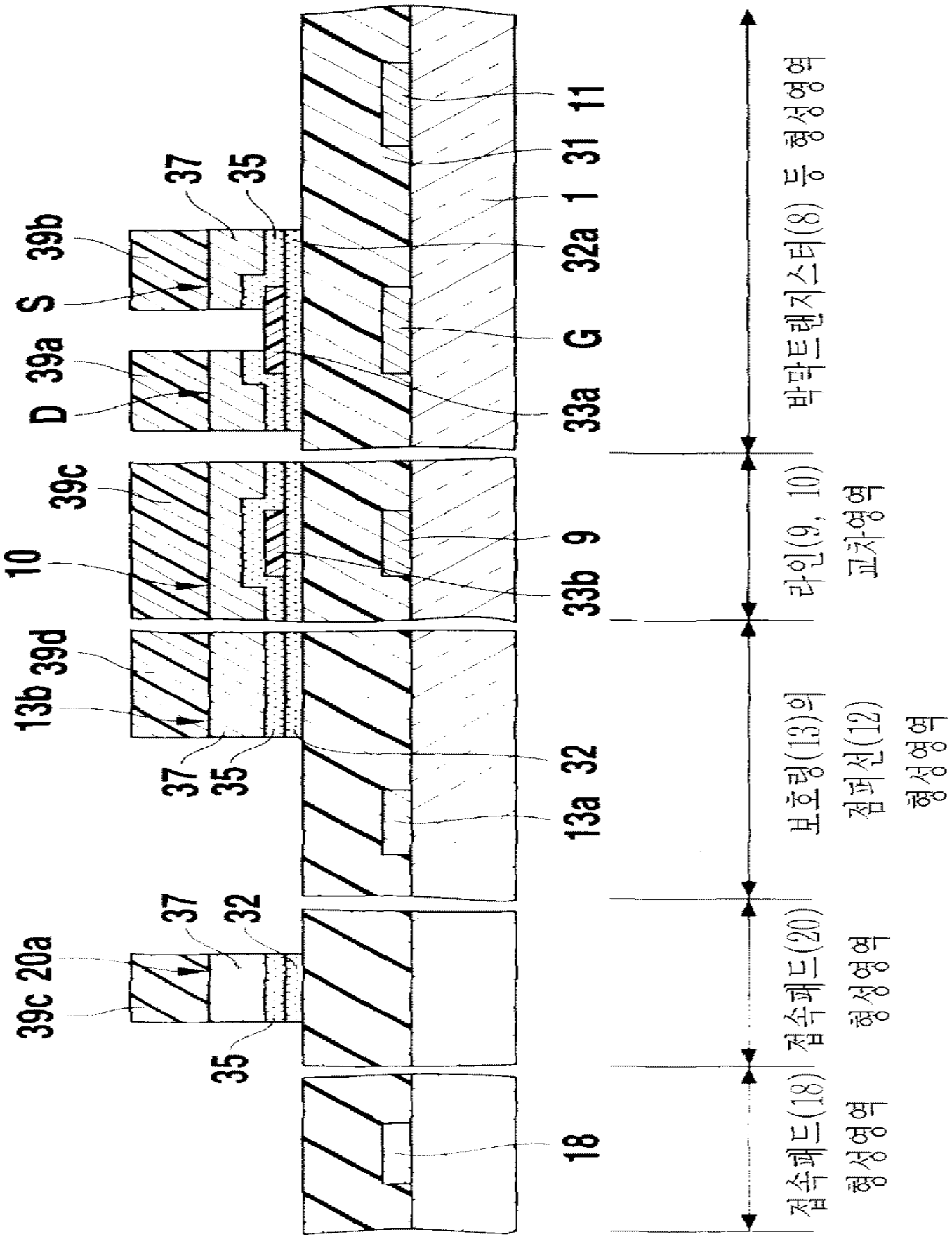
도면 4


32
33a
34a
33b
34b
11
31
1
G
9
13a
18
박막트랜지스터(8) 등 평성영역
라인(9, 10) 교차영역
보호막(13)의 접촉선(12) 평성영역
접속패드(20) 평성영역
접속패드(18) 평성영역

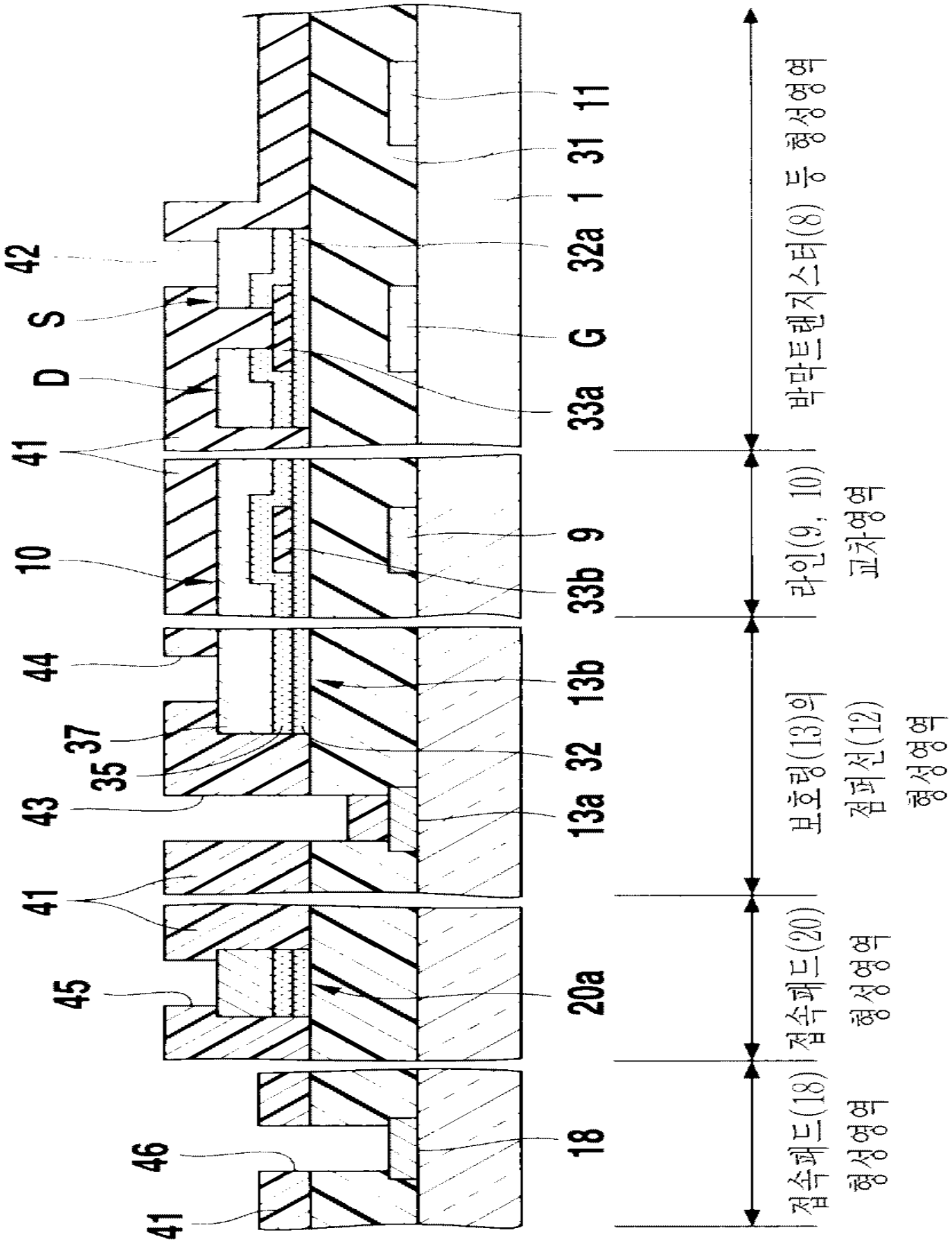
도면 5


37
35
32
39b
39a
39c
39d
39c
18
1
31
11
G
33a
9
33b
13a
밤막트랜지스터(8) 능 평성영역
라인(9, 10)
교차영역
보호링(13)의
접속패드(20)
평성영역
접속패드(18)
평성영역
접퍼선(12)
평성영역

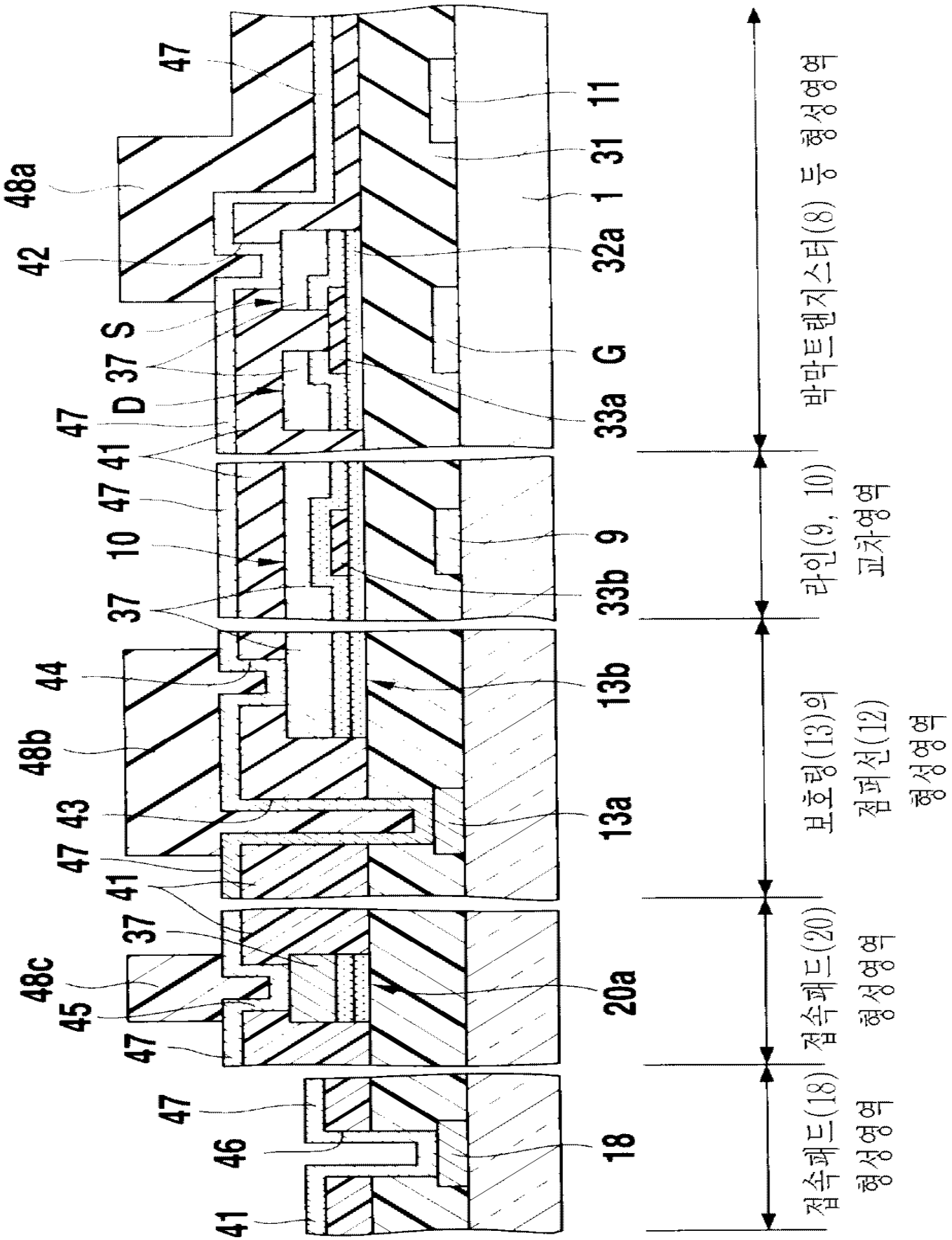
도면 6


39b
S
D
39a
39c
10
13b
39d
39c
20a
37
35
32
18
11
31
1
32a
G
33a
9
33b
13a
32
37
35
37
35
37
35
반막트랜지스터(8) 등 형성영역
라인(9, 10) 교차영역
보호링(13)의 절단선(12) 형성영역
접속패드(20) 형성영역
접속패드(18) 형성영역

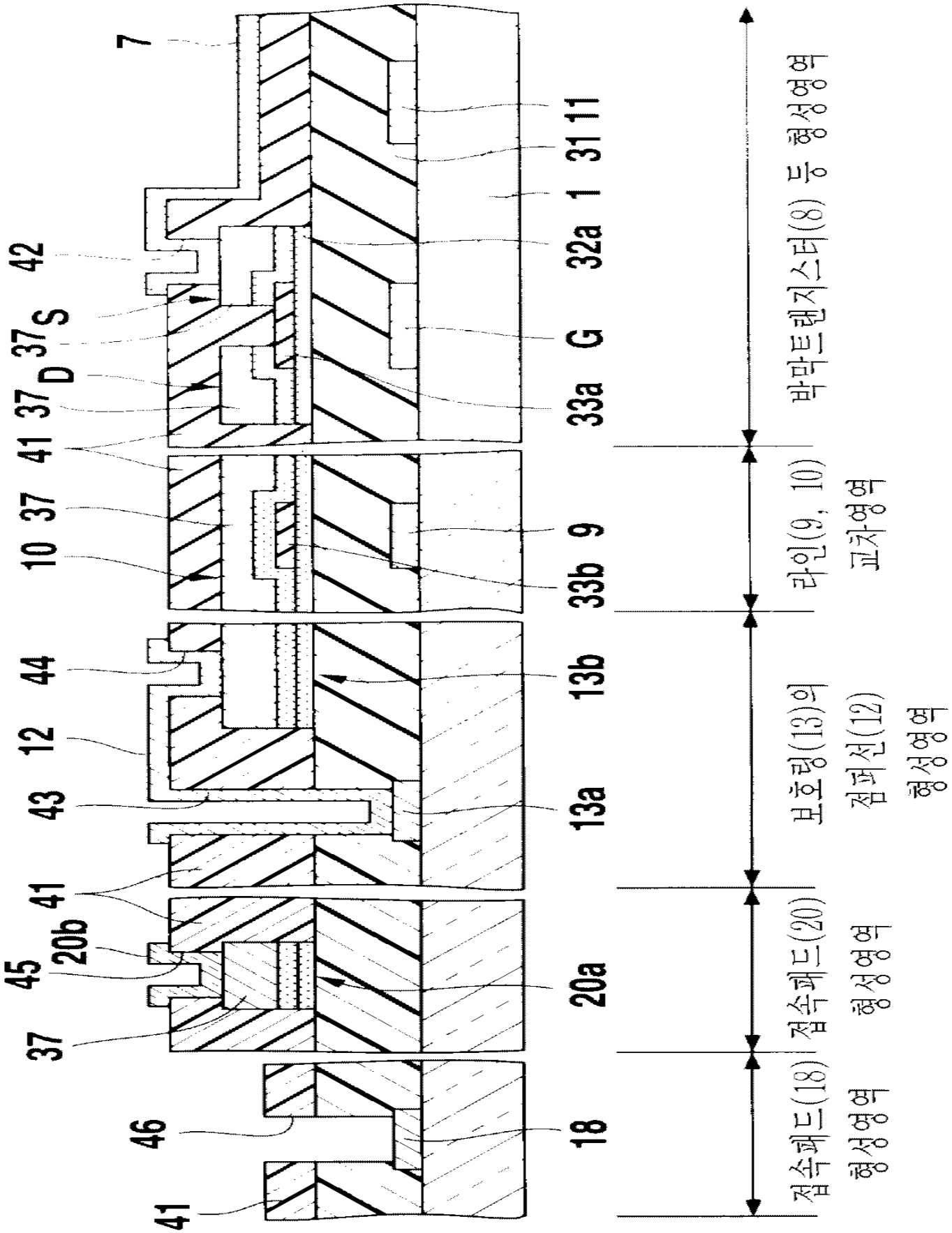
도면 7


42
S
D
41
10
44
37
35
43
41
45
46
41
18
20a
13a
32
13b
33b
9
33a
G
32a
1
31
11
접속패드(18) 형성영역
접속패드(20) 형성영역
보호링(13)의 접피선(12) 형성영역
라인(9, 10) 교차영역
반막트랜지스터(8) 등 형성영역

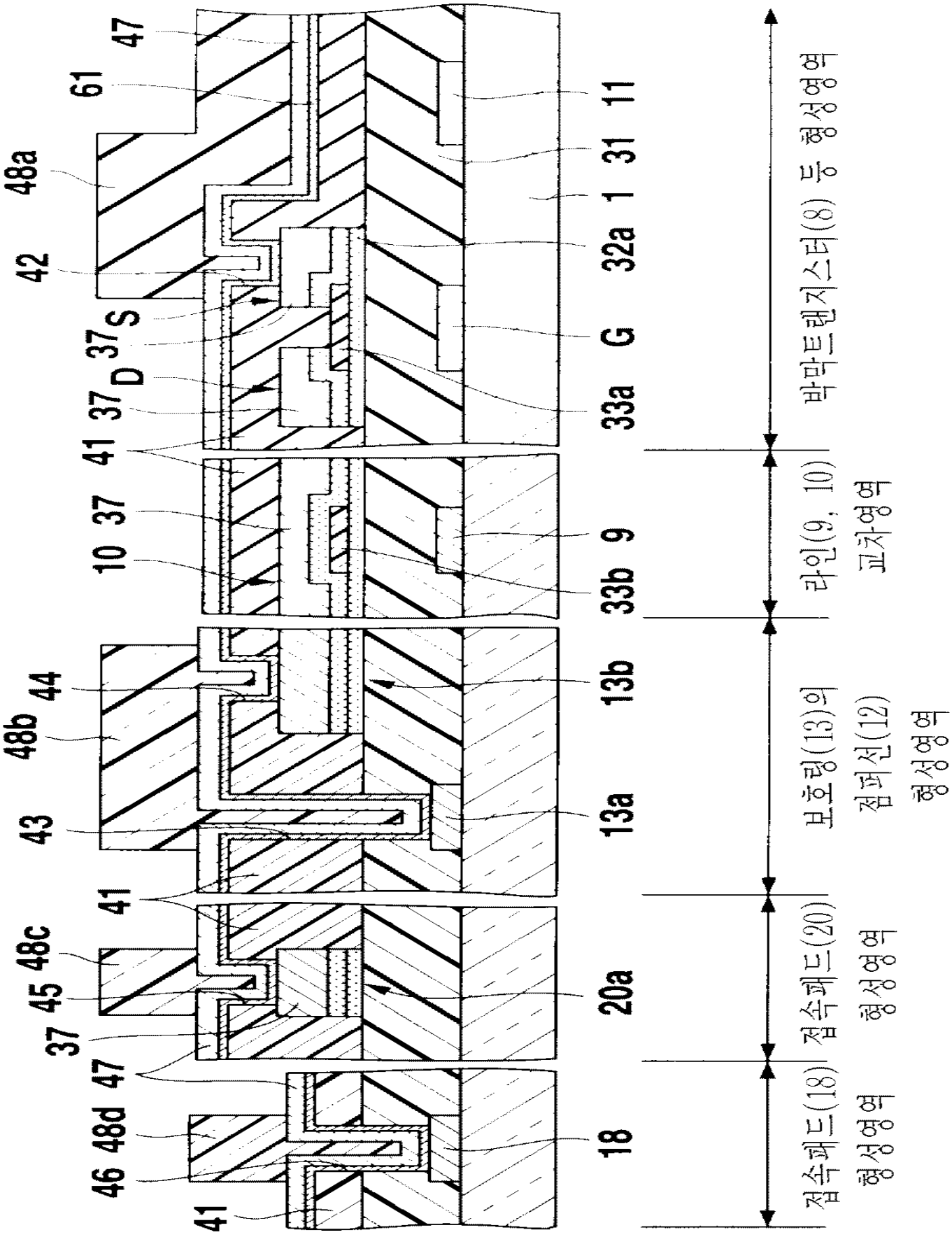
도면 8


47
48a
42
47
D
37
S
41
47
10
37
44
48b
47
43
41
37
48c
45
47
47
46
41
11
31
1
32a
G
33a
9
33b
13b
13a
20a
18
박막트랜지스터(8) 등 형성영역
라인(9, 10) 교차영역
보호링(13)의 형성영역
접퍼선(12) 형성영역
접속패드(20) 형성영역
접속패드(18) 형성영역

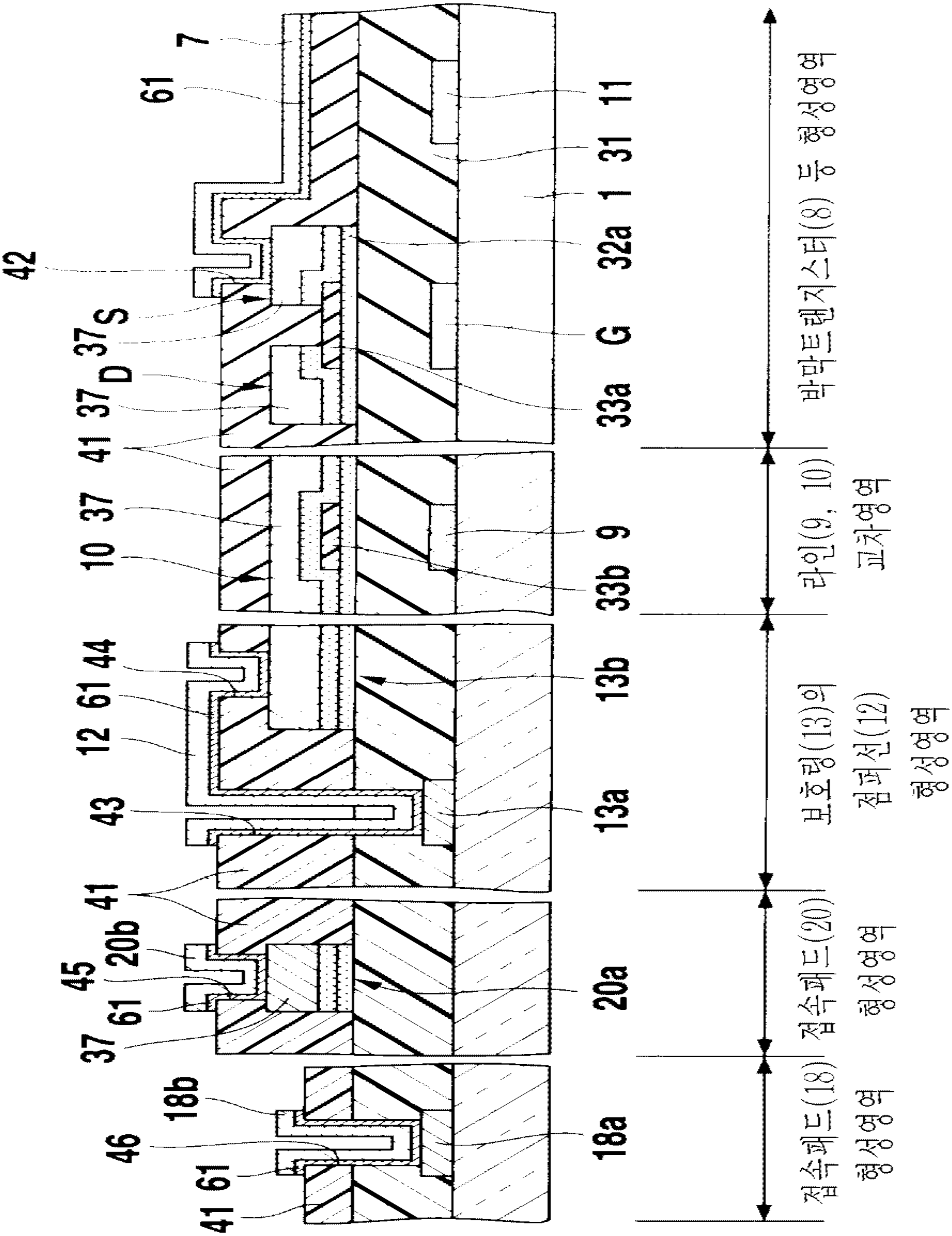
도면 9


7
42
37 S
37 D
41
37
10
44
12
43
41
45
20b
37
46
41
18
20a
13a
13b
33b
9
33a
G
32a
1
31
11
접속패드(18) 형성영역
접속패드(20) 형성영역
보호링(13)의 형성영역
접퍼선(12) 형성영역
라인(9, 10) 교차영역
박막트랜지스터(8) 등 형성영역

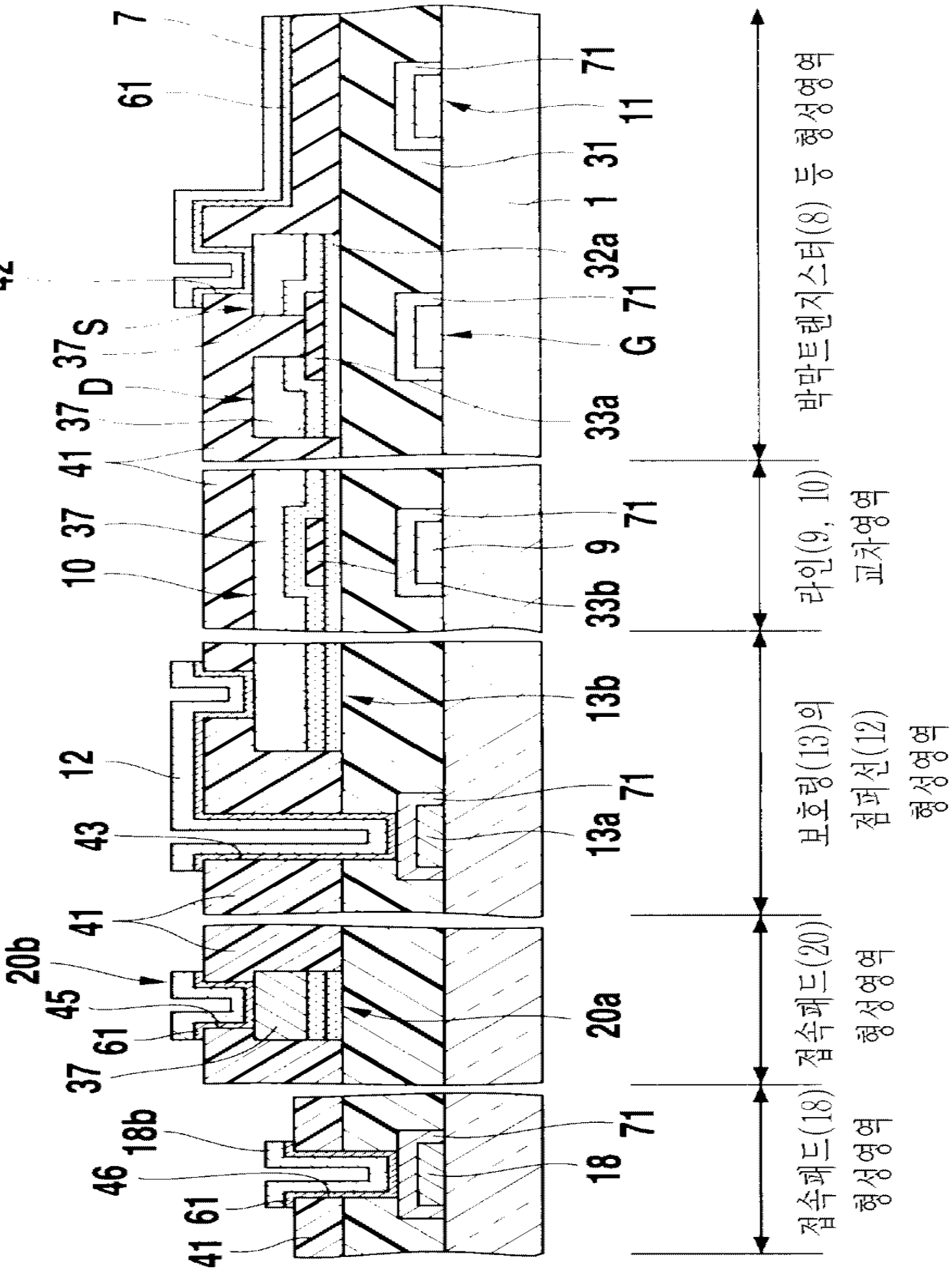
도면 10


47
61
48a
42
37
S
D
37
41
37
10
37
41
48b
44
43
41
48c
45
37
47
46
48d
41
11
31
1
32a
G
33a
9
33b
13b
13a
20a
18
박막트랜지스터(8) 등 형성영역
라인(9, 10)
교차영역
보호링(13)의
절연선(12)
형성영역
접속패드(20)
형성영역
접속패드(18)
형성영역

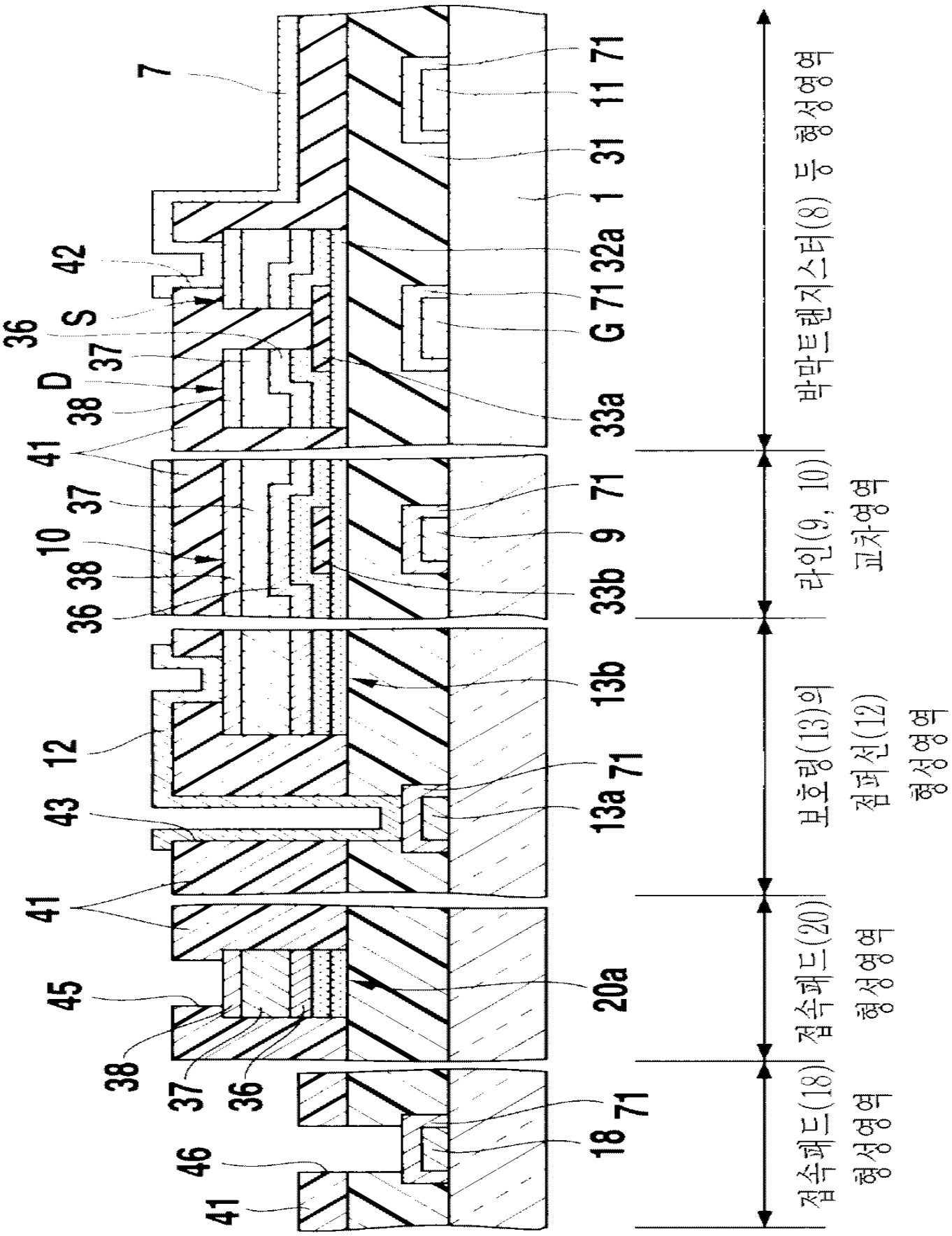
도면 11


7
61
42
37S
37D
37
41
10
37
12
61
44
43
41
45
20b
61
37
18b
46
41
61
11
31
1
32a
G
33a
9
33b
13b
13a
20a
18a
박막트랜지스터(8) 등 형성영역
라인(9, 10) 교차영역
보호링(13)의 접속배선(12) 형성영역
접속패드(20) 형성영역
접속패드(18) 형성영역

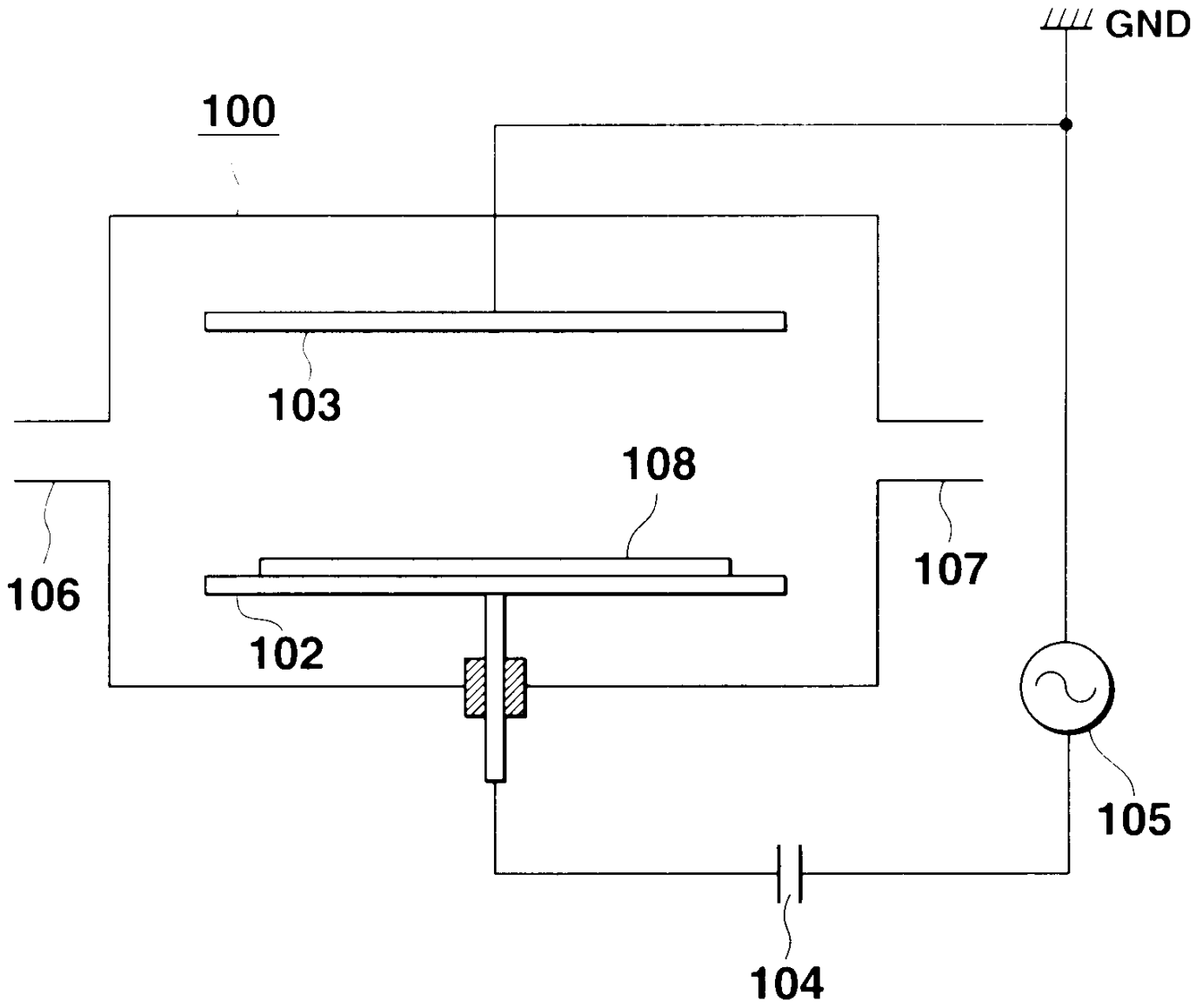
도면 12


7
61
42
37S
37D
41 37
10 37
41
20b
45
61
37
41
12
43
46
18b
41 61
71
11
31
1
32a
G 71
33a
71
9
33b
13b
13a 71
20a
18 71
밤막트랜지스터(8) 등 형성영역
라인(9, 10) 교차영역
보호링(13)의 접퍼선(12) 형성영역
접속패드(20) 형성영역
접속패드(18) 형성영역

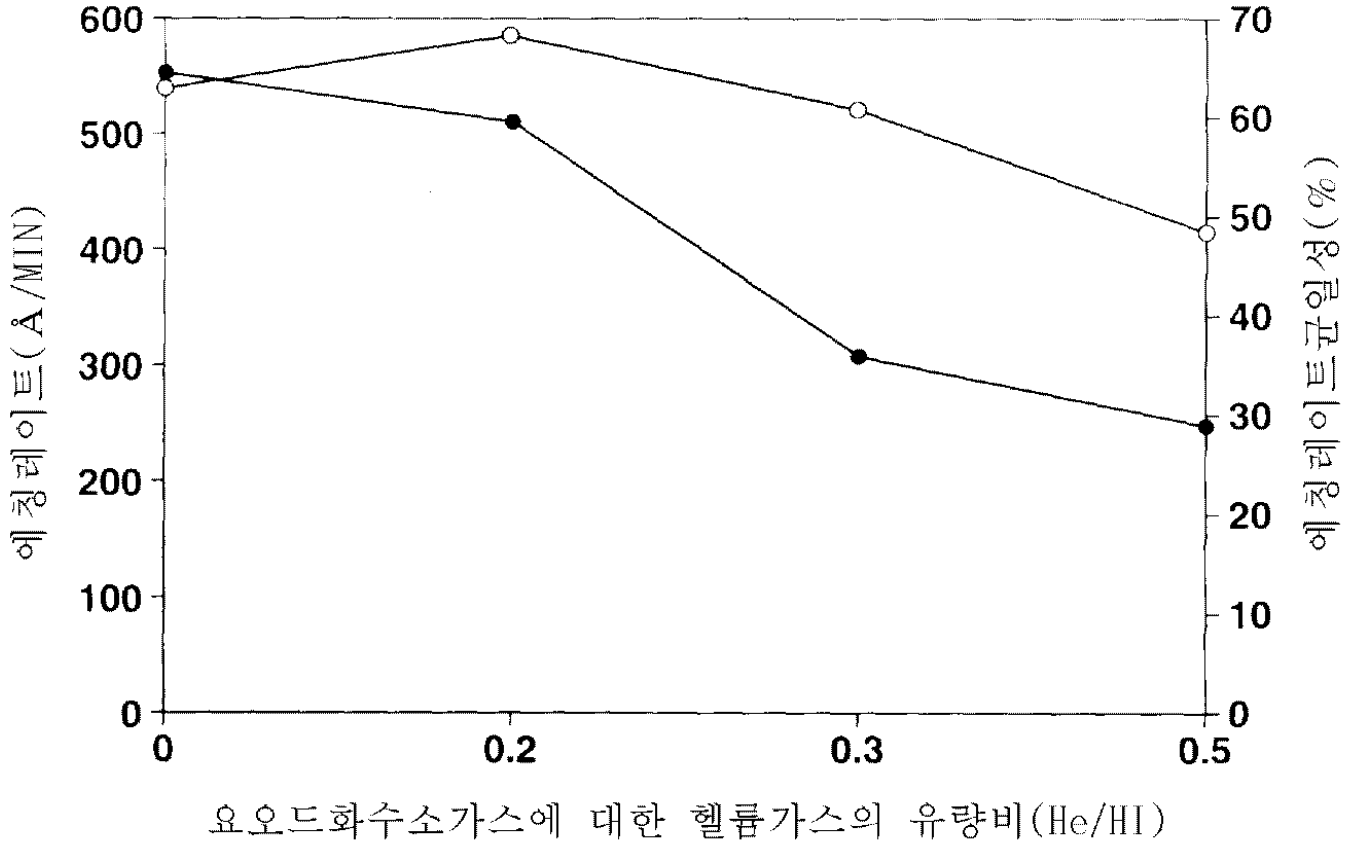
도면 13


7
42
36
S
37
D
38
41
10
37
36
38
12
43
41
45
38
37
36
46
41
18
71
20a
13a
71
13b
33b
9
71
33a
G
71
32a
1
31
11
71
접속패드(18) 형성영역
접속패드(20) 형성영역
보호링(13)의 접퍼선(12) 형성영역
라인(9, 10) 교차영역
박막트랜지스터(8) 등 형성영역

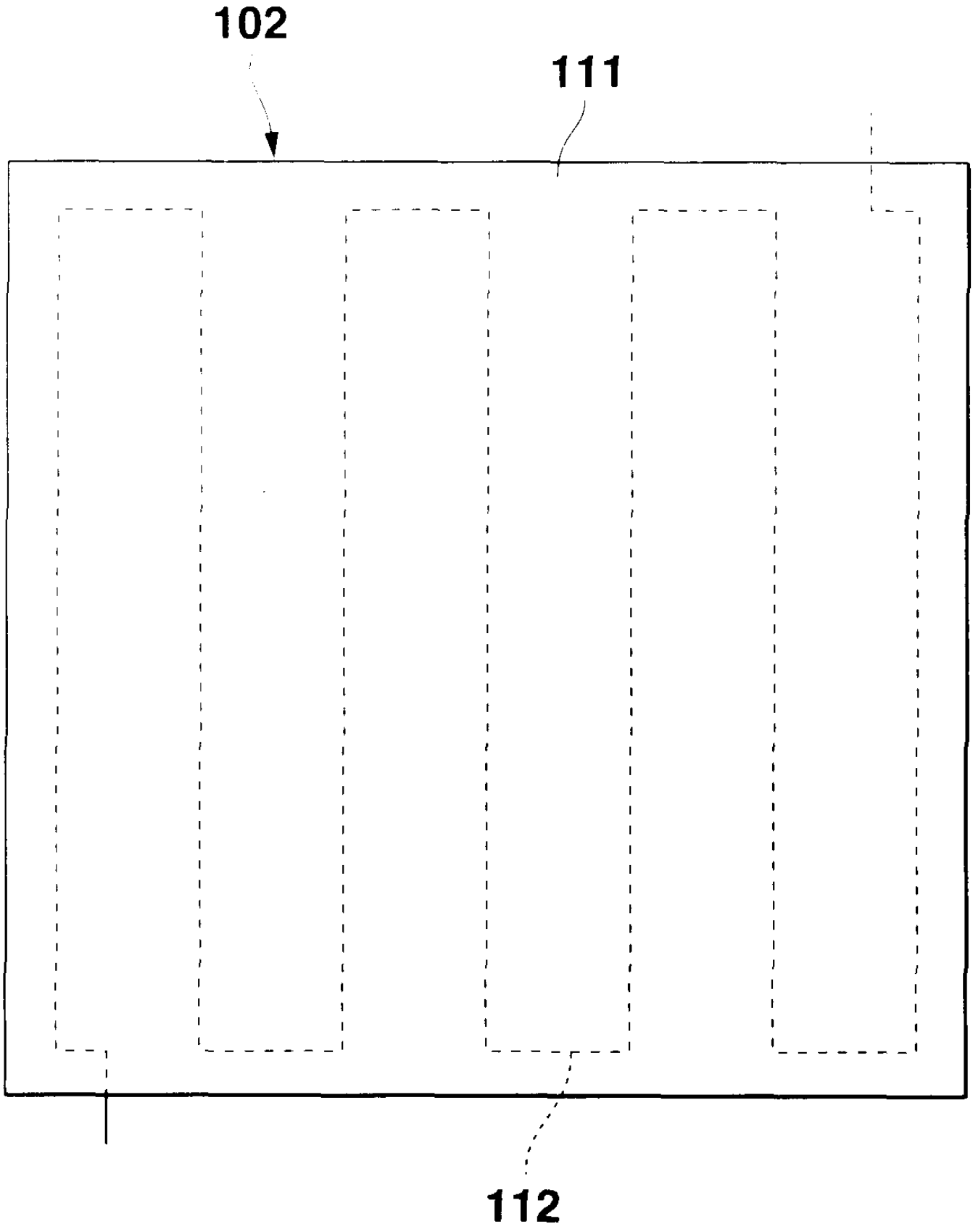
도면 14



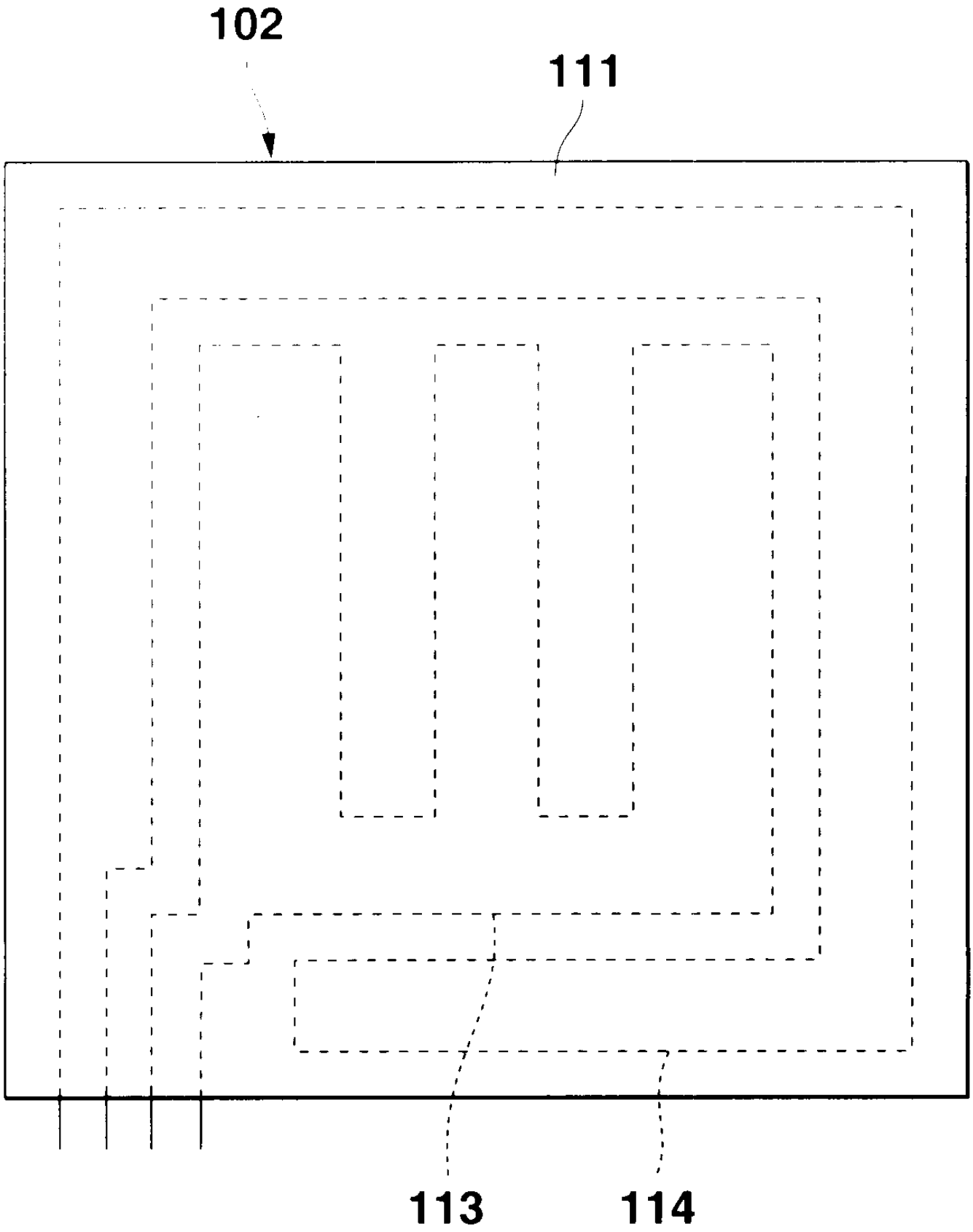
도면 15


600
500
400
300
200
100
0
70
60
50
40
30
20
10
0
0.2
0.3
0.5
에칭레이트(Å/MIN)
에칭레이트균일성(%)
요오드화수소가스에 대한 헬륨가스의 유량비(He/HI)

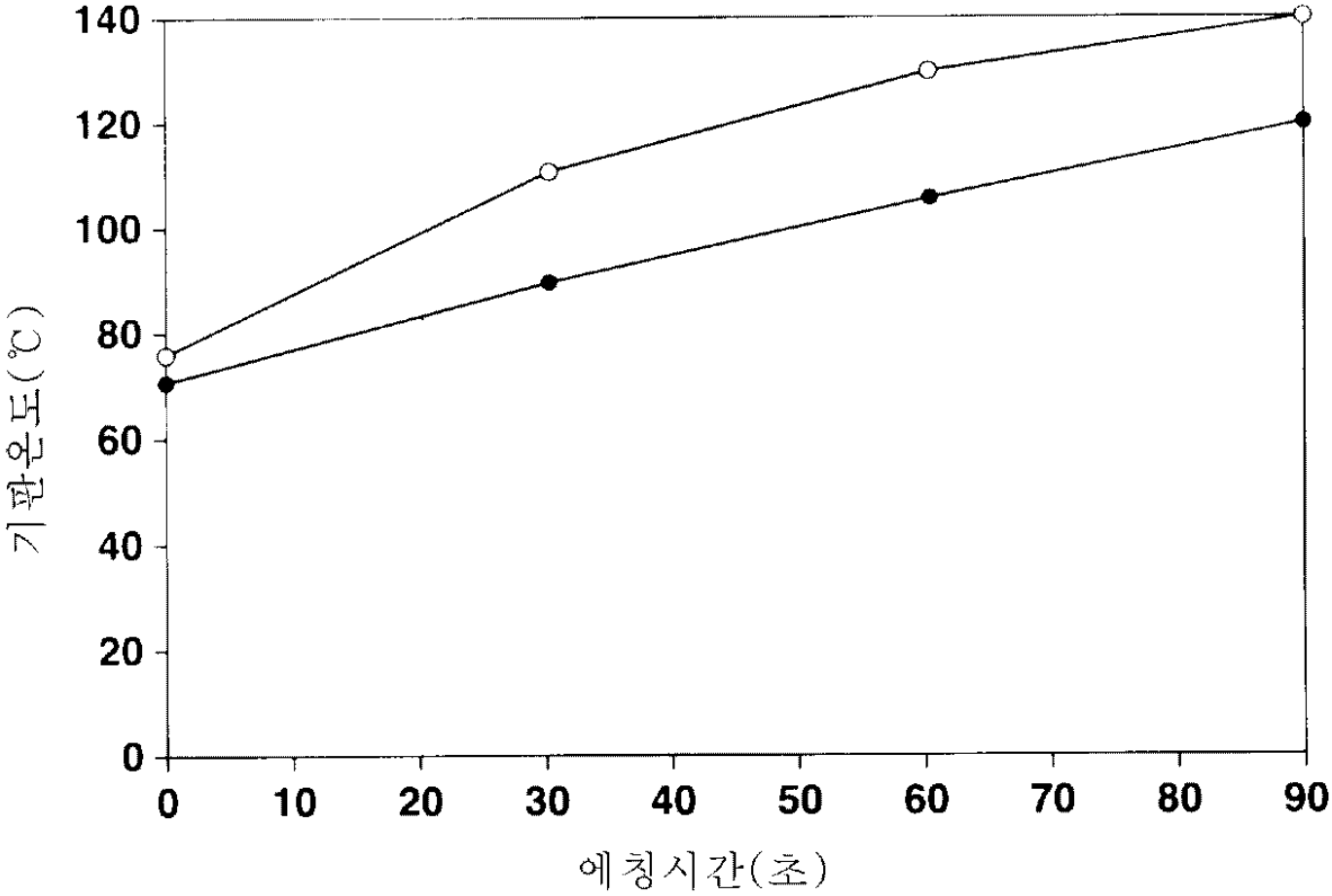
도면 16



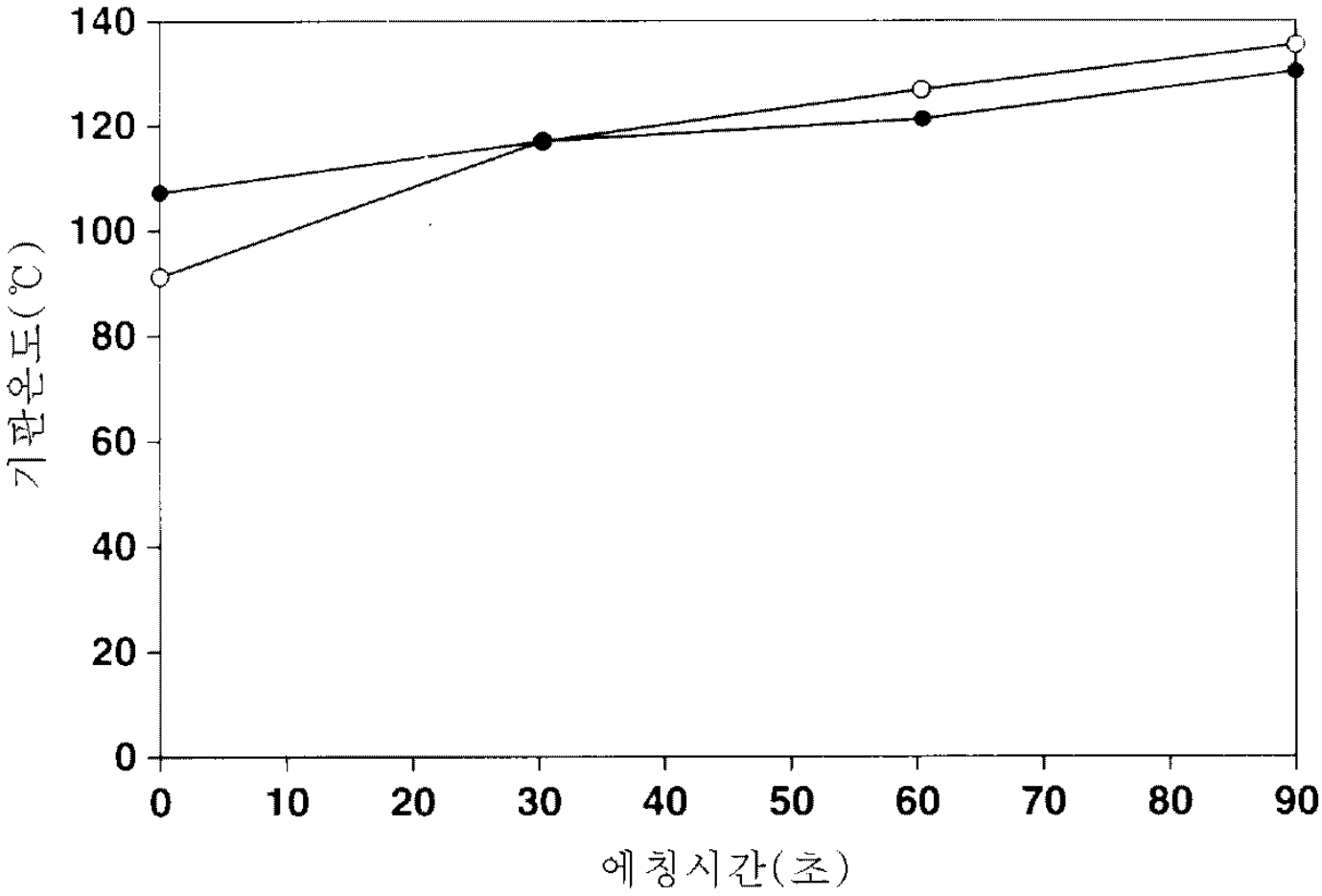
도면 17



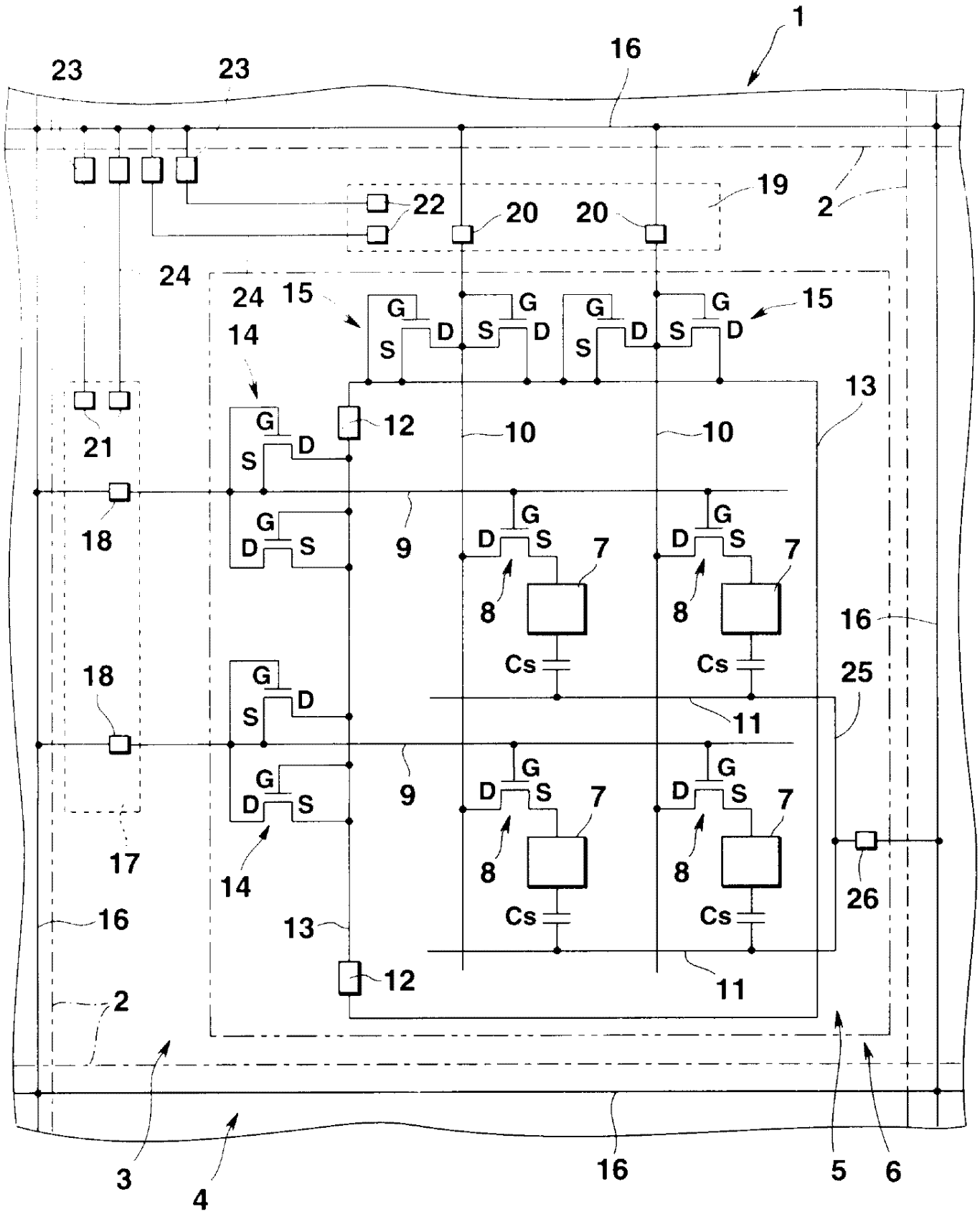
도면 18



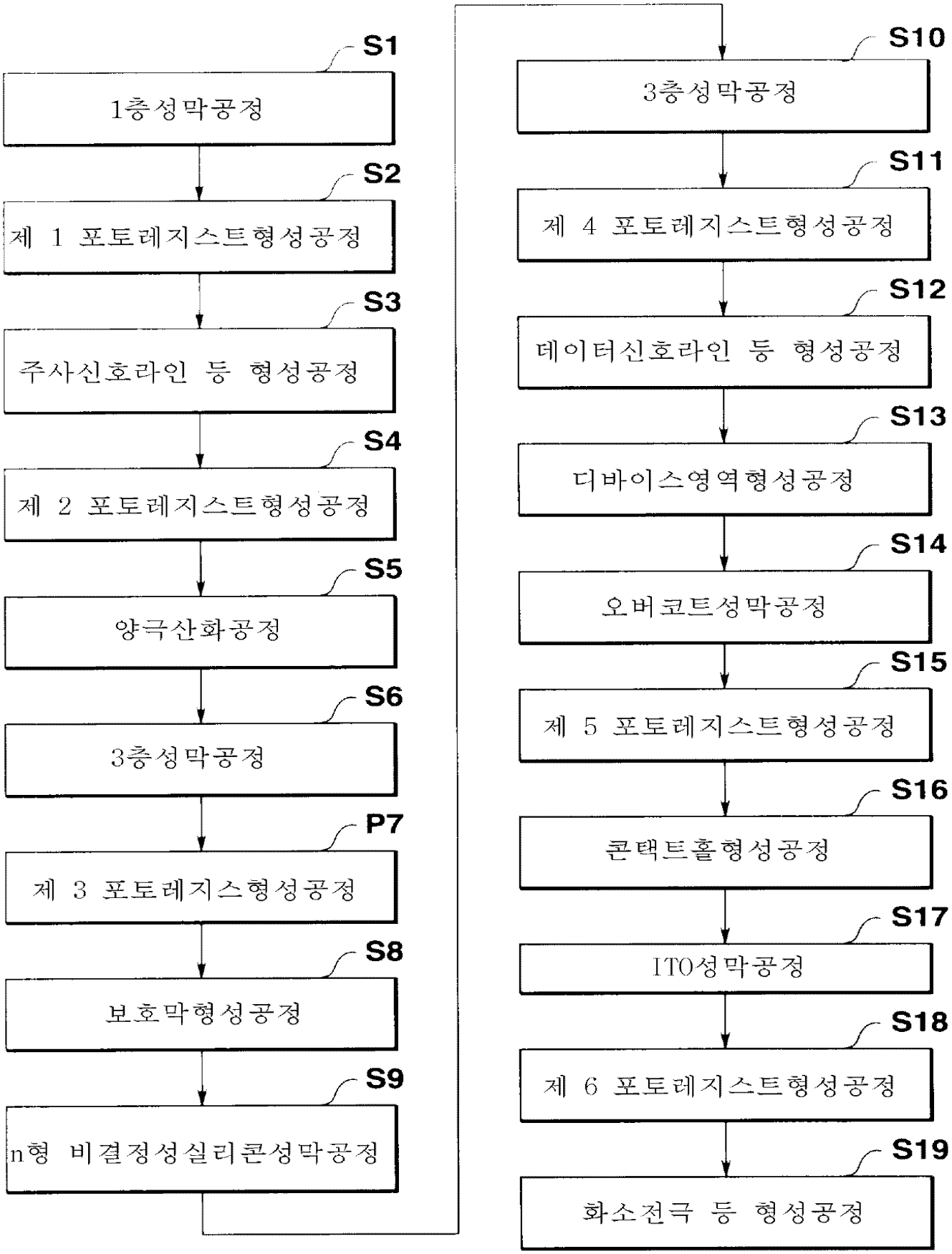
도면 19



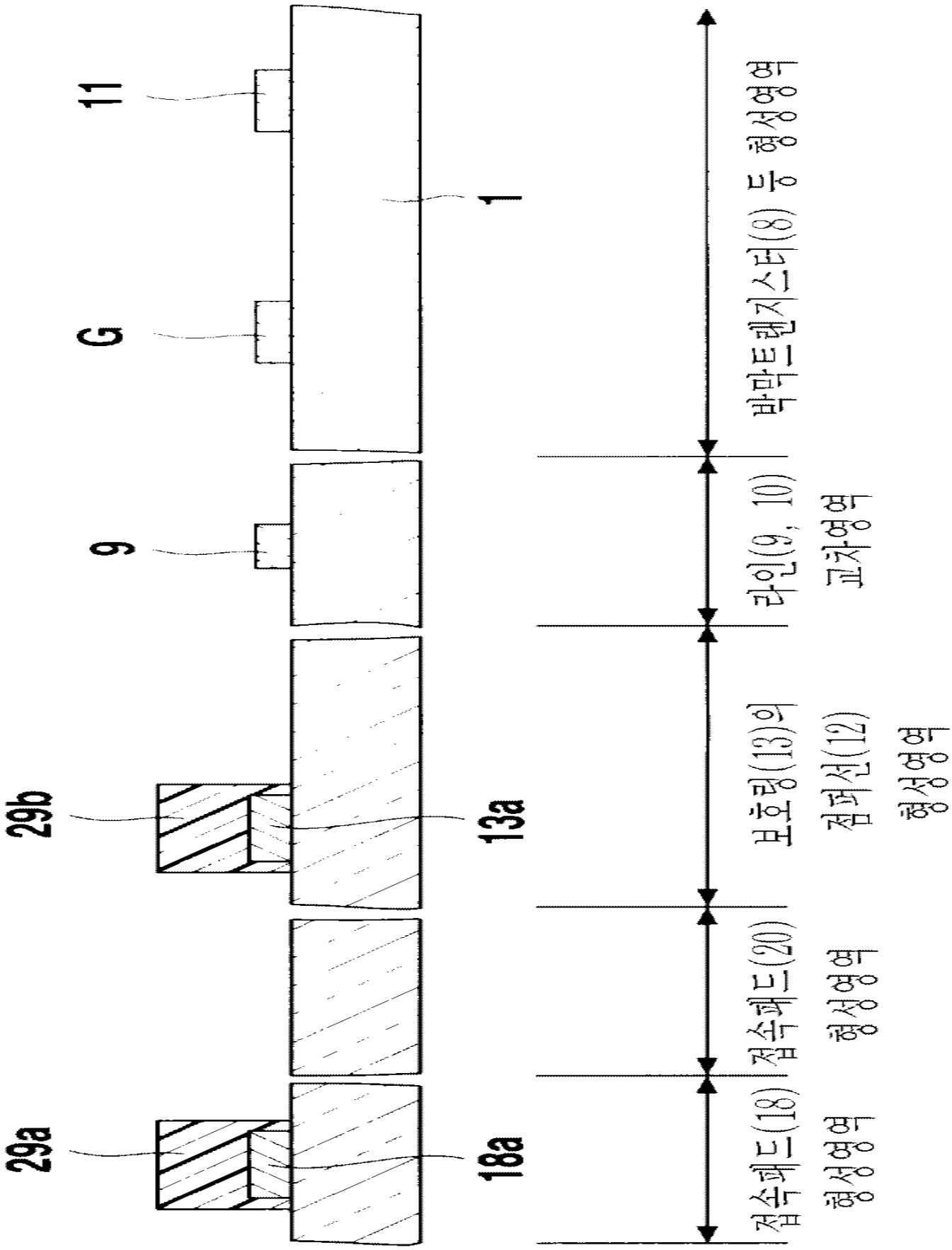
도면 20


1
16
23
23
19
2
22
20
20
24
24
15
15
14
G
D
S
13
12
10
10
21
18
9
7
8
Cs
16
18
25
11
17
14
26
16
13
12
11
2
3
4
16
5
6

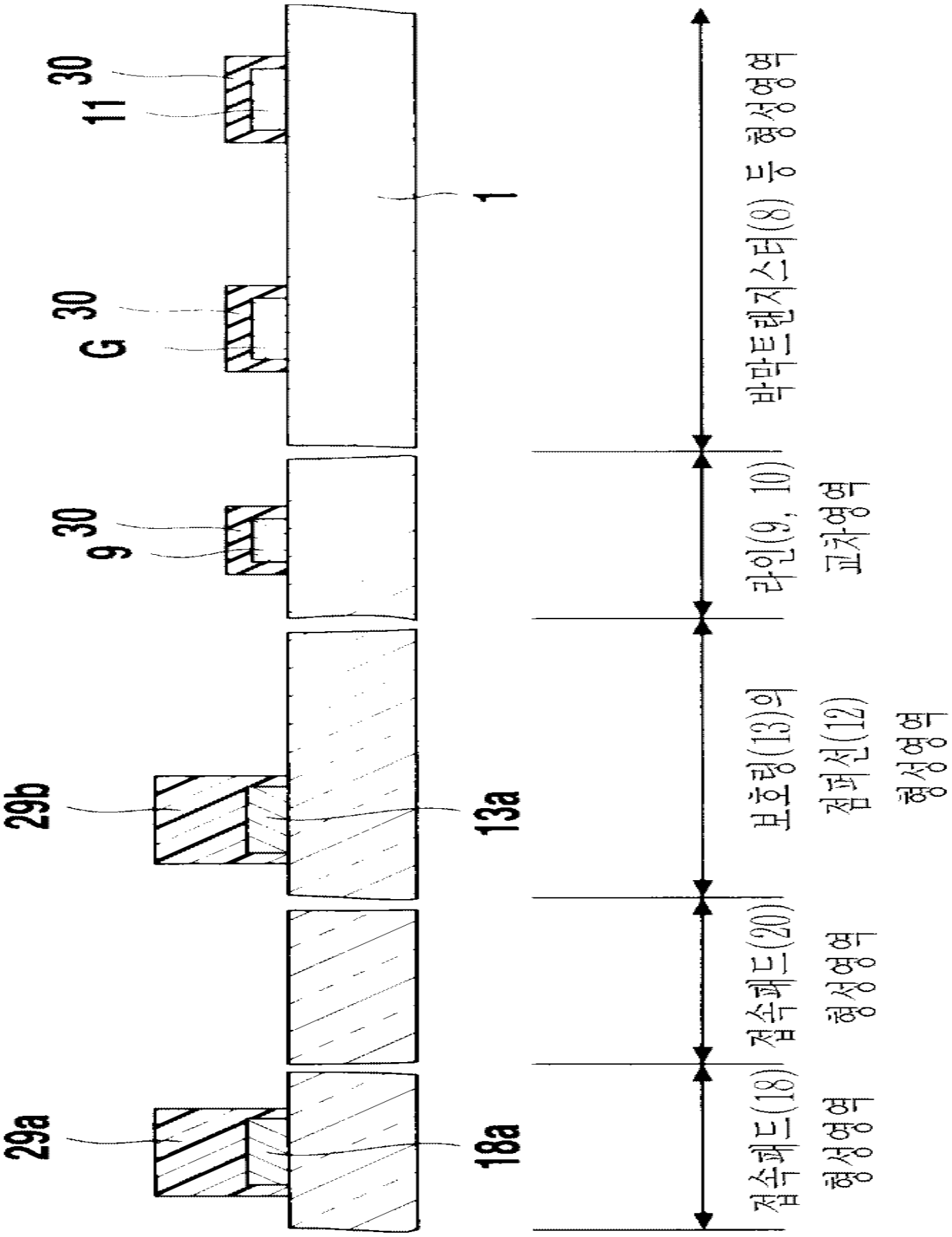
도면 21


S1
1층성막공정
S2
제 1 포토레지스트형성공정
S3
주사신호라인 등 형성공정
S4
제 2 포토레지스트형성공정
S5
양극산화공정
S6
3층성막공정
P7
제 3 포토레지스형성공정
S8
보호막형성공정
S9
n형 비결정성실리콘성막공정
S10
3층성막공정
S11
제 4 포토레지스트형성공정
S12
데이터신호라인 등 형성공정
S13
디바이스영역형성공정
S14
오버코트성막공정
S15
제 5 포토레지스트형성공정
S16
콘택트홀형성공정
S17
ITO성막공정
S18
제 6 포토레지스트형성공정
S19
화소전극 등 형성공정

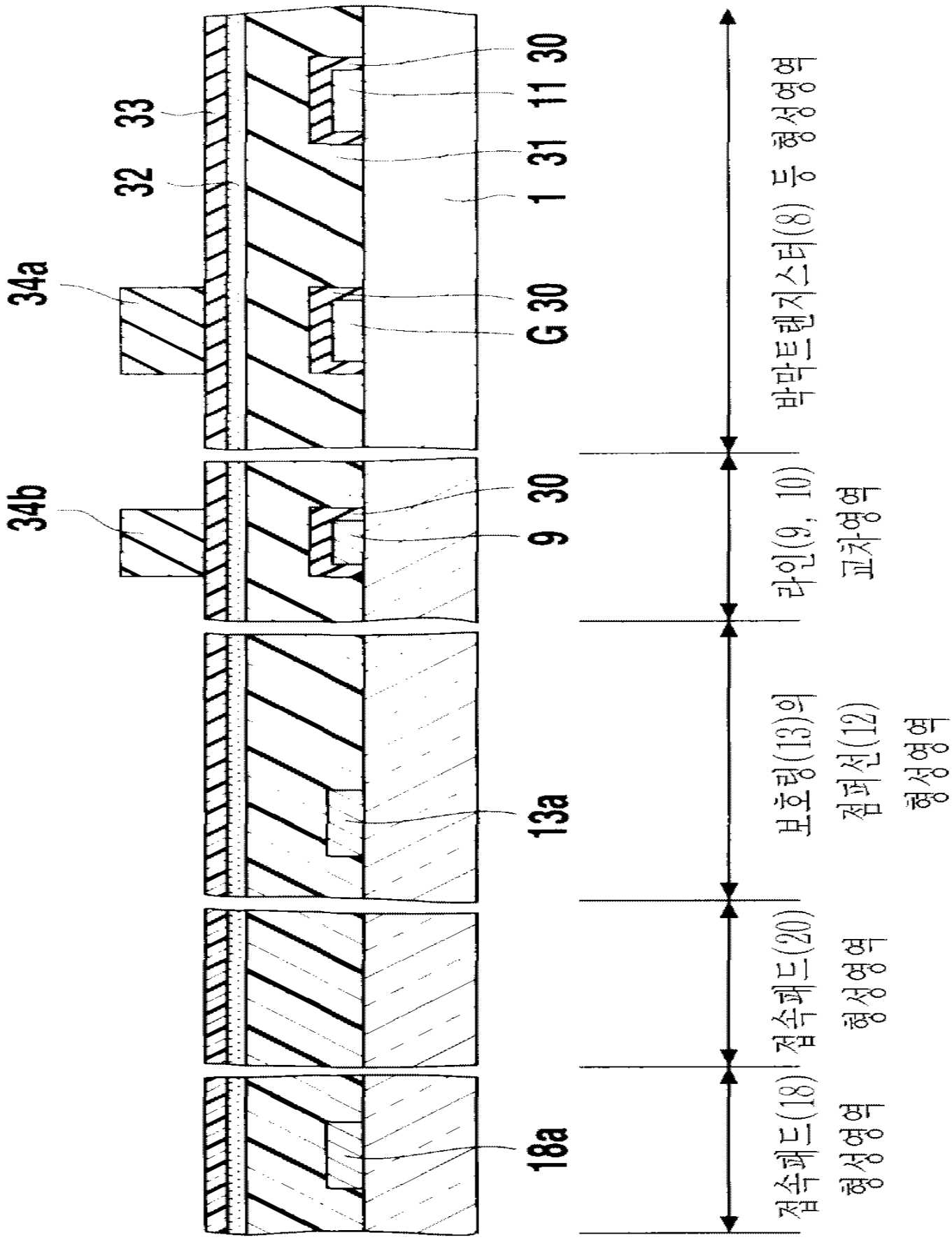
도면 22


11
G
1
9
29b
13a
29a
18a
박막트랜지스터(8) 등 형성영역
라인(9, 10) 교차영역
보호링(13)의 접퍼선(12) 형성영역
접속패드(20) 형성영역
접속패드(18) 형성영역

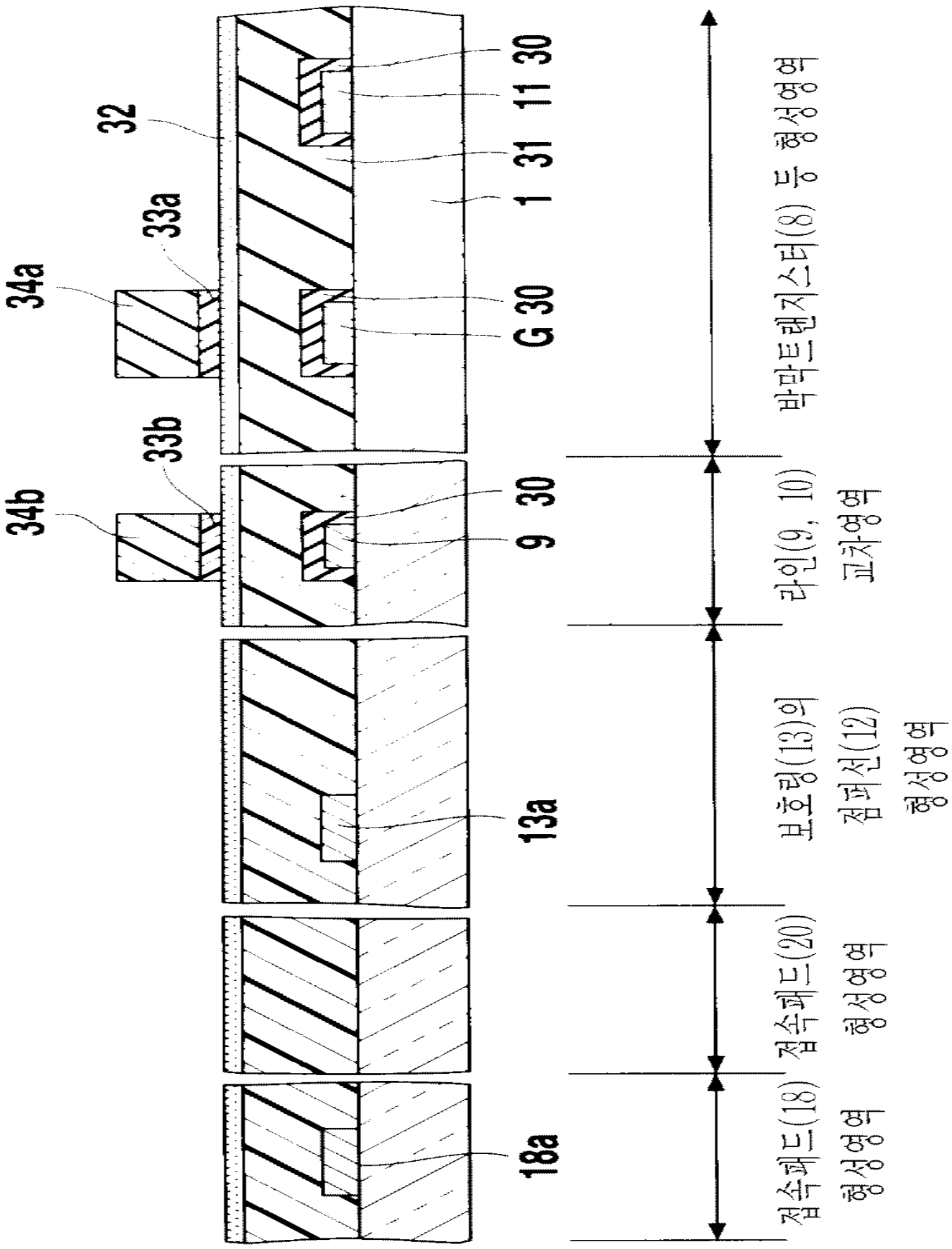
도면 23


30
11
30
G
30
9
1
29b
13a
29a
18a
박막트랜지스터(8) 등 평성영역
라인(9, 10) 교차영역
보호막(13)의 접촉선(12) 평성영역
접속패드(20) 평성영역
접속패드(18) 평성영역

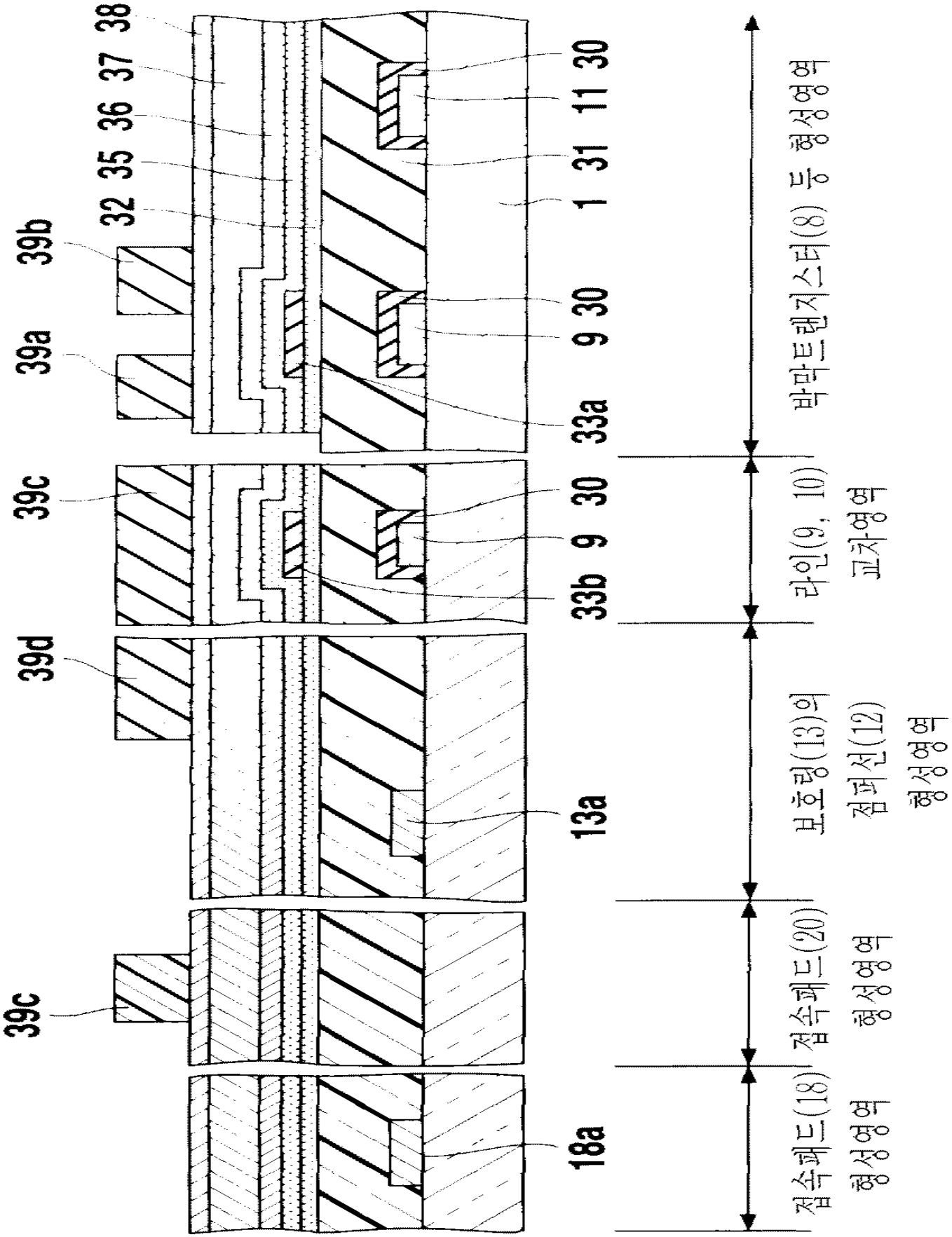
도면 24


34a
34b
32
33
1 31 11 30
G 30
9 30
13a
18a
반막트랜지스터(8) 등 형성영역
라인(9, 10) 교차영역
보호링(13)의 접퍼선(12) 형성영역
접속패드(20) 형성영역
접속패드(18) 형성영역

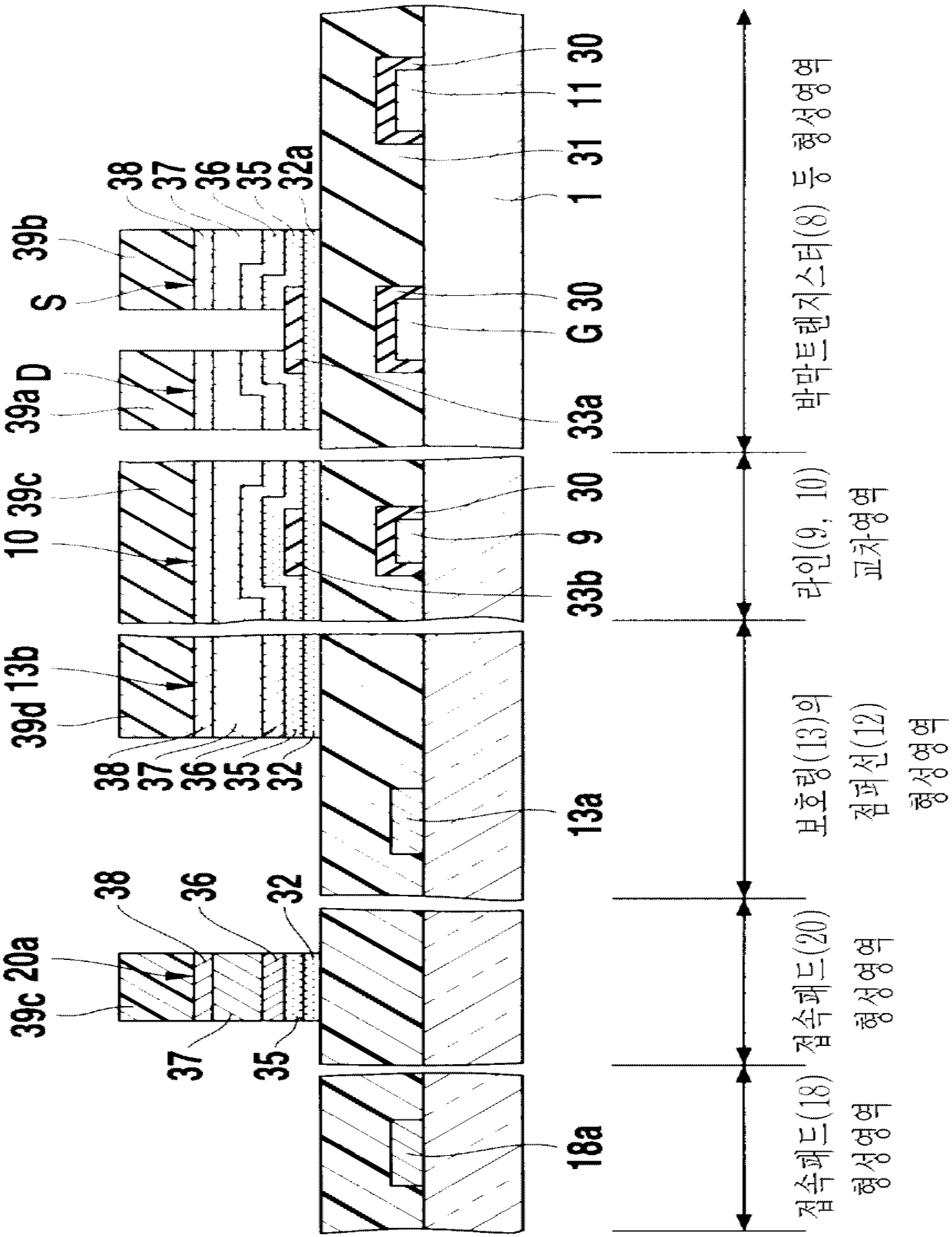
도면 25


32
33a
34a
33b
34b
1 31 11 30
G 30
9 30
13a
18a
박막트랜지스터(8) 등 평성영역
라인(9, 10) 교차영역
보호링(13)의 평성영역
접속선(12)
접속패드(20) 평성영역
접속패드(18) 평성영역

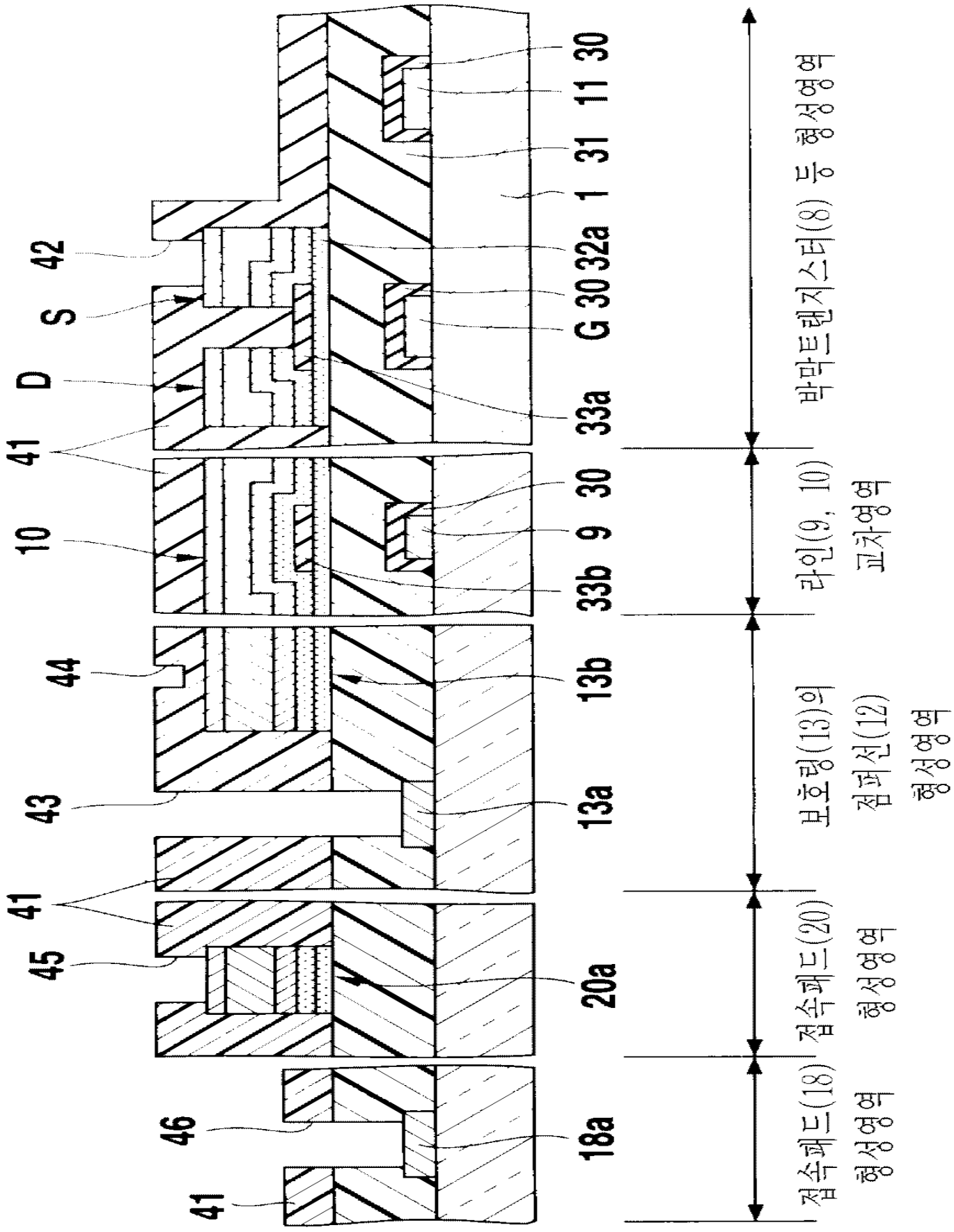
도면 26


38
37
36
35
32
39b
39a
39c
39d
39c
18a
13a
33b
9
30
33a
9
30
1
31
11
30
박막트랜지스터(8) 등 형성영역
라인(9, 10) 교차영역
보호링(13)의 형성영역
접퍼선(12) 형성영역
접속패드(20) 형성영역
접속패드(18) 형성영역

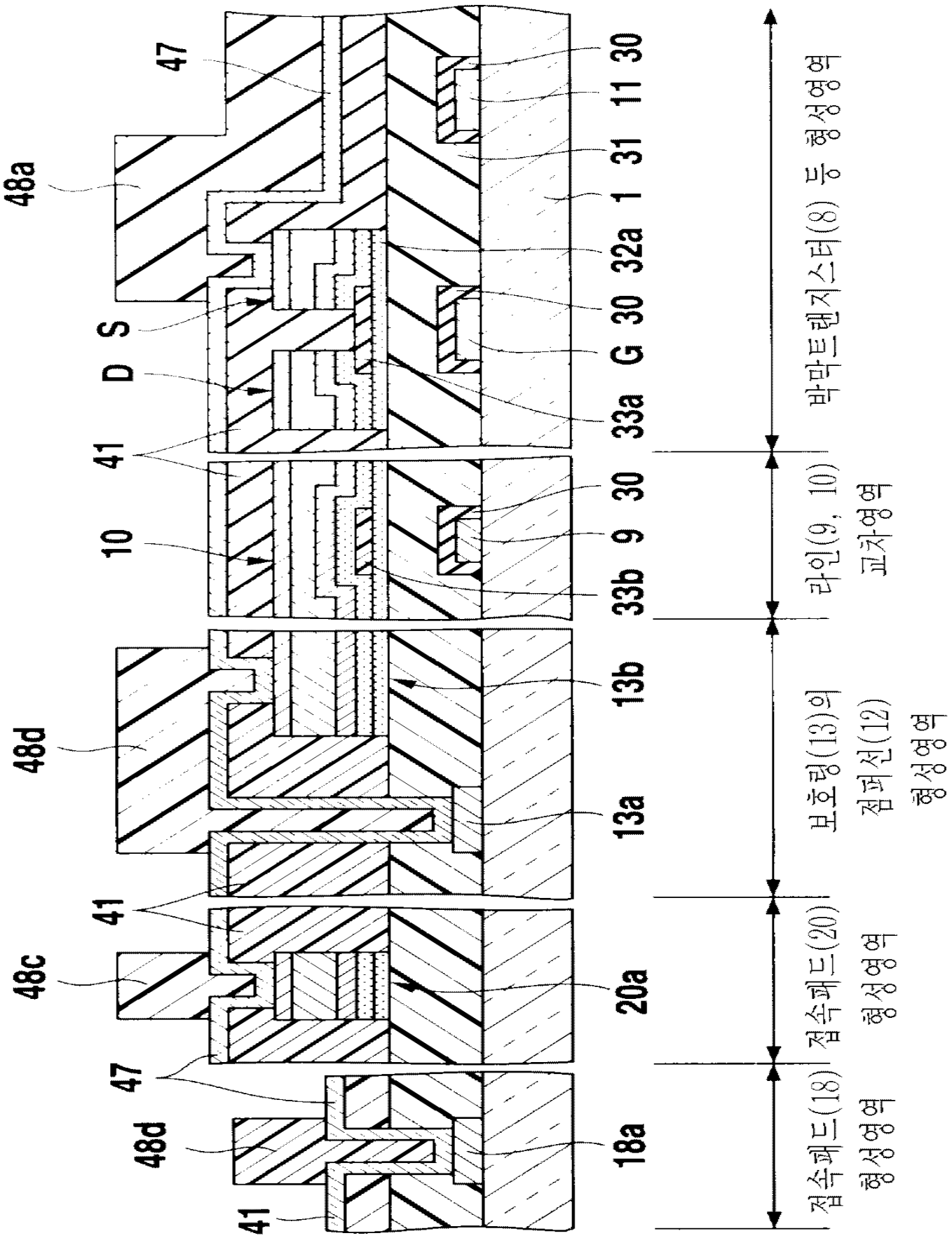
도면 27


39b
S
39a
D
10
39c
39d
13b
39c
20a
38
37
36
35
32a
32
1
31
11
30
G
33a
33b
9
13a
18a
박막트랜지스터(8) 등 형성영역
라인(9, 10) 교차영역
보호링(13)의 절연선(12) 형성영역
접속패드(20) 형성영역
접속패드(18) 형성영역

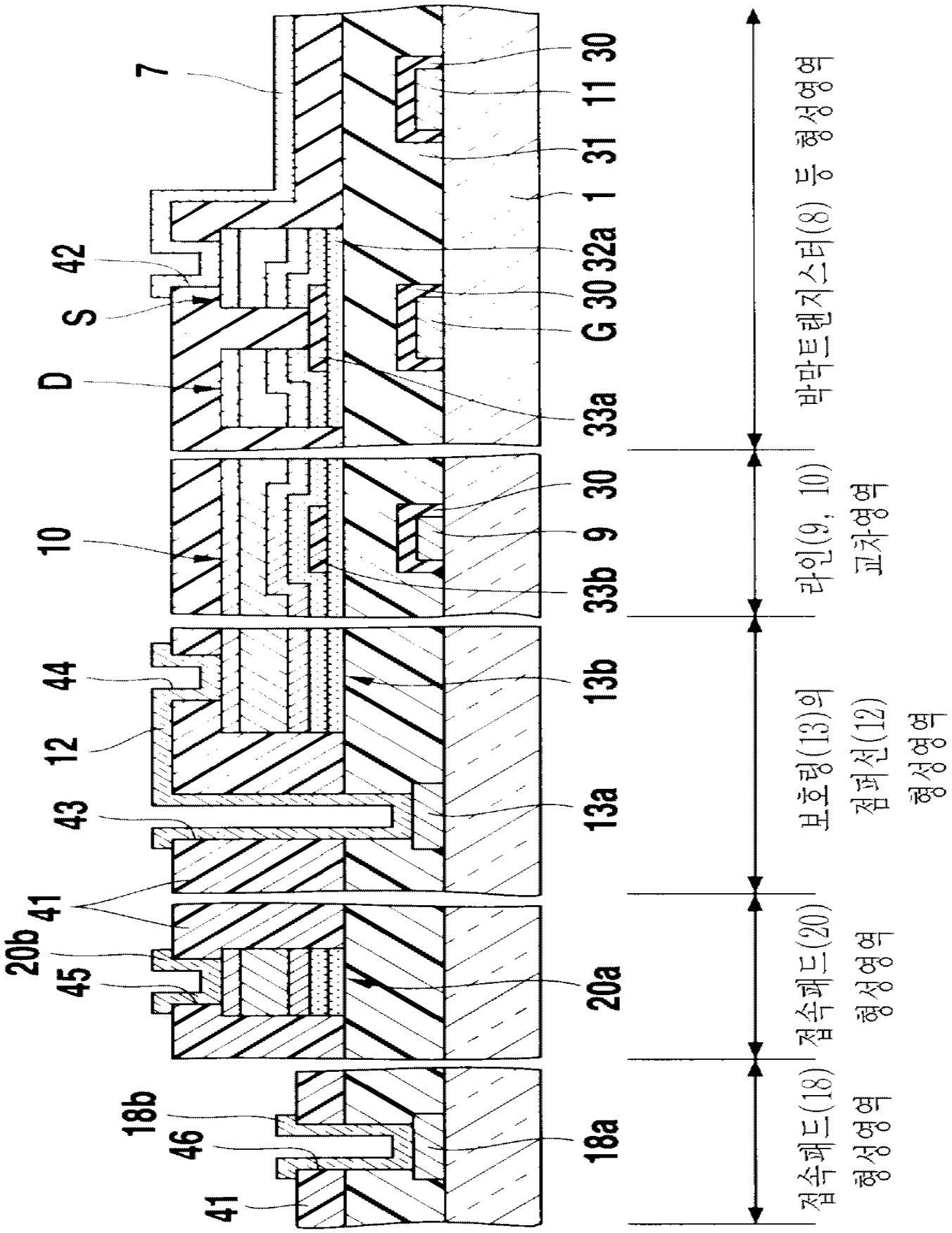
도면 28


42
S
D
41
10
44
43
41
45
46
41
18a
20a
13a
13b
33b
9
30
33a
G
30
32a
1
31
11
30
접속패드(18) 형성영역
접속패드(20) 형성영역
보호링(13)의 형성영역
접퍼선(12) 형성영역
라인(9, 10) 교차영역
반막트랜지스터(8) 등 형성영역

도면 29


47
48a
D S
41
10
48d
48c
41
47
48d
41
18a
20a
13a
13b
33b 9 30
33a G 30 32a 1 31 11 30
접속패드(18) 형성영역
접속패드(20) 형성영역
보호링(13)의 형성영역
접퍼선(12) 교차영역
라인(9, 10) 교차영역
박막트랜지스터(8) 등 형성영역

도면 30


7
D
S
42
10
44
12
43
41
20b
45
18b
46
41
18a
20a
13a
13b
33b
9
30
33a
G
30
32a
1
31
11
30
접속패드(18) 형성영역
접속패드(20) 형성영역
보호링(13)의 형성영역
절연막(12) 형성영역
라인(9, 10) 교차영역
박막트랜지스터(8) 등 형성영역

专利名称(译)	薄膜晶体管面板的制造方法		
公开(公告)号	KR1020010098918A	公开(公告)日	2001-11-08
申请号	KR1020010022816	申请日	2001-04-27
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	HIGASHI TOSHIAKI MIYAKAWA TATSUYA 미야카와다츠야		
发明人	히가시도시아키 미야카와다츠야		
IPC分类号	G02F1/1345 G02F1/1362 H01L21/77 H01L21/84 H01L27/12 H01L29/786		
CPC分类号	G02F1/1345 G02F1/13458 G02F1/136227 H01L27/124 H01L27/1288		
代理人(译)	孙某EUN JIN		
优先权	2000129661 2000-04-28 JP 2000165516 2000-06-02 JP		
其他公开文献	KR100418645B1		
外部链接	Espacenet		

摘要(译)

本发明涉及应用于有源矩阵液晶显示器等的薄膜晶体管的制造方法。采用干法刻蚀形成保护薄膜晶体管（8）沟道区的保护膜（33）。因此，即使在半导体膜（32）中形成键合，也不存在在栅极绝缘层（31）中形成针孔的情况。即使阳极氧化膜形成在具有Al族金属层的表面上，其不具有栅极绝缘层（31）的介电强度，扫描信号线（9）等也不会降低。因此包括栅电极（G）。薄膜晶体管，保护膜，半导体膜，栅极绝缘层，扫描信号线。