



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월22일
(11) 등록번호 10-1320494
(24) 등록일자 2013년10월15일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0033355

(22) 출원일자 2006년04월12일

심사청구일자 2011년04월05일

(65) 공개번호 10-2007-0101923

(43) 공개일자 2007년10월18일

(56) 선행기술조사문헌

KR1020050067623 A*

KR1020050050304 A*

KR1020060000806 A*

US20050286003 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

윤상필

경상북도 경주시 안강읍 안현로 1486-18, 5동 507호 (경림소망아파트)

(74) 대리인

박장원

전체 청구항 수 : 총 14 항

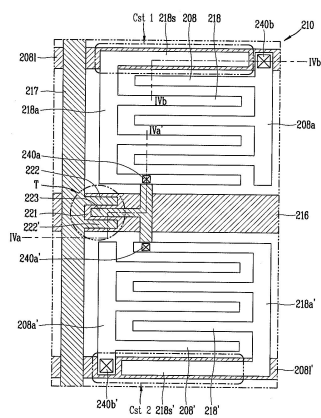
심사관 : 윤성주

(54) 발명의 명칭 수평전계방식 액정표시장치 및 그 제조방법

(57) 요약

본 발명의 수평전계방식 액정표시장치 및 그 제조방법은 화소영역의 상, 하부 각각에 공통라인을 형성하여 선풍을 감소시킴으로써 공통라인의 저항을 감소시키며, 화소영역 중앙에 게이트라인을 형성하여 상기 화소영역을 상하 두 개의 영역으로 분할한 다음 상기 두 개 영역에 대해 화소전극 연결라인과 공통전극 연결라인을 서로 엇갈리도록 배열함으로써 기생용량 편차에 의한 휘도 변화를 개선시키기 위한 것으로, 제 1 기관의 화소영역의 중앙에 형성되어 상기 화소영역을 상부 화소영역과 하부 화소영역으로 분할하는 게이트라인, 상기 게이트라인의 일부를 구성하는 게이트전극 및 상기 게이트라인에 대해 평행한 방향으로 배열하며, 상기 상부 화소영역과 하부 화소영역 각각에 형성된 상부 공통라인과 하부 공통라인; 상기 게이트전극과 게이트라인 및 상, 하부 공통라인이 형성된 제 1 기관 위에 형성된 제 1 절연막; 상기 제 1 절연막 위에 형성된 액티브패턴; 상기 액티브패턴이 형성된 제 1 기관 위에 형성되며, 상기 게이트라인과 교차하여 상기 상, 하부 화소영역을 정의하는 데이터라인; 상기 액티브패턴이 형성된 제 1 기관 위에 형성되며, 상기 데이터라인에 연결된 상부 소오스전극과 하부 소오스전극 및 상기 상부 소오스전극과 하부 소오스전극 사이에 위치하며, 상부 제 1 연결라인을 통해 상부 화소전극에 연결되는 동시에 하부 제 1 연결라인을 통해 하부 화소전극에 연결되는 드레인전극; 상기 상, 하부 소오스전극과 드레인전극 및 데이터라인이 형성된 제 1 기관 위에 형성된 제 2 절연막; 상기 제 2 절연막이 형성된 상, 하부 화소영역 내에 교대로 배열되어 수평전계를 형성하되, 상기 상부 화소영역에 형성된 복수개의 상부 공통전극과 상기 상부 화소전극 및 상기 하부 화소영역에 형성된 복수개의 하부 공통전극과 상기 하부 화소전극; 상기 제 2 절연막 위에 상기 데이터라인에 대해 평행한 방향으로 형성되며, 상기 복수개의 상부 화소전극의 일단을 서로 연결시키는 상기 상부 제 1 연결라인과 상기 복수개의 하부 화소전극의 일단을 서로 연결시키는 상기 하부 제 1 연결라인, 및 상기 복수개의 상부 공통전극의 일단을 서로 연결시키는 상부 제 2 연결라인과 상기 복수개의 하부 공통전극의 일단을 서로 연결시키는 하부 제 2 연결라인; 및 상기 제 1 기관과 대향하여 합착하는 제 2 기관을 포함하며, 상기 상부 제 1 연결라인 및 하부 제 1 연결라인은 각각 상기 제 2 절연막에 형성된 상부 제 1 콘택홀 및 하부 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 한편, 상기 상부 제 2 연결라인 및 하부 제 2 연결라인은 각각 상기 제 1, 제 2 절연막에 형성된 상부 제 2 콘택홀 및 하부 제 2 콘택홀을 통해 상기 상부 공통라인 및 하부 공통라인과 전기적으로 접속하며, 상기 상부 제 1 연결라인과 하부 제 1 연결라인은 서로 엇갈리게 배열하는 한편, 상기 상부 제 2 연결라인과 하부 제 2 연결라인은 서로 엇갈리게 배열하며, 상기 상부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 상부 스토리지전극과 중첩하여 제 1 스토리지 커패시터를 구성하는 한편, 상기 하부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 하부 스토리지전극과 중첩하여 제 2 스토리지 커패시터를 구성하는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

제 1 기판과 제 2 기판을 제공하는 단계;

상기 제 1 기판의 화소영역의 중앙에 상기 화소영역을 상부 화소영역과 하부 화소영역으로 분할하는 게이트라인을 형성하는 동시에, 상기 게이트라인의 일부를 구성하는 게이트전극을 형성하며, 상기 상부 화소영역과 하부 화소영역 각각에 상기 게이트라인에 대해 평행한 방향으로 상부 공통라인과 하부 공통라인을 형성하는 단계;

상기 게이트전극과 게이트라인 및 상, 하부 공통라인이 형성된 제 1 기판 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 액티브패턴을 형성하는 단계;

상기 액티브패턴이 형성된 제 1 기판 위에 상기 게이트라인과 교차하여 상기 상, 하부 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 액티브패턴이 형성된 제 1 기판 위에 상기 데이터라인에 연결된 상부 소오스전극과 하부 소오스전극을 형성하는 한편, 상기 상부 소오스전극과 하부 소오스전극 사이에 상부 제 1 연결라인을 통해 상부 화소전극에 연결되는 동시에 하부 제 1 연결라인을 통해 하부 화소전극에 연결되는 드레인전극을 형성하는 단계;

상기 상, 하부 소오스전극과 드레인전극 및 데이터라인이 형성된 제 1 기판 위에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 위에 상기 상, 하부 화소영역 내에 교대로 배열되어 수평전계를 형성하되, 상기 상부 화소영역에 복수개의 상부 공통전극과 상기 상부 화소전극을 형성하며, 상기 하부 화소영역에 복수개의 하부 공통전극과 상기 하부 화소전극을 형성하는 단계;

상기 제 2 절연막 위에 상기 데이터라인에 대해 평행한 방향으로 형성하되, 상기 복수개의 상부 화소전극의 일단을 서로 연결시키는 상기 상부 제 1 연결라인과 상기 복수개의 하부 화소전극의 일단을 서로 연결시키는 상기 하부 제 1 연결라인을 형성하며, 상기 복수개의 상부 공통전극의 일단을 서로 연결시키는 상부 제 2 연결라인과 상기 복수개의 하부 공통전극의 일단을 서로 연결시키는 하부 제 2 연결라인을 형성하는 단계; 및

상기 상, 하부 공통전극과 상, 하부 화소전극 및 상기 상, 하부 제 1 연결라인과 상, 하부 제 2 연결라인이 형성된 제 1 기판과 상기 제 2 기판을 합착하는 단계를 포함하며,

상기 상부 제 1 연결라인 및 하부 제 1 연결라인은 각각 상기 제 2 절연막에 형성된 상부 제 1 콘택홀 및 하부 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 한편, 상기 상부 제 2 연결라인 및 하부 제 2 연결라인은 각각 상기 제 1, 제 2 절연막에 형성된 상부 제 2 콘택홀 및 하부 제 2 콘택홀을 통해 상기 상부 공통라인 및 하부 공통라인과 전기적으로 접속하며,

상기 상부 제 1 연결라인과 하부 제 1 연결라인은 서로 엇갈리게 배열하는 한편, 상기 상부 제 2 연결라인과 하부 제 2 연결라인은 서로 엇갈리게 배열하며,

상기 상부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 상부 스토리지전극과 중첩하여 제 1 스토리지 커패시터를 구성하는 한편, 상기 하부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 하부 스토리지전극과 중첩하여 제 2 스토리지 커패시터를 구성하는 것을 특징으로 하는 수평전계방식 액정표시장치의 제조방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서, 상기 상, 하부 공통전극과 상기 상, 하부 화소전극은 상기 게이트라인에 대해 평행한 방향으로 배열하는 것을 특징으로 하는 수평전계방식 액정표시장치의 제조방법.

청구항 6

제 1 항에 있어서, 상기 상, 하부 공통전극과 상기 상, 하부 화소전극은 상기 게이트라인에 대해 소정의 각도 (θ)를 가지도록 기울어져 배열하는 것을 특징으로 하는 수평전계방식 액정표시장치의 제조방법.

청구항 7

제 6 항에 있어서, 상기 상, 하부 공통전극과 상기 상, 하부 화소전극은 상기 게이트라인에 대해 $0 < \theta < 45^\circ$ 의 범위로 기울어져 배열하는 것을 특징으로 하는 수평전계방식 액정표시장치의 제조방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제 1 항에 있어서, 상기 상부 화소전극은 상기 상부 화소영역의 좌측 가장자리에서 상기 상부 제 1 연결라인에 연결되며, 상기 하부 화소전극은 상기 하부 화소영역의 우측 가장자리에서 상기 하부 제 1 연결라인에 연결되는 것을 특징으로 하는 수평전계방식 액정표시장치의 제조방법.

청구항 15

제 14 항에 있어서, 상기 상부 공통전극은 상기 상부 화소영역의 우측 가장자리에서 상기 상부 제 2 연결라인에 연결되며, 상기 하부 공통전극은 상기 하부 화소영역의 좌측 가장자리에서 상기 하부 제 2 연결라인에 연결되는 것을 특징으로 하는 수평전계방식 액정표시장치의 제조방법.

청구항 16

제 1 항에 있어서, 상기 상부 화소전극은 상기 상부 화소영역의 우측 가장자리에서 상기 상부 제 1 연결라인에 연결되며, 상기 하부 화소전극은 상기 하부 화소영역의 좌측 가장자리에서 상기 하부 제 1 연결라인에 연결되는 것을 특징으로 하는 수평전계방식 액정표시장치의 제조방법.

청구항 17

제 16 항에 있어서, 상기 상부 공통전극은 상기 상부 화소영역의 좌측 가장자리에서 상기 상부 제 2 연결라인에 연결되며, 상기 하부 공통전극은 상기 하부 화소영역의 우측 가장자리에서 상기 하부 제 2 연결라인에 연결되는 것을 특징으로 하는 수평전계방식 액정표시장치의 제조방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

제 1 기관의 화소영역의 중앙에 형성되어 상기 화소영역을 상부 화소영역과 하부 화소영역으로 분할하는 게이트 라인, 상기 게이트라인의 일부를 구성하는 게이트전극 및 상기 게이트라인에 대해 평행한 방향으로 배열하며, 상기 상부 화소영역과 하부 화소영역 각각에 형성된 상부 공통라인과 하부 공통라인;

상기 게이트전극과 게이트라인 및 상, 하부 공통라인이 형성된 제 1 기관 위에 형성된 제 1 절연막;

상기 제 1 절연막 위에 형성된 액티브패턴;

상기 액티브패턴이 형성된 제 1 기관 위에 형성되며, 상기 게이트라인과 교차하여 상기 상, 하부 화소영역을 정의하는 데이터라인;

상기 액티브패턴이 형성된 제 1 기관 위에 형성되며, 상기 데이터라인에 연결된 상부 소오스전극과 하부 소오스전극 및 상기 상부 소오스전극과 하부 소오스전극 사이에 위치하며, 상부 제 1 연결라인을 통해 상부 화소전극에 연결되는 동시에 하부 제 1 연결라인을 통해 하부 화소전극에 연결되는 드레인전극;

상기 상, 하부 소오스전극과 드레인전극 및 데이터라인이 형성된 제 1 기관 위에 형성된 제 2 절연막;

상기 제 2 절연막이 형성된 상, 하부 화소영역 내에 교대로 배열되어 수평전계를 형성하되, 상기 상부 화소영역에 형성된 복수개의 상부 공통전극과 상기 상부 화소전극 및 상기 하부 화소영역에 형성된 복수개의 하부 공통전극과 상기 하부 화소전극;

상기 제 2 절연막 위에 상기 데이터라인에 대해 평행한 방향으로 형성되되, 상기 복수개의 상부 화소전극의 일단을 서로 연결시키는 상기 상부 제 1 연결라인과 상기 복수개의 하부 화소전극의 일단을 서로 연결시키는 상기 하부 제 1 연결라인, 및 상기 복수개의 상부 공통전극의 일단을 서로 연결시키는 상부 제 2 연결라인과 상기 복수개의 하부 공통전극의 일단을 서로 연결시키는 하부 제 2 연결라인; 및

상기 제 1 기관과 대향하여 합착하는 제 2 기관을 포함하며,

상기 상부 제 1 연결라인 및 하부 제 1 연결라인은 각각 상기 제 2 절연막에 형성된 상부 제 1 콘택홀 및 하부 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 한편, 상기 상부 제 2 연결라인 및 하부 제 2 연결라인은 각각 상기 제 1, 제 2 절연막에 형성된 상부 제 2 콘택홀 및 하부 제 2 콘택홀을 통해 상기 상부 공통라인 및 하부 공통라인과 전기적으로 접속하며,

상기 상부 제 1 연결라인과 하부 제 1 연결라인은 서로 엇갈리게 배열하는 한편, 상기 상부 제 2 연결라인과 하부 제 2 연결라인은 서로 엇갈리게 배열하며,

상기 상부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 상부 스토리지전극과 중첩하여 제 1 스토리지 커패시터를 구성하는 한편, 상기 하부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 하부 스토리지전극과 중첩하여 제 2 스토리지 커패시터를 구성하는 것을 특징으로 하는 수평전계방식 액정표시장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

제 20 항에 있어서, 상기 상, 하부 공통전극과 상기 상, 하부 화소전극은 상기 게이트라인에 대해 평행한 방향

으로 배열하는 것을 특징으로 하는 수평전계방식 액정표시장치.

청구항 24

제 20 항에 있어서, 상기 상, 하부 공통전극과 상기 상, 하부 화소전극은 상기 게이트라인에 대해 소정의 각도 (θ)를 가지도록 기울어져 배열하는 것을 특징으로 하는 수평전계방식 액정표시장치.

청구항 25

제 24 항에 있어서, 상기 상, 하부 공통전극과 상기 상, 하부 화소전극은 상기 게이트라인에 대해 $0 < \theta < 45^\circ$ 의 범위로 기울어져 배열하는 것을 특징으로 하는 수평전계방식 액정표시장치.

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

제 20 항에 있어서, 상기 상부 화소전극은 상기 상부 화소영역의 좌측 가장자리에서 상기 상부 제 1 연결라인에 연결되며, 상기 하부 화소전극은 상기 하부 화소영역의 우측 가장자리에서 상기 하부 제 1 연결라인에 연결되는 것을 특징으로 하는 수평전계방식 액정표시장치.

청구항 32

제 31 항에 있어서, 상기 상부 공통전극은 상기 상부 화소영역의 우측 가장자리에서 상기 상부 제 2 연결라인에 연결되며, 상기 하부 공통전극은 상기 하부 화소영역의 좌측 가장자리에서 상기 하부 제 2 연결라인에 연결되는 것을 특징으로 하는 수평전계방식 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0020] 본 발명은 수평전계방식 액정표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 휘도 변화를 개선하여 화질을 향상시키며 공통라인의 저항을 감소시킨 수평전계방식 액정표시장치 및 그 제조방법에 관한 것이다.

[0021] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

- [0022] 상기 액정표시장치는 크게 제 1 기판인 컬러필터(color filter) 기판과 제 2 기판인 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.
- [0023] 이때, 상기 컬러필터 기판은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터로 구성된 컬러필터와 상기 서브-컬러필터 사이를 구분하고 액정층을 투과하는 광을 차단하는 블랙매트릭스(black matrix), 그리고 상기 액정층에 전압을 인가하는 투명한 공통전극으로 이루어져 있다.
- [0024] 또한, 상기 어레이 기판은 종횡으로 배열되어 복수개의 화소영역을 정의하는 복수개의 게이트라인과 데이터라인, 상기 게이트라인과 데이터라인의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(Thin Film Transistor; TFT) 및 상기 화소영역 위에 형성된 화소전극으로 이루어져 있다.
- [0025] 이와 같이 구성된 상기 컬러필터 기판과 어레이 기판은 화상표시 영역의 외곽에 형성된 실런트(sealant)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기판과 어레이 기판의 합착은 상기 컬러필터 기판 또는 어레이 기판에 형성된 합착키를 통해 이루어진다.
- [0026] 이때, 전술한 액정표시장치는 네마틱상의 액정분자를 기판에 대해 수직인 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식의 액정표시장치를 나타내며, 상기 방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 액정표시패널에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.
- [0027] 이에 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 수평전계(In Plane Switching; IPS)방식 액정표시장치가 있으며, 이하 도면을 참조하여 상기 수평전계방식 액정표시장치에 대해 상세히 설명한다.
- [0028] 도 1은 일반적인 수평전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도로써, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 한 화소만을 나타내었다.
- [0029] 또한, 도 2는 도 1에 도시된 어레이 기판의 I-I'선에 따른 단면을 나타내는 예시도로써, 도 2에 도시된 어레이 기판과 상기 어레이 기판에 대응하여 합착된 컬러필터 기판을 나타내고 있다.
- [0030] 도 1 및 도 2에 도시된 바와 같이, 투명한 어레이 기판(10)에는 상기 어레이 기판(10) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(16)과 데이터라인(17)이 형성되어 있으며, 상기 게이트라인(16)과 데이터라인(17)의 교차영역에는 스위칭소자인 박막 트랜지스터(T)가 형성되어 있다.
- [0031] 이때, 상기 박막 트랜지스터(T)는 상기 게이트라인(16)에 연결된 게이트전극(21), 상기 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극라인(181)을 통해 화소전극(18)과 연결된 드레인전극(23)으로 구성된다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(21)과 소오스/드레인전극(22, 23)의 절연을 위한 제 1 절연막(15a) 및 상기 게이트전극(21)에 공급되는 게이트전압에 의해 상기 소오스전극(22)과 드레인전극(23) 간에 전도채널(conductive channel)을 형성하는 액티브패턴(24)을 포함한다.
- [0032] 참고로, 도면부호 25는 상기 액티브패턴(24)의 소오스/드레인영역과 상기 소오스/드레인전극(22, 23) 사이를 오믹-콘택(ohmic contact)시키는 오믹-콘택층을 나타낸다.
- [0033] 이때, 상기 화소영역 내에는 상기 게이트라인(16)에 대해 평행한 방향으로 공통라인(81)과 스토리지전극(18s)이 배열되고, 상기 화소영역 내에 수평전계(90)를 발생시켜 액정분자(30)를 스위칭(switching)하는 복수개의 공통전극(8)과 화소전극(18)이 상기 데이터라인(17)에 대해 평행한 방향으로 배열되어 있다.
- [0034] 상기 복수개의 공통전극(8)은 상기 게이트라인(16)과 동시에 형성되어 상기 공통라인(81)에 연결되며, 상기 복수개의 화소전극(18)은 상기 데이터라인(17)과 동시에 형성되어 상기 화소전극라인(181)과 스토리지전극(18s)에 연결된다.
- [0035] 이때, 상기 화소전극라인(181)과 연결된 상기 화소전극(18)은 상기 화소전극라인(181)을 통해 박막 트랜지스터(T)의 드레인전극(23)에 전기적으로 접속되게 된다.
- [0036] 또한, 상기 스토리지전극(18s)은 상기 제 1 절연막을 사이에 두고 그 하부의 공통라인(81)의 일부와 중첩되어 스토리지 커패시터(storage capacitor)(Cst)를 형성한다.

- [0037] 그리고, 투명한 컬러필터 기관(5)에는 상기 박막 트랜지스터(T)와 게이트라인(16) 및 데이터라인(17)으로 빛이 새는 것을 방지하는 블랙매트릭스(6)와 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터(7)가 형성되어 있다.
- [0038] 이와 같이 구성된 상기 어레이 기관(10)과 컬러필터 기관(5)의 대향(對向)면에는 액정분자(30)의 초기 배향방향을 결정짓는 배향막(미도시)이 도포되어 있다.
- [0039] 상기와 같은 구조를 갖는 일반적인 수평전계방식 액정표시장치는 공통전극(8)과 화소전극(18)이 동일한 어레이 기관(10) 상에 배치되어 수평전계를 발생시키기 때문에 시야각을 향상시킬 수 있는 장점을 가진다.
- [0040] 반면에, 화면이 표시되는 화소영역 내에 불투명한 도전물질로 이루어진 상기 공통전극(8)과 화소전극(18)이 배치되어 있기 때문에 개구율(aperture ratio)이 저하되어 휘도가 떨어지는 문제점이 발생하게 된다.
- [0041] 또한, 상기 데이터라인(17)과 화소전극(18)간의 신호간섭에 의해 화소영역 내에 수평전계가 정상적으로 형성되지 않으며, 상기 데이터라인(17)과 화소전극(18)간의 신호간섭을 차단하기 위해 데이터라인(17)과 인접하는 공통전극(8)의 폭을 증가시킴에 따라 개구율이 저하되게 되는 문제가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

- [0042] 본 발명은 상기한 문제를 해결하기 위한 것으로, 공통전극과 화소전극을 데이터라인에 대해 실질적으로 수직한 방향으로 형성하여 상기 데이터라인과 화소전극 사이에 발생하는 기생용량을 감소시킨 수평전계방식 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.
- [0043] 본 발명의 다른 목적은 상기 공통전극과 화소전극을 투명한 도전물질로 형성함으로써 개구율을 향상시킨 수평전계방식 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0044] 본 발명의 또 다른 목적은 상기 데이터라인과 화소전극 사이에 발생하는 기생용량의 좌우 편차를 감소시킨 수평전계방식 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0045] 본 발명의 또 다른 목적은 화소영역의 상, 하부 각각에 공통라인을 형성함으로써 상기 공통라인의 저항을 감소시킨 수평전계방식 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0046] 본 발명의 또 다른 목적은 박막 트랜지스터의 채널 폭(W)을 증가시켜 온 전류(on current) 특성을 향상시킨 수평전계방식 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0047] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성 및 작용

- [0048] 상기한 목적을 달성하기 위하여, 본 발명의 수평전계방식 액정표시장치의 제조방법은 제 1 기관과 제 2 기관을 제공하는 단계; 상기 제 1 기관의 화소영역의 중앙에 상기 화소영역을 상부 화소영역과 하부 화소영역으로 분할하는 게이트라인을 형성하는 동시에, 상기 게이트라인의 일부를 구성하는 게이트전극을 형성하며, 상기 상부 화소영역과 하부 화소영역 각각에 상기 게이트라인에 대해 평행한 방향으로 상부 공통라인과 하부 공통라인을 형성하는 단계; 상기 게이트전극과 게이트라인 및 상, 하부 공통라인이 형성된 제 1 기관 위에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막 위에 액티브패턴을 형성하는 단계; 상기 액티브패턴이 형성된 제 1 기관 위에 상기 게이트라인과 교차하여 상기 상, 하부 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 액티브패턴이 형성된 제 1 기관 위에 상기 데이터라인에 연결된 상부 소오스전극과 하부 소오스전극을 형성하는 한편, 상기 상부 소오스전극과 하부 소오스전극 사이에 상부 제 1 연결라인을 통해 상부 화소전극에 연결되는 동시에 하부 제 1 연결라인을 통해 하부 화소전극에 연결되는 드레인전극을 형성하는 단계; 상기 상, 하부 소오스전극과 드레인전극 및 데이터라인이 형성된 제 1 기관 위에 제 2 절연막을 형성하는 단계; 상기 제 2 절연막 위에 상기 상, 하부 화소영역 내에 교대로 배열되어 수평전계를 형성하되, 상기 상부 화소영역에 복수개의 상부 공통전극과 상기 상부 화소전극을 형성하며, 상기 하부 화소영역에 복수개의 하부 공통전극과 상기 하부 화소전극을 형성하는 단계; 상기 제 2 절연막 위에 상기 데이터라인에 대해 평행한 방향으로 형성하되, 상기 복수개의 상부 화소전극의 일단을 서로 연결시키는 상기 상부 제 1 연결라인과 상기 복수개의 하부 화소전극의 일단을 서로 연결시키는 상기 하부 제 1 연결라인을 형성하며, 상기 복수개의 상부 공통전극의 일단을 서로 연결시키는 상부 제 2 연결라인과 상기 복수개의 하부 공통전극의 일단을 서로 연결시키는 하부 제 2 연결라인을 형성하는 단계; 및 상기 상, 하부 공통전극과 상, 하부 화소전극 및 상기 상, 하부 제 1 연결라인과 상, 하부 제 2 연결라인이 형성된 제 1 기관과 상기 제 2 기관을 합착하는 단계를 포함하며, 상기 상부 제 1 연결라인 및 하부 제 1 연결

라인은 각각 상기 제 2 절연막에 형성된 상부 제 1 콘택홀 및 하부 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 한편, 상기 상부 제 2 연결라인 및 하부 제 2 연결라인은 각각 상기 제 1, 제 2 절연막에 형성된 상부 제 2 콘택홀 및 하부 제 2 콘택홀을 통해 상기 상부 공통라인 및 하부 공통라인과 전기적으로 접속하며, 상기 상부 제 1 연결라인과 하부 제 1 연결라인은 서로 엇갈리게 배열하는 한편, 상기 상부 제 2 연결라인과 하부 제 2 연결라인은 서로 엇갈리게 배열하며, 상기 상부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 상부 스토리지전극과 중첩하여 제 1 스토리지 커패시터를 구성하는 한편, 상기 하부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 하부 스토리지전극과 중첩하여 제 2 스토리지 커패시터를 구성하는 것을 특징으로 한다.

[0049] 또한, 본 발명의 수평전계방식 액정표시장치는 제 1 기관의 화소영역의 중앙에 형성되어 상기 화소영역을 상부 화소영역과 하부 화소영역으로 분할하는 게이트라인, 상기 게이트라인의 일부를 구성하는 게이트전극 및 상기 게이트라인에 대해 평행한 방향으로 배열하며, 상기 상부 화소영역과 하부 화소영역 각각에 형성된 상부 공통라인과 하부 공통라인; 상기 게이트전극과 게이트라인 및 상, 하부 공통라인이 형성된 제 1 기관 위에 형성된 제 1 절연막; 상기 제 1 절연막 위에 형성된 액티브패턴; 상기 액티브패턴이 형성된 제 1 기관 위에 형성되며, 상기 게이트라인과 교차하여 상기 상, 하부 화소영역을 정의하는 데이터라인; 상기 액티브패턴이 형성된 제 1 기관 위에 형성되며, 상기 데이터라인에 연결된 상부 소오스전극과 하부 소오스전극 및 상기 상부 소오스전극과 하부 소오스전극 사이에 위치하며, 상부 제 1 연결라인을 통해 상부 화소전극에 연결되는 동시에 하부 제 1 연결라인을 통해 하부 화소전극에 연결되는 드레인전극; 상기 상, 하부 소오스전극과 드레인전극 및 데이터라인이 형성된 제 1 기관 위에 형성된 제 2 절연막; 상기 제 2 절연막이 형성된 상, 하부 화소영역 내에 교대로 배열되어 수평전계를 형성하되, 상기 상부 화소영역에 형성된 복수개의 상부 공통전극과 상기 상부 화소전극 및 상기 하부 화소영역에 형성된 복수개의 하부 공통전극과 상기 하부 화소전극; 상기 제 2 절연막 위에 상기 데이터라인에 대해 평행한 방향으로 형성되되, 상기 복수개의 상부 화소전극의 일단을 서로 연결시키는 상기 상부 제 1 연결라인과 상기 복수개의 하부 화소전극의 일단을 서로 연결시키는 상기 하부 제 1 연결라인, 및 상기 복수개의 상부 공통전극의 일단을 서로 연결시키는 상부 제 2 연결라인과 상기 복수개의 하부 공통전극의 일단을 서로 연결시키는 하부 제 2 연결라인; 및 상기 제 1 기관과 대향하여 합착하는 제 2 기관을 포함하며, 상기 상부 제 1 연결라인 및 하부 제 1 연결라인은 각각 상기 제 2 절연막에 형성된 상부 제 1 콘택홀 및 하부 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 한편, 상기 상부 제 2 연결라인 및 하부 제 2 연결라인은 각각 상기 제 1, 제 2 절연막에 형성된 상부 제 2 콘택홀 및 하부 제 2 콘택홀을 통해 상기 상부 공통라인 및 하부 공통라인과 전기적으로 접속하며, 상기 상부 제 1 연결라인과 하부 제 1 연결라인은 서로 엇갈리게 배열하는 한편, 상기 상부 제 2 연결라인과 하부 제 2 연결라인은 서로 엇갈리게 배열하며, 상기 상부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 상부 스토리지전극과 중첩하여 제 1 스토리지 커패시터를 구성하는 한편, 상기 하부 공통라인은 그 일부가 상기 제 1, 제 2 절연막을 사이에 두고 하부 스토리지전극과 중첩하여 제 2 스토리지 커패시터를 구성하는 것을 특징으로 한다.

[0050] 이하, 첨부한 도면을 참조하여 본 발명에 따른 수평전계방식 액정표시장치 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.

[0051] 도 3은 본 발명의 제 1 실시예에 따른 수평전계방식 액정표시장치의 어레이 기관 일부를 나타내는 평면도로써, 실제의 어레이 기관에는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0052] 도면에 도시된 바와 같이, 제 1 실시예의 어레이 기관(110)에는 상기 기관(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있으며, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터(T)가 형성되어 있다.

[0053] 상기 박막 트랜지스터(T)는 상기 게이트라인(116)의 일부를 구성하는 게이트전극(121), 상기 데이터라인(117)에 연결된 한 쌍의 소오스전극(122, 122') 및 제 1 연결라인(118a)을 통해 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터(T)는 상기 게이트전극(121)과 소오스/드레인전극(122, 122', 123)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122, 122')과 드레인전극(123) 간에 전도채널을 형성하는 액티브패턴(미도시)을 포함한다.

[0054] 이때, 전술한 바와 같이 상기 소오스전극(122, 122')은 상기 드레인전극(123)을 사이로 상하 두 개의 구성요소, 즉 제 1 소오스전극(122)과 제 2 소오스전극(122')으로 이루어져 "??"자형 채널을 형성함으로써 박막 트랜지스터(T)의 채널 폭(W)을 증가시키는 역할을 하게 된다. 그 결과 박막 트랜지스터(T)의 온 전류 특성이 향상되는

효과를 나타낸다.

[0055] 상기 화소영역 상부에는 상기 게이트라인(116)에 대해 실질적으로 평행한 방향으로 배열된 공통라인(1081)과 스토리지전극(118s)이 형성되어 있으며, 상기 화소영역 내에는 수평전계를 발생시키기 위한 복수개의 공통전극(108)과 화소전극(118)이 교대로 형성되어 있다. 이때, 상기 공통전극(108)과 화소전극(118)은 상기 게이트라인(116)에 대해 실질적으로 평행한 방향으로 배열되어 있다.

[0056] 이때, 상기 복수개의 화소전극(118)은 상기 데이터라인(117)에 대해 실질적으로 평행한 방향으로 배열된 상기 제 1 연결라인(118a)과 연결되어 있으며, 또한 상기 복수개의 공통전극(108)은 상기 데이터라인(117)에 대해 실질적으로 평행하게 배열된 제 2 연결라인(108a)과 연결되어 있다. 즉, 상기 복수개의 화소전극(118)은 상기 화소영역의 좌측 가장자리에서 상기 데이터라인(117)에 대해 실질적으로 평행하게 배열된 제 1 연결라인(118a)에 연결되며, 상기 복수개의 공통전극(108)은 상기 화소영역의 우측 가장자리에서 상기 데이터라인(117)에 대해 실질적으로 평행하게 배열된 제 2 연결라인(108a)에 연결된다.

[0057] 상기 제 1 연결라인(118a)은 제 2 절연막(미도시)에 형성된 제 1 콘택홀(140a)을 통해 상기 드레인전극(123)의 일부와 전기적으로 접속하며, 상기 제 2 연결라인(108a)은 상기 제 1 절연막과 제 2 절연막에 형성된 제 2 콘택홀(140b)을 통해 상기 공통라인(1081)과 전기적으로 접속하게 된다.

[0058] 상기 제 1 실시예는 상기 제 1 연결라인(118a)이 화소영역 좌측에 형성되고 상기 제 2 연결라인(108a)이 화소영역 우측에 형성된 경우를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 제 1 연결라인(118a)이 화소영역 우측에 형성되고 상기 제 2 연결라인(108a)이 화소영역 좌측에 형성된 경우에도 적용될 수 있다.

[0059] 그리고, 상기 공통라인(1081)은 그 일부가 제 1 절연막 또는 상기 제 1 절연막과 제 2 절연막을 사이에 두고 상부의 스토리지전극(118s)의 일부와 중첩하여 스토리지 커패시터(storage capacitor)(Cst)를 형성하게 된다. 상기 스토리지 커패시터는 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 한다.

[0060] 이러한 스토리지 커패시터는 신호 유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가진다.

[0061] 상기와 같이 구성된 제 1 실시예의 수평전계방식 액정표시장치는 공통전극(108)과 화소전극(118)이 상기 데이터라인(117)에 대해 실질적으로 수직인 방향으로 형성되어 있기 때문에 데이터라인(103)과 화소전극(118)간의 신호간섭을 줄일 수가 있다.

[0062] 또한, 상기 공통전극(108)과 화소전극(118)은 투명한 도전물질로 형성됨에 따라 종래에 비해 개구율을 향상시킬 수가 있다.

[0063] 더욱이, 본 발명은 공통전극(108)과 화소전극(118)이 동일한 평면 내에 형성되어 있기 때문에 상기 공통전극(108)과 화소전극(118) 사이의 액정층에 인가되는 수평전계가 종래에 비하여 더욱 강하게 생성되게 된다. 이러한, 강한 전계에 의해 액정층 내의 액정분자가 더욱 빠른 속도로 스위칭(switching)되기 때문에 동화상 등의 구현이 용이해진다.

[0064] 상기 제 1 실시예의 수평전계방식 액정표시장치는 화소전극 연결용 제 1 연결라인(118a)이 화소영역의 좌측이나 우측의 한쪽에만 구성되어 있어 해당 화소의 데이터라인(117)이나 인접 화소의 데이터라인의 신호만에 영향을 받게 되는데, 이하 화소전극 연결용 제 1 연결라인과 공통전극 연결용 제 2 연결라인을 화소영역의 상하 두 개의 영역에 대해 서로 엇갈리도록 배열하여 상기 제 1 연결라인이나 제 2 연결라인이 해당 화소의 데이터라인이나 인접 화소의 데이터라인에만 영향을 받지 않고 절반씩 나누어서 받음으로써 휘도 변화를 개선시킨 제 2 실시예의 수평전계방식 액정표시장치를 도면을 참조하여 상세히 설명한다.

[0065] 도 4는 본 발명의 제 2 실시예에 따른 수평전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도로써, 실제의 어레이 기판에는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0066] 도면에 도시된 바와 같이, 제 2 실시예의 어레이 기판(210)에는 상기 기판(210) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(216)과 데이터라인(217)이 형성되어 있으며, 상기 게이트라인(216)과 데이터라인(217)의 교차영역에는 스위칭소자인 박막 트랜지스터(T)가 형성되어 있다.

- [0067] 이때, 본 실시예의 게이트라인(216)은 화소영역의 중앙에 형성되어 상기 화소영역을 상하 두 개의 영역으로 분할하게 된다.
- [0068] 상기 박막 트랜지스터(T)는 상기 게이트라인(216)의 일부를 구성하는 게이트전극(221), 상기 데이터라인(217)에 연결된 한 쌍의 소오스전극(222, 222') 및 제 1 연결라인(218a, 218a')을 통해 화소전극(218, 218')에 연결된 드레인전극(223)으로 구성되어 있다. 또한, 상기 박막 트랜지스터(T)는 상기 게이트전극(221)과 소오스/드레인전극(222, 222', 223)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(221)에 공급되는 게이트 전압에 의해 상기 소오스전극(222, 222')과 드레인전극(223) 간에 전도채널을 형성하는 액티브패턴(미도시)을 포함한다.
- [0069] 이때, 전술한 제 1 실시예와 같이 상기 소오스전극(222, 222')은 상기 드레인전극(223)을 사이로 상하 두 개의 구성요소, 즉 제 1 소오스전극(222)과 제 2 소오스전극(222')으로 이루어져 "ㄷ"자형 채널을 형성함으로써 박막 트랜지스터(T)의 채널 폭(W)을 증가시키는 역할을 하게 된다. 그 결과 박막 트랜지스터(T)의 온 전류 특성이 향상되는 효과를 나타낸다.
- [0070] 상기 게이트라인(216)에 의해 두 개의 영역으로 분할된 화소영역의 상, 하부에는 상기 게이트라인(216)에 대해 실질적으로 평행한 방향으로 배열된 공통라인(2081, 2081')과 스토리지전극(218s, 218s')이 형성되어 있으며, 상기 화소영역 내에는 수평전계를 발생시키기 위한 복수개의 공통전극(208, 208')과 화소전극(218, 218')이 교대로 형성되어 있다. 이때, 상기 공통전극(208, 208')과 화소전극(218, 218')은 상기 게이트라인(216)에 대해 실질적으로 평행한 방향으로 배열되어 있다.
- [0071] 이와 같이 본 실시예는 화소영역의 상, 하부 각각에 공통라인(2081, 2081')이 형성되어 있어 공통라인(2081, 2081')의 선폴이 증가되어 실질적으로 상기 공통라인(2081, 2081')의 저항이 감소되는 효과를 얻을 수 있다.
- [0072] 상기 복수개의 화소전극(218, 218')은 상기 데이터라인(217)에 대해 실질적으로 평행한 방향으로 배열된 상기 제 1 연결라인(218a, 218a')과 연결되어 있으며, 또한 상기 복수개의 공통전극(208, 208')은 상기 데이터라인(217)에 대해 실질적으로 평행하게 배열된 제 2 연결라인(208a, 208a')과 연결되어 있다.
- [0073] 이때, 제 2 실시예의 경우에는 화소영역의 상, 하부에 있어서 상기 화소전극 연결용 제 1 연결라인(218a, 218a')과 공통전극 연결용 제 2 연결라인(208a, 208a')이 서로 엇갈리도록 배열되어 있는데, 즉 상부 화소전극(218)은 상기 화소영역의 좌측 가장자리에서 상기 데이터라인(217)에 대해 실질적으로 평행하게 배열된 상부 제 1 연결라인(218a)에 연결되며, 하부 화소전극(218')은 상기 화소영역의 우측 가장자리에서 상기 데이터라인(217)에 대해 실질적으로 평행하게 배열된 하부 제 1 연결라인(218a')에 연결되게 된다. 또한, 상부 공통전극(208)은 상기 화소영역의 우측 가장자리에서 상기 데이터라인(217)에 대해 실질적으로 평행하게 배열된 상부 제 2 연결라인(208a)에 연결되며, 하부 공통전극(208')은 상기 화소영역의 좌측 가장자리에서 상기 데이터라인(217)에 대해 실질적으로 평행하게 배열된 하부 제 2 연결라인(208a')에 연결되게 된다.
- [0074] 이와 같이 화소영역의 중앙에 게이트라인(216)을 형성하여 화소영역을 상하 두 개의 영역으로 분할한 다음 상기 두 개의 영역에 대해 화소전극 연결용 제 1 연결라인(218a, 218a')과 공통전극 연결용 제 2 연결라인(208a, 208a')을 서로 엇갈리도록 배열함으로써 좌, 우측 기생용량의 편차를 줄일 수 있어 휘도 변화를 개선시킬 수 있게 된다. 즉, 종래에 비해 상기 제 1 연결라인(218a, 218a')이나 제 2 연결라인(208a, 208a')이 해당 화소의 데이터라인(217)이나 인접 화소의 데이터라인(미도시)에만 영향을 받지 않고 절반씩 나누어서 받음으로써 휘도 변화를 개선시킬 수 있게 된다.
- [0075] 상기 상부 제 1 연결라인(218a) 및 하부 제 1 연결라인(218a')은 각각 제 2 절연막(미도시)에 형성된 상부 제 1 콘택홀(240a) 및 하부 제 1 콘택홀(240a')을 통해 상기 드레인전극(223)의 일부와 전기적으로 접속하며, 상기 상부 제 2 연결라인(208a) 및 하부 제 2 연결라인(208a')은 각각 상기 제 1 절연막과 제 2 절연막에 형성된 상부 제 2 콘택홀(240b) 및 하부 제 2 콘택홀(240b')을 통해 상기 상부 공통라인(2081) 및 하부 공통라인(2081')과 전기적으로 접속하게 된다.
- [0076] 그리고, 상기 상부 공통라인(2081)은 그 일부가 제 1 절연막 또는 상기 제 1 절연막과 제 2 절연막을 사이에 두고 상부 스토리지전극(218s)의 일부와 중첩하여 제 1 스토리지 커패시터(Cst1)를 형성하게 된다. 또한, 상기 하부 공통라인(2081')은 그 일부가 상기 제 1 절연막 또는 상기 제 1 절연막과 제 2 절연막을 사이에 두고 하부 스토리지전극(218s')의 일부와 중첩하여 제 2 스토리지 커패시터(Cst2)를 형성하게 된다.
- [0077] 이와 같이 제 2 실시예의 수평전계방식 액정표시장치는 화소전극 연결용 제 1 연결라인(218a, 218a')과 공통전

극 연결용 제 2 연결라인(208a, 208a')을 화소영역의 상하 두 개의 영역에 대해 서로 엇갈리도록 배열하여 상기 제 1 연결라인(218a, 218a')이나 제 2 연결라인(208a, 208a')이 해당 화소의 데이터라인(217)이나 인접 화소의 데이터라인에만 영향을 받지 않고 절반씩 나누어서 받음으로써 휘도 변화를 개선시킬 수 있게 된다.

[0078] 도 5a 내지 도 5d는 도 4에 도시된 어레이 기관의 IVa-IVa'선과 IVb-IVb'선에 따른 제조공정을 순차적으로 나타내는 단면도이며, 도 6a 내지 도 6d는 도 4에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도이다.

[0079] 도 5a 및 도 6a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기관(210) 위에 게이트전극(221)과 게이트라인(216) 및 공통라인(2181, 2081')을 형성한다.

[0080] 이때, 상기 게이트전극(221)과 게이트라인(216) 및 공통라인(2181, 2081')은 제 1 도전막을 기관(210) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 패터닝하여 형성하게 된다.

[0081] 여기서, 상기 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 게이트전극(221)과 게이트라인(216) 및 공통라인(2181, 2081')은 상기 저저항 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수도 있다.

[0082] 그리고, 상기 게이트전극(221)은 상기 게이트라인(216)의 일부를 구성하며, 상기 화소영역 상, 하부에 각각 형성된 상부 공통라인(2081)과 하부 공통라인(2081')은 상기 게이트라인(216)에 대해 실질적으로 평행한 방향으로 배열되도록 형성될 수 있다.

[0083] 다음으로, 도 5b 및 도 6b에 도시된 바와 같이, 상기 게이트전극(221)과 게이트라인(216) 및 공통라인(2181, 2081')이 형성된 기관(210) 전면에 차례대로 제 1 절연막(215a), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 패터닝함으로써 상기 게이트전극(221) 상부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(224')을 형성하는 동시에 상기 제 2 도전막으로 이루어진 한 쌍의 소오스전극(222, 222')과 드레인전극(223)을 형성한다.

[0084] 상기 액티브패턴(224') 위에는 상기 n+ 비정질 실리콘 박막으로 이루어지며, 상기 소오스/드레인전극(222, 222', 223)과 동일한 형태로 패터닝되어 그 하부의 액티브패턴(224')의 소정영역과 상기 소오스/드레인전극(222, 222', 223)을 오믹-콘택(ohmic contact)시키는 오믹-콘택층(225n)이 형성되게 된다. 이때, 상기 소오스전극(222, 222')의 일부는 상기 게이트라인(216)과 교차하여 화소영역을 정의하는 데이터라인(217)과 연결되게 된다.

[0085] 이와 같이 본 실시예에서는 회절노광을 이용한 한번의 마스크공정(제 2 마스크공정)으로 액티브패턴(224')과 소오스/드레인전극(222, 222', 223)을 동시에 형성하게 되는데, 이하 도면을 참조하여 상기 제 2 마스크공정을 상세히 설명한다.

[0086] 도 7a 내지 도 7e는 도 5b 및 도 6b에 도시된 제 2 마스크공정을 구체적으로 나타내는 단면도이다.

[0087] 도 7a에 도시된 바와 같이, 상기 게이트전극(221)과 게이트라인(216) 및 공통라인(2181, 2081')이 형성된 기관(210) 전면에 차례대로 제 1 절연막(215a), 비정질 실리콘 박막(224), n+ 비정질 실리콘 박막(225) 및 제 2 도전막(250)을 증착한다.

[0088] 이때, 상기 제 2 도전막(250)으로 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다.

[0089] 이후, 상기 기관(210) 전면에 포토레지스트와 같은 감광성물질로 이루어진 감광막(270)을 형성한 후 본 실시예의 회절마스크(또는, 하프-톤 마스크)(280)를 통해 상기 감광막(270)에 선택적으로 광을 조사한다.

[0090] 이때, 본 실시예에 사용된 회절마스크(280)에는 조사된 광을 모두 투과시키는 투과영역(I)과 슬릿패턴이 적용되어 광의 일부만 투과시키고 일부는 차단하는 슬릿영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 회절마스크(280)를 투과한 빛만이 감광막(270)에 조사되게 된다.

[0091] 이어서, 상기 회절마스크(280)를 통해 노광된 감광막(270)을 현상하고 나면, 도 7b에 도시된 바와 같이, 상기 차단영역(III)과 슬릿영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 감광막패턴(270a~270d)들이 남아있게 되고, 모든 광이 투과된 투과영역(I)에는 감광막이 완전히 제거되어 제 2 도전막(230) 표면이 노출되게 된다.

- [0092] 이때, 상기 차단영역(III)을 통해 형성된 제 1 감광막패턴(270a) 내지 제 3 감광막패턴(270c)은 슬릿영역(II)에 형성된 제 4 감광막패턴(270d)보다 두껍게 형성된다. 또한, 상기 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.
- [0093] 다음으로, 상기과 같이 형성된 감광막패턴(270a~270d)들을 마스크로 하여, 그 하부에 형성된 비정질 실리콘 박막(224)과 n+ 비정질 실리콘 박막(225) 및 제 2 도전막(250)을 선택적으로 제거하게 되면, 도 7c에 도시된 바와 같이, 게이트라인(221) 상부의 소정영역에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(224')이 형성되는 동시에 상기 게이트라인(216)과 실질적으로 교차하는 영역에 상기 제 2 도전막으로 이루어진 데이터라인(217)이 형성되게 된다.
- [0094] 이때, 상기 액티브패턴(224') 상부에는 상기 n+ 비정질 실리콘 박막 및 제 2 도전막으로 이루어지며 상기 액티브패턴(224')과 동일한 형태로 패터닝된 제 1 n+ 비정질 실리콘 박막패턴(225') 및 제 2 도전막패턴(250')이 형성되게 된다. 또한, 상기 데이터라인(217) 하부에는 상기 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며 상기 데이터라인(217)과 동일한 형태로 패터닝된 비정질 실리콘 박막패턴(224'') 및 제 2 n+ 비정질 실리콘 박막패턴(225'')이 형성되게 된다
- [0095] 이후, 상기 감광막패턴(270a~270d)들의 일부를 제거하는 애싱공정을 진행하게 되면, 도 7d에 도시된 바와 같이, 상기 액티브패턴(224')의 소정영역 상부, 즉 회절노광이 적용된 슬릿영역(II)의 제 4 감광막패턴이 완전히 제거되어 상기 제 2 도전막패턴(250') 표면이 노출되게 된다.
- [0096] 이때, 상기 제 1 감광막패턴 내지 제 3 감광막패턴은 상기 제 4 감광막패턴의 두께만큼이 제거된 제 5 감광막패턴(270a') 내지 제 7 감광막패턴(270c')으로 상기 차단영역(III)에 대응하는 소정영역에만 남아있게 된다.
- [0097] 이후, 도 7e에 도시된 바와 같이, 상기 남아있는 제 5 감광막패턴(270a') 내지 제 7 감광막패턴(270c')을 마스크로 하여 상기 액티브패턴(224')의 소정영역(즉, 채널영역) 상부의 제 2 도전막패턴과 제 1 n+ 비정질 실리콘 박막패턴을 선택적으로 식각하게 되면, 상기 게이트전극(221) 상부에 상기 제 2 도전막으로 이루어진 한 쌍의 소오스전극(222, 222')과 드레인전극(223)이 형성되게 된다.
- [0098] 이때, 상기 액티브패턴(224') 위에 형성되어 있는 제 1 n+ 비정질 실리콘 박막 패턴은 상기 소오스전극(222, 222')과 드레인전극(223) 형태대로 패터닝되어 상기 액티브패턴(224')과 소오스/드레인전극(222, 222', 223) 사이를 오믹-콘택시키는 오믹-콘택층(225n)을 형성하게 된다.
- [0099] 다음으로, 도 5c 및 도 6c에 도시된 바와 같이, 액티브패턴(224')과 소오스/드레인전극(222, 222', 223)이 형성된 기판(210)에 제 2 절연막(215b)을 형성한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 상기 제 2 절연막(215b)의 일부 영역을 제거함으로써 상기 드레인전극(223)의 일부를 노출시키는 상, 하부 제 1 콘택홀(240a, 240a')을 형성하며 상기 제 1 절연막(215a)과 제 2 절연막(215b)의 일부 영역을 제거함으로써 상기 상, 하부 공통라인(2081, 2081')의 일부를 노출시키는 상, 하부 제 2 콘택홀(240b, 240b')을 형성한다.
- [0100] 그리고, 도 5d 및 도 6d에 도시된 바와 같이, 상기 기판(210) 전면에서 제 3 도전막을 증착한 후, 포토리소그래피 공정(제 4 마스크공정)을 이용하여 상기 제 3 도전막을 선택적으로 패터닝함으로써 상기 화소영역에 상기 제 3 도전막으로 이루어진 복수개의 공통전극(208, 208')과 화소전극(218, 218') 및 제 1 연결라인(218a, 218a'), 제 2 연결라인(208a, 208a')과 스토리지전극(218s, 218s')을 형성한다.
- [0101] 이때, 상기 제 3 도전막은 인듐-틴-옥사이드(Indium Tin Oxide; ITO)나 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투명한 도전물질로 형성할 수 있다.
- [0102] 상기 화소전극(218, 218')은 상기 제 1 콘택홀(240a, 240a')을 통해 상기 드레인전극(223)과 전기적으로 접속하며, 상기 제 2 연결라인(208a, 208a')은 상기 제 2 콘택홀(240b, 240b')을 통해 상기 공통라인(2081, 2081')과 전기적으로 접속한다.
- [0103] 여기서, 상기 공통전극(208, 208')과 화소전극(218, 218')은 실질적으로 상기 게이트라인(216)에 대해 평행한 방향으로 배열되며, 상기 제 1 연결라인(218a, 218a')과 제 2 연결라인(208a, 208a')은 실질적으로 상기 데이터라인(217)에 대해 평행한 방향으로 배열된다. 또한, 상기 복수개의 화소전극(218, 218')은 상기 제 1 연결라인(218a, 218a')에 연결되며, 상기 복수개의 공통전극(208, 208')은 상기 제 2 연결라인(208a, 208a')에 연결된다.
- [0104] 그리고, 상기 상부 스토리지전극(218s)은 그 하부의 상부 공통라인(2081)의 일부와 중첩하여 제 1 절연막(215

a)과 제 2 절연막(215b)을 사이에 두고 제 1 스토리지 커패시터(Cst1)를 형성하며, 상기 하부 스토리지전극(218s')은 그 하부의 하부 공통라인(2081')의 일부와 중첩하여 제 1 절연막(215a)과 제 2 절연막(215b)을 사이에 두고 제 2 스토리지 커패시터(Cst2)를 형성하게 된다.

[0105] 이와 같이 구성된 상기 어레이 기관(210)은 화상표시 영역의 외곽에 형성된 실런트(미도시)에 의해 컬러필터 기관(미도시)과 대향하도록 합착되어 액정표시패널을 구성하며, 상기 어레이 기관(210)과 컬러필터 기관의 합착은 상기 어레이 기관(210)과 컬러필터 기관에 형성된 합착기(미도시)를 통해 이루어진다.

[0106] 상기 제 2 실시예의 수평전계방식 액정표시장치는 상부 제 1 연결라인과 제 2 연결라인이 각각 화소영역의 좌측과 우측에 형성되고 하부 제 1 연결라인과 제 2 연결라인이 각각 화소영역의 우측과 좌측에 형성된 경우를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 즉, 본 발명은 상기 화소영역의 상하 두 개의 영역에 대해 제 1 연결라인과 제 2 연결라인이 서로 엇갈리도록 배열되지만 하면 상기 상부 제 1 연결라인과 제 2 연결라인이 각각 화소영역의 우측과 좌측에 형성되고 하부 제 1 연결라인과 제 2 연결라인이 각각 화소영역의 좌측과 우측에 형성될 수도 있으며, 이를 다음의 제 3 실시예를 통해 상세히 설명한다.

[0107] 도 8은 본 발명의 제 3 실시예에 따른 수평전계방식 액정표시장치의 어레이 기관 일부를 나타내는 평면도이다.

[0108] 도면에 도시된 바와 같이, 제 3 실시예의 어레이 기관(310)에는 상기 기관(310) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(316)과 데이터라인(317)이 형성되어 있으며, 상기 게이트라인(316)과 데이터라인(317)의 교차영역에는 스위칭소자인 박막 트랜지스터(T)가 형성되어 있다.

[0109] 이때, 본 실시예의 게이트라인(316)은 화소영역의 중앙에 형성되어 상기 화소영역을 상하 두 개의 영역으로 분할하게 된다.

[0110] 상기 박막 트랜지스터(T)는 상기 게이트라인(316)의 일부를 구성하는 게이트전극(321), 상기 데이터라인(317)에 연결된 한 쌍의 소오스전극(322, 322') 및 제 1 연결라인(318a, 318a')을 통해 화소전극(318, 318')에 연결된 드레인전극(323)으로 구성되어 있다. 또한, 상기 박막 트랜지스터(T)는 상기 게이트전극(321)과 소오스/드레인전극(322, 322', 323)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(321)에 공급되는 게이트 전압에 의해 상기 소오스전극(322, 322')과 드레인전극(323) 간에 전도채널을 형성하는 액티브패턴(미도시)을 포함한다.

[0111] 상기 게이트라인(316)에 의해 두 개의 영역으로 분할된 화소영역의 상, 하부에는 상기 게이트라인(316)에 대해 실질적으로 평행한 방향으로 배열된 공통라인(3081, 3081')과 스토리지전극(318s, 318s')이 형성되어 있으며, 상기 화소영역 내에는 수평전계를 발생시키기 위한 복수개의 공통전극(308, 308')과 화소전극(318, 318')이 교대로 형성되어 있다. 이때, 상기 공통전극(308, 308')과 화소전극(318, 318')은 상기 게이트라인(316)에 대해 실질적으로 평행한 방향으로 배열되어 있다.

[0112] 상기 복수개의 화소전극(318, 318')은 상기 데이터라인(317)에 대해 실질적으로 평행한 방향으로 배열된 상기 제 1 연결라인(318a, 318a')과 연결되어 있으며, 또한 상기 복수개의 공통전극(308, 308')은 상기 데이터라인(317)에 대해 실질적으로 평행하게 배열된 제 2 연결라인(308a, 308a')과 연결되어 있다.

[0113] 이때, 제 3 실시예의 경우에는 화소영역의 상, 하부에 있어서 상기 화소전극 연결용 제 1 연결라인(318a, 318a')과 공통전극 연결용 제 2 연결라인(308a, 308a')이 서로 엇갈리도록 배열되어 있는데, 즉 상부 화소전극(318)은 상기 화소영역의 우측 가장자리에서 상부 제 1 연결라인(318a)에 연결되며, 하부 화소전극(318')은 상기 화소영역의 좌측 가장자리에서 하부 제 1 연결라인(318a')에 연결되게 된다. 또한, 상부 공통전극(308)은 상기 화소영역의 좌측 가장자리에서 상부 제 2 연결라인(308a)에 연결되며, 하부 공통전극(308')은 상기 화소영역의 우측 가장자리에서 하부 제 2 연결라인(308a')에 연결되게 된다.

[0114] 상기 상부 제 1 연결라인(318a) 및 하부 제 1 연결라인(318a')은 각각 제 2 절연막(미도시)에 형성된 상부 제 1 콘택홀(340a) 및 하부 제 1 콘택홀(340a')을 통해 상기 드레인전극(323)의 일부와 전기적으로 접속하며, 상기 상부 제 2 연결라인(308a) 및 하부 제 2 연결라인(308a')은 각각 상기 제 1 절연막과 제 2 절연막에 형성된 상부 제 2 콘택홀(340b) 및 하부 제 2 콘택홀(340b')을 통해 상기 상부 공통라인(3081) 및 하부 공통라인(3081')과 전기적으로 접속하게 된다.

[0115] 그리고, 상기 상부 공통라인(3081)은 그 일부가 제 1 절연막 또는 상기 제 1 절연막과 제 2 절연막을 사이에 두고 상부 스토리지전극(318s)의 일부와 중첩하여 제 1 스토리지 커패시터(Cst1)를 형성하게 된다. 또한, 상기 하부 공통라인(3081')은 그 일부가 상기 제 1 절연막 또는 상기 제 1 절연막과 제 2 절연막을 사이에 두고 하부

스토리지전극(318s')의 일부와 중첩하여 제 2 스토리지 커패시터(Cst2)를 형성하게 된다.

[0116] 상기 제 1 실시예 내지 제 2 실시예의 수평전계방식 액정표시장치는 화소영역 내에 수평전계를 발생시키는 공통전극과 화소전극이 게이트라인에 대해 평행한 방향으로 배열된 경우를 예를 들어 설명하고 있으나, 본 발명에 의해 한정되는 것은 아니며, 상기 공통전극과 화소전극은 상기 게이트라인에 대해 소정각도 기울어지도록 배열될 수도 있으며, 이를 다음의 제 4 실시예를 통해 상세히 설명한다.

[0117] 도 9는 본 발명의 제 4 실시예에 따른 수평전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도이다.

[0118] 도면에 도시된 바와 같이, 제 4 실시예의 어레이 기판(410)에는 상기 기판(410) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(416)과 데이터라인(417)이 형성되어 있으며, 상기 게이트라인(416)과 데이터라인(417)의 교차영역에는 스위칭소자인 박막 트랜지스터(T)가 형성되어 있다.

[0119] 이때, 본 실시예의 게이트라인(416)은 화소영역의 중앙에 형성되어 상기 화소영역을 상하 두 개의 영역으로 분할하게 된다.

[0120] 상기 박막 트랜지스터(T)는 상기 게이트라인(416)의 일부를 구성하는 게이트전극(421), 상기 데이터라인(417)에 연결된 한 쌍의 소오스전극(422, 422') 및 제 1 연결라인(418a, 418a')을 통해 화소전극(418, 418')에 연결된 드레인전극(423)으로 구성되어 있다. 또한, 상기 박막 트랜지스터(T)는 상기 게이트전극(421)과 소오스/드레인전극(422, 422', 423)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(421)에 공급되는 게이트 전압에 의해 상기 소오스전극(422, 422')과 드레인전극(423) 간에 전도채널을 형성하는 액티브패턴(미도시)을 포함한다.

[0121] 상기 게이트라인(416)에 의해 두 개의 영역으로 분할된 화소영역의 상, 하부에는 상기 게이트라인(416)에 대해 실질적으로 평행한 방향으로 배열된 공통라인(4081, 4081')과 스토리지전극(418s, 418s')이 형성되어 있으며, 상기 화소영역 내에는 수평전계를 발생시키기 위한 복수개의 공통전극(408, 408')과 화소전극(418, 418')이 교대로 형성되어 있다.

[0122] 이때, 상기 공통전극(408, 408')과 화소전극(418, 418')은 상기 게이트라인(416)에 대해 소정의 각도(θ)로 기울어져 배열되어 있다. 여기서, 상기 공통전극(408, 408')과 화소전극(418, 418')은 서로 평행하게 배열될 수 있으며, 이들은 상기 게이트라인(401)을 기준으로 $0 < \theta < 45^\circ$ 범위를 갖도록 기울어져 배열될 수 있다.

[0123] 또한, 도면에는 나타나지 않았지만, 상기 게이트라인(401)을 경사지도록 하여 상기 공통전극(408, 408') 및 화소전극(418, 418')에 대해 실질적으로 평행하게 배열할 수도 있다.

[0124] 상기 복수개의 화소전극(418, 418')은 상기 데이터라인(417)에 대해 실질적으로 평행한 방향으로 배열된 상기 제 1 연결라인(418a, 418a')과 연결되어 있으며, 또한 상기 복수개의 공통전극(408, 408')은 상기 데이터라인(417)에 대해 실질적으로 평행하게 배열된 제 2 연결라인(408a, 408a')과 연결되어 있다.

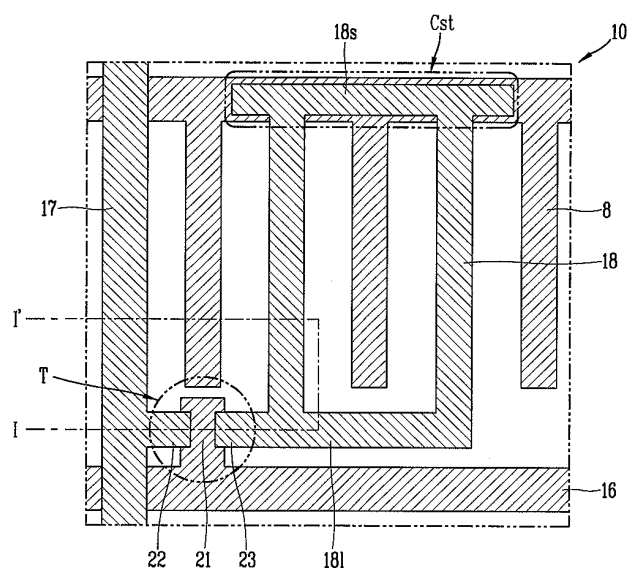
[0125] 이때, 본 실시예의 경우는 상기 제 2 실시예와 동일하게 상부 화소전극(418)은 상기 화소영역의 좌측 가장자리에서 상기 데이터라인(417)에 대해 실질적으로 평행하게 배열된 상부 제 1 연결라인(418a)에 연결되며, 하부 화소전극(418')은 상기 화소영역의 우측 가장자리에서 상기 데이터라인(417)에 대해 실질적으로 평행하게 배열된 하부 제 1 연결라인(418a')에 연결되게 된다. 또한, 상부 공통전극(408)은 상기 화소영역의 우측 가장자리에서 상기 데이터라인(417)에 대해 실질적으로 평행하게 배열된 상부 제 2 연결라인(408a)에 연결되며, 하부 공통전극(408')은 상기 화소영역의 좌측 가장자리에서 상기 데이터라인(417)에 대해 실질적으로 평행하게 배열된 하부 제 2 연결라인(408a')에 연결되게 된다.

[0126] 상기 상부 제 1 연결라인(418a) 및 하부 제 1 연결라인(418a')은 각각 제 2 절연막(미도시)에 형성된 상부 제 1 콘택홀(440a) 및 하부 제 1 콘택홀(440a')을 통해 상기 드레인전극(423)의 일부와 전기적으로 접속하며, 상기 상부 제 2 연결라인(408a) 및 하부 제 2 연결라인(408a')은 각각 상기 제 1 절연막과 제 2 절연막에 형성된 상부 제 2 콘택홀(440b) 및 하부 제 2 콘택홀(440b')을 통해 상기 상부 공통라인(4081) 및 하부 공통라인(4081')과 전기적으로 접속하게 된다.

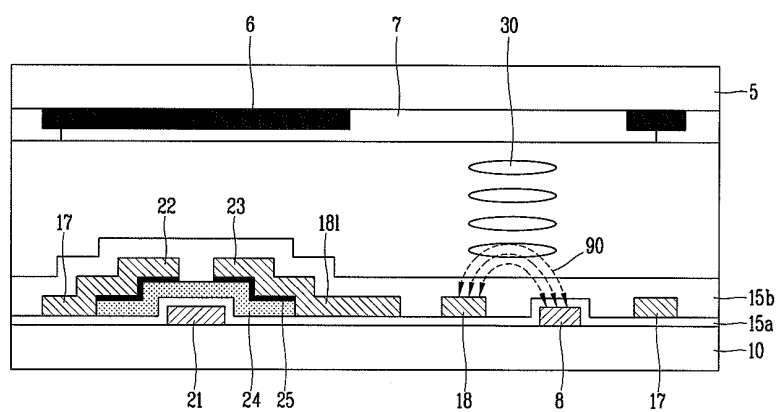
[0127] 그리고, 상기 상부 공통라인(4081)은 그 일부가 제 1 절연막 또는 상기 제 1 절연막과 제 2 절연막을 사이에 두고 상부 스토리지전극(418s)의 일부와 중첩하여 제 1 스토리지 커패시터(Cst1)를 형성하게 된다. 또한, 상기 하부 공통라인(4081')은 그 일부가 상기 제 1 절연막 또는 상기 제 1 절연막과 제 2 절연막을 사이에 두고 하부 스토리지전극(418s')의 일부와 중첩하여 제 2 스토리지 커패시터(Cst2)를 형성하게 된다.

도면

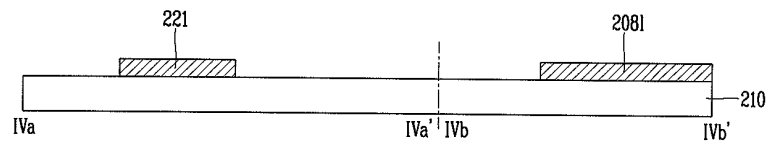
도면1



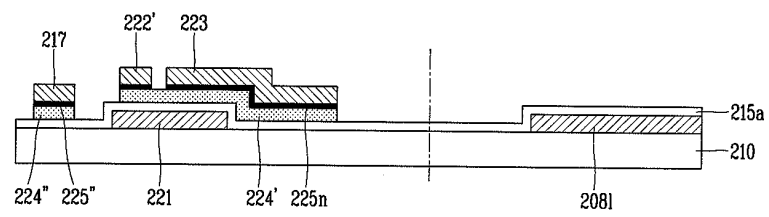
도면2



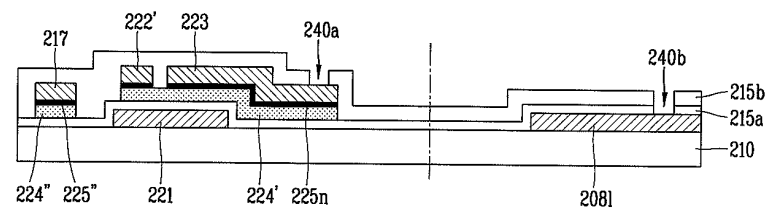
도면5a



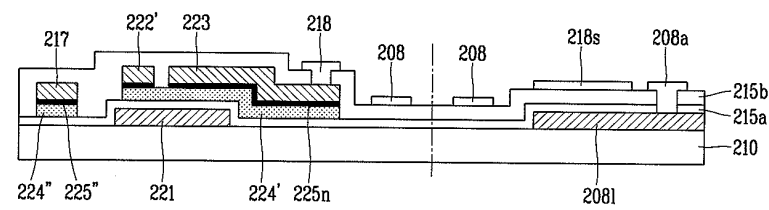
도면5b



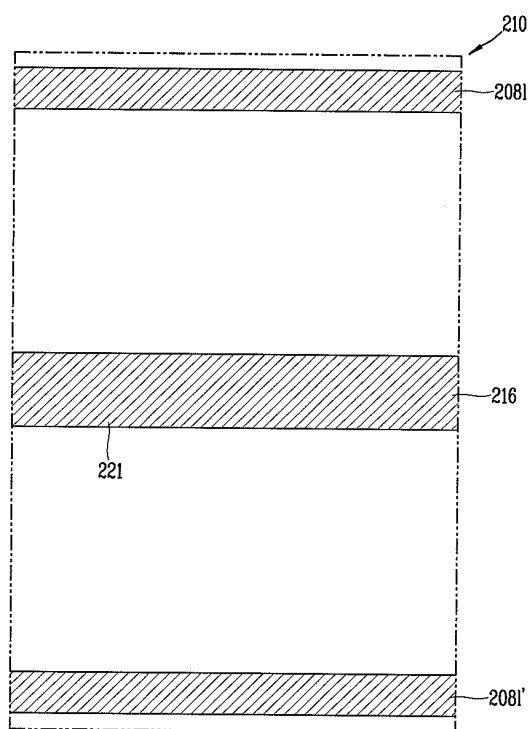
도면5c



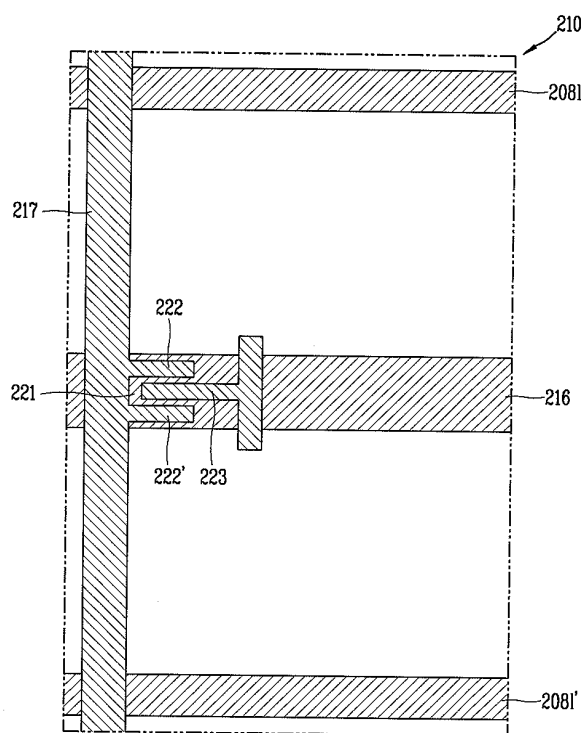
도면5d



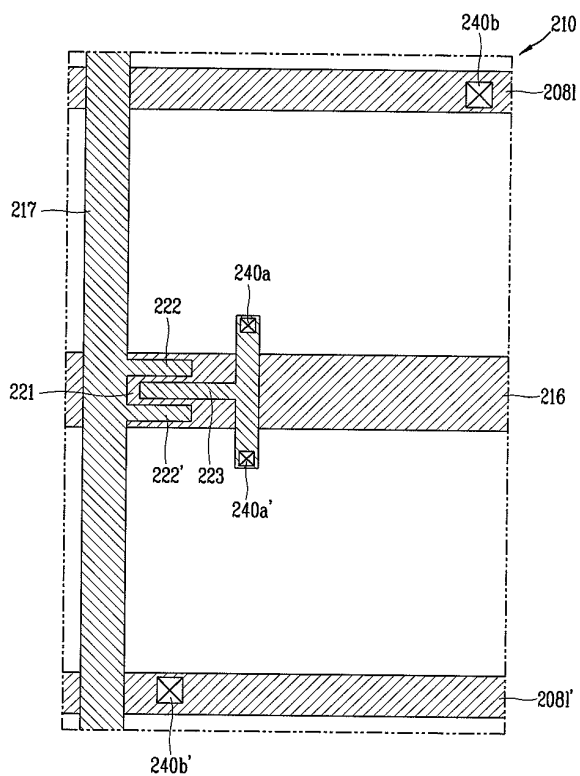
도면6a



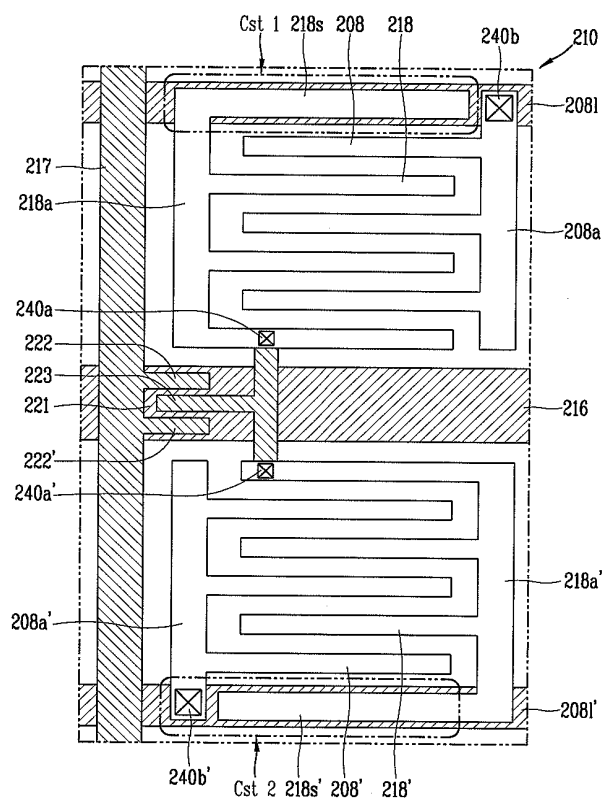
도면6b



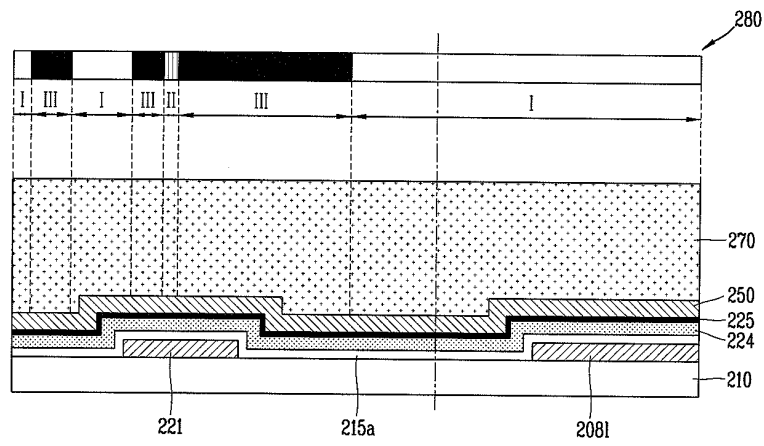
도면6c



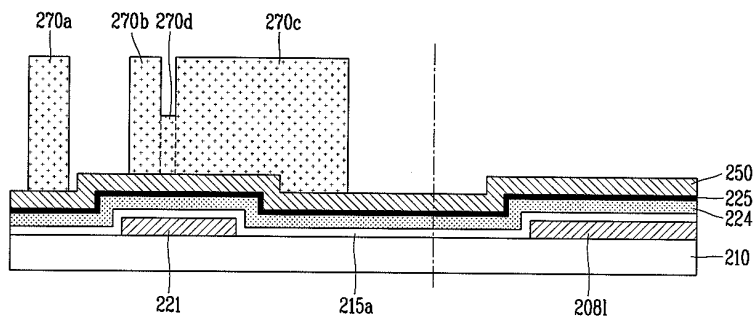
도면6d



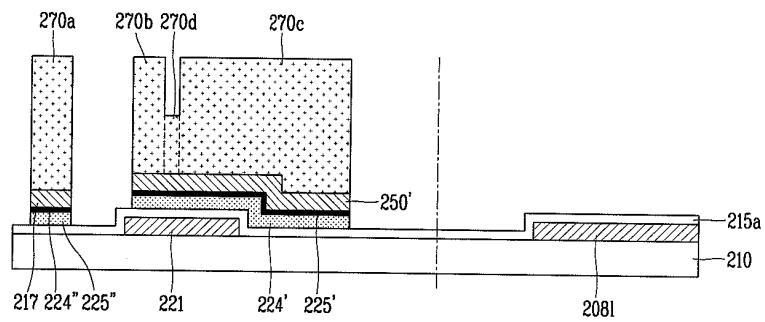
도면7a



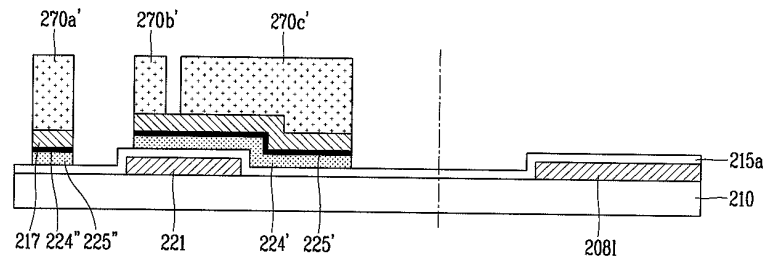
도면7b



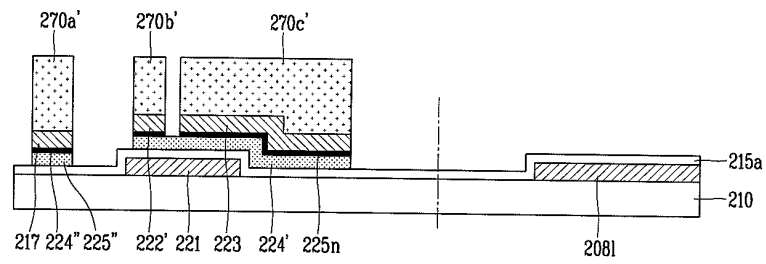
도면7c



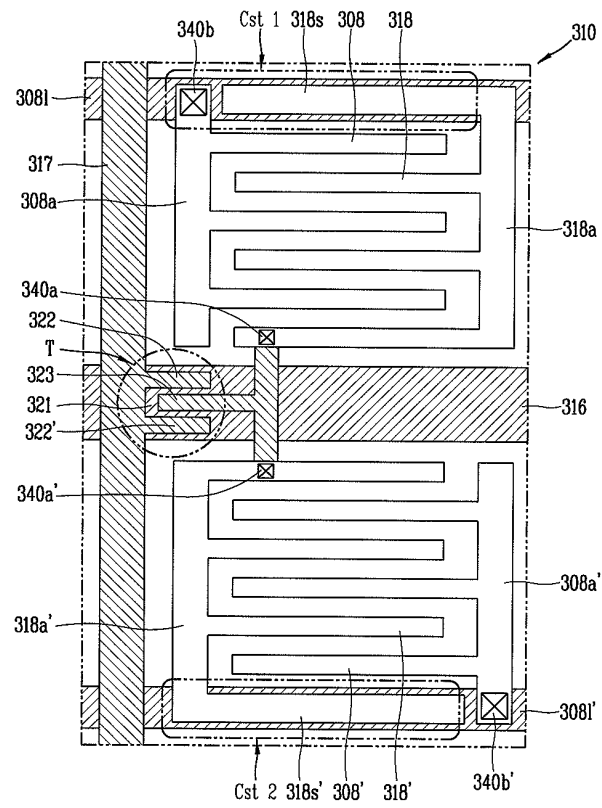
도면7d



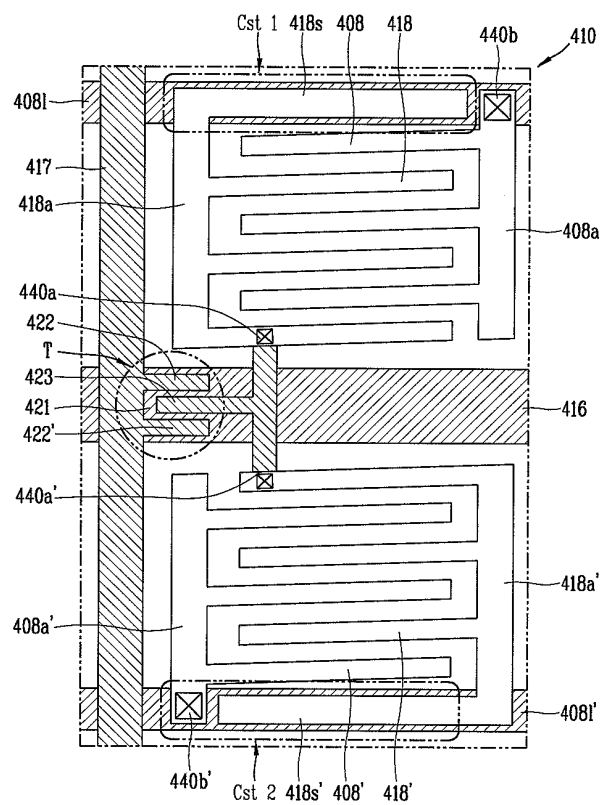
도면7e



도면8



도면9



专利名称(译)	标题：水平电场型液晶显示装置及其制造方法		
公开(公告)号	KR101320494B1	公开(公告)日	2013-10-22
申请号	KR1020060033355	申请日	2006-04-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON SANG PIL		
发明人	YOON,SANG PIL		
IPC分类号	G02F1/1343 G02F		
CPC分类号	H01L27/1214 G02F2201/40 G02F2001/13606 G02F1/134363 H01L27/124 H01L27/1288		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020070101923A		
外部链接	Espacenet		

摘要(译)

横向电场方式的液晶显示装置，并且本发明的制造方法中，像素区域中的，通过减小线宽度，以形成一公共线的底部，分别减小所述公共线的电阻，以形成在像素的中心像素区域中的栅极线并且，像素电极连接线和公共电极连接线被布置成在两个区域中相对于彼此交错，从而改善了由于寄生电容偏差引起的亮度变化。它被形成在中心和平行的方向上的像素区域和用于将下部像素区域中，栅电极和栅极线的栅极线，它构成了栅极线的一部分，上像素区上设置像素区域和在每个下像素区域中形成上公共线 and 下公共线;形成在第一基板上的第一绝缘层，在该第一基板上形成栅电极，栅极线以及上下公共线;形成在第一绝缘膜上的有源图案;形成在第一基板上的数据线，在该第一基板上形成有源图案，并限定与栅极线交叉的上和下像素区域;它被形成在其上形成有有源图案，并且位于连接到所述数据线的顶部源电极和下部源电极和上源电极和一个底部源电极之间的第一基板上，通过上第一连接线连接到所述顶部像素电极漏电极通过下部第一连接线连接到下部像素电极;形成在第一基板上的第二绝缘层，其上形成有上下源电极和漏电极以及数据线;形成在上像素区域中的多个上公共电极和形成在上像素电极和下像素区域中的多个下公共电极交替地布置在形成第二绝缘膜的上和下像素区域中，和下像素电极;其特征在于，所述第二绝缘层是在形成在平行的方向上的数据线，在所述多个子像素电极中的一个端部彼此连接的多个上部像素电极和连接在一起的下部的第一上部连接线的端部连接所述多个上公共电极的一端的上部第二连接线，以及将所述多个下部公共电极的一端彼此连接的下部第二连接线;并通过上部的第一接触孔和形成在第一基板上，并且包括用于附接至彼此朝向上第一连接线与所述底部的第一连接线的第二基板的下第一接触孔是第二绝缘膜，分别并且上部第二连接线和下部第二连接线通过形成在第一和第二绝缘膜中的上部第二接触孔和下部第二接触孔电连接到漏极公共线，其中，上部第一连接线和下部第一连接线彼此交错，上部第二连接线和下部第二连接线彼此交错，并且上部共用线与上存储电极部分重叠，第一和第二绝缘膜插入其间以形成第一存储电容器，而下公共线以及它们的部分，第一和第二夹持在第二绝缘层和下存储电极重叠，其特征在于它构成第二存储电容器。水平电场系统，公共电极，像素电极，连接线，公共线

