



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월20일  
(11) 등록번호 10-1157386  
(24) 등록일자 2012년06월11일

- (51) 국제특허분류(Int. Cl.)  
G02F 1/1343 (2006.01) G02F 1/136 (2006.01)
- (21) 출원번호 10-2005-0009446  
(22) 출원일자 2005년02월02일  
심사청구일자 2010년01월29일
- (65) 공개번호 10-2006-0088944  
(43) 공개일자 2006년08월07일
- (56) 선행기술조사문헌  
KR1020010063296 A\*  
KR1020030058334 A\*  
KR1020020034284 A\*  
KR1020040096424 A  
\*는 심사관에 의하여 인용된 문헌
- (73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자  
윤상필  
경상북도 경주시 안강읍 안현로 1486-18, 5동  
507호 (경림소망아파트)
- (74) 대리인  
허용록

전체 청구항 수 : 총 13 항

심사관 : 윤성주

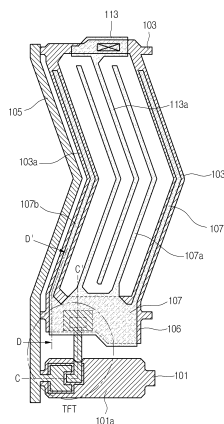
(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 스토리지 커패시턴스(Cst)의 용량을 증대시켜 화질 특성을 개선하면서 제조 공정을 단순화시킨 액정표시장치 및 그 제조방법을 개시한다. 개시된 본 발명은 교차 배열되어 단위 화소 영역을 정의하는 게이트 배선과 데이터 배선; 상기 게이트 배선과 데이터 배선의 교차 영역에 배치된 박막 트랜지스터; 상기 게이트 배선과 평행하면서 상기 데이터 배선과 교차되도록 배치된 제 1 공통 배선; 상기 제 1 공통 배선으로부터 분기되어 상기 단위 화소 영역에 배치된 제 1 공통 전극; 상기 제 1 공통 전극의 가장자리에 형성되고 상기 게이트 배선과 평행한 제 1 스토리지 전극; 상기 제 1 공통 배선과 오버랩되도록 배치된 제 2 공통 배선; 상기 제 2 공통 배선으로부터 분기되어 단위 화소 영역에 배치된 제 2 공통 전극; 상기 제 1 스토리지 전극과 오버랩되도록 배치된 제 2 스토리지 전극; 및 상기 제 2 스토리지 전극으로부터 단위 화소 영역으로 분기되는 제 1 화소 전극과, 상기 제 2 스토리지 전극으로부터 분기되고 상기 제 1 공통 전극과 오버랩되도록 배치된 제 2 화소 전극을 포함하는 것을 특징으로 한다.

본 발명은 화소 전극과 공통 전극간에도 스토리지 커패시턴스가 형성되도록 함으로써, 화질 품위를 개선한 효과가 있다.

대 표 도 - 도3



## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

절연기관 상에 금속막을 증착하고 식각하여 게이트 배선, 게이트 전극, 제 1 공통 배선, 제 1 공통 전극 및 제 1 스토리지 전극을 형성하는 제 1 단계;

상기 게이트 배선 등이 형성된 절연기관 상에 게이트 절연막 및 채널층을 형성하는 제 2 단계;

상기 채널층이 형성된 절연기관 상에 오믹 콘택층, 소스 전극, 드레인 전극 및 데이터 배선을 형성하는 제 3 단계;

상기 소스 전극 및 드레인 전극 등이 형성된 절연기관 상에 보호막을 형성하고, 식각하여 콘택홀을 형성하는 제 4 단계; 및

상기 보호막이 형성된 절연기관 상에 투명 금속막을 형성하고, 식각하여 제 2 공통 배선 및 제 2 공통 전극과, 상기 제 1 스토리지 전극과 오버랩되는 제 2 스토리지 전극, 상기 제 2 스토리지 전극으로부터 분기되는 제 1 화소 전극 및 상기 제 1 공통 전극과 오버랩되는 제 2 화소 전극을 형성하는 제 5 단계를 포함하고,

상기 제 4 단계에서 상기 보호막 상에 콘택홀을 형성할 때, 이후 제 5 단계에서 형성될 제 2 화소 전극 및 제 2 스토리 전극과 각각 대향하는 상기 제 1 공통 전극 상부 및 상기 제 1 스토리지 전극 상부의 보호막을 제거하여 상기 게이트 절연막이 노출되도록 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

### 청구항 8

제 7 항에 있어서,

상기 제 2 공통 배선과 제 2 공통 전극은 전기적으로 연결된 일체형 구조로 형성하는 것을 특징으로 액정표시장치 제조방법.

### 청구항 9

제 7 항에 있어서,

상기 제 1 공통 배선, 제 1 공통 전극 및 제 1 스토리지 전극은 전기적으로 연결된 일체형 구조로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

### 청구항 10

제 7 항에 있어서,

상기 제 2 스토리지 전극, 제 1 화소 전극 및 제 2 화소 전극은 전기적으로 연결된 일체형 구조로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 11

삭제

#### 청구항 12

제 7 항에 있어서,

상기 제 2 화소 전극은 상기 제 1 공통 전극 상부의 게이트 절연막 상에 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 13

제 7 항에 있어서,

상기 제 2 스토리지 전극은 상기 제 1 스토리지 전극 상부의 게이트 절연막 상에 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 14

절연기관 상에 금속막을 증착하고 식각하여 게이트 배선, 게이트 전극, 제 1 공통 배선, 제 1 공통 전극 및 제 1 스토리지 전극을 형성하는 제 1 단계;

상기 게이트 배선 등이 형성된 절연기관 상에 게이트 절연막, 채널층, 오믹 콘택층, 소스 전극, 드레인 전극 및 데이터 배선을 형성하는 제 2 단계;

상기 소스 전극 및 드레인 전극 등이 형성된 절연기관 상에 보호막을 형성하고, 식각하여 콘택홀을 형성하는 제 3 단계; 및

상기 보호막이 형성된 절연기관 상에 투명 금속막을 형성하고, 식각하여 제 2 공통 배선 및 제 2 공통 전극과, 상기 제 1 스토리지 전극과 오버랩되는 제 2 스토리지 전극, 상기 제 2 스토리지 전극으로부터 분기되는 제 1 화소 전극 및 상기 제 1 공통 전극과 오버랩되는 제 2 화소 전극을 형성하는 제 4 단계를 포함하고,

상기 제 3 단계에서 상기 보호막 상에 콘택홀을 형성할 때, 이후 제 4 단계에서 형성될 제 2 화소 전극 및 제 2 스토리 전극과 각각 대향하는 상기 제 1 공통 전극 상부 및 상기 제 1 스토리지 전극 상부의 보호막을 제거하여 상기 게이트 절연막이 노출되도록 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 15

제 14 항에 있어서,

상기 제 2 단계는 비정질 실리콘막, 도핑된 비정질 실리콘막 및 금속막을 순차적으로 형성한 다음, 회절노광 방식에 따라 한번의 공정으로 상기 채널층, 오믹 콘택층, 소스 전극, 드레인 전극 및 데이터 배선을 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 16

제 14 항에 있어서,

상기 제 2 공통 배선과 제 2 공통 전극은 전기적으로 연결된 일체형 구조로 형성하는 것을 특징으로 액정표시장치 제조방법.

#### 청구항 17

제 14 항에 있어서,

상기 제 1 공통 배선, 제 1 공통 전극 및 제 1 스토리지 전극은 전기적으로 연결된 일체형 구조로 형성하는

것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 18

제 14 항에 있어서,

상기 제 2 스토리지 전극, 제 1 화소 전극 및 제 2 화소 전극은 전기적으로 연결된 일체형 구조로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 19

삭제

#### 청구항 20

제 14 항에 있어서,

상기 제 2 화소 전극은 상기 제 1 공통 전극 상부의 노출된 게이트 절연막 상에 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 21

제 14 항에 있어서,

상기 제 2 스토리지 전극은 상기 제 1 스토리지 전극 상부의 노출된 게이트 절연막 상에 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

#### 청구항 22

삭제

#### 청구항 23

삭제

### 명 세 서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- [0016] 본 발명은 스토리지 커패시턴스(Cst)의 용량을 증대시켜 화질 특성을 개선하면서 제조 공정을 단순화시킨 액정표시장치 및 그 제조방법에 관한 것이다.
- [0017] 일반적으로 현대사회가 정보 사회화로 변해 감에 따라 정보표시장치의 하나인 액정표시장치 모듈의 중요성이 점차로 증가되어 가고 있다. 지금까지 가장 널리 사용되고 있는 CRT(cathode ray tube)는 성능이나 가격적인 측면에서 많은 장점을 갖고 있지만, 소형화 또는 휴대성 측면에서 많은 단점을 갖고 있다.
- [0018] 이와 같이 CRT의 단점을 보완하기 위해서 경박단소, 고휘도, 대화면, 저소비전력 및 저가격화를 실현할 수 있는 액정표시장치가 개발되었다.
- [0019] 상기 액정표시장치(LCD: Liquid Crystal Display)는 표시 해상도가 다른 평판 표시장치보다 뛰어날 뿐만 아니라, 동화상을 구현할 때에도 그 품질이 브라운관에 비할 만큼 빠른 응답 특성을 가지고 있다.
- [0020] 상기와 같은 액정표시장치는 상부기관에 형성된 공통전극과, 하부기관에 형성된 화소 전극 사이에 전계를 형성하여, 기관사이에 개재되어 있는 액정을 트위스트 시킴으로써, 화상을 디스플레이 하는 트위스트 네마틱(TN: twisted nematic) 방식이 주로 사용되었다.
- [0021] 하지만, 상기 트위스트 네마틱 방식에 의한 액정표시장치는 시야각이 매우 좁은 단점이 있었다.
- [0022] 그래서, 최근에 상기 협소한 시야각 문제를 해결하기 위하여 여러가지 새로운 방식을 채용한 액정표시장치 개

발이 활발하게 진행되었는데, 상기 방식으로 횡전계 방식(IPS:in-plane switching mode) 또는 OCB방식(optically compensated birefringence mode) 등이 있다.

- [0023] 이 가운데 상기 횡전계 방식 액정표시장치는 액정 분자를 기판에 대해서 수평을 유지한 상태로 구동시키기 위하여 2개의 전극을 동일한 기판(하부기판) 상에 형성하고, 상기 2개의 전극 사이에 전압을 인가하여 기판에 대해서 수평방향으로 전계를 발생시키는 방식이다.
- [0024] 따라서, 이와 같은 횡전계 방식에서는 액정 분자의 장축이 기판에 대하여 수직인 방향(트위스트 네마틱 방식)으로 들어서지 않게 된다.
- [0025] 이 때문에, 시각 방향에 대한 액정의 복굴절을 변화가 작아 종래의 TN 방식 액정표시장치에 비해 우수한 시야각 특성을 갖는다.
- [0026] 이하, 첨부된 도면을 참조로 하여 종래 기술에 따른 횡전계 방식 액정표시 장치의 화소 구조를 구체적으로 설명한다.
- [0027] 도 1은 종래 기술에 따른 횡전계 방식 액정표시장치의 화소구조를 도시한 도면이다.
- [0028] 도 1을 참조하면, 게이트 배선(1)과 데이터 배선(5)이 수직으로 교차되어 단위 화소 영역이 정의되어 있고, 그 교차 영역에 스위칭 소자인 박막 트랜지스터(TFT)가 배치되어 있다.
- [0029] 그리고 상기 단위 화소 영역에는 제 1 공통 배선(3)이 상기 게이트 배선(1)과 평행한 방향으로 상기 데이터 배선(5)과 교차되어 형성되고, 상기 제 1 공통 배선(3)의 양측에는 상기 데이터 배선(5)과 평행한 방향으로 제 1 공통 전극(3a)이 분기되어 있다.
- [0030] 그리고 상기 제 1 공통 전극(3a) 가장자리에는 스토리지 커패시턴스를 형성하기 위한 제 1 스토리지 전극(6)이 형성되어 있어, 상기 제 1 공통 배선(3), 제 1 공통 전극(3a) 및 제 1 스토리지 전극(6)이 페루프 구조를 이루고 있다.
- [0031] 또한, 상기 제 1 스토리지 전극(6)과 인접하는 게이트 배선(1)에는 TFT의 게이트 전극(1a) 기능을 할 수 있도록 폭이 확장되어 형성되어 있다.
- [0032] 그리고 상기 제 1 공통 배선(3)과 제 1 공통 전극(3a) 상부에는 상기 제 1 공통 배선(3)과 전기적으로 연결되면서 상기 제 1 공통 배선(3) 및 제 1 공통 전극(3a)에 오버랩(overlap) 되는 제 2 공통 배선(13)과 제 3 공통 전극(13b)이 형성되어 있다.
- [0033] 또한, 상기 제 2 공통 배선(13)으로부터 상기 단위 화소 영역 중심으로 제 2 공통 전극(13a)이 분기되어 있다.
- [0034] 여기서, 상기 제 2 공통 배선(13), 제 2 공통 전극(13a) 및 제 3 공통 전극(13b)은 화소 전극(7a)과 동일한 투명금속으로 형성되면서, 모두 전기적으로 연결된 일체형 구조로 형성된다.
- [0035] 이때, 상기 제 2 공통 배선(13)은 상기 제 1 공통 배선(3)과 전기적으로 연결되어 있기 때문에 상기 제 2 공통 전극(13a)과 제 3 공통 전극(13b)에 공통 전압 신호가 인가된다.
- [0036] 상기 화소 전극(7a)은 단위 화소 중심 영역에서 상기 제 2 공통 배선(13)으로부터 분기되는 제 2 공통 전극(13a)을 사이에 두고 양측에 형성되어 있고, 상기 화소 전극(7a)은 상기 제 1 스토리지 전극(6)과 오버랩 되도록 형성된 제 2 스토리지 전극(7)과 전기적으로 연결되어 있다.
- [0037] 따라서, 상기 화소 전극(7a)과 전기적으로 연결된 제 2 스토리지 전극(7)과 제 1 공통 전극(3a)과 전기적으로 연결된 제 1 스토리지 전극(6)은 단위 화소 영역에서 스토리지 커패시턴스를 형성한다.
- [0038] 또한, 2 ITO 전극 구조로서, 종래 단위 화소 영역에 형성되던 공통 전극을 투명 금속으로 형성함으로써, 개구율을 향상시켰다.
- [0039] 도 2는 상기 도 1의 A-A'선과 B-B'선을 절단한 단면도이다.
- [0040] 도 2에 도시된 바와 같이, A-A' 영역에서는 투명성 절연기판(10) 상에 게이트 배선(1)과 게이트 전극(1a) 및 공통 배선(미도시)과 연결된 제 1 스토리지 전극(6)이 형성되어 있다.
- [0041] 상기 게이트 배선(1), 게이트 전극(1a) 및 제 1 스토리지 전극(6)이 형성된 절연기판(10) 상에는 게이트 절연막(12)과, 상기 게이트 절연막(12) 상에 채널층(14), 오믹 콘택층(15), 소스 전극(17a) 및 드레인 전극(17b)

으로 형성된 박막 트랜지스터(TFT)가 형성되어 있다.

- [0042] 상기 박막 트랜지스터의 소스 전극(17a)은 도 1에 도시된 데이터 배선(5)으로부터 분기되어 있고, 상기 드레인 전극(17b)은 단위 화소 영역에 형성된 상기 제 1 스토리지 전극(6) 상부까지 확장 형성되어 있다.
- [0043] 그리고 상기 소스 전극(17a) 및 드레인 전극(17b)이 형성된 절연기관(10) 상에는 보호막(19)이 형성되어 있고, 상기 보호막(19) 상에는 상기 화소 전극과 일체로 형성된 제 2 스토리지 전극(7)이 형성되어 있다.
- [0044] 여기서, 상기 제 2 스토리지 전극(7)은 상기 보호막(19) 상에 형성된 콘택홀을 통하여 상기 드레인 전극(17b)과 연결되어 있다.
- [0045] 이와 대응되는 B-B' 영역은 상기 절연기관(10) 상에 상기 게이트 전극(A-A': 1a)과 인접한 영역에 형성되는 제 1 스토리지 전극(6)이 형성되어 있고, 상기 제 1 스토리지 전극(6)과 일체로 형성되면서 데이터 배선과 평행한 방향으로 제 1 공통 전극(3a)이 형성되어 있다(도 1참조). 상기 제 1 스토리지 전극(6)과 제 1 공통 전극(3a)이 형성된 절연기관(10) 상에는 게이트 절연막(12)이 형성되어 있다.
- [0046] 그리고, 상기 게이트 절연막(12)이 형성된 절연기관(10) 상에는 보호막(19)이 형성되어 있고, 상기 보호막(19) 상에는 하부의 제 1 스토리지 전극(6)과 대응되는 제 2 스토리지 전극(7)이 형성되어 있다.
- [0047] 또한, 상기 제 1 공통 전극(3a)과 대응되는 영역에는 도 1의 제 2 공통 배선으로부터 분기된 제 3 공통 전극(13b)이 형성되어 있다.
- [0048] 이와 같이, 도 1과 도 2를 참조하면, 개선된 2 ITO 구조의 액정표시장치는 화소 영역에 배치된 제 2 공통 전극(13a)과 화소 전극(7a)이 모두 투명 금속이므로 종래 횡전계 방식 액정표시장치보다 개구율이 향상되었다.
- [0049] 이때, 제 2 공통 배선(13)으로부터 분기되는 제 3 공통 전극(13b)은 상기 제 1 공통 전극(3a) 상부를 따라 오버랩된 구조로 되어 있다.
- [0050] 그러나, 상기와 같은 2 ITO 구조의 횡전계 방식 액정표시장치는 제 1 스토리지 전극(6)과 제 2 스토리지 전극(7)에서만 스토리지 커패시턴스가 형성되기 때문에 스토리지 커패시턴스 용량을 확보하는데 한계가 있다.
- [0051] 특히, 제 1 공통 전극(3a)과 제 3 공통 전극(13b)은 서로 오버랩되어 있는 구조이지만, 전기적으로 연결되어 있기 때문에(제 1 공통 배선과 제 2 공통 배선이 연결됨) 스토리지 커패시턴스를 확보할 수 없다.
- [0052] 이와 같이 스토리지 커패시턴스 용량을 충분히 확보하지 못하게 되면, 단위 화소에서 데이터 신호들을 일정시간 충전시키지 못해 화질 저하가 발생한다.

### 발명이 이루고자 하는 기술적 과제

- [0053] 본 발명은, 2 ITO 구조를 갖는 액정표시장치에서 화소 전극과 공통 전극을 오버랩시킴으로써, 스토리지 커패시턴스 용량을 확보하여 화면 품질을 개선한 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

### 발명의 구성 및 작용

- [0054] 상기한 목적을 달성하기 위한, 본 발명에 따른 액정표시장치는,
- 교차 배열되어 단위 화소 영역을 정의하는 게이트 배선과 데이터 배선;
- 상기 게이트 배선과 데이터 배선의 교차 영역에 배치된 박막 트랜지스터;
- 상기 게이트 배선과 평행하면서 상기 데이터 배선과 교차되도록 배치된 제 1 공통 배선;
- 상기 제 1 공통 배선으로부터 분기되어 상기 단위 화소 영역에 배치된 제 1 공통 전극;
- 상기 제 1 공통 전극의 가장자리에 형성되고 상기 게이트 배선과 평행한 제 1 스토리지 전극;
- 상기 제 1 공통 배선과 오버랩되도록 배치된 제 2 공통 배선;
- 상기 제 2 공통 배선으로부터 분기되어 단위 화소 영역에 배치된 제 2 공통 전극;
- 상기 제 1 스토리지 전극과 오버랩되도록 배치된 제 2 스토리지 전극; 및
- 상기 제 2 스토리지 전극으로부터 단위 화소 영역으로 분기되는 제 1 화소 전극과, 상기 제 2 스토리지 전극으로부터 분기되고 상기 제 1 공통 전극과 오버랩되도록 배치된 제 2 화소 전극을 포함하고,

- [0055] 상기 제 2 스토리지 전극과 제 1 스토리지 전극 사이와, 상기 제 2 화소 전극과 제 1 공통 전극 사이에는 각각 게이트 절연막을 사이에 두고 서로 오버랩되어 있는 것을 특징으로 한다.
- [0056] 삭제
- [0057] 삭제
- [0058] 삭제
- [0059] 삭제
- [0060] 삭제
- [0061] 삭제
- [0062] 삭제
- [0063] 삭제
- [0064] 여기서, 상기 제 2 공통 배선과 제 2 공통 전극은 투명 금속으로 형성되고, 상기 제 2 공통 배선은 상기 제 1 공통 배선과 전기적으로 콘택되며, 상기 제 2 스토리지 전극, 제 1 화소 전극 및 제 2 화소 전극은 전기적으로 연결된 일체형 구조로 되어 있는 것을 특징으로 한다.
- [0065] 본 발명에 따른 액정표시장치 제조방법은,  
절연기판 상에 금속막을 증착하고 식각하여 게이트 배선, 게이트 전극, 제 1 공통 배선, 제 1 공통 전극 및 제 1 스토리지 전극을 형성하는 제 1 단계;  
상기 게이트 배선 등이 형성된 절연기판 상에 게이트 절연막 및 채널층을 형성하는 제 2 단계;  
상기 채널층이 형성된 절연기판 상에 오믹 콘택층, 소스 전극, 드레인 전극 및 데이터 배선을 형성하는 제 3 단계;  
상기 소스 전극 및 드레인 전극 등이 형성된 절연기판 상에 보호막을 형성하고, 식각하여 콘택홀을 형성하는 제 4 단계; 및  
상기 보호막이 형성된 절연기판 상에 투명 금속막을 형성하고, 식각하여 제 2 공통 배선 및 제 2 공통 전극과, 상기 제 1 스토리지 전극과 오버랩되는 제 2 스토리지 전극, 상기 제 2 스토리지 전극으로부터 분기되는 제 1 화소 전극 및 상기 제 1 공통 전극과 오버랩되는 제 2 화소 전극을 형성하는 제 5 단계를 포함하고,
- [0066] 상기 제 4 단계에서 상기 보호막 상에 콘택홀을 형성할 때, 상기 제 2 화소 전극과 대향하는 상기 제 1 공통 전극 상부 및 상기 제 2 스토리지 전극과 대향하는 상기 제 1 스토리지 전극 상부에 형성된 보호막을 제거하여 상기 게이트 절연막이 노출되도록 형성하는 것을 특징으로 한다.
- [0067] 삭제
- [0068] 삭제

- [0069] 삭제
- [0070] 삭제
- [0071] 본 발명의 다른 실시예에 의한 액정표시장치 제조방법은,  
절연기관 상에 금속막을 증착하고 식각하여 게이트 배선, 게이트 전극, 제 1 공통 배선, 제 1 공통 전극 및 제 1 스토리지 전극을 형성하는 제 1 단계;  
상기 게이트 배선 등이 형성된 절연기관 상에 게이트 절연막, 채널층, 오믹 콘택층, 소스 전극, 드레인 전극 및 데이터 배선을 형성하는 제 2 단계;  
상기 소스 전극 및 드레인 전극 등이 형성된 절연기관 상에 보호막을 형성하고, 식각하여 콘택홀을 형성하는 제 3 단계; 및  
상기 보호막이 형성된 절연기관 상에 투명 금속막을 형성하고, 식각하여 제 2 공통 배선 및 제 2 공통 전극과, 상기 제 1 스토리지 전극과 오버랩되는 제 2 스토리지 전극, 상기 제 2 스토리지 전극으로부터 분기되는 제 1 화소 전극 및 상기 제 1 공통 전극과 오버랩되는 제 2 화소 전극을 형성하는 제 4 단계를 포함하고,  
[0072] 상기 제 3 단계에서 상기 보호막 상에 콘택홀을 형성할 때, 상기 제 2 화소 전극과 대향하는 상기 제 1 공통 전극 상부 및 상기 제 2 스토리지 전극과 대향하는 상기 제 1 스토리지 전극 상부에 형성된 보호막을 제거하여 상기 게이트 절연막이 노출되도록 형성하는 것을 특징으로 한다.
- [0073] 삭제
- [0074] 삭제
- [0075] 삭제
- [0076] 본 발명의 또 다른 실시예에 의한 액정표시장치는,  
[0077] 절연기관 상에 형성된 게이트 배선, 공통 배선, 공통 전극 및 제 1 스토리지 전극;  
[0078] 상기 게이트 배선 등이 형성된 절연기관 상에 형성된 게이트 절연막; 및  
[0079] 상기 게이트 절연막을 사이에 두고 상기 공통 전극과 제 1 스토리지 전극에 각각 오버랩되도록 형성된 화소 전극과 제 2 스토리지 전극을 포함하는 것을 특징으로 한다.
- [0080] 본 발명에 의하면, 2 ITO 구조를 갖는 액정표시장치에서 화소 전극과 공통 전극을 오버랩시킴으로써, 스토리지 커패시턴스 용량을 확보하여 화면 품질을 개선하였다.
- [0081] 이하, 첨부한 도면에 의거하여 본 발명의 실시 예를 자세히 설명하도록 한다.
- [0082] 도 3은 본 발명에 따른 횡전계 방식 액정표시장치의 화소구조를 도시한 도면이다.
- [0083] 도 3에 도시된 바와 같이, 구동신호를 인가하는 게이트 배선(101)과 데이터 신호를 인가하는 데이터 배선(105)이 교차 배열되어 단위 화소 영역을 정의하고, 상기 게이트 배선(101)과 데이터 배선(105)이 교차되는 영역에는 스위칭 소자인 박막 트랜지스터(TFT)가 배치되어 있다.
- [0084] 그리고 단위 화소 영역에는 상기 게이트 배선(101)과 평행하면서, 상기 데이터 배선(105)과 교차하는 제 1 공통 배선(103)이 형성되어 있고, 상기 제 1 공통 배선(103)의 양측으로부터 분기된 제 1 공통 전극(103a)은 상기 데이터 배선(105)과 평행한 방향으로 형성되어 있다.
- [0085] 여기서, 상기 데이터 배선(105), 제 1 공통 전극(103a)은 시야각 확보를 위하여 소정의 각도로 절곡된 구조

(꺂임구조)로 형성되어 있다.

- [0086] 또한, 상기 게이트 배선(101) 및 게이트 전극(101a)에 인접한 영역에는 제 1 스토리지 전극(106)이 형성되어 있는데, 상기 제 1 스토리지 전극(106)은 상기 제 1 공통 전극(103a)과 연결되어 있다.
- [0087] 따라서, 상기 제 1 공통 배선(103), 제 1 공통 전극(103a) 및 제 1 스토리지 전극(106)과 함께 일체로 형성된 페루프 구조를 하고 있다.
- [0088] 그리고 제 2 공통 배선(113)은 단위 화소 영역에 형성된 상기 제 1 공통 배선(103)의 중심 영역에 오버랩되도록 형성되면서, 상기 제 1 공통 배선(103)과 전기적으로 연결되어 있다.
- [0089] 그리고 제 2 공통 전극(113a)이 상기 제 2 공통 배선(113)으로부터 단위 화소 영역을 따라 분기되어 있다.
- [0090] 상기 제 2 공통 전극(113a)도 광시야각을 위하여 소정의 각도로 절곡(꺂임구조)되어 상기 제 1 공통 전극(103a) 및 데이터 배선(105)과 평행하게 배치되어 있다.
- [0091] 그리고 상기 제 1 스토리지 전극(106) 상부에는 스토리지 커패시턴스 형성을 위한 제 2 스토리지 전극(107)이 오버랩되도록 형성되어 있고, 상기 제 2 스토리지 전극(107)으로부터 제 1 화소 전극(107a)과 제 2 화소 전극(107a)이 단위 화소 영역으로 분기되어 있다.
- [0092] 특히, 상기 제 1 화소 전극(107a)은 상기 제 2 스토리지 전극(107)으로부터 분기되어 단위 화소 영역의 투과 영역에서 상기 제 2 공통 전극(113a)과 교대로 배치된다.
- [0093] 그리고 상기 제 1 화소 전극(107a)도 소정의 각도로 절곡된 구조를 하고 있다.
- [0094] 또한, 상기 제 2 화소 전극(107b)은 상기 제 2 스토리지 전극(107)으로부터 분기되어 상기 제 1 공통 배선(103)으로부터 분기된 제 1 공통 전극(103a) 상부를 따라 오버랩되도록 형성된다.
- [0095] 즉, 본 발명에서는 제 1 스토리지 전극(106)과 제 2 스토리지 전극(107) 사이에서 스토리지 커패시턴스를 형성하고, 상기 제 1 공통 전극(103a)과 제 2 화소 전극(107b) 사이에서도 추가적으로 스토리지 커패시턴스를 형성할 수 있도록 하여 스토리지 커패시턴스 용량을 종래보다 크게 확보하였다.
- [0096] 이와 같이 단위 화소 영역에서의 스토리지 커패시턴스 용량이 커짐에 따라 화면 품질을 개선할 수 있는 이점이 있다.
- [0097] 도 4a 내지 도 4e는 상기 도 3의 C-C'선과 D-D'선을 따라 액정표시장치 제조공정을 설명하기 위한 단면도이다.
- [0098] 도 4a에 도시한 바와 같이, C-C' 영역에서는 투명성 절연기관(110) 상에 금속막을 증착하고, 제 1 마스크 공정 단계에 따라 게이트 배선(101)과 게이트 전극(101a), 제 1 공통 배선(미도시: 도 3 참조) 및 제 1 스토리지 전극(106)을 형성한다.
- [0099] 이와 동시에 D-D' 영역에서는 절연기관(110) 상에 제 1 스토리지 전극(106)과 상기 제 1 스토리지 전극(106)과 일체로 형성되는 제 1 공통 전극(103a)을 형성한다.
- [0100] 상기에서와 같이 절연기관(110) 상에 게이트 전극(101a), 게이트 배선(101), 제 1 스토리지 전극(106), 제 1 공통 전극(103a) 및 제 1 공통 배선(미도시)이 형성되면, 도 4b에 도시한 바와 같이, 절연기관(110)의 전 영역 상에 게이트 절연막(112)을 형성한다.
- [0101] 상기 절연기관(110) 상에 게이트 절연막(112)이 형성되면, 계속해서 절연기관(110)의 전 영역 상에 비정질 실리콘막, 도핑된 비정질 실리콘막(115)을 순차적으로 형성한다.
- [0102] 그런 다음, 제 2 마스크 공정 단계에 따라 C-C' 영역에서와 같이, 상기 게이트 전극(101a) 상에 채널층(114)과 오믹콘택층(115a)를 형성하는데, 이와 같이 5마스크 공정에 따라 액정표시장치를 제조하면 상기 채널층(114) 상에 오믹콘택층(115a)이 존재한다.(상기 채널층과 오믹콘택층을 액티브층이라고 한다.)
- [0103] 이때 게이트 전극(101a) 상부 이외의 영역에 형성되었던, 비정질 실리콘막, 도핑된 비정질 실리콘막(115)은 식각에 의해 모두 제거된다. 따라서, D-D' 영역을 참조하면, 제 1 스토리지 전극(106)과 제 1 공통 전극(103a) 상에 게이트 절연막(112)만 존재하고 상기 비정질 실리콘막과 도핑된 비정질 실리콘막이 제거 된다.
- [0104] 이와 같이, 상기 절연기관(110) 상에 채널층(114)이 형성되면, 도 4c에 도시한 바와 같이, 절연기관(110) 상에 금속막을 증착하고 제 3 마스크 공정을 진행한다.

- [0105] 상기 제 3 마스크 공정 단계에 따라 상기 절연기관(110) 상에 증착된 금속막은 식각되어 데이터 배선(105), 소스 전극(117a), 드레인 전극(117b)을 형성한다.
- [0106] 이때, 상기 소스 전극(117a)와 드레인 전극(117b)에는 오믹 콘택층(115a) 존재한다.(C-C' 참조)
- [0107] 그리고 D-D'를 참조하면, 절연기관(110) 상에 증착되었던 금속막은 제 3 마스크 공정에서 모두 제거되어 게이트 절연막(112)이 외부로 노출된다.
- [0108] 상기와 같이 소스 전극(117a) 및 드레인 전극(117b)이 완성되면, 도 4d에 도시한 바와 같이, 절연기관(110)의 전 영역 상에 보호막(119)을 증착한다.
- [0109] 상기와 같이 보호막(119)이 형성되면, 제 4 마스크 공정을 진행하여 상기 드레인 전극(117b) 상부와 게이트 패드 및 데이터 패드 오픈(미도시)을 시킨다.
- [0110] 따라서, C-C'를 참조하면 소스 전극(117a)과 드레인 전극(117b) 상에 형성된 보호막(119)중 상기 드레인 전극(117b) 상부에 콘택홀이 형성되어 있다.
- [0111] 그리고 D-D'를 참조하면 상기 절연기관(110) 상에 형성된 게이트 절연막(112) 상에 보호막(119)이 형성되어 있다.
- [0112] 상기와 같이 보호막(119) 상에 콘택홀이 형성되면 도 4e에 도시한 바와 같이, 절연기관(110)의 전 영역 상에 투명 금속막을 증착하고, 제 5 마스크 공정에 따라 제 2 스토리지 전극(107)과 제 1 화소 전극(107a) 및 제 2 화소 전극(107b)을 형성한다.
- [0113] 즉, 상기 제 2 스토리지 전극(107), 제 1 화소 전극(107a) 및 제 2 화소 전극(107b)은 전기적으로 연결된 일체형 구조로 형성된다.
- [0114] 도면에서는 도시하지 않았지만, 이와 대응하는 제 2 공통 배선과 제 2 공통 전극도 전기적으로 연결된 일체형 구조로 형성된다.(도 3 참조)
- [0115] 여기서, 상기 제 1 화소 전극(107a)은 단위 화소 영역에 형성되고, 상기 제 2 화소 전극(107b)은 상기 제 1 공통 전극(103a) 상부를 따라 오버랩되도록 형성한다.
- [0116] 그리고 상기 제 2 스토리지 전극(107)은 콘택홀을 통하여 상기 드레인 전극(117b)과 전기적으로 연결되어 있어, 상기 데이터 배선(105)으로부터 인가되는 데이터 신호를 상기 제 1 화소 전극(107a)과 제 2 화소 전극(107b)에 인가된다.
- [0117] 따라서, 본 발명의 C-C' 영역에서는 제 1 스토리지 전극(106)과 제 2 스토리지 전극(107) 사이에서 스토리지 커패시턴스가 형성될 뿐만 아니라, 상기 제 1 스토리지 전극(106)과 일체로 연결되어 있는 제 1 공통 전극(103a)과 제 2 스토리지 전극(107)과 일체로 연결되어 있는 제 2 화소 전극(107b) 사이에서 스토리지 커패시턴스가 형성된다.(D-D' 참조)
- [0118] 그러므로 종래 기술에서 보다 본 발명에서는 스토리지 커패시턴스의 용량을 확보할 수 있어 화면 품질을 개선시킬 수 있는 이점이 있다.
- [0119] 도 5는 본 발명의 제 2 실시 예를 도시한 도면으로서, 상기 도 4a 내지 도 4e의 액정표시장치 제조 공정 중에서 보호막(119) 상에 콘택홀을 형성하는 제 4 마스크 공정을 진행할 때, 제 2 화소 전극(107b)과 제 1 공통 전극(103a)이 오버랩되는 영역의 보호막(119)을 식각함으로써, 스토리지 커패시턴스의 크기를 더욱 크게 하였다.
- [0120] 따라서, 제 2 실시 예에서는 상기 제 1 실시 예에서와 동일한 5 마스크 공정을 진행하므로 상기 도 4a 내지 도 4e의 제조 공정을 참조하고, 이하 차이나는 제 4 마스크 공정과 제 5 마스크 공정을 중심으로 설명한다.
- [0121] 제 1 마스크 공정부터 제 3 마스크 공정을 진행하면서, 절연기관(110) 상에는 게이트 전극(101a), 게이트 배선(101), 제 1 스토리지 전극(106), 게이트 절연막(112), 제 1 공통 전극(103a), 채널층(114), 오믹 콘택층(115a), 데이터 배선(105), 소스 전극(117a), 드레인 전극(117b)이 형성된다.
- [0122] 그런 다음, 절연기관(110) 상에 보호막(120)을 증착하고 제 4 마스크 공정을 진행하여 상기 드레인 전극(117b) 상부와 상기 제 1 공통 전극(103a) 상부의 보호막(120)을 식각하여 제거한다.
- [0123] 그러면, 상기 드레인 전극(117b) 상부에는 콘택홀이 형성되고, 상기 제 1 공통 전극(103a) 상부에는 게이트

절연막(112)이 노출된 구조가 된다.

- [0124] 이와 같이 콘택홀 공정이 완료되면, 상기 절연기관(110)의 전 영역 상에 투명 금속막을 증착한 다음 제 5 마스크 공정에 따라 상기 드레인 전극(117b)과 전기적으로 연결되는 제 2 스토리지 전극(107), 단위 화소 영역에 형성되는 제 1 화소 전극(107a) 및 상기 제 1 공통 전극(103a)와 오버랩되는 제 2 화소 전극(107b)을 형성한다.
- [0125] 즉, 상기 제 2 스토리지 전극(107), 제 1 화소 전극(107a) 및 제 2 화소 전극(107b)은 전기적으로 연결된 일체형 구조로 되어 있다.
- [0126] 그리고 상기 제 1 스토리지 전극(106)과 제 2 스토리지 전극(107) 사이, 제 1 공통 전극(103a)과 제 2 화소 전극(107b) 사이에는 게이트 절연막(112)만 존재하게 되어 게이트 절연막(112)과 보호막(120)으로된 이중막이 있을 때보다 커패시턴스 용량이 더욱 커진다.
- [0127] 따라서, 제 1 스토리지 전극(106)과 제 2 스토리지 전극(107), 상기 제 2 화소 전극(107b)과 제 1 공통 전극(103a)에서 각각 스토리지 커패시턴스가 형성된다.
- [0128] 이때, 본 발명의 제 2 실시 예에서는 상기 제 2 화소 전극(107b)과 제 1 공통 전극(103a) 사이에는 게이트 절연막(112)만 존재하여 스토리지 커패시턴스의 크기가 도 3의 본 발명보다 커패시턴스 용량이 더욱 커지게 된다.
- [0129] 즉, 상기 제 2 화소 전극(107b)과 제 1 공통 전극(103a) 간의 거리가 가까워져 더욱 큰 스토리지 커패시턴스를 확보할 수 있는 이점이 있다.
- [0130] 도 6은 본 발명의 제 3 실시 예에 따른 화소구조를 도시한 도면이다.
- [0131] 도 6에 도시된 바와 같이, 구동신호를 인가하는 게이트 배선(201)과 데이터 신호를 인가하는 데이터 배선(205)이 교차 배열되어 단위 화소 영역을 정의하고, 상기 게이트 배선(201)과 데이터 배선(205)이 교차되는 영역에는 스위칭 소자인 박막 트랜지스터(TFT)가 배치되어 있다.
- [0132] 그리고 단위 화소 영역에는 상기 게이트 배선(201)과 평행하면서, 상기 데이터 배선(205)과 교차하는 제 1 공통 배선(203)이 형성되어 있고, 제 1 공통 전극(203a)이 상기 제 1 공통 배선(203)의 양측으로 분기되어 상기 데이터 배선(205)과 평행한 방향으로 형성되어 있다.
- [0133] 여기서, 상기 데이터 배선(205), 제 1 공통 전극(203a)은 시야각 확보를 위하여 소정의 각도로 절곡된 구조(꺾임 구조)로 되어 있다.
- [0134] 그리고 본 발명의 실시 예는 4 마스크 공정에 따라 제조되기 때문에 상기 데이터 배선(205)과 TFT의 소스/드레인 전극의 가장자리에는 채널층(214)이 존재한다.
- [0135] 왜냐하면, 도 7a 내지 도 7d에 자세히 설명하겠지만, 4마스크 공정에서는 채널층(214), 오믹 콘택층, 데이터 배선(205) 및 소스/드레인 전극들이 하나의 마스크 공정에서 동시에 식각되어 형성하기 때문이다.
- [0136] 또한, 상기 게이트 배선(201)과 게이트 전극(201a)에 인접한 영역에는 제 1 스토리지 전극(206)이 형성되어 있는데, 상기 제 1 스토리지 전극(206), 제 1 공통 전극(203a) 및 제 1 공통 배선(203)은 일체로 형성되어 페루프 구조를 갖는다.
- [0137] 그리고 제 2 공통 배선(213)이 단위 화소 영역에 형성된 상기 제 1 공통 배선(203)에 오버랩되도록 형성되어 있는데, 상기 제 2 공통 배선(213)은 단위 화소 영역에 형성된 상기 제 1 공통 배선(203)과 전기적으로 연결되어 있다.
- [0138] 그리고 상기 제 2 공통 배선(213)으로부터 분기된 제 2 공통 전극(213a)은 단위 화소 영역에서 상기 데이터 배선(205), 제 1 공통 전극(203a)들과 평행한 방향으로 형성되어 있다.
- [0139] 즉, 종래 화소 구조와 달리 단위 화소 영역의 상기 제 1 공통 배선(203)중 중심 영역에 상기 제 2 공통 배선(213)이 형성되어 있고, 상기 제 2 공통 배선(213)으로부터 단위 화소 영역을 따라 제 2 공통 전극(213a)이 분기되어 있다.
- [0140] 상기 제 2 공통 전극(213a)도 광시야각을 위하여 소정의 각도로 절곡되어 상기 제 1 공통 전극(203a) 및 데이터 배선(205)과 평행한 구조를 하고 있다.
- [0141] 그리고 상기 제 1 스토리지 전극(206) 상부에는 스토리지 커패시턴스 형성을 위한 제 2 스토리지 전극(207)이

오버랩되도록 형성되어 있고, 상기 제 2 스토리지 전극(207)으로부터 제 1 화소 전극(207a)과 제 2 화소 전극(207a)이 단위 화소 영역으로 분기되어 있다.

- [0142] 여기서, 상기 제 2 스토리지 전극(207), 제 1 화소 전극(207a) 및 제 2 화소 전극(207b)는 전기적으로 연결된 일체형 구조로 되어 있다.
- [0143] 특히, 상기 제 1 화소 전극(207a)은 상기 제 2 스토리지 전극(207)으로부터 분기되어 단위 화소 영역의 투과 영역에서 상기 제 2 공통 전극(213a)과 교대로 배치된다.
- [0144] 상기 제 1 화소 전극(207a)도 소정의 각도로 절곡된 구조를 하고 있다.
- [0145] 또한, 상기 제 2 화소 전극(207b)은 상기 제 2 스토리지 전극(207)으로부터 분기되어 상기 제 1 공통 배선(203)으로부터 분기된 제 1 공통 전극(203a)을 따라 오버랩되도록 형성된다.
- [0146] 즉, 본 발명에서는 제 1 스토리지 전극(206)과 제 2 스토리지 전극(207) 사이에서 스토리지 커패시턴스를 형성하고, 상기 제 1 공통 전극(203a)과 제 2 화소 전극(207b) 사이에서 추가적으로 스토리지 커패시턴스를 형성할 수 있도록 함으로써, 스토리지 커패시턴스 용량을 확보하였다.
- [0147] 이와 같이 단위 화소 영역에서의 스토리지 커패시턴스 용량이 커짐에 따라 화면 품질을 개선할 수 있는 이점이 있다.
- [0148] 도 7a 내지 도 7e는 상기 도 6의 I-I'와 K-K'를 중심으로 액정표시장치의 제조 공정을 설명하기 위한 단면도이다.
- [0149] 도 7a를 참조하면, I-I' 영역에서는 투명성 절연기관(210) 상에 금속막을 증착하고, 제 1 마스크 공정 단계에 따라 게이트 배선(201)과 게이트 전극(201a), 제 1 공통 배선(미도시: 도 6 참조) 및 제 1 스토리지 전극(206)을 형성한다.
- [0150] 이와 동시에 K-K' 영역에서는 절연기관(210) 상에 제 1 스토리지 전극(206)과 상기 제 1 스토리지 전극(206)과 일체로 형성되는 제 1 공통 전극(203a)을 형성한다.
- [0151] 상기에서와 같이 절연기관(210) 상에 게이트 전극(201a), 게이트 배선(201), 제 1 스토리지 전극(206), 제 1 공통 전극(203a) 및 제 1 공통 배선(미도시)이 형성되면, 도 7b에 도시한 바와 같이, 절연기관(210)의 전 영역 상에 게이트 절연막(212)을 형성한다.
- [0152] 상기 절연기관(210) 상에 게이트 절연막(212)이 형성되면, 계속해서 절연기관(210)의 전 영역 상에 비정질 실리콘막, 도핑된 비정질 실리콘막(215) 및 금속막을 순차적으로 형성한다.
- [0153] 그런 다음, 회절노광 방식을 적용하는 제 2 마스크 공정에 따라 상기 비정질 실리콘막, 도핑된 비정질 실리콘막(215) 및 금속막을 순차적으로 식각하여, 상기 게이트 전극(201a) 상에 채널층(214), 오믹 콘택층(215a) 및 소스/드레인 전극(217a, 217b)을 동시에 형성한다.
- [0154] 그리고 상기 소스 전극(217a)과 일체로 데이터 배선(205)을 형성한다.
- [0155] 이와 같이, 4 마스크 공정에서는 상기 소스/드레인 전극(217a, 217b) 및 데이터 배선(205)이 채널층(214)과 동시에 형성되기 때문에, 상기 소스/드레인 전극(217a, 217b) 및 데이터 배선(205)을 따라 채널층(214)이 남아있다.(도 6참조)
- [0156] 그리고 상기 게이트 전극(201a) 상부 이외의 영역에 형성되었던, 비정질 실리콘막, 도핑된 비정질 실리콘막(215) 및 금속막은 식각에 의해 모두 제거된다.
- [0157] 따라서, K-K' 영역을 참조하면, 제 1 스토리지 전극(206)과 제 1 공통 전극(203a) 상에 게이트 절연막(212)만 존재하게 된다.
- [0158] 이와 같이, 제 2 마스크 공정에 따라 상기 절연기관(210) 상에 채널층(214), 오믹 콘택층(215a), 소스/드레인 전극(217a, 217b) 및 데이터 배선(205)이 형성되면, 도 7c에 도시한 바와 같이, 절연기관(210)의 전 영역 상에 보호막(219)을 증착한다.
- [0159] 상기와 같이 보호막(219)이 절연기관(210) 상에 형성되면, 제 3 마스크 공정에 따라 상기 드레인 전극(217b) 상부와 게이트 패드 및 데이터 패드 오픈(미도시) 시키는 콘택홀 공정을 진행한다.
- [0160] 따라서, I-I'를 참조하면 소스 전극(217a)과 드레인 전극(217b) 상에 형성된 보호막(219)중 상기 드레인 전극

(217b) 상부에 콘택홀이 형성되어 있다.

- [0161] 그리고 K-K'를 참조하면 상기 절연기관(210) 상에 형성된 게이트 절연막(212) 상에 보호막(219)이 형성되어 있다.
- [0162] 상기와 같이 보호막(219) 상에 콘택홀이 형성되면 도 7d에 도시한 바와 같이, 절연기관(210)의 전 영역 상에 투명 금속막을 증착하고, 제 4 마스크 공정에 따라 제 2 스토리지 전극(207)과 제 1 화소 전극(207a) 및 제 2 화소 전극(207b)을 형성한다.
- [0163] 상기 제 2 스토리지 전극(207)은 콘택홀(contact hole)을 통하여 상기 드레인 전극(217b)과 전기적으로 연결되어 있어, 상기 데이터 배선(205)으로부터 인가되는 데이터 신호를 상기 제 1 화소 전극(207a)과 제 2 화소 전극(207b)에 인가된다.
- [0164] 따라서, 본 발명에서는 I-I' 영역에서는 제 1 스토리지 전극(206)과 제 2 스토리지 전극(207) 사이에서 스토리지 커패시턴스가 형성될 뿐만 아니라, 상기 제 1 스토리지 전극(206)과 일체로 연결되어 있는 제 1 공통 전극(203a)과 제 2 스토리지 전극(207)이 일체로 연결되어 있는 제 2 화소 전극(207b) 사이에서 스토리지 커패시턴스가 형성된다.(K-K' 참조)
- [0165] 그러므로 종래 기술에서 보다 본 발명에서는 스토리지 커패시턴스의 용량을 확보할 수 있어 화면 품질을 개선시킬 수 있는 이점이 있다.
- [0166] 뿐만 아니라 본 발명의 실시 예에서는 4마스크 공정에 따라 액정표시장치를 제조하기 때문에 제조 공정이 단순해지는 이점이 있다.
- [0167] 도 8은 본 발명에 따른 제 4 실시 예를 도시한 도면이다.
- [0168] 도 8을 참조하면, 상기 도 7a 내지 도 7d의 액정표시장치 제조 공정 중에서 보호막(219) 상에 콘택홀을 형성하는 제 4 마스크 공정을 진행할 때, 제 2 화소 전극(207b)과 제 1 공통 전극(203a)이 오버랩되는 영역의 보호막(219)을 식각함으로써, 스토리지 커패시턴스의 크기를 더욱 크게 하였다.
- [0169] 따라서, 제 4 실시 예에서는 상기 제 3 실시 예에서와 동일한 4 마스크 공정을 진행하므로 상기 도 7a 및 도 7b의 제조 공정을 참조하고, 이하 차이점은 제 3 마스크 공정과 제 4 마스크 공정을 중심으로 설명한다.
- [0170] 제 1 마스크 공정과 제 2 마스크 공정을 진행하면서, 상기 절연기관(210) 상에는 게이트 전극(201a), 게이트 배선(201), 제 1 스토리지 전극(206), 게이트 절연막(212), 제 1 공통 전극(203a), 채널층(214), 오믹 콘택층(215a), 데이터 배선(205), 소스 전극(217a), 드레인 전극(217b)이 형성된다.
- [0171] 그런 다음, 상기 절연기관(210) 상에 보호막(220)을 증착하고 제 3 마스크 공정을 진행하여 상기 드레인 전극(217b) 상부에 콘택홀을 형성하고, 상기 제 1 공통 전극(203a) 상부를 따라 형성된 보호막(220)을 식각하여 제거한다.
- [0172] 그러면, 상기 드레인 전극(217b) 상부에는 콘택홀이 형성되고, 상기 제 1 공통 전극(203a) 상부에는 게이트 절연막(212)이 오픈된 구조를 하게 된다.
- [0173] 이와 같이 콘택홀 공정이 완료되면, 상기 절연기관(210)의 전 영역 상에 투명 금속막을 증착한 다음, 제 4 마스크 공정에 따라 상기 드레인 전극(217b)과 전기적으로 연결되는 제 2 스토리지 전극(207), 제 1 화소 전극(207a) 및 제 2 화소 전극(207b)을 형성한다.
- [0174] 그래서 상기 제 1 스토리지 전극(206)과 제 2 스토리지 전극(207) 사이, 상기 제 1 공통 전극(203a)과 제 2 화소 전극(207b) 사이에는 게이트 절연막(212)만 존재하여 커패시턴스 용량이 게이트 절연막(212)과 보호막(220) 이중막이 있을 때보다 훨씬 더 커진다.
- [0175] 따라서, 제 1 스토리지 전극(206)과 제 2 스토리지 전극(207), 상기 제 2 화소 전극(207b)과 제 1 공통 전극(203a)에서 각각 스토리지 커패시턴스가 형성된다.
- [0176] 이 때, 본 발명의 제 4 실시 예에서는 상기 제 2 화소 전극(207b)과 제 1 공통 전극(203a) 사이에는 게이트 절연막(212)만 존재하여 스토리지 커패시턴스의 크기가 본 발명의 제 3 실시예보다 더욱 커지게 된다.
- [0177] 즉, 상기 제 2 화소 전극(207b)과 제 1 공통 전극(203a) 간의 거리가 가까워져 더욱 큰 스토리지 커패시턴스를 확보할 수 있는 이점이 있다.

### 발명의 효과

- [0178] 이상에서 자세히 설명된 바와 같이, 본 발명은 2 ITO 구조를 갖는 액정표시장치에서 스토리지 전극을 확장 형성하여 스토리지 커패시턴스 용량을 확보하여 화면 품질을 개선한 효과가 있다.
- [0179] 또한, 액정표시장치의 제조 공정을 줄여 생산 단가를 줄일 수 있는 이점이 있다.
- [0180] 본 발명은 상기한 실시 예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

### 도면의 간단한 설명

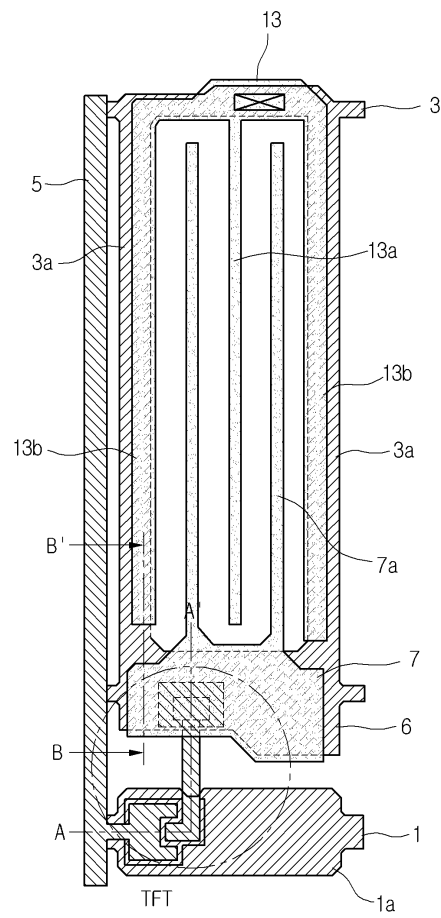
- [0001] 도 1은 종래 기술에 따른 횡전계 방식 액정표시장치의 화소구조를 도시한 도면.
- [0002] 도 2는 상기 도 1의 A-A'선과 B-B'선을 절단한 단면도.
- [0003] 도 3은 본 발명에 따른 횡전계 방식 액정표시장치의 화소구조를 도시한 도면.
- [0004] 도 4a 내지 도 4e는 상기 도 3의 C-C'선과 D-D'선을 따라 액정표시장치 제조공정을 설명하기 위한 단면도.
- [0005] 도 5는 본 발명의 제 2 실시 예를 도시한 단면도.
- [0006] 도 6은 본 발명의 제 3 실시 예에 따른 화소 구조를 도시한 도면.
- [0007] 도 7a 내지 도 7d는 상기 도 6의 I-I'선과 K-K'선을 따라 액정표시장치 제조공정을 설명하기 위한 단면도.
- [0008] 도 8은 본 발명에 따른 제 4 실시 예를 도시한 단면도.

[0009] \*도면의 주요 부분에 대한 부호의 설명\*

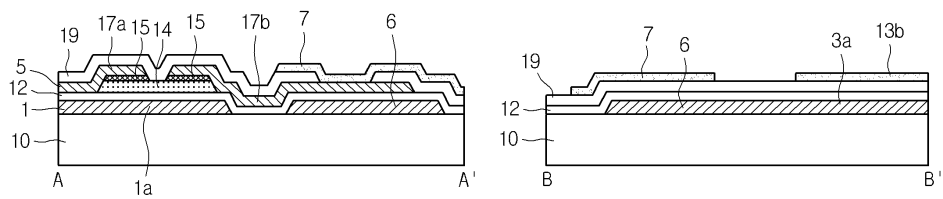
- |                         |                  |
|-------------------------|------------------|
| [0010] 101: 게이트 배선      | 101a: 게이트 전극     |
| [0011] 103: 제 1 공통 배선   | 103a: 제 1 공통 전극  |
| [0012] 105: 데이터 배선      | 106: 제 1 스토리지 전극 |
| [0013] 107: 제 2 스토리지 전극 | 107a: 제 1 화소 전극  |
| [0014] 107b: 제 2 화소 전극  | 113: 제 2 공통 배선   |
| [0015] 113a: 제 2 공통 전극  |                  |

도면

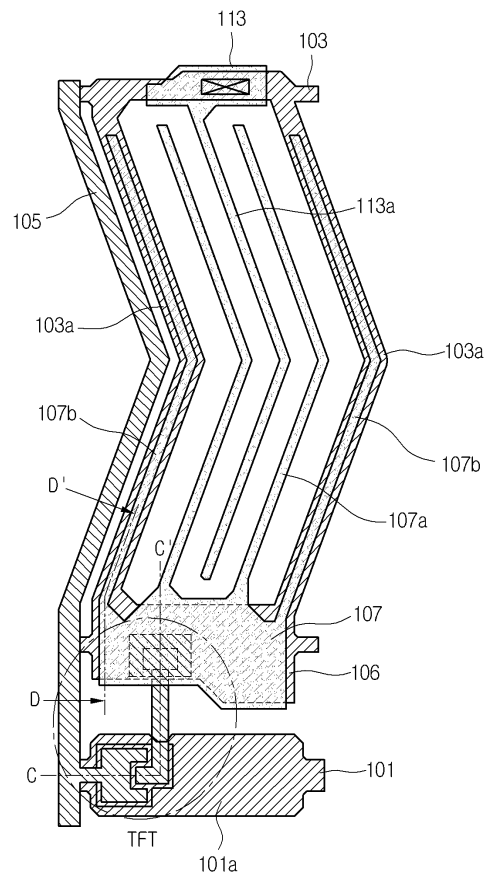
도면1



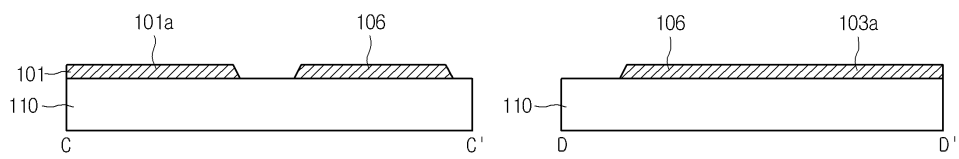
도면2



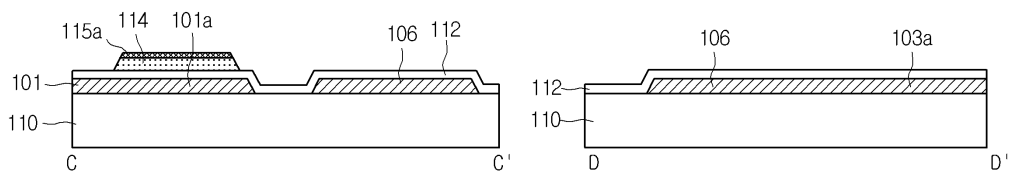
도면3



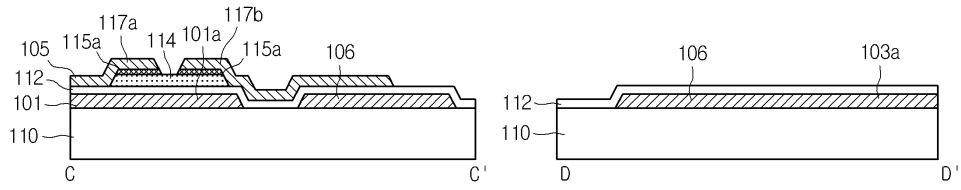
도면4a



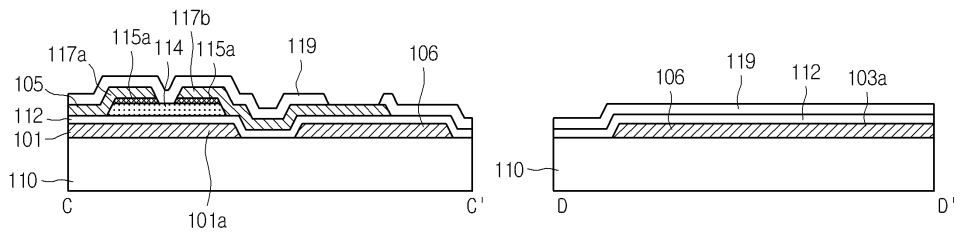
도면4b



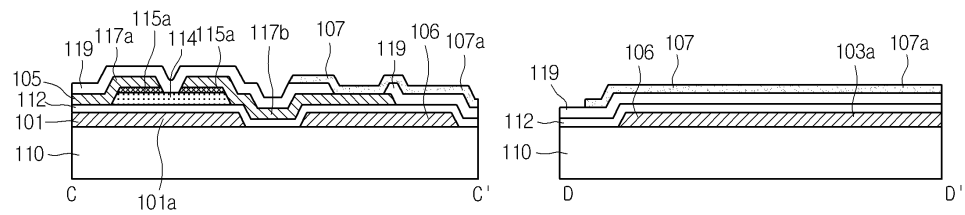
도면4c



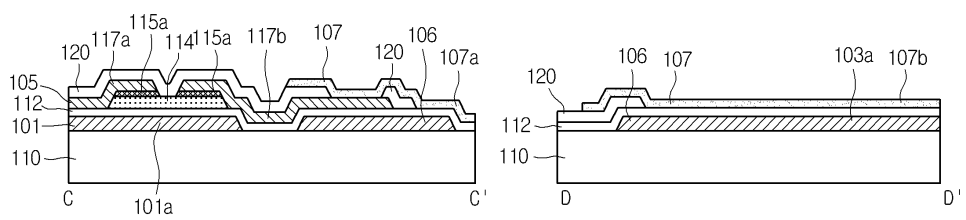
도면4d



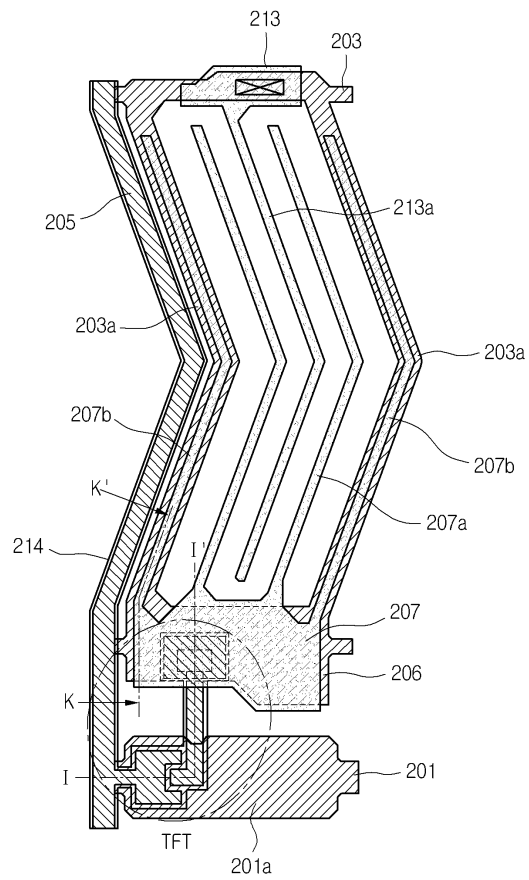
도면4e



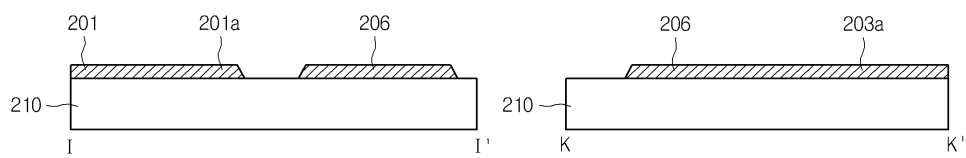
도면5



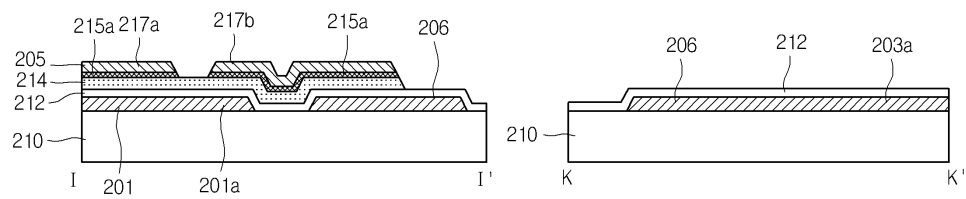
도면6



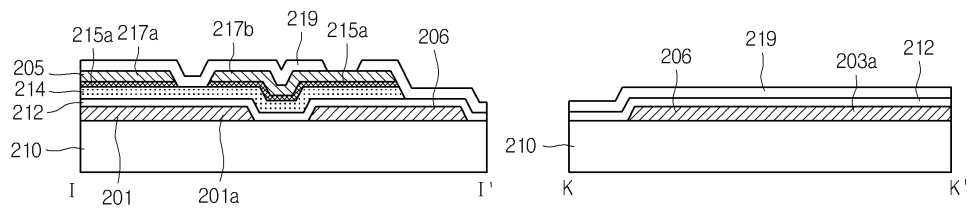
도면7a



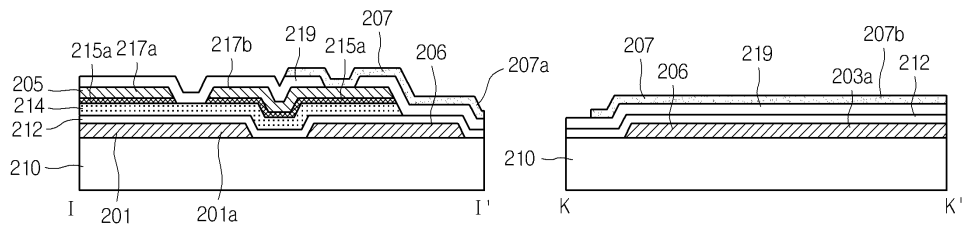
도면7b



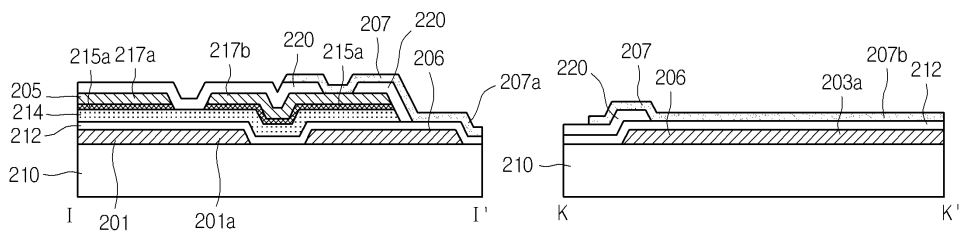
도면7c



도면7d



도면8



|                |                                                      |         |            |
|----------------|------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：液晶显示装置及其制造方法                                      |         |            |
| 公开(公告)号        | <a href="#">KR101157386B1</a>                        | 公开(公告)日 | 2012-06-20 |
| 申请号            | KR1020050009446                                      | 申请日     | 2005-02-02 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                             |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                            |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                            |         |            |
| [标]发明人         | YOON SANGPIL                                         |         |            |
| 发明人            | YOON,SANGPIL                                         |         |            |
| IPC分类号         | G02F1/136 G02F1/1343                                 |         |            |
| CPC分类号         | G02F1/134309 G02F1/136213 G02F1/1368 G02F2001/134318 |         |            |
| 其他公开文献         | KR1020060088944A                                     |         |            |
| 外部链接           | <a href="#">Espacenet</a>                            |         |            |

#### 摘要(译)

本发明公开了一种液晶显示装置及其制造方法，该方法简化了制造工艺，同时增大了存储电容 ( Cst ) 的容量并改善了图像质量特性。所公开的发明包括第二存储电极：其设置为与第二公共电极重叠：第一存储电极，其布置在单元像素区域中，其从第二公共线分支：第二公共线，其被布置为重叠的利用限定单位像素区域的栅极布线，它成为具有间同立构和薄膜晶体管的：第一存储电极，与栅极布线和栅极布线平行与其平行的是从第一公共线分支的：第一公共线，其被设置为与数据线交叉并且形成在第一公共电极的边缘中：第一公共电极布置在单位像素区域中：第一公共线布置在数据线和数据线的交叉域中：栅极布线和第一像素电极，从第二存储电极分支到单位像素区域，第二像素电极设置为从第二存储电极分支并且是与第一公共电极重叠。本发明具有在像素电极和公共电极之间形成存储电容的效果。以这种方式，图像质量等级是改进。

