



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월10일  
(11) 등록번호 10-0845408  
(24) 등록일자 2008년07월03일

(51) Int. Cl.

G02F 1/1339 (2006.01)

(21) 출원번호 10-2002-0088359

(22) 출원일자 2002년12월31일

심사청구일자 2007년03월15일

(65) 공개번호 10-2004-0062046

(43) 공개일자 2004년07월07일

(56) 선행기술조사문헌

KR1020010057024 A

KR1020010057023 A

KR1020000074548 A

전체 청구항 수 : 총 16 항

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최정수

경상북도경산시자인면복사리171번지

(74) 대리인

허용록

심사관 : 박남현

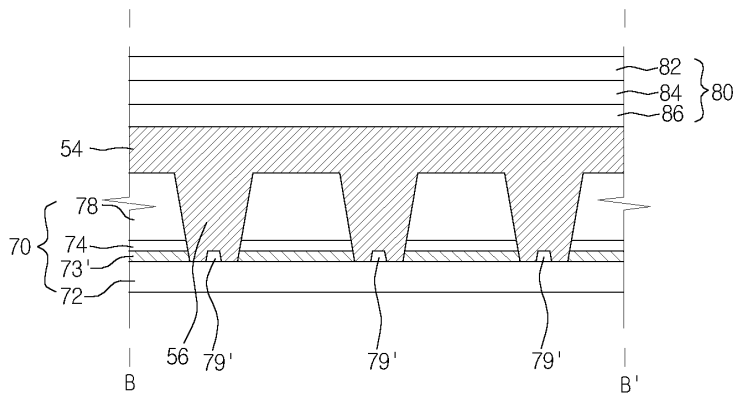
(54) 액정표시장치

(57) 요약

본 발명에 의한 액정표시장치는, 화상 표시부 및 패드부가 구비된 하부기판과; 상기 화상 표시부 외곽부에 상기 화상표시부를 둘러싸도록 형성된 실패턴과; 상기 패드부에 형성된 게이트 라인 및 데이터 라인과 게이트 패드 및 데이터 패드 사이에 접속된 게이트 링크 및 데이터 링크와; 상기 패드부 반대편의 화상 표시부 외곽부에 형성된 공통전극라인 및 더미라인과; 상기 실런트와 접촉되는 상기 게이트 링크 및 데이터 링크의 교차 영역에 소정 간격으로 형성된 홀로 구성된 것을 특징으로 한다.

이와 같은 본 발명에 의하면, 상부기판과 하부기판의 합착력이 향상되어 외부 충격에 의한 액정 누수 불량을 방지되며, 이에 따라 액정표시장치의 제조 수율이 향상되는 장점이 있다.

대표도 - 도9



## 특허청구의 범위

### 청구항 1

화상표시부를 구비하는 제 1 기관;  
 상기 화상표시부에 구비된 게이트 라인;  
 상기 게이트 라인을 포함하는 상기 제 1 기관상에 구비된 게이트 절연막;  
 상기 화상표시부의 상기 게이트 절연막상에 구비된 데이터 라인;  
 상기 데이터 라인을 포함하는 상기 게이트 절연막상에 구비된 보호막;  
 상기 화상표시부의 테두리를 따라 상기 보호막상에 구비된 실패턴; 및  
 상기 실패턴에 의해 상기 제 1 기관과 합착된 제 2 기관을 포함하며,  
 상기 게이트 절연막 및 상기 보호막은 상기 실패턴의 형성영역을 따라 형성된 다수의 홀들을 구비하는 액정표시장치.

### 청구항 2

제 1항에 있어서,  
 상기 실패턴은 상기 홀에 의해 상기 제 1 기관과 직접 접촉됨을 특징으로 하는 액정표시장치.

### 청구항 3

제 1항에 있어서,  
 상기 화상표시부의 제 1 측에 배치되고 상기 게이트 라인과 접속된 게이트 패드;  
 상기 화상표시부의 제 2 측에 배치되고 상기 데이터 라인과 접속된 데이터 패드;  
 상기 화상표시부의 주변에 배치되고 상기 게이트 라인과 상기 게이트 패드를 서로 접속시키는 게이트 링크;  
 상기 화상표시부의 주변에 배치되고 상기 데이터 라인과 상기 데이터 패드를 서로 접속시키는 데이터 링크;  
 상기 제 1 측과 평행하게 마주하는 상기 화상표시부의 제 3측에 구비된 더미라인; 및  
 상기 제 2 측과 평행하게 마주하는 상기 화상표시부의 제 4측에 구비된 공통전극라인을 포함하며,  
 상기 실패턴은 상기 게이트 링크와 상기 데이터 링크와 교차하고 상기 더미라인 및 상기 공통전극라인 상에 형성되는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 3항에 있어서,  
 상기 게이트 절연막 상기 보호막사이에 개재되어 상기 실패턴과 상기 보호막간의 접촉력을 향상시키기 위한 반도체층을 더 포함하는 것을 특징으로 하는 액정표시장치

### 청구항 5

제 4항에 있어서,  
 상기 반도체층은 "W"자 형상의 패턴을 가지며 상기 홀들의 사이에 구비되는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제 4항에 있어서,  
 상기 반도체층은 상기 제 3 측에 구비되는 것을 특징으로 하는 표시장치.

### 청구항 7

제 4항에 있어서,

상기 반도체층은 상기 제 4 측에 구비되는 것을 특징으로 하는 표시장치.

**청구항 8**

제 3항에 있어서,

상기 홀은 상기 공통전극라인 및 더미라인의 상부에 더 형성된 것을 특징으로 하는 액정표시장치.

**청구항 9**

제 8항에 있어서,

상기 실패턴은 상기 홀에 의해 상기 공통전극라인을 이루는 게이트 금속과 직접 접촉됨을 특징으로 하는 액정표시장치.

**청구항 10**

제 8항에 있어서,

상기 공통전극라인과 상기 실패턴 사이에 개재된 픽셀전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 11**

제 8항에 있어서,

상기 실패턴은 상기 공통전극라인 상부 영역에 형성된 상기 홀에 의해 상기 제 1기판과 직접 접촉됨을 특징으로 하는 액정표시장치.

**청구항 12**

화상표시부를 구비하는 제 1 기판;

상기 화상표시부의 제 1 측에 배치되고 상기 화상표시부의 게이트 라인과 접속된 게이트 패드;

상기 화상표시부의 제 2 측에 배치되고 상기 화상표시부의 데이터 라인과 접속된 데이터 패드;

상기 제 2 측과 평행하게 마주하는 상기 화상표시부의 제 3측에 구비된 공통전극라인;

상기 공통전극 라인을 포함하는 상기 제 1 기판상에 배치된 게이트 절연막;

상기 게이트 절연막상에 배치된 보호막;

상기 화상표시부의 테두리를 따라 상기 보호막상에 구비된 실패턴;

상기 기판과 상기 실패턴사이에 개재되어 상기 기판과 상기 실패턴간의 접촉력을 향상시키는 반도체층; 및

상기 실패턴에 의해 상기 제 1 기판과 합착된 제 2 기판을 포함하며,

상기 게이트 절연막 및 상기 보호막은 상기 실패턴의 형성영역을 따라 형성된 다수의 홀들을 구비하는 것을 특징으로 하는 액정표시장치.

**청구항 13**

제 12항에 있어서,

상기 다수의 홀들중 적어도 어느 하나는 상기 공통전극라인을 노출하는 것을 특징으로 하는 액정표시장치.

**청구항 14**

제 13항에 있어서,

상기 공통전극라인과 상기 실패턴 사이에 개재된 픽셀전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 15**

제 12항에 있어서,

상기 다수의 홀들중 적어도 어느 하나는 상기 공통전극라인을 이루는 게이트 금속을 관통하는 것을 특징으로 하는 액정표시장치

**청구항 16**

제 12항에 있어서,

상기 반도체층은 상기 홀의 내부에 배치되는 것을 특징으로 하는 액정표시장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <15> 본 발명은 액정표시장치에 관한 것으로, 특히 상부기판과 하부기판과의 합착시 실런트와 하부기판과의 접착력이 향상되도록 하는 액정표시장치에 관한 것이다.
- <16> 일반적으로 액정표시장치는 박막 트랜지스터가 배열된 기판인 하부기판과, 컬러필터가 인쇄된 상부기판으로 구성되며, 상기 상부기판과 하부기판 사이에는 액정이 위치한다.
- <17> 좀 더 상세히 설명하면, 상기 상부기판과 하부기판이 마주보는 각 내측의 한쪽 면에는 공통전극을 형성하고, 다른 한쪽 면에는 화소전극을 형성한 후, 각 전극이 서로 대향 하도록 배열하여 상기 상부기판과 하부기판 사이의 간격에 액정을 주입시키고, 주입구를 봉합한다. 이에 상기 상부기판과 하부기판의 외측에 각각 편광판을 붙임으로써, 액정 패널이 완성된다.
- <18> 또한, 상기 액정 패널의 광 투과량을 각 전극(화소전극, 공통전극)에 인가하는 전압으로 제어하고, 광 셔터(Shutter) 효과에 의해 문자/화상을 표시하게 된다.
- <19> 도 1은 종래의 액정 패널의 구조를 개략적으로 나타낸 평면도이다.
- <20> 도 1을 참조하면, 종래의 액정 패널(2)은 하부기판(4)과 상부기판(6)이 평행하게 대향 하도록 접합된 구조로서, 액정셀들이 매트릭스 형태로 배열된 화상표시부(8)와, 구동 IC들(미도시)과 화상표시부(8) 사이에 접속되는 게이트 패드(12) 및 데이터 패드(14)와, 게이트 패드(12) 및 데이터 패드(14)를 화상표시부(8)에 접속시키는 게이트 링크(34) 및 데이터 링크(16)와, 하부기판(4)과 상부기판(6)을 접합시키기 위해 화상표시부(8)의 외곽 테두리에 형성되는 실 패딩(10)을 포함하게 된다.
- <21> 상기 화상표시부(8)에 있어서, 하부기판(4)에는 데이터 패드(14) 및 데이터 링크(16)를 경유하여 비디오신호가 인가되는 다수의 데이터 라인(13)들과, 게이트 패드(12) 및 게이트 링크(34)를 경유하여 게이트 신호가 인가되는 다수의 게이트 라인(11)들이 상호 교차되도록 배치된다. 그 교차부들마다 액정셀들이 위치하게 되고, 각 액정셀들에는 데이터 신호의 인가 여부를 스위칭하기 위한 박막 트랜지스터(Thin Film Transistor : 이하 'TFT')와, TFT에 접속되어 액정셀을 구동하는 화소전극이 형성되어진다.
- <22> 또한, 상기 상부기판(6)에는 블랙 매트릭스에 의해 액정셀 별로 분리되어 형성된 적, 녹, 청색의 컬러필터들과, 컬러필터들의 표면에 형성된 공통 투명전극이 포함되어 있다. 이러한 상부기판 및 하부기판(6,4)은 스페이스(Spacer)에 의해 일정 간격 이격됨으로써 셀 갭(Gap)이 마련되고, 이셀 갭 영역은 상부기판(6)과 하부기판(4)의 합착시 액정이 주입될 액정층을 형성하게 된다.
- <23> 이러한 상부기판(6)과 하부기판(4)은 화상표시부(8) 외곽의 실 패딩(10)에 도포된 실런트(Sealant)에 의해 접합된다. 스페이스에 의해 이격된 상부기판(6)과 하부기판(4) 사이의 액정층에는 액정이 주입된 후 봉지된다.
- <24> 또한, 상기 게이트 패드(12)와 데이터 패드(14)는 상부기판(6)과 중첩되지 않는 하부기판(4)의 가장자리영역에 형성되며, 상기 게이트 패드(12)는 TCP 필름 내의 배선 라인을 통해 게이트 구동 IC로부터 공급되는 주사 신호를 게이트 링크(34)를 경유하여 화상표시부(8)의 게이트라인(11)들에 공급한다. 또한, 상기 데이터 패드(14)는 데이터 구동 IC로부터 공급되는 비디오 데이터 신호를 데이터 링크(16)를 경유하여 화상표시부(8)의 데이터라인

(13)들에 공급한다.

- <25> 이러한 구조를 갖는 액정 패널(2)에서 하부기판(6)에는 액정으로부터 금속전극라인과 박막 트랜지스터를 보호하기 위한 보호막이 전면 도포 되어 있다. 상기 보호막 위에는 콘택홀을 통해 액정셀의 박막 트랜지스터에 접속되는 화소전극이 액정셀 별로 형성되게 된다. 상기 화소전극은 인듐-틴-옥사이드(Indium Tin Oxide; 이하 'ITO')로 이루어진 투명전극으로서 액정 물질에 대해 비교적 강한 내구적 특성을 나타낸다.
- <26> 여기서, 종래에는 보호막으로서 SiNx, SiOx와 같은 무기 절연막을 주로 이용하였으나, 종래의 액정패널에서는 무기 보호막의 유전율이 크기 때문에 무기 보호막 사이에 둔 화소전극과 데이터라인(13) 간에 형성된 기생 커패시터에 의한 커플링 효과가 증가되는 문제점을 가지고 있었다.
- <27> 이로 인해 무기 보호막을 사용하는 경우에는 이러한 커플링 효과를 최소화하기 위하여 화소전극과 데이터라인(13)이 중첩되지 않도록 비교적 긴 간격, 예컨대 3 내지 5 $\mu$ m의 간격을 유지해야만 하였다. 이에 따라, 종래의 액정패널에서는 액정층에 전압을 인가하는 화소전극의 면적을 되도록 좁게 형성하여야만 하였고, 화소전극의 면적에 따라 좌우되는 액정셀의 개구율이 그 만큼 낮아질 수밖에 없었다.
- <28> 이러한 문제를 해결하기 위하여, 최근에는 BCB(Benzocyclobutene), SOG(Spin On Glass), Acryl 등과 같이 비교적 유전율이 낮은 유기 물질을 보호막으로 이용하게 되었다. 이러한 유기 보호막은 약 2.7 정도의 낮은 유전율을 가짐에 따라 화소전극과 데이터라인을 어느 정도 중첩 시키는 것이 가능해졌고, 이에 따라 그 만큼 화소전극의 면적을 넓힘으로써 액정셀의 개구율을 향상시킬 수 있게 되었다.
- <29> 상기 유기 보호막을 적용한 고개구율 액정표시소자에서는 실 패턴(10)에 도포되는 실런트를 이용하여 상부기판(6)과 하부기판(4)을 합착하는 과정에 있어서, 실런트가 하부기판(4)의 유기 보호막과 접촉되게 된다.
- <30> 그러나, 에폭시 수지 등이 주로 이용되는 상기 실런트는 유리 및 종래의 무기 보호막과는 강한 접착 특성을 갖는 반면에 유기 보호막과는 약한 접착 특성을 가지고 있다. 이로 인하여, 유기 보호막을 적용한 고개구율 액정표시소자에서는 액정패널에 충격이 가해졌을 경우 실런트와 유기 보호막 간의 접착력이 양호하지 않은 실 패턴(10)을 통해 액정이 누수되는 문제점이 초래되고 있다.
- <31> 아울러 유기 보호막은 그 하부에 형성된 게이트 절연막과도 양호하지 않은 접착 특성을 가지고 있다. 이에 따라 작은 충격에도 유기 보호막과 게이트 절연막 사이에서 쉽게 균열이 발생하여 유기 보호막이 들뜨거나 액정이 누수되는 등의 문제가 초래되고 있다.
- <32> 이하, 첨부도면을 참조하여 종래의 액정표시장치의 문제점을 상세히 살펴보기로 한다.
- <33> 도 2는 도 1에서 데이터 링크와 실 패턴의 교차 부분을 확대하여 도시한 평면도이다.
- <34> 도 2를 참조하면, 도 2에서 데이터 링크(16)는 데이터패드(14) 및 화상표시부(8)의 데이터 라인(13)이 형성될 때 함께 형성된다. 데이터 링크(16)의 하부에는 반도체층(18)이 데이터 라인(13)으로부터 데이터 패드(14)까지 연장되어 형성된다. 단, 상기 반도체층(18)이 상기 영역에 형성되는 것은 상기 하부기판을 4마스크로 제조하는 경우에 의하며, 5마스크로 제조하는 경우는 상기 데이터 링크(16) 하부에 상기 반도체층(18)이 형성되지 않을 수 있다.
- <35> 또한, 실런트가 도포되는 실 패턴(10)은 유기 보호막 상에서 데이터링크(16)를 가로지르는 방향으로 형성된다. 상기 데이터 패드(14)는 유기 보호막에 형성되는 콘택홀(19)을 통해 유기보호막 상의 투명전극(17)과 접속된다. 이때 TCP 필름에 실장된 데이터 드라이버 IC에 접속되는 투명전극(17)은 TAB 과정에서 요구되는 TCP 필름의 접착 과정 반복 시에 데이터 패드(14)인 금속전극을 보호함과 아울러 금속전극의 산화를 방지하는 역할을 한다.
- <36> 도 3a 및 도 3b는 도 2에서 A-A' 선을 따라 절단한 액정패널의 수직 단면도 및 B-B' 선을 따라 절단한 액정패널의 수직 단면도이다.
- <37> 도 3a 및 도 3b를 참조하면, 하부기판(4)은 하부 유리기판(20) 상에 게이트 절연막(22), 반도체층(18) 및 데이터 링크(16)가 적층되어 형성되고, 그 위에 유기 보호막(24)이 전면 도포된 구조를 갖는다. 또한, 상부기판(6)은 상부 유리기판(30)의 배면에 컬러필터 및 블랙 매트릭스(28)가 형성되고, 그 위에 공통 투명전극(26)이 전면 형성된 구조를 갖는다. 이러한 하부기판(4)과 상부기판(6)은 실 패턴(10)에 도포된 실런트에 의해 합착된다. 이 경우, 실 패턴(10)의 실런트가 유기 보호막(24)에 접촉됨으로 인하여 약한 접착력을 갖게 된다. 아울러, 유기 보호막(24)은 그 하부에 무기 물질로 형성된 게이트절연막(22)과도 접착 특성이 취약하여 외부 충격에 의해 균

열이 발생하는 경우 유기 보호막(24)이 들뜨거나 액정(32)이 누출되는 현상이 초래된다. 도 3b에서 실 패턴(10)의 안쪽은 화상표시부(8)로서 액정(32)이 주입되어 있다.

- <38> 도 4는 도 1에서 실 패턴과 교차하는 게이트 링크의 일부분을 확대하여 도시한 평면도이다.
- <39> 도 4에서 게이트 링크(34)는 게이트 패드(12) 및 화상표시부(8)의 게이트라인(11)이 형성될 때 함께 형성된다. 상기 게이트 패드(12)는 게이트 절연막과 유기 보호막에 형성된 컨택홀(19)을 통해 투명전극(17)에 접속된다. 상기 실런트가 도포되는 실 패턴(10)은 상기 게이트 링크(34)와 교차하는 방향으로 형성된다.
- <40> 도 5a 및 도 5b는 도 4에서 A-A' 선을 따라 절단한 액정패널의 수직 단면도 및 B-B' 선을 따라 절단한 액정패널의 수직 단면도이다.
- <41> 도 5a 및 도 5b에서 하부기관(4)은 하부 유리기관(20) 상에 게이트 링크(34)와 게이트 절연층(22)이 순차적으로 적층되고, 그 위에 유기 보호막(24)이 전면 도포된 구조를 갖는다. 또한 상부기관(6)은 상부 유리기관(30) 상에 컬러필터 및 블랙 매트릭스(28)가 형성되고, 그 위에 공통 투명전극(26)이 전면 형성된 구조를 갖는다. 하부기관(4)과 상부기관(6)은 실 패턴(10)에 도포된 실런트에 의해 합착된다.
- <42> 이 경우도 마찬가지로 실 패턴(10)의 실런트가 유기 보호막(24)에 접촉됨으로 인하여 약한 접착력을 갖게 된다.
- <43> 또한, 상기 데이터 및 게이트 패드부 외에 상기 실 패턴이 형성되는 영역 즉, 상기 화상표시부의 외곽부에 있어서도 상기 실 패턴(10)의 실런트가 유기 보호막(24)에 접촉됨으로 인하여 약한 접착력을 갖게 되는 단점이 있다.
- <44> 결과적으로, 종래의 유기 보호막이 적용된 고개구율 액정패널은 실런트와 유기보호막, 그리고 유기보호막과 게이트 절연막 간의 약한 접착력으로 인해 외부 충격이 가해질 경우 균열이 발생하여 액정이 누수되는 문제점이 초래되고 있다.

**발명이 이루고자 하는 기술적 과제**

- <45> 본 발명은 실 패턴을 형성하는 실런트와 접촉되는 하부기관 영역에 있어서 상기 실런트와의 접촉 면적을 넓히기 위하여 상기 영역에 소정 간격으로 홀을 형성함으로써 상기 실 패턴과 하부기관 간의 접착력이 향상되는 액정표시장치를 제공함에 그 목적이 있다.

**발명의 구성 및 작용**

- <46> 상기 목적을 달성하기 위하여 본 발명에 의한 액정표시장치는, 화상 표시부 및 패드부가 구비된 하부기관과; 상기 화상 표시부 외곽부에 상기 화상표시부를 둘러싸도록 형성된 실패턴과; 상기 패드부에 형성된 게이트 라인 및 데이터 라인과 게이트 패드 및 데이터 패드 사이에 접속된 게이트 링크 및 데이터 링크와; 상기 패드부 반대편의 화상 표시부 외곽부에 형성된 공통전극라인 및 더미라인과; 상기 실런트와 접촉되는 상기 게이트 링크 및 데이터 링크의 교차 영역에 소정 간격으로 형성된 홀로 구성된 것을 특징으로 한다.
- <47> 또한, 상기 공통전극라인 상부 영역에 특정패턴의 반도체층이 개재되어 있고, 상기 홀에 의해 상기 실런트가 상기 하부기관의 유리기관과 직접 접촉됨을 특징으로 한다.
- <48> 또한, 상기 홀은 상기 공통전극라인 및 더미라인의 상부영역에 더 형성되며, 상기 홀에 의해 상기 실런트가 상기 공통전극라인을 이루는 게이트 금속과 직접 접촉되거나, 또는 상기 공통전극라인의 상부에 픽셀전극을 형성하여 상기 실런트가 상기 픽셀전극과 직접 접촉됨을 특징으로 한다.
- <49> 또한, 상기 공통전극라인의 상부 영역의 상기 홀에 의해 상기 실런트가 상기 하부기관의 유리기관과 직접 접촉되거나, 상기 공통전극라인의 상부에 픽셀전극을 형성하여 상기 실런트가 상기 픽셀전극과 직접 접촉됨을 특징으로 한다.
- <50> 이와 같은 본 발명에 의하면, 상부기관과 하부기관의 합착력이 향상되어 외부 충격에 의한 액정 누수 불량을 방지되며, 이에 따라 액정표시장치의 제조 수율이 향상되는 장점이 있다.
- <51> 이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.
- <52> 도 6은 본 발명에 의한 액정표시장치의 하부기관을 개략적으로 나타낸 평면도이며, 이는 하부기관 상에 실런트와 합착되는 영역을 나타내고 있다.

- <53> 도 6을 참조하면, 상기 하부기판은 액정셀(11)들이 매트릭스 형태로 배열된 화상표시부(13)와, 구동 IC들(미도시)과 화상표시부(13) 사이에 접속되는 게이트 패드(50') 및 데이터 패드(50)와, 게이트 패드(50') 및 데이터 패드(50)를 화상표시부(13)에 접속시키는 게이트 링크(52') 및 데이터 링크(52)와, 하부기판과 상부기판을 접합시키기 위해 화상표시부(13)의 외곽 테두리에 형성되는 실 패턴(54)을 포함하게 된다.
- <54> 또한, 상기 게이트 패드부(50') 반대편의 화상표시부(13)의 외곽부에는 더미 라인(55)이 형성되어 있고, 상기 데이터 패드부(50) 반대편 화상표시부(13) 외곽부에는 공통전극 라인(53)이 형성되어 있다.
- <55> 이 때 상기 더미라인(55)과 게이트 라인(G), 공통전극 라인(53)과 데이터 라인(D) 사이에는 이들과 각각 접속된 정전기 방지회로(51)가 형성되어 있으며, 상기와 같이 공통전압(Vcom)이 공급되는 공통전극 라인(53)과 각각의 데이터 라인(D)들 사이에 접속되어진 정전기 방지회로(51)는 통상 다수개의 박막트랜지스터로 구성되고, 정전기 등에 의한 고전압영역에서는 낮은 임피던스를 가져 과전류가 방전되게 하여, 정상적인 구동환경에서는 높은 임피던스를 가져 신호라인을 통해 공급되는 구동신호에 영향을 주지 않게 하는 역할을 한다.
- <56> 여기서, 본 발명에 의한 실 패턴(54)은 상기 하부기판 상에 있어서 게이트 라인(G) 및 데이터 라인(D)과 게이트 패드(50') 및 데이터 패드(50) 사이에 접속된 게이트 링크(52') 및 데이터 링크(52)와 교차되는 영역과, 상기 패드부 반대편의 화상 표시부 외곽부에 형성된 공통전극라인(53) 및 더미라인(55)의 상부 영역에 형성되며, 또한 상기 실 패턴(54)과 접촉되는 상기 하부기판 상의 영역에 소정 간격으로 홀(56)이 형성됨을 그 특징으로 한다.
- <57> 도 7은 도 6의 특정영역(A-A')을 포함한 액정패널의 단면도로서, 이는 상기 데이터 라인과 데이터 패드 사이에 접속된 데이터 링크와 교차되는 실 패턴 영역에 대한 단면도이며, 상기 게이트 링크와 교차되는 실 패턴 영역도 동일한 구조를 갖는다.
- <58> 도 7을 참조하면, 하부기판의 유리기판(72) 상에 게이트 절연막(74), 반도체층(76) 및 데이터 링크(52)가 적층되어 형성되고, 그 위에 유기 보호막(78)이 전면 도포된 구조를 갖는다. 단, 상기 반도체층(76)이 상기 영역에 형성되는 것은 상기 하부기판을 4마스크로 제조하는 경우에 의하며, 5마스크로 제조하는 경우는 상기 데이터 링크(52) 하부에 상기 반도체층(76)이 형성되지 않을 수 있다.
- <59> 또한, 본 발명의 경우 종래와는 달리 상기 데이터 링크(52) 사이 마다 홀이 형성되어 있으며, 이는 상기 유기 보호막(78)과 게이트 절연막(74)이 에칭되어 홀(56)이 형성된 구조를 갖는다. 상기 홀(56)은 포토레지스트 및 노광 마스크를 이용하여 노광, 현상 및 식각 공정을 통해 일정한 패턴으로 형성된다.
- <60> 이에 상부기판(80)은 상부 유리기판(82)의 배면에 컬러필터 및 블랙 매트릭스(84)가 형성되고, 그 위에 공통 투명전극(86)이 전면 형성된 구조를 갖는다. 이러한 하부기판(70)과 상부기판(80)은 실 패턴(54)에 도포된 실런트에 의해 합착되며, 이 때 실 패턴(54)의 실런트는 상기 하부기판에 소정 간격으로 형성된 홀(56)을 통하여 하부 유리기판(72)에 직접 접촉된다.
- <61> 이와 같은 구조의 본 발명에 의하면 예폭시 수지 등이 사용되는 상기 실런트는 무기 물질인 유리기판(72)과 강한 접착 특성을 갖기 때문에 상부기판(80)과 하부기판(70)의 접합 특성이 크게 향상되며, 또한 상기 홀에 의해 상기 실런트와 상기 하부기판(70)과의 접촉 면적이 넓어지게 되어 접합 특성이 더욱 향상되는 것이다.
- <62> 도 8a 및 도 8b는 도 6의 특정부분(B-B')에 대한 확대 평면도 및 이를 포함한 액정 패널의 단면도이다. 단, 이는 데이터 패드부 반대편의 화상 표시부 외곽부에 형성된 공통전극라인 상의 영역을 도시한 것이다.
- <63> 도 8a를 참조하면, 상기 공통전극라인(53) 상부에 특정 패턴의 반도체층(79)이 개재되어 있음을 알 수 있다. 상기 공통전극라인(53)은 게이트 라인을 이루는 게이트 전극으로 형성되고, 상기 게이트 금속 위에는 게이트 절연막, 반도체층, 보호막이 순차적으로 형성될 수 있으며, 이 때 종래의 경우 상기 반도체층(79)은 상기 하부기판을 4마스크로 제조할 때 적층되고, 5마스크로 제조하는 경우는 적층되지 않을 수 있으나, 본 발명에 의한 경우에는 어떠한 제조공정을 거치는 경우에도 상기 반도체층(79)이 반드시 형성되며, 단 특정의 패턴을 갖고 상기 공통전극라인(53) 위에 형성됨을 그 특징으로 한다.
- <64> 도 8a에서는 W 모양으로 상기 반도체층(79)이 패터닝되어 형성되어 있으나, 반드시 이에 한정되는 것은 아니며, 이와 같이 상기 반도체층(79)을 특정의 패턴으로 형성하여 상기 공통전극라인(53) 상에 형성하는 것은 상기 반도체층(79)의 패턴에 의해 상기 공통전극라인(53) 상부 영역에 굴곡을 형성함으로써 그 위에 접촉되는 실런트와의 면적을 넓혀 접합 특성을 향상시키기 위함이다.
- <65> 도 8b는 상기 공통전극라인을 포함한 영역에 대한 단면도로 이를 참고하면, 하부기판의 유리기판(72) 상에 게이

트 금속(73), 게이트 절연막(74), 반도체층(79)이 적층 형성되고 그 위에 유기 보호막(78)이 전면 도포된 구조를 갖는다. 이 때 상기 반도체층(79)은 앞서 설명한 바와 같이 특정한 패턴으로 형성되어 있다.

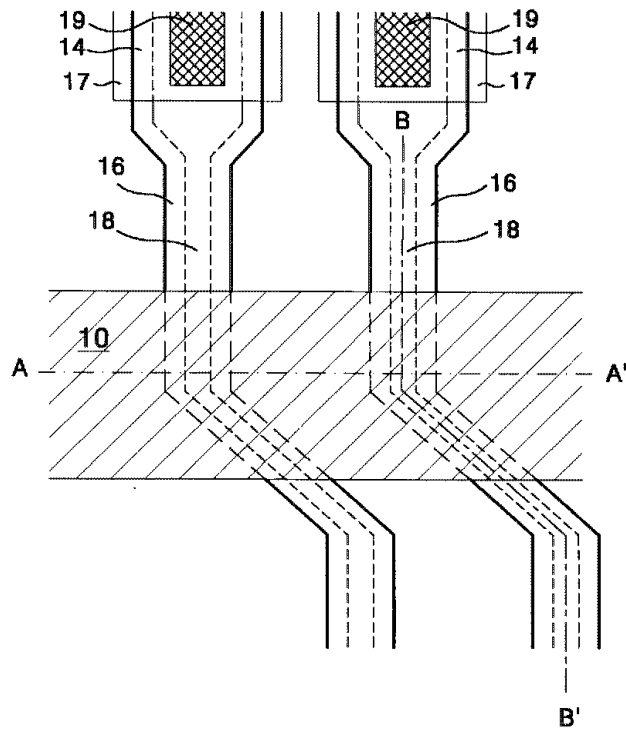
- <66> 또한, 본 발명의 경우 상기 공통전극라인의 상부 영역에 있어 소정 간격 홀(56)이 형성되어 있으며, 이는 상기 유기 보호막(78)과 게이트 절연막(74)이 에칭되어 홀(56)이 형성된 구조를 갖는다. 상기 홀(56)은 포토레지스트 및 노광 마스크를 이용하여 노광, 현상 및 식각 공정을 통해 일정한 패턴으로 형성된다.
- <67> 이에 상부기판(80)은 상부 유리기판(82)의 배면에 컬러필터 및 블랙 매트릭스(84)가 형성되고, 그 위에 공통 투명전극(86)이 전면 형성된 구조를 갖는다. 이러한 하부기판(70)과 상부기판(80)은 실 패턴(54)에 도포된 실린트에 의해 합착되며, 이 때 실 패턴(54)의 실린트는 상기 하부기판에 소정 간격으로 형성된 홀(56)을 통하여 하부 게이트 금속(73)에 직접 접촉된다.
- <68> 이와 같은 구조의 본 발명에 의하면 에폭시 수지 등이 사용되는 상기 실린트는 게이트 금속(73)과 강한 접착 특성을 갖기 때문에 상부기판(80)과 하부기판(70)의 접합 특성이 크게 향상되며, 또한 상기 홀(56)에 의해 상기 실린트와 상기 하부기판(70)과의 접촉 면적이 넓어지게 되어 접합 특성이 더욱 향상되는 것이다.
- <69> 또한, 상기 홀(56)을 형성함에 있어 습식 식각에 의해 노출되는 게이트 금속의 산화를 방지하기 위해 상기 공통전극라인의 상부에 픽셀전극(미도시) 즉, 인듐-틴-옥사이드(ITO)층을 더 형성할 수 있으며, 이에 따라 실 패턴(54)의 실린트는 상기 하부기판에 소정 간격으로 형성된 홀(56)을 통하여 하부 게이트 금속(73) 위에 형성된 상기 픽셀 전극과 직접 접촉하게 된다.
- <70> 도 9는 본 발명의 다른 실시예에 의한 액정 패널의 단면도(B-B')로서, 이는 도 8b에 도시된 영역과 동일하므로 동일한 구성요소에 대해서는 동일한 도면부호를 사용한다.
- <71> 도 9를 참조하면, 하부기판의 유리기판(72) 상에 소정 간격으로 홀이 형성된 게이트 금속(73'), 게이트 절연막(74), 반도체층(79')이 적층 형성되고 그 위에 유기 보호막(78)이 전면 도포된 구조를 갖는다. 이 때 상기 반도체층(79')은 앞서 설명한 바와 같이 특정한 패턴으로 형성되어 있다.
- <72> 이 때 상기 게이트 금속(73')은 최초 형성될 때에 소정 간격 홀이 구비된 상태로 형성되며, 상기 홀(56) 영역을 제외한 게이트 금속(73') 위로 상기 게이트 절연막(74) 및 유기 보호막(78)이 형성되도록 한다.
- <73> 단, 상기 반도체층(79')은 상기 게이트 전극(73')에 형성된 홀(56)에 관계 없이 특정의 패턴으로 형성되며, 이에 따라 하부기판 상의 공통전극라인의 상부 영역은 소정 간격으로 홀이 형성되고, 상기 홀(56) 영역 내부에는 유리 기판(72) 및 상기 반도체 패턴(79')이 형성되어 있다.
- <74> 이에 상부기판(80)은 상부 유리기판(82)의 배면에 컬러필터 및 블랙 매트릭스(84)가 형성되고, 그 위에 공통 투명전극(86)이 전면 형성된 구조를 갖는다. 이러한 하부기판(70)과 상부기판(80)은 실 패턴(54)에 도포된 실린트에 의해 합착되며, 이 때 실 패턴(54)의 실린트는 상기 하부기판에 소정 간격으로 형성된 홀(56)을 통하여 하부 유리기판(72) 및 반도체 패턴에 직접 접촉된다.
- <75> 이와 같은 구조의 본 발명에 의하면 에폭시 수지 등이 사용되는 상기 실린트는 무기 물질인 유리기판(72) 및 반도체 패턴(79')과 강한 접착 특성을 갖기 때문에 상부기판(80)과 하부기판(70)의 접합 특성이 크게 향상되며, 또한 상기 홀(56)에 의해 상기 실린트와 상기 하부기판(70)과의 접촉 면적이 넓어지게 되어 접합 특성이 더욱 향상되는 것이다.
- <76> 또한, 상기 홀(56)을 형성함에 있어 측면에 노출되는 게이트 금속의 산화를 방지하기 위해 상기 공통전극라인의 상부에 픽셀전극(미도시) 즉, 인듐-틴-옥사이드(ITO)층을 더 형성할 수 있으며, 이에 따라 실 패턴(54)의 실린트는 상기 하부기판에 소정 간격으로 형성된 홀(56)을 통하여 하부 게이트 금속(73') 위에 형성된 상기 픽셀 전극과 직접 접촉하게 된다.
- <77> 또한, 게이트 패드부 반대편의 화상 표시부 외곽부에 형성된 더미전극라인 상의 영역도 앞서 설명한 공통전극라인 상부의 구조와 일치하며, 단 액정 주입구가 형성되는 부분은 개방되도록 한다.

**발명의 효과**

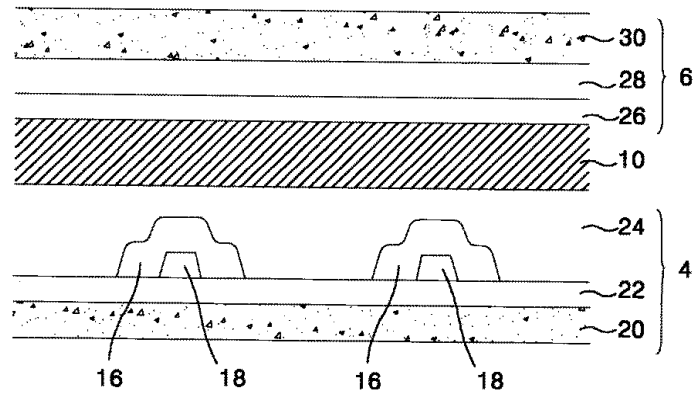
- <78> 이상의 설명에서와 같이 본 발명에 의한 액정표시장치에 의하면, 상부기판과 하부기판의 합착력이 향상되어 외부 충격에 의한 액정 누수 불량을 방지되며, 이에 따라 액정표시장치의 제조 수율이 향상되는 장점이 있다.



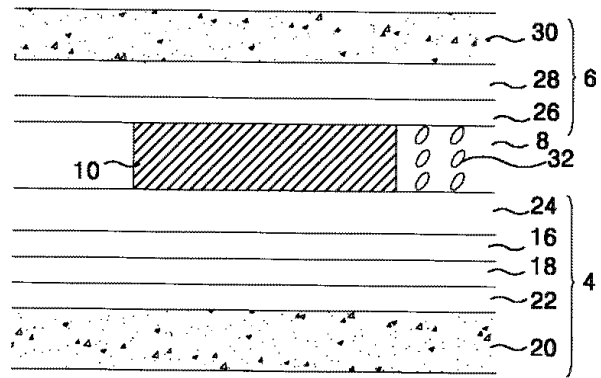
도면2



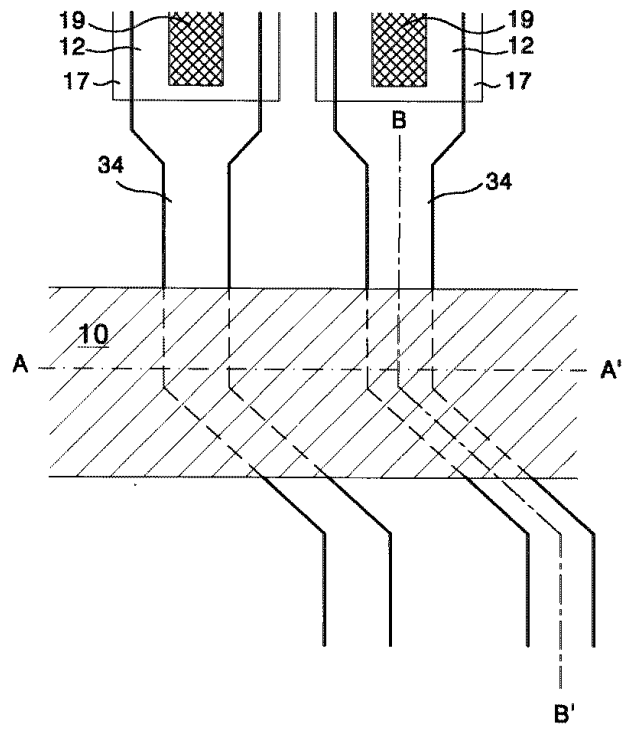
도면3a



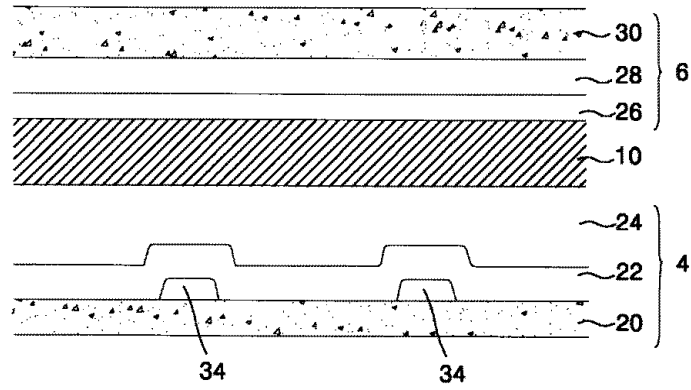
도면3b



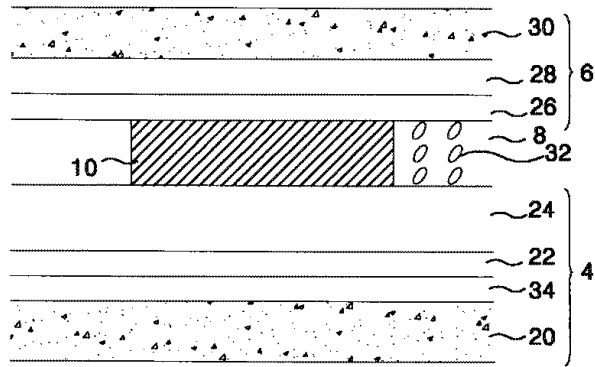
도면4



도면5a

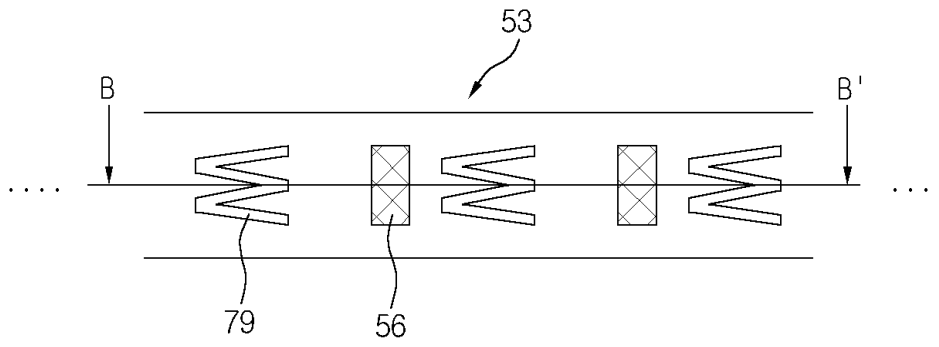


도면5b

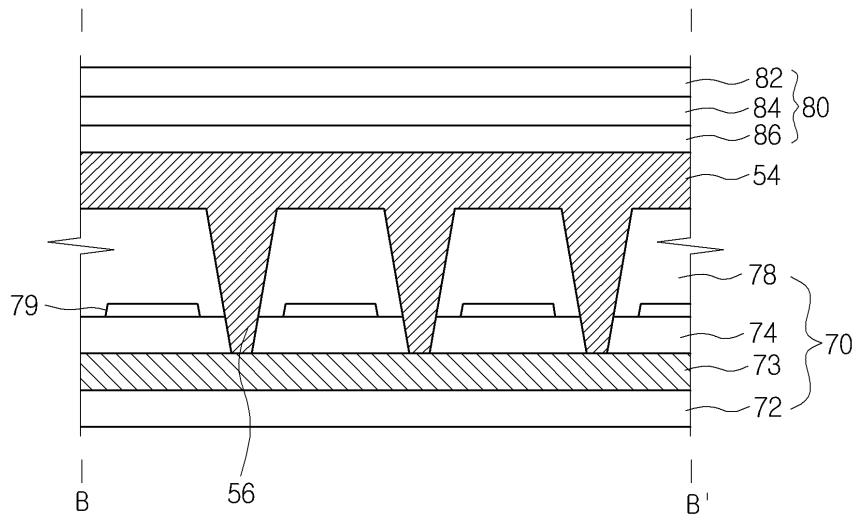




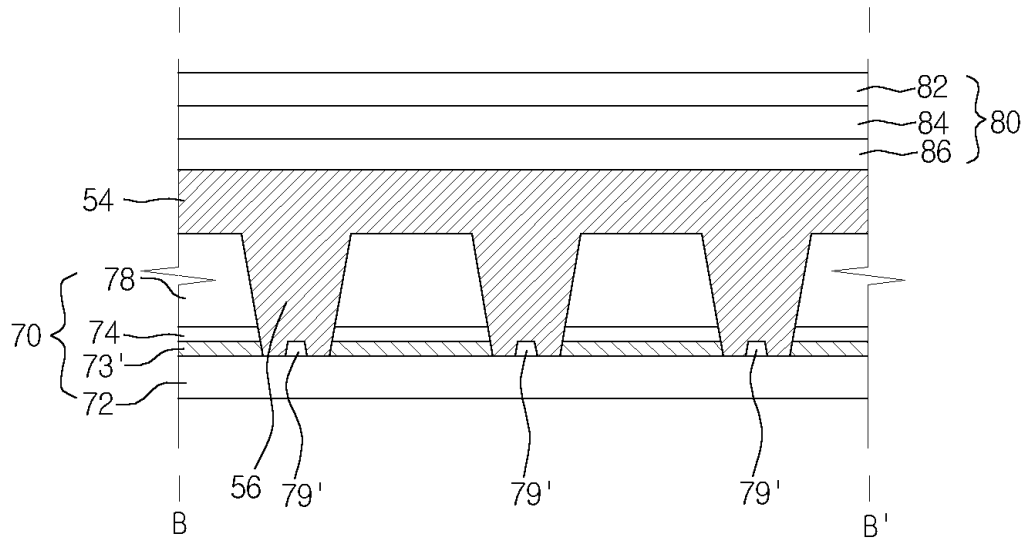
도면8a



도면8b



도면9



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR100845408B1</a>	公开(公告)日	2008-07-10
申请号	KR1020020088359	申请日	2002-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JOUNGSU		
发明人	CHOI,JOUNGSU		
IPC分类号	G02F1/1339 G02F1/1333		
CPC分类号	G02F1/1339 G02F1/133345 G02F2202/28		
其他公开文献	KR1020040062046A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的液晶显示装置包括：下基板，具有图像显示部分和焊盘部分；形成为包围图像显示部分的外部中的图像显示部分的纱线图案；栅极线和数据线连接在栅极线和数据线之间，栅极焊盘和数据焊盘形成在焊盘部分中；在图像显示部分的与焊盘部分相对的外侧上形成公共电极线和虚拟线；并且在栅极链路和数据链路的交叉区域中以预定间隔形成的孔与密封胶接触。根据本发明，改善了上基板和下基板的结合力，以防止由于外部冲击引起的液晶泄漏故障，从而提高了液晶显示装置的制造成产率。有优点。

