



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년05월07일  
 (11) 등록번호 10-0828225  
 (24) 등록일자 2008년04월30일

(51) Int. Cl.  
*G09G 3/36* (2006.01)  
 (21) 출원번호 10-2003-7007393  
 (22) 출원일자 2003년06월03일  
 심사청구일자 2006년10월23일  
 번역문제출일자 2003년06월03일  
 (65) 공개번호 10-2003-0065532  
 (43) 공개일자 2003년08월06일  
 (86) 국제출원번호 PCT/JP2001/009356  
 국제출원일자 2001년10월25일  
 (87) 국제공개번호 WO 2002/47063  
 국제공개일자 2002년06월13일  
 (30) 우선권주장  
 JP-P-2000-00372863 2000년12월07일 일본(JP)  
 (56) 선행기술조사문헌  
 JP09219636 A  
 W01993000739 A1

(73) 특허권자  
**가부시킴가이샤 히타치세이사쿠쇼**  
 일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고  
**가부시킴가이샤 히타치초에루.에스.아이.시스템즈**  
 일본국도오쿄오토쿄다이라시조우쓰이혼쵸오5쵸오메22반1고오  
**히타치 디바이스엔지니어링 가부시킴가이샤**  
 일본국 치바켄 모바라시 하야노 3681  
 (72) 발명자  
**긴조아라타**  
 일본국도오쿄오토쿄다이라시조우쓰이혼쵸오5초메20반1고가부시킴가이샤히타치세이사쿠쇼한도 타이구루프나이  
**오오카도카즈오**  
 일본국도오쿄오토쿄다이라시조우쓰이혼쵸오5초메20반1고가부시킴가이샤히타치세이사쿠쇼한도 타이구루프나이  
 (뒷면에 계속)  
 (74) 대리인  
**특허법인 원전**

전체 청구항 수 : 총 20 항

심사관 : 김세영

**(54) 반도체집적회로, 액정구동장치 및 액정표시 시스템**

**(57) 요약**

차동신호를 수신받는 차동증폭단과 상기 차동증폭단의 출력에 의거하여 출력신호를 생성하는 버퍼단이 설치된 차동형의 입력회로를 가지고, 상기 입력회로를 통해서 표시데이터의 신호를 입력함과 동시에 상기 표시데이터에 의거하여 액정을 구동하는 신호출력을 행하는 액정구동장치에 있어서, 상기 입력회로의 차동증폭단에는 차동전압 버퍼단에 공급되는 로직용의 전원전압(VCC)보다도 큰 액정구동용 전압(VLCD)이 공급되는 구성으로 했다. 또, 표시데이터의 입력이 없는 기간에 상기 차동증폭단의 동작전류를 차단하는 대기기능을 설치했다.

(72) 발명자

**코테라코이치**

일본국도쿄오토코다이라시조우쓰이혼쵸오5초메2  
2반1교가부시킴가이샤히타치초에루.에스.아이.시스  
테무즈나이

**오다히토시**

일본국도쿄오토코다이라시조우쓰이혼쵸오5초메2  
2반1교가부시킴가이샤히타치초에루.에스.아이.시스  
테무즈나이

**엔도마수히로**

일본국치바켄모바라시하야노3681반치히타치디바이  
스엔지니어링가부시킴가이샤나이

**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

외부에서 입력되는 한쌍의 차동신호를 받아 상기 차동신호의 전압차에 따른 출력신호를 내부 논리회로에 공급하는 입력회로와, 상기 입력회로에서의 신호를 받아 논리동작을 행하는 내부논리회로와, 상기 내부논리회로의 신호보다도 진폭이 큰 신호를 외부로 출력하는 출력회로를 구비하고, 상기 내부논리회로에는 제1 전원전압이, 또 상기 출력회로에는 상기 제1 전원전압보다도 전압치가 높은 제2 전원전압이 공급되는 반도체집적회로로서, 상기 입력회로는 서로 소스가 공통 접속된 한쌍의 차동 MOS 트랜지스터와 상기 차동 MOS 트랜지스터 쌍의 공통소스와 전원전압단자와의 사이에 접속된 전류용 트랜지스터를 가지고 상기 한쌍의 차동신호를 증폭하는 차동증폭단과, 상기 차동증폭단의 한쪽의 출력단자에서 출력되는 전압에 의거하여 상기 출력신호를 생성하는 출력단을 구비하며, 상기 차동증폭단의 상기 전원전압단자에는 상기 제2 전원전압이 공급되고 있는 것을 특징으로 하는 반도체 집적회로.

**청구항 3**

제 2 항에 있어서,

상기 입력회로에는 차동신호로 이루어지는 화소마다 디지털 데이터신호가 입력됨과 동시에, 상기 디지털 데이터신호에 의거하여 상기 출력회로에서 액정패널을 구동하는 구동전압이 출력되도록 된 액정구동용의 반도체집적회로로서, 상기 제2 전원전압으로서 액정패널을 구동하기 위한 액정구동용 전원전압이 이용되고 있는 것을 특징으로 하는 반도체집적회로.

**청구항 4**

제 2 항 또는 제 3 항에 있어서,

상기 전류용 트랜지스터는 게이트에 바이어스 전압이 인가된 제1 P채널 MOS 트랜지스터인 것을 특징으로 하는 반도체집적회로.

**청구항 5**

제 4 항에 있어서,

상기 한쌍의 차동 MOS 트랜지스터는, 상기 한쌍의 차동신호의 각각을 게이트로 수신하는 한쌍의 제2 P채널 MOS 트랜지스터를 가지고, 이들 제2 P채널 MOS 트랜지스터의 공통소스가 상기 제1 P채널 MOS 트랜지스터의 드레인에 접속되어 있는 것을 특징으로 하는 반도체집적회로.

**청구항 6**

삭제

**청구항 7**

차동신호를 받는 차동증폭단과 상기 차동증폭단의 출력에 의거하여 출력신호를 생성하는 출력단이 설치된 차동형의 입력회로를 가지고, 상기 입력회로를 통해서 입력되는 표시데이터에 의거하여 액정을 구동하는 신호출력을 행하는 액정구동장치로서, 상기 차동증폭단에는 상기 차동증폭단에 흐르는 동작전류를 차단하는 대기수단이 설치되고, 상기 차동증폭단에는, 서로 소스가 공통 접속되어 한쌍의 차동신호의 각각을 게이트로 수신하는 2개의 차동입력 MOS 트랜지스터와 이들 2개의 차동입력 MOS 트랜지스터의 공통소스가 드레인에 접속되어 소스에 동작전압이 공급되는 전류용 MOS 트랜지스터가 설치되며, 상기 대기수단은 상기 전류용 MOS 트랜지스터의 게이트에 인가되는 바이어스 전압을 전환하는 수단인 것을 특징으로 하는 액정구동장치.

**청구항 8**

제 7 항에 있어서,

상기 차동증폭단에는, 동작전압으로서 상기 출력단에 공급되는 동작전압보다도 큰 액정구동용 전압이 공급되어 있는 것을 특징으로 하는 액정구동장치.

**청구항 9**

제 8 항에 있어서,

상기 차동증폭단에 공급되는 액정구동용 전압은, 액정패널을 계조(階調)구동하는 계조구동 전압을 생성하기 위해 외부로부터 입력되는 계조전원인 것을 특징으로 하는 액정구동장치.

**청구항 10**

삭제

**청구항 11**

제 8 항에 있어서,

복수의 표시데이터가 연속적으로 전송되는 타이밍을 나타내는 외부신호에 의거하여 상기 대기수단에 의한 동작전류의 차단을 해제시키는 한편, 연속적으로 전송된 표시데이터의 입력완료의 검출에 의거하여 상기 대기수단에 의한 동작전류의 차단을 개시시키는 제어수단을 구비한 것을 특징으로 하는 액정구동장치.

**청구항 12**

제 11 항에 있어서,

차동의 외부클럭을 입력하는 2개의 클럭 입력회로를 구비하고, 이들 중 한쪽의 클럭 입력회로에는 정상(正相) 입력단자에 외부클럭의 정상신호가, 부상(負相) 입력단자에 부상신호가 각각 입력되고, 다른쪽의 클럭 입력회로에는 정상 입력단자에 외부클럭의 부상신호가, 부상 입력단자에 정상신호가 각각 입력되는 한편, 상기 입력회로에는 1개의 외부클럭마다 2개의 입력신호가 시리얼로 입력되고, 또 이들 2개의 입력신호의 입력 타이밍이 상기 2개의 클럭 입력회로를 통해서 입력된 2개의 클럭신호에 의거하여 각각 부여되도록 구성되어 있는 것을 특징으로 하는 액정구동장치.

**청구항 13**

제 12 항에 있어서,

1개의 외부클럭마다 시리얼로 입력되는 상기 2개의 입력신호 중 한쪽을 래치하는 제1 래치와 다른쪽을 래치하는 제2 래치를 구비하고, 이들 제1 래치와 제2 래치의 각 래치 타이밍이 상기 2개의 클럭 입력회로를 통해서 입력된 2개의 클럭신호에 의거하여 각각 부여되게 구성되어 있는 것을 특징으로 하는 액정구동장치.

**청구항 14**

제 12 항 또는 제 13 항에 있어서,

상기 2개의 클럭 입력회로를 통해서 입력된 2개의 클럭신호는 모두 상승 혹은 하강 중 어느 한쪽에 의해, 상기 타이밍을 부여하도록 구성되어 있는 것을 특징으로 하는 액정구동장치.

**청구항 15**

삭제

**청구항 16**

복수의 소스선과 복수의 게이트선을 가지는 액정패널과,

상기 복수의 소스선에 결합되고, 상기 액정패널에 표시해야 할 표시데이터에 의거하여 상기 소스선을 선택적으로 구동하기 위한 구동신호를 생성하는 소스선 드라이버와,

상기 복수의 게이트선에 결합되고, 상기 게이트선을 순차 주사하는 게이트선 드라이버와,

상기 액정패널, 상기 소스선 드라이버 및 상기 게이트선 드라이버에 결합되어 상기 액정패널, 상기 소스선 드라이버

이버 및 상기 게이트선 드라이버로 공급해야 할 구동전원전위를 공급하는 전원회로와,  
 상기 소스선 드라이버와 상기 게이트 드라이버에 결합되어 상기 소스선 드라이버에 상기 표시데이터를 공급함과 동시에, 상기 소스선 드라이버 및 상기 게이트선 드라이버로 타이밍 제어신호를 공급하는 컨트롤러와,  
 상기 소스선 드라이버와 상기 게이트선 드라이버로 공급되는 기준전위를 공급하기 위한 단자를 가지며,  
 상기 컨트롤러는 차동형식의 상기 표시데이터를 상기 소스선 드라이버로 공급하고,  
 상기 소스선 드라이버는, 상기 차동형식의 표시데이터를 받는 차동입력회로와, 상기 차동입력회로의 출력을 래치하기 위한 데이터 래치회로와, 상기 구동신호를 생성하기 위한 출력회로를 가지며,  
 상기 소스선 드라이버의 상기 차동입력회로의 전원전위는 상기 구동전원전위에서 선택된 전원전위가 이용되고,  
 상기 소스선 드라이버의 상기 데이터 래치회로의 전원전위는 상기 단자에서 공급된 기준전위가 이용되고,  
 상기 차동입력회로의 전원전위는 상기 데이터 래치회로의 전원전위보다 큰 액정표시 시스템.

**청구항 17**

제 16 항에 있어서,  
 상기 차동입력회로는, 상기 차동형식의 표시데이터를 각각 받는 게이트와, 공통소스를 가지는 한쌍의 차동 MOS 트랜지스터와,  
 상기 공통소스에 결합된 드레인과 상기 구동전원전위에서 선택된 전원전위가 공급되는 소스와 바이어스 전위가 공급되는 게이트를 가지는 전류원 MOS 트랜지스터를 가지는 액정표시 시스템.

**청구항 18**

제 17 항에 있어서,  
 상기 소스선 드라이버는, 대기제어회로를 더 가지며,  
 상기 전류원 MOS 트랜지스터의 상기 게이트는, 상기 대기제어회로의 제어에 따라, 선택적으로 상기 바이어스 전위를 공급하는 액정표시 시스템.

**청구항 19**

제 18 항에 있어서,  
 상기 대기제어회로는 상기 컨트롤러에서 공급되는 상기 타이밍 신호 중, 상기 액정패널의 1수평기간을 나타내는 신호의 활성화에 의거하여, 상기 전류원 MOS 트랜지스터의 상기 게이트로 상기 바이어스 전위를 공급하는 액정 표시 시스템.

**청구항 20**

삭제

**청구항 21**

복수의 소스선과 복수의 게이트선을 가지는 액정패널과,  
 상기 복수의 소스선에 결합되고, 상기 액정패널에 표시해야 할 표시데이터에 의거하여 상기 소스선을 선택적으로 구동하기 위한 구동신호를 생성하는 복수의 소스선 드라이버와,  
 상기 복수의 게이트선에 결합되어 상기 게이트선을 순차 주사하는 게이트선 드라이버와,  
 상기 액정패널, 상기 복수의 소스선 드라이버 및 상기 게이트선 드라이버에 결합되어 상기 액정패널, 상기 복수의 소스선 드라이버 및 상기 게이트선 드라이버로 공급해야 할 구동전원전위를 공급하는 전원회로와,  
 상기 복수의 소스선 드라이버와 상기 게이트선 드라이버에 결합되어 상기 복수의 소스선 드라이버에 상기 표시 데이터를 공급함과 동시에, 상기 복수의 소스선 드라이버 및 상기 게이트선 드라이버로 타이밍 제어신호를 공급하는 컨트롤러와,

상기 복수의 소스선 드라이버와 상기 게이트선 드라이버로 공급되는 기준전위를 공급하기 위한 단자를 가지며,  
 상기 컨트롤러는, 차동형식의 상기 표시데이터를 상기 복수의 소스선 드라이버로 공급하고,  
 상기 복수의 소스선 드라이버의 각각은 상기 차동형식의 표시데이터를 받는 차동입력회로와, 상기 차동입력회로의 출력을 래치하기 위한 데이터 래치회로와, 상기 구동신호를 생성하기 위한 출력회로를 가지며,  
 상기 복수의 소스선 드라이버의 각각의 상기 차동입력회로의 전원전위는 상기 구동전원전위에서 선택된 전원전위가 이용되고,  
 상기 복수의 소스선 드라이버의 각각의 상기 데이터 래치회로의 전원전위는 상기 단자에서 공급된 기준전위가 이용되고,  
 상기 차동입력회로의 전원전위는, 상기 데이터 래치회로의 전원전위보다 큰 액정표시 시스템.

**청구항 22**

제 21 항에 있어서,  
 상기 차동입력회로는, 상기 차동형식의 표시데이터를 각각 받는 게이트와, 공통소스를 가지는 한쌍의 차동 MOS 트랜지스터와,  
 상기 공통소스에 결합된 드레인과 상기 구동전원전위에서 선택된 전원전위가 공급되는 소스와 바이어스 전위가 공급되는 게이트를 가지는 전류원 MOS 트랜지스터를 가지는 액정표시 시스템.

**청구항 23**

제 22 항에 있어서,  
 상기 복수의 소스선 드라이버의 각각은, 대기제어회로를 더 가지며,  
 상기 전류원 MOS 트랜지스터의 상기 게이트는, 상기 대기제어회로의 제어에 따라, 선택적으로 상기 바이어스 전위를 공급되는 액정표시 시스템.

**청구항 24**

제 23 항에 있어서,  
 상기 대기제어회로는, 상기 컨트롤러에서 공급되는 상기 타이밍 신호 중, 상기 액정패널의 1수평기간을 나타내는 신호의 활성화에 응답하여 상기 전류원 MOS 트랜지스터의 상기 게이트로 상기 바이어스 전위를 공급하며,  
 상기 컨트롤러에서 공급되는 상기 타이밍 신호 중 인에이블 신호의 활성화에 응답하여, 상기 전류원 MOS 트랜지스터의 상기 게이트로 상기 바이어스 전위를 차단하는 액정표시 시스템.

**청구항 25**

제 23 항에 있어서,  
 상기 대기제어회로는, 상기 컨트롤러에서 공급되는 상기 타이밍 신호 중, 대응하는 인에이블 신호의 활성화에 응답하여 상기 전류원 MOS 트랜지스터의 상기 게이트로 상기 바이어스 전위를 공급하며,  
 상기 컨트롤러에서 공급되는 상기 타이밍 신호 중, 다음단의 소스선 드라이버에 관한 인에이블 신호의 활성화에 응답하여 상기 전류원 MOS 트랜지스터의 상기 게이트로 상기 바이어스 전위를 차단하는 액정표시 시스템.

**명세서**

**기술분야**

<1> 본 발명은, 소진폭 차동신호 인터페이스 등의 차동형 회로를 가지는 반도체집적회로에 적용하기에 유용한 기술에 관한 것으로, 더욱 상세하게는 액정드라이버 등 2전원의 공급을 받는 반도체집적회로에 이용하기에 특히 유용한 기술에 관한 것이다.

**배경기술**

- <2> 예를 들어 노트북 컴퓨터 등에서 디스플레이로서 이용되는 TFT(thin film transistors) 액정패널의 데이터선을 구동하는 액정드라이버로서, 예를 들면 1화소당 6비트의 디지털 표시데이터를 고속으로 입력함과 동시에, 이들의 디지털 데이터에 의거하여 64계조(階調)로 384개의 액정구동용의 출력전압을 발생시키는 것이 있다. 최근, 이와 같은 액정드라이버에서 고속으로 디지털 데이터를 송수신하는 인터페이스로서, LVDS(Low Voltage Differential Signaling)와 그 파생규격인 소진폭 차동신호 인터페이스가 이용되고 있다. 이와 같은 소진폭 차동신호 인터페이스를 이용함으로써, CMOS 레벨 인터페이스 등을 적용한 경우에 비해, 소비전력의 삭감과 입출력 신호의 전자파 간섭(EMI:electro magnetic Interference)의 저감을 도모할 수 있다.
- <3> 도5에는, 본 발명 전에 본 발명자들에 의해 검토된 소진폭 차동신호 인터페이스의 일예의 MOSFET 회로도 를 나타낸다.
- <4> 소진폭 차동신호 인터페이스는, 예를 들어 도5에 나타내는 바와 같이, 입력된 차동신호의 차(差)전압을 증폭하는 차동증폭단(61), 차동증폭단(61)에서의 출력전압을 레벨 시프트회로(62a)에 의해 상승시키고 또 그 출력전압에 의거하여 출력측의 신호를 생성하는 구동단(62) 및 출력측에 접속되어 있는 부하를 구동하여 소정의 진폭의 신호를 출력하는 출력단(63) 등을 구비하고 있는 것이 있다. 차동증폭단(61)에는 한쌍의 차동입력 MOSFET(Q62, Q63)의 공통소스에 접속되어 정(定)전류를 공급하는 정(定)전원용 MOSFET(Q61)가 설치되어 있으며, 상기 정전류용 MOSFET(Q61)에 의해 차동증폭단(61)에 흐르는 직류전류가 제어된다.
- <5> 그런데, 소진폭 차동신호 인터페이스와 상기 인터페이스를 구비한 반도체칩에 있어서는, 입력차동신호의 중심전압의 변동허용폭을 넓게 하고 싶다는 요구와, 반도체칩에 공급하는 로직용의 전원전압을 낮게 하여 소비전력을 낮추고 싶다는 요구가 있다.
- <6> 그러나, 상기의 소진폭 차동신호 인터페이스에 있어서는, 차동증폭단(61)에 설치되어 있는 정전류용 MOSFET(Q61)의 소스에, 구동단(62)과 출력단(63)에 공급되는 로직용의 전원전압(VCC)이 공통으로 공급되는 구성이므로, 전원전압(VCC)을 낮추면 정전류용 MOSFET(Q61)의 게이트·소스간 전압(Vgs)도 작게 된다.
- <7> 다음 식(1)에 MOSFET의 포화영역에서의 드레인전류 식을 나타낸다.
- <8> 
$$I = \beta(W/L)(V_{gs} - V_{th})^2 \quad \dots \quad (1)$$
- <9> 여기서,  $\beta$ 는 정수, W는 게이트 폭, L은 게이트 길이,  $V_{th}$ 는 문턱치전압이다.
- <10> 이 식(1)에서도 알 수 있듯이, 게이트·소스간 전압( $V_{gs}$ )이 작게 되면, MOSFET의 프로세스 변동으로 문턱치전압( $V_{th}$ )이 기준치에서 어긋났을 때에 이 변동이 전류치(I)에 미치는 영향이 크게 된다고 하는 과제와, 같은 전류를 흘리기 위해서는 게이트 폭을 크게 하지 않으면 안된다는 문제가 생긴다.
- <11> 또, 전원전압(VCC)을 낮추면 차동입력 MOSFET(Q62, Q63)의 공통소스의 전위도 낮아지므로, 입력되는 차동신호(YP, YN)의 중심전압의 변동에 의해 차동증폭단(61)에 흐르는 전류도 비교적 크게 변화하여 소비전류와 회로특성이 변해버리므로, 입력차동신호(YP, YN)의 중심전압의 변동허용폭도 넓게 할 수 없다는 과제가 생긴다.
- <12> 또한, 차동입력 MOSFET(Q62, Q63)의 공통소스의 전위가 낮아지면, 차동증폭단에서의 출력전압은 낮게 되어 버려, 후단의 구동단(62)에 레벨 시프트회로(62a)를 설치할 필요가 있다는 문제도 있었다. 그러나, 레벨 시프트회로(62a)는 직류전류를 흘릴 필요가 있기 때문에, 그 만큼 소비전류가 증가해 버리므로, 레벨 시프트회로(62a)에 흐르는 직류전류는 작게 되도록 설계되는 것이 일반적이다. 그런데, 그와 같이 설계하면 레벨 시프트회로(62a)에서의 신호의 상승이 늦어져, 신호 지연시간이 크게 된다는 과제가 생긴다.
- <13> 이상의 것에서 도5와 같은 입력회로를 구비한 반도체집적회로에 있어서는, 로직용의 전원전압(VCC)을 그다지 낮게 설정할 수 없으며, 그 결과 반도체칩의 소비전력을 낮출 수 없다는 문제가 있다는 것을 알았다.
- <14> 본 발명의 목적은, 입력차동신호의 중심전압의 변동허용폭을 넓게 취하고, 또 소비전력의 저감을 도모할 수 있는 차동형 회로를 구비한 반도체집적회로 및 액정구동장치를 제공하는데 있다.
- <15> 본 발명의 다른 목적은, 입력차동신호의 중심전압의 변동허용폭을 넓게 취하고, 또 로직용의 전원전압을 낮게 하여 소비전력의 저감을 도모할 수 있는 반도체집적회로 및 액정구동장치를 제공하는데 있다.
- <16> 본 발명의 상기 및 그 밖의 목적과 신규한 특징에 관해서는, 본 명세서의 기술 및 첨부도면에서 명백하게 될 것이다.
- <17> (발명의 개시)

- <18> 본원에서 개시되는 발명 중 대표적인 것의 개요를 설명하면, 하기와 같다.
- <19> 즉, 서로 소스가 공통 접속된 한쌍의 차동 MOS 트랜지스터 그리고 상기 차동 MOS 트랜지스터 쌍의 공통소스와 전원전압단자와의 사이에 접속된 정전류용 MOS 트랜지스터를 가지고 차동입력신호를 증폭하는 차동증폭단과, 상기 차동증폭단의 한쪽의 출력단자에서 출력되는 전압에 의거하여 출력신호를 생성하는 출력단이 설치된 차동형 회로를 구비한 반도체집적회로에서, 상기 차동증폭단의 상기 전원전압단자에는 상기 출력단에 공급되는 제1 전원전압보다도 전압치가 높은 제2 전원전압이 공급되는 구성으로 했다.
- <20> 이와 같은 수단에 의하면, 상기 제1 전원전압보다도 큰 제2 전원전압에 의해 정전류용 MOS 트랜지스터의 게이트·소스간 전압( $V_{gs}$ )을 크게 할 수 있으므로, 상기의 식(1)에서 알 수 있듯이, 상기 트랜지스터의 문턱치전압( $V_{th}$ )의 변동이 전류에 미치는 영향을 작게 할 수 있으며, 또한 같은 전류를 흘리는데 필요한 트랜지스터의 사이즈를 작게 할 수 있다.
- <21> 또, 상기 정전류용 MOS 트랜지스터의 드레인측의 전압도 높게 할 수 있으므로, 입력차동신호의 중심전압의 변동에 의한 전류의 변동도 억제할 수 있다. 따라서, 입력차동신호(YP, YN)의 중심전압의 변동에 의해 소비전류와 회로특성이 변하지 않는다, 상기 중심전압의 변동허용폭이 넓은 회로를 실현할 수 있다.
- <22> 또, 상기 정전류용 MOS 트랜지스터의 드레인측의 전압도 높게 할 수 있으므로, 차동증폭단에서의 출력전압을 높게 할 수 있으며, 후단에 레벨 시프트회로를 설치할 필요가 없어지게 된다. 따라서, 레벨 시프트회로에 흐르는 직류전류를 없애 소비전력을 저감할 수 있음과 동시에, 레벨 시프트회로가 불필요한 만큼, 신호의 상승을 빠르게 할 수 있으며 신호지연시간의 단축을 도모할 수 있다.
- <23> 또, 본 발명에 관한 반도체집적회로는, 외부에서 입력되는 한쌍의 차동신호를 받아 상기 차동신호의 전압차에 따른 신호를 내부회로에 공급하는 입력회로와, 상기 입력회로에서의 신호를 받아 논리동작을 행하는 내부 논리회로와, 상기 내부 논리회로의 신호보다도 진폭이 큰 신호를 외부로 출력하는 출력회로를 구비하고, 상기 내부 논리회로에는 제1 전원전압이, 또 상기 출력회로에는 상기 제1 전원전압보다도 전압치가 높은 제2 전원전압이 공급되는 반도체집적회로에 있어서, 상기 입력회로는 서로 소스가 공통 접속된 한쌍의 차동 MOS 트랜지스터 그리고 상기 차동 MOS 트랜지스터 쌍의 공통소스와 전원전압단자와의 사이에 접속된 정전류용 트랜지스터를 가지고 차동입력신호를 증폭하는 차동증폭단과, 상기 차동증폭단의 한쪽의 출력단자에서 출력되는 전압에 의거하여 출력신호를 생성하는 출력단을 구비하며, 상기 차동증폭단의 상기 전원전압단자에는 상기 제2 전원전압이 공급되도록 구성한 것이다.
- <24> 이와 같은 수단에 의하면, 차동증폭단에 상기 제2 전원전압을 공급하므로, 상기 입력회로에 입력되는 차동신호의 중심전압 변동허용폭을 넓게 할 수 있음과 동시에, 로직용의 제1 전원전압을 낮게 설정하여 그것에 의한 소비전력의 저감을 도모할 수 있다. 또, 제1 전원전압보다도 전압치가 높은 제2 전원전압으로서, 출력회로에서 고전압의 신호출력용에 이용되는 전원을 유용(流用)하고 있으므로, 차동증폭단용에 새로운 전원전압을 준비할 필요가 없다. 또, 일정한 직류전류를 흘리는 경우에서도 차동증폭단의 트랜지스터 사이즈를 작게 할 수 있으므로 칩 면적을 크게 하지 않는다.
- <25> 구체적으로는, 차동신호로 이루어지는 화소마다 디지털 데이터를 상기 입력회로에 입력함과 동시에, 상기 디지털 데이터에 의거하여 액정패널을 구동하는 구동전압을 생성하여 상기 출력회로에서 출력하는 액정구동용의 반도체집적회로로서, 상기 제2 전원전압으로서 액정패널을 구동하기 위한 액정구동용 전원을 이용하면 된다.
- <26> 또, 구체적으로는, 상기 정전류용 트랜지스터는 게이트에 바이어스 전압이 인가되어 정전류를 흘리는 P채널 MOS 트랜지스터에 의해 구성되는 것이다.
- <27> 또, 상기 차동증폭단은 서로 소스가 공통 접속되어 한쌍의 차동신호를 각각 게이트로 받는 2개의 차동입력 P채널 MOS 트랜지스터를 가지고, 이들 2개의 차동입력 P채널 MOS 트랜지스터의 공통소스가 상기 정전류용의 P채널 MOS 트랜지스터의 드레인에 접속되는 구성이다.
- <28> 또, 본 발명에 관한 액정구동장치는, 표시데이터를 입력하는 차동형의 입력회로에 있어서, 차동증폭단에 흐르는 동작전류를 차단하는 대기수단을 설치한 것이다. 이와 같은 수단에 의하면, 차동증폭단에 쓸모없이 흐르는 전류를 차단하여 소비전력을 더욱 저하할 수 있다.
- <29> 바람직하게는, 복수의 표시데이터가 연속적으로 전송되는 타이밍을 나타내는 외부신호에 의거하여 상기 대기수단에 의한 동작전류의 차단을 해제시키는 한편, 연속적으로 전송된 표시데이터의 입력완료의 검출에 의거하여 상기 대기수단에 의한 동작전류의 차단을 개시시키도록 구성하면 된다.

- <30> 이와 같은 구성에 의하면, 대기수단의 제어용에 외부에서 새로운 신호를 입력할 필요가 생기지 않으며, 외부와 주고받는 입출력신호의 체계는 종전 그대로 차동증폭단의 전류제어가 가능하게 된다.
- <31> 또, 바람직하게는, 상기의 입력회로에 1개의 외부클록마다 2개의 입력신호가 시리얼로 입력되는 경우에, 차동의 외부클록의 정상(正相)측과 부상(負相)측을 서로 반대로 한 관계로 입력하는 2개의 클록입력회로를 구비하고, 상기 2개의 클록입력회로를 통해서 입력되는 2개의 클록신호에 의거하여 상기 2개의 입력신호의 입력 타이밍을 부여하도록 구성하면 된다.
- <32> 이와 같은 구성에 의하면, 반도체의 제조편차, 차동의 외부클록의 중심전압, 전원전압 및 온도 등의 조건이 어느 정도 변화해도, 입력신호의 입력 타이밍을 부여하는 클록신호의 변동으로서 영향을 미치지 않으므로, 표시 데이터의 입력 타이밍을 용이하게 조정할 수 있다.

**산업상 이용 가능성**

- <164> 이상의 발명에서는 주로 본 발명자에 의해 행해진 발명을 그 배경이 된 이용분야인 액정드라이버에 관해서 설명했지만 본 발명은 그것에 한정되는 것이 아니라, 예를 들어 1칩 마이크로 컴퓨터와 DSP(Digital Signal Processor) 등, 소진폭 차동신호 인터페이스를 구비하고, 또 내부의 논리회로용과 인터페이스용의 2개의 전원전압의 공급을 받는 반도체집적회로에 널리 이용할 수 있다.

**도면의 간단한 설명**

- <33> 도1은 본 발명을 적용하여 적합한 소진폭 차동신호 인터페이스의 실시예를 나타내는 회로도이다.
- <34> 도2는 본 발명에 관한 소진폭 차동신호 인터페이스를 구비한 액정드라이버의 전체 구성을 나타내는 블럭도이다.
- <35> 도3은 MOSFET의 문턱치전압(Vth)이 P채널과 N채널 모두 높게 형성된 경우에서의 도1의 소진폭 차동 인터페이스의 특성 그래프이다.
- <36> 도4는 MOSFET의 문턱치전압(Vth)이 P채널과 N채널 모두 낮게 형성된 경우에서의 도1의 소진폭 차동 인터페이스의 특성 그래프이다.
- <37> 도5는 본 발명자들에 의해 검토된 소진폭 차동신호 인터페이스의 일예를 나타내는 회로도이다.
- <38> 도6은 MOSFET의 문턱치전압(Vth)이 P채널과 N채널 모두 낮게 형성된 경우에서의 도5의 소진폭 차동 인터페이스의 특성 그래프이다.
- <39> 도7은 MOSFET의 문턱치전압(Vth)이 P채널과 N채널 모두 기준치로 형성된 경우에서의 도5의 소진폭 차동 인터페이스의 특성 그래프이다.
- <40> 도8은 MOSFET의 문턱치전압(Vth)이 P채널과 N채널 모두 높게 형성된 경우에서의 도5의 소진폭 차동 인터페이스의 특성 그래프이다.
- <41> 도9는 소진폭 차동 인터페이스에 공급하는 제2 전원전압을 복수 중에서 선택 가능하게 한 구성예를 나타내는 도이다.
- <42> 도10은 COF 상의 배선에서 제2 전원전압의 선택을 가능하게 한 구성예를 나타내는 COF 패키지의 평면도이며, 제2 전원전압에 액정구동전압(VLCD)을 선택한 상태의 것이다.
- <43> 도11은 도10의 COF 패키지에서 제2 전원전압에 계조구동용의 전압을 선택한 상태를 나타내는 도이다.
- <44> 도12는 알루미늄 배선의 마스터 슬라이스에서 제2 전원전압의 선택을 가능하게 하는 구성예를 나타내는 반도체칩의 개략도이며, 제2 전원전압에 액정구동전압(VLCD)이 선택된 상태의 것이다.
- <45> 도13은 도12의 반도체칩에서 제2 전원전압에 계조구동용의 전압이 선택된 상태를 나타내는 도이다.
- <46> 도14는 반도체칩에 퓨즈를 설치하여 제2 전원전압의 선택을 가능하게 한 구성예를 나타내는 반도체칩의 개략도이다.
- <47> 도15는 소진폭 차동 인터페이스에 공급하는 제2 전원전압의 생성회로의 일예를 나타내는 회로도이다.
- <48> 도16은 대기기능이 부가된 제3 실시예의 소진폭 차동신호 인터페이스를 나타내는 회로도이다.

- <49> 도17은 대기기능이 부가된 액정드라이버를 이용하여 구성된 액정표시 시스템의 일예를 나타내는 구성도이다.
- <50> 도18은 도17의 액정표시 시스템의 동작을 설명하는 타임차트이다.
- <51> 도19는 각 액정드라이버에서 행해지는 대기처리의 동작타이밍의 일예를 나타내는 타이밍차트이다.
- <52> 도20은 각 액정드라이버에서 행해지는 대기처리의 동작타이밍 그외의 예를 나타내는 타이밍차트이다.
- <53> 도21은 실시예의 액정드라이버에서 표시데이터와 전송클록의 입력부를 나타내는 회로도이다.
- <54> 도22는 도21의 회로에서 표시데이터와 전송클록과의 관계를 나타낸 파형도이다.
- <55> (발명을 실시하기 위한 최선의 형태)
- <56> 이하, 본 발명의 알맞은 실시예를 도면에 의거하여 설명한다.
- <57> < 제1의 실시예 >
- <58> 도1은, 본 발명을 적용하여 적합한 소진폭 차동신호 인터페이스의 실시예를 상세하게 나타내는 회로도이다. 도면 중, MOSFET의 옆에는 게이트 폭(W)( $\mu\text{m}$ )과 게이트 길이(L)( $\mu\text{m}$ )와의 비 "W/L"의 알맞은 수치예를 기록한다.
- <59> 이 실시예의 소진폭 차동신호 인터페이스(차동형 입력회로)는 예를 들어 IEEE(Institute of Electrical and Electronics Engineers)에 규정되어 있는 LVDS(Low Voltage Differential Signaling) 인터페이스와 그 파생기술인 소진폭 차동신호 인터페이스이며, 예를 들어 외부클록과 데이터신호 등 외부에서 입력되는 소진폭 차동신호(예를 들어 진폭 200mV ~ 500mV)를 입력하여, 이들 한쌍의 소진폭 차동신호의 전압차에 따라 내부회로에 하이레벨 또는 로레벨의 신호를 출력하는 것이다.
- <60> 도1에 나타내는 바와 같이, 이 소진폭 차동신호 인터페이스는 한쌍의 차동입력 MOSFET(Q2, Q3)와, 상기 차동입력 MOSFET(Q2, Q3)의 공통소스에 접속된 정(定)전류용 MOSFET(Q1)와, 차동입력 MOSFET(Q2, Q3)의 드레인에 접속된 액티브 부하 MOSFET(Q4, Q5)로 이루어지는 차동증폭단(1) 및 상기 차동증폭단(1)에서의 증폭출력을 받아 이 출력전압에 따라 하이레벨과 로레벨의 신호를 출력하는 구동단(2)과 출력단(3) 등으로 구성된다.
- <61> 이 실시예의 회로에서는 구동단(2)과 버퍼단(3)에는 로직용의 전원전압(VCC)(예를 들어 2.7V ~ 3.6V)이 공급된다. 한편, 차동증폭단(1)에는 전원전압으로서 로직용의 전원전압(VCC)보다도 높은 액정구동용의 전원전압(VLCD)(예를 들어 6V ~ 10V)이 공급된다. 또 정전류용 MOSFET(Q1)의 게이트에는 정(定)전압회로와 바이어스 회로에 의해 생성된 전류제어용 전압(SVGP)(예를 들어 1.6V ~ 1.8V)이 인가되며, MOSFET의 포화영역의 동작에 의해 차동입력 MOSFET(Q2, Q3)의 공통소스측으로 바이어스 전류를 공급한다.
- <62> 이때, 정전류용 MOSFET(Q1)의 게이트·소스간 전압(Vgs)은 액정구동용의 전원전압(VLCD)에 의해 도5의 회로형식과 비교해 큰 전압으로 된다. 따라서, 상기한 MOSFET의 포화상태에서의 전류식  $I = \beta(W/L)(V_{gs} - V_{th})^2$  에서도 알 수 있듯이, MOSFET의 프로세스 변동에 의해 문턱치전압( $V_{th}$ )이 기준치에서 다소 어긋나도, 드레인 전류치에 그다지 큰 영향을 미치지 않는다. 또 게이트·소스간 전압(Vgs)이 비교적 크기 때문에, MOSFET의 게이트 폭(W)을 그다지 크게 하지 않아도 소망의 전류치를 얻을 수 있다.
- <63> 또한, 차동입력 MOSFET(Q2, Q3)의 소스단자가 접속되는 노드(n1)의 전압도 높게 됨으로, 입력차동신호(YP, YN)의 중심전압이 다소 변동해도 차동증폭단(1)에 흐르는 전류는 그다지 변화하지 않으며, 소비전류와 회로특성은 일정한 것으로 된다. 따라서, 입력차동신호(YP, YN)의 중심전압의 변동허용폭을 넓게 할 수 있다.
- <64> 또, 차동입력 MOSFET(Q2, Q3)의 공통소스의 전압이 높게 됨으로, 차동증폭단(1)의 출력노드(n2)에 출력되는 하이레벨의 전압은 구동단(2)의 P채널 MOSFET(Q6)를 충분히 온(on)할 수 있는 전압이 되기 때문에, 예를 들어 도5에 나타낸 종래의 소진폭 차동신호 인터페이스에 설치되어 있는 것과 같은 레벨 시프트회로(62a)를 없앨 수 있다. 따라서, 레벨 시프트회로가 없는 만큼, 소비전력을 저감할 수 있으며, 또 신호지연도 작게 할 수 있다.
- <65> 또한, 차동증폭단(1)에는 높은 전원전압(VLCD)이 공급되므로, 차동증폭단(1)과 상기 차동증폭단(1)의 출력을 게이트로 받는 구동단(2)을 구성하는 MOSFET는 고내압(예를 들어 7V내압)의 MOSFET에 의해 구성되는 것이 바람직하다.
- <66> 다음에, 상기 소진폭 차동신호 인터페이스의 특성에 관해서 정량적으로 설명한다.
- <67> 도3과 도4는, 도1의 소진폭 차동 인터페이스의 특성을 나타내는 그래프이며, 도3은 프로세스 변동에 의해 MOSFET의 문턱치전압( $V_{th}$ )이 P채널형도 N채널형도 모두 높게 형성된 경우의 것, 도4는 모두 낮게 형성된 경우의

것이다.

- <68> 이들의 그래프에서 횡축은 정전류용 MOSFET(Q1)의 소스에 공급되는 전원전압(VLCD)의 전압치, 종축은 차동증폭단(1)에 흐르는 직류전류치이다. 또 각 그래프선에 의해, 입력차동신호의 중심전압(Vref)이 0.5V, 1.2V, 2.4V 각각의 경우와 칩온도가 -30℃, 25℃, 75℃인 각각 경우를 나타내고 있다.
- <69> 이하, 프로세스 변동에 의한 특성변화, 입력차동신호의 중심전압(Vref)에 의한 특성변화, 전원전압(VLCD)에 의한 특성변화에 관해서 순서대로 서술한다.
- <70> 프로세스 변동에 의한 전류치의 변화량은 10% 미만이다. 예를 들어 칩온도 25℃, 액정구동전압(VLCD) = 8V, 입력차동신호의 중심전압 = 1.2V의 조건하에서는 도3의 문턱치전압(Vth)이 높게 형성된 것에서는 67 $\mu$ A의 전류치가 얻어지는 한편, 도4의 문턱치전압(Vth)이 낮게 형성된 것에서는 73 $\mu$ A의 전류치가 얻어지며, 이들의 차는 10% 미만의 값이다. 또 그래프에서, 이 프로세스 변동에 의한 전류치의 변화량은 어떠한 칩온도, 액정구동전압(VLCD), 입력차동신호의 중심전압이라도 같다는 것을 알 수 있다.
- <71> 입력차동신호의 중심전압(Vref)의 변화는, 도3과 도4의 그래프에서 실선과 점선과 2점쇄선에 의해 나타낸다. 동(同) 그래프에서, 칩온도와 문턱치전압(Vth)의 특성이 같으면, 입력차동신호의 중심전압(Vref)의 상위(相違)에 따른 전류치의 어긋남은 거의 발생하지 않는 것을 알 수 있다.
- <72> 또, 전원전압(VLCD)에 의한 전류치의 변화는, 큰 경우(도3의 문턱치전압(Vth)이 높게 형성되고, 칩온도 -30℃인 경우)에 26 $\mu$ A/5V, 표준적인 경우(칩온도 30℃)에 20 $\mu$ A ~ 17 $\mu$ A/5V로, 그 변화량은 작은 것이다. 이것에 의해 전류 미니멈(min)에서 동작하도록 설계해도, 전류 맥시멈(max)은 극단적으로 크게 되지 않으며, 저소비전류화가 가능하다.
- <73> 도6 ~ 도8에는 도5에 나타난 종래의 소진폭 차동 인터페이스의 특성 그래프를 나타낸다. 도6은 MOSFET의 문턱치전압(Vth)이 P채널과 N채널 모두 낮게 형성되고 또 전원전압(VCC)이 최대치 3.6V인 경우, 도7은 문턱치전압(Vth)과 전원전압(VCC)이 기준치인 경우, 도8은 문턱치전압(Vth)이 모두 높게 형성되고 또 전원전압(VCC)이 최소치 2.7V인 경우의 것이다.
- <74> 이들 그래프에서 횡축은 정전류용 MOSFET(Q1)의 게이트 폭(W)을, 종축은 차동증폭단(1)에 흐르는 직류전류치를 나타내고 있다. 또 각 그래프선에 의해, 입력차동신호의 중심전압(Vref)이 0.5V, 1.2V, VCC-1.2V인 각각의 경우를 나타내고 있다.
- <75> 종래의 소진폭 차동신호 인터페이스에서는, 정전류용 MOSFET(Q1)의 게이트 폭(W)을 100 $\mu$ m로 하고, 입력차동신호의 중심전압(Vref)이 0.5V ~ VCC-1.2V로 변화했을 때, 도6의 경우에서 전류치는 563 $\mu$ A ~ 326 $\mu$ A로 40% 이상의 변화량이 된다. 마찬가지로, 도7의 경우에서도 330 $\mu$ A ~ 190 $\mu$ A로 40% 이상, 도8의 경우에서도 173 $\mu$ A ~ 101 $\mu$ A로 40% 이상의 변화량으로 되어 버리는 것을 알 수 있다.
- <76> 또, 입력차동신호의 중심전압이 일정(Vref = 1.2V)한 조건에서, 그 밖의 조건이 최대로 변화한 경우, 즉, MOSFET의 문턱치전압(Vth)이 최소(min), 전원전압(VCC)가 최대(max) 3.6V, 칩온도가 -30℃(도6의 점A)에서 MOSFET의 문턱치전압(Vth)이 최대(max), 전원전압(VCC)이 최소(min) 2.7V, 칩온도가 75℃(도6의 점C)로 변화했을 때에는 전류치는 484 $\mu$ A에서 123 $\mu$ A로 74%나 저하하여 버린다. 전류 미니멈 조건에서 동작 보증할 수 있는 설계를 행하는 경우, 전류 맥시멈은 극단적으로 크게 되며 저소비전류화를 할 수 없다.
- <77> 거의 동일한 조건에서 본 실시예의 도1의 소진폭 차동신호 인터페이스의 특성을 고찰하면, MOSFET의 문턱치전압(Vth)이 최소, 칩온도가 -30℃(도4의 점A')인 조건에서 MOSFET의 문턱치전압(Vth)이 최대, 칩온도가 75℃(도3의 점C')인 조건으로 변화했을 경우에도, 전류치는 96 $\mu$ A에서 54 $\mu$ A로 43%의 저하로 억제되는 것을 알 수 있다.
- <78> 이상과 같이, 상기 실시예의 소진폭 차동신호 인터페이스에 의하면, 차동증폭단(1)에 로직용의 전원전압(VCC)보다 높은 액정구동전압(VLCD)을 공급하도록 구성하고 있으므로, 프로세스 변동에 의한 MOSFET의 문턱치전압(Vth), 입력차동신호의 중심전압(Vref) 및 전원전압(VLCD)이 다소 변화해도, 차동증폭단(1)에 흐르는 전류치는 그다지 변동하지 않고, 차동증폭단(1)의 특성(예를 들면, 상승 하강시간, 출력전압 등)을 정상적으로 유지할 수 있다. 따라서, 입력차동신호의 중심전압의 변동허용폭을 넓게 할 수 있다.
- <79> 이하, 상기의 소진폭 차동신호 인터페이스를 2개의 전원전압의 공급을 받는 반도체집적회로에 적용한 예에 관해서 설명한다.
- <80> 도2는 상기 소진폭 차동신호 인터페이스를 신호 입력부에 구비한 액정구동 드라이버의 전체 구성을 나타내는 블

력도이다.

- <81> 이 실시예의 액정구동장치로서의 액정드라이버(100)는, 예를 들어 노트북 컴퓨터의 디스플레이로서 이용되는 TFT 액정패널의 데이터선을 구동하는 것으로, 특히 제한되는 것은 아니지만, 단결정 실리콘과 같은 1개의 반도체 칩 위에 형성되어 구성된다.
- <82> 이 실시예의 액정드라이버(100)는 소진폭 차동신호의 형태로 외부에서 입력되는 예를 들어 1화소당 6비트의 디지털 표시데이터(DATAOP, DATAON ~ DATA22P, DATA22N)와 외부클럭(CLP, CLN)을 고속으로 입력하는 인터페이스(101)로서 상술의 소진폭 차동 인터페이스(101, 12)를 구비하고 있다. 또, 입력한 디지털 데이터를 일시적으로 유지하는 데이터 레지스터(104)와 데이터 레지스터(104)에 유지된 데이터가 순차 소정비트로 이동되어 1라인분의 데이터를 유지하는 데이터 래치회로(122) 및 데이터 레지스터(104)의 데이터를 데이터 래치회로(122)의 소정비트로 전송하기 위한 시프트 레지스터(121), 데이터 래치회로(121)에 유지된 1라인분의 디지털 데이터에서 각 화소마다 계조도(階調度)를 나타내는 아날로그 신호로 변환하는 D/A 컨버터(123), D/A 컨버터(123)에서의 아날로그 신호에 의거하여 TFT 액정패널의 데이터선의 구동전압(Y1 ~ Y384)을 발생시켜 출력하는 출력버퍼(124) 등을 구비하고 있다.
- <83> 액정드라이버(100)에는, 소진폭 차동 인터페이스(101)의 구동단(2)과 버퍼단(3), 데이터 레지스터(104), 시프트 레지스터(121), 데이터 래치회로(122) 등, 내부논리회로의 동작전원으로서 사용되는 전원전압(VCC)과, 액정구동 전압(Y1 ~ Y384)의 생성에 사용되는 액정구동용 전원전압(VLCD)이 칩 외부에서 공급된다. 액정구동용 전원전압(VLCD)은 저항 분할회로(도시 생략) 등에 의해 계조표시에 복수단계의 전압(V1 ~ V10)으로 분할되어 D/A 컨버터(123)와 출력버퍼(124)에 공급된다. 그리고, 이 액정구동용 전원전압(VLCD)이 소진폭 차동신호 인터페이스(101)의 차동증폭단(1)에도 공급되도록 구성되어 있다.
- <84> 이와 같은 액정드라이버(100)에 의하면, 외부에서 입력하는 디지털 표시데이터(DATAOP, DATAON ~ DATA22P, DATA22N)와 외부클럭(CLP, CLN)의 중심전압의 변동허용폭을 넓게 취할 수 있음과 동시에, 로직용의 전원전압(VCC)이 소진폭 차동신호 인터페이스(101)의 특성에 영향을 미치지 않기 때문에, 상기 전원전압(VCC)을 낮게 설정하는 것도 가능하다. 그것에 의해, 더욱 고속동작 가능하며 저소비전력의 반도체칩을 실현할 수 있다.
- <85> 이상 본 발명자에 의해 행해진 발명을 실시예에 의거하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 변경 가능한 것은 말할 필요도 없다.
- <86> 예를 들어, 소진폭 차동 인터페이스의 구체적인 회로구성을 나타냈지만, 차동증폭단 등은 공지의 여러가지의 변형예가 있으며, 차동증폭단보다 후단의 회로구성도 여러가지의 변형이 가능하다. 또, MOSFET에 한정되지 않고 바이폴라 트랜지스터에 의해 구성할 수도 있다. 또, 로직용의 전원전압(VCC), 액정구동전압(VLCD) 및 MOSFET의 사이즈 등, 실시형태에서 구체적으로 나타낸 값도 적절하게 변경 가능하다.
- <87> 다음에, 도1의 차동증폭단(1)에 공급하는 전원전압으로서, 액정구동용의 전원전압(VLCD) 이외의 전압을 적용 가능하게 한 구성예에 관해서 설명한다. 도1에 있어서는, 정전류용 MOSFET(Q1)(도1)의 소스단자에 액정구동용의 전원전압(VLCD)이 접속되어 있지만, 이하, 이 소스단자에 제2 전원전압(VDD2)이 접속되는 경우를 설명한다.
- <88> 도9는 소진폭 차동 인터페이스에 공급하는 제2 전원전압(VDD2)을 복수의 전압 중에서 선택 가능하게 하는 선택 회로의 일례를 나타내는 도이다.
- <89> 이 실시예는 소진폭 차동 인터페이스(101)의 차동증폭단(1)에 공급되는 제2 전원전압(VDD2)을 액정구동용의 전원전압(VLCD)과 액정의 계조구동을 위해 외부에서 공급되는 계조전원(V0 ~ V10) 중 적당한 것(예를 들어 전압이 높은 쪽에서 4개 등) 중에서 어느것 인가를 선택할 수 있도록 한 것이다.
- <90> 차동증폭단(1)의 전원전압(VDD2)은 로직용의 전원전압(VCC)에서 어느 정도 크면 효과가 얻어지고, 반대로 너무 크면 소자내압을 과도하게 높일 필요가 생기기 때문에, 그것에 의해 소비전력이 어느 정도 크게 되어 버리는 것을 생각할 수 있다. 그래서, 이 실시예에서는 액정구동용의 전원전압(VLCD)보다 전위가 낮은 계조전원(V0, V1, ...)을 차동증폭단의 전원전압(VDD2)으로서 선택 가능하게 하며, 전원전압(VLCD)이 너무 큰 경우에 그 이하의 계조전원(V0, V1, ...)을 적용하는 것이다.
- <91> 계조전원(V0 ~ V10)은 액정드라이버의 내부에서 소정의 비율로 저항 분할되고, 그것에 의해 예를 들어 64×2 계조의 구동전압이 생성된다. 구동전압은 액정패널의 특성에 따라 다른 값이 구해지므로, 계조전원(V0 ~ V10)을 외부입력으로서, 그것을 저항 분할하여 내부생성되는 구동전압의 값을 가변으로 하고 있다.
- <92> 따라서, 계조전원(V0 ~ V10)의 값은 적용되는 시스템에 의해 달라지므로, 전원전압(VDD2)에 적용하는 경우에는

여러개의 계조전압(V0, V1, ...) 중에서 어느것 인가를 선택 가능하도록 하면 상태가 좋다.

- <93> 도9의 선택회로는 소진폭 차동 인터페이스(101)에 공급되는 차동증폭단(1)의 전원전압(VDD2)의 전원라인(Lvdd2)과, 액정구동용의 전원전압(VLCD) 및 계조전압(V0 ~ V3)이 각각 인가되는 전원선(L00, L0 ~ L3)과의 사이에 고내압의 스위치 MOSFET(MS1 ~ MS5)를 각각 설치하고, 그 소스단자와 드레인단자를 통해서 접속한 것이다. 그리고, 이들 스위치 MOSFET(MS1 ~ MS5)의 게이트 단자에 선택신호가 공급되도록 한 것이다.
- <94> 선택신호는, 예를 들어 액정드라이버에 전용의 입력단자를 설치하고, 이 입력단자를 통해서 외부에서 공급되도록 한다. 혹은 액정드라이버 내에 제어 레지스터를 설치하고, 이 제어레지스터에 설정된 값에 의거하여 제어 레지스터에서 공급되도록 해도 된다.
- <95> 이와 같이, 차동증폭단(1)의 전원전압(VDD2)로서 계조전원(V0 ~ V3)의 어느것을 적용한 경우에서도, 차동입력신호의 중심전압의 변동허용폭을 크게 하거나, 로직용의 전원전압(VCC)를 낮게 하여 내부회로의 고속화와 소비전력의 저감을 도모할 수 있는 효과가 얻어진다.
- <96> 또한, 이 실시예의 액정드라이버에서는, 액정구동용의 전원전압(VLCD)이 상당히 높은 경우에, 그것보다 낮은 계조전압(V0 ~ V3) 중에서 적당한 것을 선택하여 차동증폭단(1)의 전원전압(VDD2)으로 할 수 있으므로, 차동증폭단(1)의 소자내압을 과도하게 높이지 않아도 되고, 그것에 의한 소비전력의 증가를 억제할 수 있다.
- <97> 또한, 전원전압(VDD2)으로서 액정구동용 전원전압(VLCD)과 계조전원(V0 ~ V3)을 선택 가능하게 하는 구성은 상기의 스위치 MOSFET를 이용한 구성에 한정되지 않고, 여러가지 구성이 적용 가능하다.
- <98> 도10과 도11에는 COF 패키지의 경우에 배선필름 상의 배선에 의해 전원전압의 선택을 가능하게 한 구성예를 나타낸다.
- <99> 이 예는, 액정드라이버(100)의 실장구조로서, 배선필름(51) 상에 액정구동장치로서의 반도체칩(52)을 실장하여 이루어지는 COF(Chip on Film) 패키지를 채용한 것이다. 이 예에서는, 액정드라이버(100)의 회로를 집적한 반도체칩(52)에 제2 전원전압(VDD2)의 접속패드(G0)를 설치하는 한편, 배선필름(51)의 배선을 적절하게 선택함으로써, 전원전압(VDD2)을 액정구동용 전원전압(VLCD)과 계조전원(V0, V1, ...) 중에서 선택 가능하게 하고 있다.
- <100> 예를 들어, 도10, 도11과 같이, 배선필름(51) 상에 형성되는 점선으로 나타내는 배선(H1, H2)에 의해 전원전압(VDD2)의 접속패드(G0)와, 액정구동용 전원전압(VLCD)의 입력패드(J00) 또는 계조전원(V0, V1, ...)의 접속패드(J0, J1, ...)의 어느것에 접속함으로써, 전원전압(VDD2)으로서 액정구동용 전원전압(VLCD)과 계조전원(V0, V1, ...) 중 어느것을 선택할 수 있다.
- <101> 도12와 도13에는 마스터 슬라이스 방식의 배선패턴에 의해 제2 전원전압(VDD2)의 선택을 가능하게 한 예를 나타낸다.
- <102> 이 예는, 반도체칩(52)의 제조과정에서, 배선패턴에 의해 전원전압(VDD2)의 선택을 행하는 것이다. 도12, 도13과 같이, 배선패턴으로서, 예를 들어 제2 전원전압(VDD2)의 전원선(Lvdd2)과, 액정구동용 전원전압(VLCD)의 입력패드(J00) 또는 계조전원(V0, V1, ...)의 입력패드(J0 ~ J3)의 어느것이 접속되는 배선패턴을 적절하게 선택함으로써, 제2 전원전압(VDD2)으로서 액정구동용 전원전압(VLCD)과 계조전원(V0, V1, ...) 중 어느것을 선택할 수 있다.
- <103> 도14는, 반도체칩(52)에 설치된 퓨즈소자를 절단함으로써 제2 전원전압의 선택을 가능하게 한 구성예이다.
- <104> 이 예는, 예를 들어 전원전압(VDD2)의 전원선(Lvdd2)과, 액정구동용 전원전압(VLCD)과 계조전원(V0, V1, ...)의 입력패드와의 사이에 퓨즈회로(FS)를 설치해 두고, 웨이퍼 단계 혹은 반도체칩과 패키지의 단계에서 불필요한 퓨즈소자(FS)를 절단함으로써, 제2 전원전압(VDD2)으로서 액정구동용 전원전압(VLCD)과 계조전원(V0, V1, ...)의 어느것을 선택할 수 있다. 퓨즈소자(FS)는 예를 들어 레이저를 이용하여 절단하거나, 프로브를 이용하여 소정의 전류를 흘리는 것으로 절단한다.
- <105> 도15에는 소진폭 차동 인터페이스(101)에 공급되는 제2 전원전압을 생성하는 회로의 일예를 나타낸다.
- <106> 상술의 실시예에서는, 차동증폭단(1)에 공급되는 제2 전원전압(VDD2)으로서, 액정구동용 전원전압(VLCD)과 계조전원(V0, V1, ...)을 직접 이용하는 예를 나타냈지만, 이 실시예는 액정구동용의 전원전압(VLCD)을 이용하여 그것보다 낮은 전압을 생성하여 제2 전원전압(VDD2)으로서 공급하는 것이다.
- <107> 전압생성회로에 관해서는, 여러가지의 공지기술을 적용할 수 있지만, 예를 들어 도15와 같이, 액정구동용의 전

원전압(VLCD)을 저항(R1, R2)에 의해 저항 분할하고, 분할하여 얻어진 전위를 전압폴로어(follower)(40)를 통해서 출력하도록 하여 구성할 수 있다.

- <108> 또, 도15에서는 전원전압(VLCD)을 이용하여 제2 전원전압(VDD2)을 생성했지만, 전원전압(VLCD) 대신에 계조전원(V0, V1, ...)을 이용해도 되며, 또한 그들로부터 생성된 전압을 이용해도 된다.
- <109> < 제2의 실시예 >
- <110> 이 제2 실시예는, 제1의 실시예에서 설명한 액정드라이버(100)에, 차동의 표시데이터(DATAP, DATAN)가 입력되는 소진폭 차동 인터페이스(101)의 차동증폭단(1)의 동작전류를 불필요할 때에 차단하는 대기기능을 부가한 것이다. 즉, 제1의 실시예에서 설명한 소진폭 차동 인터페이스(101)의 차동증폭단(1)의 전원전압(VLCD, VDD2)은 내부회로의 전원전압(VCC)보다 높게 되므로, 차동증폭단(1)의 소비전력은 무시할 수 없는 값으로 되어 버린다. 또한, 액정시스템에서는, 제1의 실시예의 액정드라이버(100)를 예를 들어 8개 이용하여 만들어지므로 시스템의 소비전력은 크게 된다고 생각된다. 그래서, 본 실시예에서는, 제1의 실시예의 차동증폭단(1)에 대기기능을 부가하여 소비전력을 극력 저하시키는 것이 가능한 액정드라이버(100)에 관해서 설명된다.
- <111> 도16에는, 대기기능이 부가된 제2 실시예의 소진폭 차동 인터페이스의 회로도의 일례를 나타낸다.
- <112> 이 소진폭 차동 인터페이스에서는, 도1의 소진폭 차동 인터페이스(101)에서의 주된 변경점으로서, 정전류용 MOSFET(Q1)의 게이트 단자에 인가되는 바이어스 전압을 일정한 동작전류를 공급하기 위한 전류제어용 전압(SVGPDO)과, 제2 전원전압(VDD2)으로 전환 가능하게 되어 있다. 또, 그것에 부수하여, 차동증폭단(1)을 비액티브로 했을 때에 차동증폭단(1)의 출력노드(n4)의 전위를 강제적으로 로레벨로 유지하는 스위치 MOSFET(Q21)가 설치되어 있다.
- <113> 정전류용 MOSFET(Q1)의 바이어스 전압을 전환하는 구성은, 고내압 MOSFET를 구동하기 위해 로직용의 대기신호(STB)를 높은 전압으로 변환하는 레벨 시프트회로(5)와, 전원전압(VDD2)과 정전류용 MOSFET(Q1)의 게이트 단자를 접속/차단하는 고내압에서 P채널형의 스위치 MOSFET(Q15)와, 전류제어용 전압(SVGPDO)과 정전류용 MOSFET(Q1)의 게이트 단자를 접속/차단하는 고내압 P채널형의 스위치 MOSFET(Q16)와, 신호반전용의 인버터(INV20)등으로 구성된다. 또한, 전원전압(VCC, VDD2)의 차(差)가 그다지 없는 경우에는 레벨 시프트회로(5)는 생략되어도 된다.
- <114> 상기의 구성에 의하면, 대기신호(STB)가 로레벨인 상태에서는, 전류제어용 전압(SVGPDO)을 접속하는 스위치 MOSFET(Q16)가 온(on)이 되며, 전원전압(VDD2)을 접속하는 스위치 MOSFET(Q15)가 오프(off)가 된다. 그것에 의해, 정전류용 MOSFET(Q1)의 게이트에 전류제어용 전압(SVGPDO)이 인가되어 차동증폭단(1)에 동작전류가 공급된다.
- <115> 또한, 이때 출력노드(n4)에 접속된 스위치 MOSFET(Q21)는 오프되어 작용을 미치지 않는다. 이 스위치 MOSFET(Q21)는 N채널형의 것이므로, 그 게이트에 입력되는 신호는 레벨 시프트회로(5)로 레벨 변환하지 않아도 스위치 MOSFET(Q21)를 오프시킬 수 있다.
- <116> 한편, 대기신호(STB)가 하이레벨로 되면, 전원전압(VDD2)을 접속하는 스위치 MOSFET(Q15)가 온으로, 전류제어용 전압(SVGPDO)을 접속하는 스위치 MOSFET(Q16)가 오프로 된다. 그것에 의해, 정(定)전류용 MOSFET(Q2)의 게이트에 전원전압(VDD2)이 인가되어 차동증폭단(1)의 동작전류가 차단된다.
- <117> 또한, 이때, 출력노드(n4)의 스위치 MOSFET(Q21)가 온되어 출력노드(n4)의 전위는 강제적으로 그라운드(GND)로 낮추어진다. 그것에 의해, 구동단(2)과 버퍼단(3)의 상태가 안정하여 관통전류가 차단된다.
- <118> 상기의 대기신호(STB)는 도시는 생략하지만, 예를 들어 상술의 소진폭 차동 인터페이스를 구비한 액정드라이버에 있어서, 외부에서 입력되는 클럭신호와 타이밍 펄스에 의거하여 내부의 타이밍신호를 생성하는 타이밍 제어회로 등에서 공급된다.
- <119> 도17은, 상기의 대기기능이 부가된 액정드라이버를 이용하여 구성된 액정표시 시스템의 일례를 나타내는 구성도이다. 이하, 설명을 알기 쉽게 하기 위해, 도2에서 데이터 래치회로(122)에 입력되어 있는 외부클럭(CLK1)의 것을 수평 클럭(CL1)으로, 차동앰프(12)에 입력되어 있는 외부클럭(CLP, CLN)의 것을 전송클럭(CL2)으로 호칭을 변경한다.
- <120> 이 도에 있어서, 33은 액정을 충전한 패널에 TFT(thin film transistor) 어레이와 컬러표시를 가능하게 하는 3원색 컬러필터가 배설(配設)된 액정패널, 32는 상기 TFT 어레이의 게이트 선을 수평주사 클럭(CL3)에 동기시켜

순서대로 구동하는 주사드라이버(게이트선 드라이버), 34는 액정구동에 필요한 각종의 전원전압을 생성하는 액정구동 전원회로, 35는 TFT 어레이의 소스선을 구동하는 대기기능이 부가된 액정구동장치로서의 액정드라이버(소스선 드라이버), 31은 액정드라이버(35)로 표시데이터를 공급함과 동시에 상기 액정드라이버(35)와 주사드라이버(32)로 제어신호와 동작 타이밍을 부여하는 제어장치로서의 컨트롤러이다. 또한 상기 각 회로(31, 32, 34, 35)에 기준전위로 되는 전원전압(VCC) 및 접지전위(GND)를 공급하는 단자 및 배선도, 액정표시 시스템에 설치된다.

- <121> 상기 액정구동 전원회로(34)는 액정패널(33)로의 대향전극 전압(VCOM)과, 주사드라이버(32)로의 TFT 어레이의 게이트선 구동용의 전압(VGON, VGOFF) 및 액정드라이버(35)로의 액정구동용 전원전압(VLCD)과 게조전원(V0 ~ V9)을 각각 생성한다. 또한, 전원회로(34)에서 출력되는 전압(VLCD, V0 ~ V9)의 공급배선(LVS)은 액정드라이버(35)의 각각에 각 전압(VLCD, V0 ~ V9)을 공급하기 위한 배선이며, 본 발명의 액정시스템에도 설치되어 있다. 따라서, 액정시스템의 배선(LVS)을 변경하지 않고, 본 발명의 액정드라이버(100, 35)를 액정시스템으로 이용할 수 있다.
- <122> 이 실시예의 액정표시 시스템에 있어서는, 액정패널(33)의 소스선의 수에 맞추어 액정드라이버(35)가 복수개(예를 들어 8개) 배선된다. 그리고, 이들 복수의 액정드라이버(35)가 각각 대응하는 384개(128화소×3원색)의 소스선을 각각 구동하는 한편, 주사드라이버(32)에 의해 각 게이트선이 순차 구동되어 감으로써 액정패널(33)의 전(全)영역에서 표시동작이 행해지도록 되어 있다. 또한, 도17의 액정드라이버(35)는 제1 실시예의 구동드라이버(100)로 되어도 액정시스템을 구성 가능하다.
- <123> 도18은, 액정표시 시스템의 동작을 설명하는 타임차트이다. 이 도에 있어서, 상2단과 하3단은 시간축의 척도를 다르게 기록하고 있다. 또, FRM은 프레임 기간을 나타내는 프레임 신호이다.
- <124> 도17의 액정표시 시스템에 있어서는, 컨트롤러(31)에서 각 액정드라이버(35 ...)로, 표시데이터(DATA)에 더하여, 1수평기간을 나타내는 수평클록(CL1)과, 표시데이터(DATA)의 전송타이밍을 부여하는 전송클록(CL2) 등이 출력된다. 표시데이터(DATA)는 3원색×1라인(1024화소)의 데이터를 전송단위로 하여, 1수평기간의 중에서 연속하여 전송된다. 표시데이터(DATA)와 전송클록(CL2)은 각각 차동신호가 이용되고 있다.
- <125> 또, 복수의 액정드라이버(35)에는 연속하여 전송되는 1라인분의 표시데이터(DATA) 중 각 드라이버에 의해 담당되는 3원색×128화소분의 표시데이터(DATA)가 각각 입력된다. 각 액정드라이버(35)에는 담당분의 표시데이터(DATA)만이 입력되도록, 표시데이터(DATA)의 입력 타이밍을 알리는 인에이블 신호(EIO)가 각각 별도의 타이밍으로 입력되도록 되어 있다.
- <126> 인에이블 신호(EIO)는 먼저, 컨트롤러(31)에서 첫번째의 액정드라이버(35)에 출력되고, 그것에 의해 첫번째의 액정드라이버(35)에서 표시데이터의 입력이 개시된다. 그 후 전송이 진행하여, 첫번째의 액정드라이버(35)에서 담당분의 데이터 입력이 완료하는 직전이되면, 상기 액정드라이버(35)에서 두번째의 액정드라이버(35)로 인에이블 신호(EIO)가 전송된다. 두번째의 액정드라이버(35)에서는, 이 인에이블 신호(EIO)에 의거하여 표시데이터의 입력을 동일하게 개시하고, 담당분의 데이터 입력이 완료하기 직전에 다음단의 액정드라이버(35)로 인에이블 신호(EIO)를 전송한다. 그리고, 이와 같은 처리가 첫째단부터 최종단의 액정드라이버(35)에 걸쳐 실행됨으로써, 1라인분의 전(全)표시데이터가 각각 분할되어 복수의 액정드라이버(35)에 입력되도록 되어 있다.
- <127> 또한, 도18에서는 컨트롤러(31)와 각 액정드라이버(35...)에서 출력되는 인에이블 신호(EIO)를 정리하여 1단으로 기록하고 있으며, EI00은 컨트롤러(31)에서 출력되는 것, EI01은 첫번째의 액정드라이버(35)에서 출력되는 것, EI08은 마지막 액정드라이버(35)에서 출력되는 것이다. 마지막 액정드라이버(35)에서 생성된 인에이블 신호(EI08)의 출력치는 없다.
- <128> 각 액정드라이버(35)가 인에이블 신호(EIO)를 다음단으로 전송하는 타이밍은 예를 들어 각 액정드라이버(35)에 내장되는 타이밍 제어회로에 있어서, 인에이블 신호(EIO)의 입력후의 전송클록(CL2)을 계수하는 것으로 가능할 수 있다..
- <129> 도17과 도18에 나타내는 바와 같이, 표시데이터(DATA)는 클록신호(CL2P)의 상승과 하강의 양쪽의 타이밍으로 액정드라이버(35)에 전송된다. 전송레이트는 1클록당 1화소 6비트의 계조데이터가 3원색분 포함되는 18비트, 1클록의 편(片)엿지당으로는 그 절반인 9비트이다.
- <130> 표시데이터(DATA)는 1수평기간에 3원색×1라인분의 데이터가 전송되지만, 다음 라인의 전송에 이행될 때까지, 표시데이터의 전송이 행해지지 않는 블랭크 기간이 생긴다. 또, 각 액정드라이버(35)는 1라인의 표시데이터(DATA)의 전송 중, 담당분의 표시데이터(DATA)만을 입력하고, 그 이외의 분이 전송되고 있는 동안은 입력처리를

행하지 않는다.

- <131> 따라서, 이 실시예의 액정드라이버(35)에서는, 상기 표시데이터(DATA)의 입력이 행해지지 않는 기간에 소진폭 차동 인터페이스(101)를 대기모드로 하여 소비전력을 삭감하는 처리가 행해진다.
- <132> 도19에는 각 액정드라이버에서 행해지는 대기처리의 동작 타이밍의 타이밍차트의 일례를 나타낸다.
- <133> 대기처리는 액정드라이버(35)에 내장된 타이밍 제어회로에 의해, 액정표시 시스템의 표시제어에 필요한 신호를 이용하여 실행된다.
- <134> 도19는, 대기모드에서 복귀하기 위한 신호로서 수평클록(CL1)을 이용한 예이다. 즉, 각 액정드라이버(35)의 타이밍 제어회로에 컨트롤러(31)에서의 수평클록(CL1)이 입력되고, 그 상승이 검출된 경우에, 타이밍 제어회로에서 출력되는 대기신호(STB)가 로레벨로 되어, 대기모드가 해제된다.
- <135> 한편, 대기모드의 개시는 각 액정드라이버(35)의 타이밍 제어회로가 각 담당분의 표시데이터(DATA)의 입력을 완료한 것을 검출함으로써 행해진다. 각 액정드라이버(35)의 타이밍 제어회로는 수평클록(CL1)의 후에 입력되는 인에이블 신호(EIO)에 의거하여 표시데이터(DATA)의 입력을 개시시키고, 카운터로 전송클록(CL2)을 계수하면서 표시데이터(DATA)를 입력시킨다. 그리고, 담당분(3원색×128화소)의 표시데이터(DATA)의 마지막 데이터가 소진폭 차동 인터페이스(101)를 통과하여 후단의 데이터 래치회로(122) 또는 데이터 레지스터(104) 등의 래치회로에 래치된 타이밍을 상기 카운터의 계수치에서 검출한다. 그리고, 이 검출에 의거하여 소진폭 차동 인터페이스(101)에 출력되는 대기신호(STB)를 하이레벨로 하여 대기모드로 이행시킨다.
- <136> 도20에는 대기처리의 동작 타이밍의 그 이외의 예를 나타낸다.
- <137> 이 예는, 대기모드에서 복귀하기 위한 신호로서 인에이블 신호(EIO)를 이용한 것이다. 즉, 각 액정드라이버(35)에 내장되는 타이밍 제어회로에 의해, 인에이블 신호(EIO)의 상승이 검출된 경우에 소진폭 차동 인터페이스(101)에 공급되는 대기신호(STB)가 로레벨로 되어 대기모드가 해제된다. 대기모드의 개시에 관해서는 도19의 예와 동일하다.
- <138> 이상과 같이, 이 제2 실시예의 액정드라이버(35) 및 액정표시 시스템에 의하면, 각 액정드라이버에서 표시데이터(DATA)가 전송되지 않는 기간에, 소진폭 차동 인터페이스(101)의 차동증폭단(1)의 동작전류가 차단되므로, 차동증폭단(1)의 전원전압(VDD2)이 내부회로의 전원전압(VCC)보다 높게 되어도 소비전력을 더욱 저감할 수 있다.
- <139> 또한, 도19와 도20의 예에서는, 후자의 쪽이 보다 효율적으로 대기모드를 발생시킬 수 있으므로, 소비전력도 더욱 저감할 수 있지만, 인에이블 신호(EIO)의 입력에서 표시데이터(DATA)의 입력개시까지의 기간이 짧은 경우에는, 소진폭 차동 인터페이스(101)의 대기해제가 시간내 맞추어 질 수 없다는 염려가 생기므로, 그와 같은 경우에는 도19의 예를 적용하면 된다.
- <140> < 제3의 실시예 >
- <141> 도21은, 제3 실시예의 액정드라이버에서 표시데이터와 전송클록의 입력부를 나타내는 회로도이다.
- <142> 제3의 실시예는 제1과 제2의 실시예에서 나타난 액정드라이버에서, 표시데이터(DATA)의 전송타이밍을 부여하는 전송클록(CL2)의 입력회로에 관해서 개량한 것이다.
- <143> 차동의 전송클록(CL2)(그 정상(正相)측을 CL2P, 부상(負相)측을 CL2N으로 나타낸다)을 차동앰프에 입력하는 경우, 차동앰프의 특성에 의해, 차동증폭단을 통과하는 전송클록(CL2)의 상승시간과 하강시간을 동일하게 하는 것은 어렵고, 차동신호의 중심전압, 전원전압 혹은 온도 등의 조건에 의해, 이들의 시간에 어긋남이 생기게 된다. 그러므로, 차동앰프를 통과하는 전송클록(CL2)은 상승신호의 지연시간(이하, 상승지연이라고 부른다)과, 하강신호의 지연시간(이하, 하강지연이라고 부른다)이 어긋나 버린다.
- <144> 따라서, 전송클록(CL2)을 1개의 차동앰프에 입력하고, 이 입력클록의 양(兩)엿지를 이용하여 1클록으로 2회, 차동의 표시데이터(DATA)(그 정상측을 DATAP, 부상측을 DATAN이라 기록한다)의 입력을 행하도록 한 경우, 예를 들어 외부에서 입력되는 전송클록(CL2P, CL2N)의 중심전압이 크게 어긋난 경우 등에, 전송클록(CL2)의 클록 스큐(skew)가 크게 되며, 표시데이터(DATA)의 입력이 정확하게 행해지지 않게 된다는 염려가 생긴다. 그리고, 이와 같은 문제를 회피하기 위해, 상기와 같은 구성의 경우에는 외부 입력되는 전송클록(CL2)과 표시데이터(DATA)의 신호파형의 조건을 엄하게 규정할 수 밖에 없었다.
- <145> 그래서, 제3 실시예의 액정드라이버에 있어서는, 도21에 나타내는 바와 같이, 전송클록(CL2)이 입력되는 2개의

차동앰프(12, 13)를 구비하고, 이들의 차동앰프(12, 13)를 통해서 각각 입력된 2계통의 클록(CC3, CC4)에 의거하여 표시데이터(DATA)를 래치회로(15, 16)로 래치하도록 구성한 것이다.

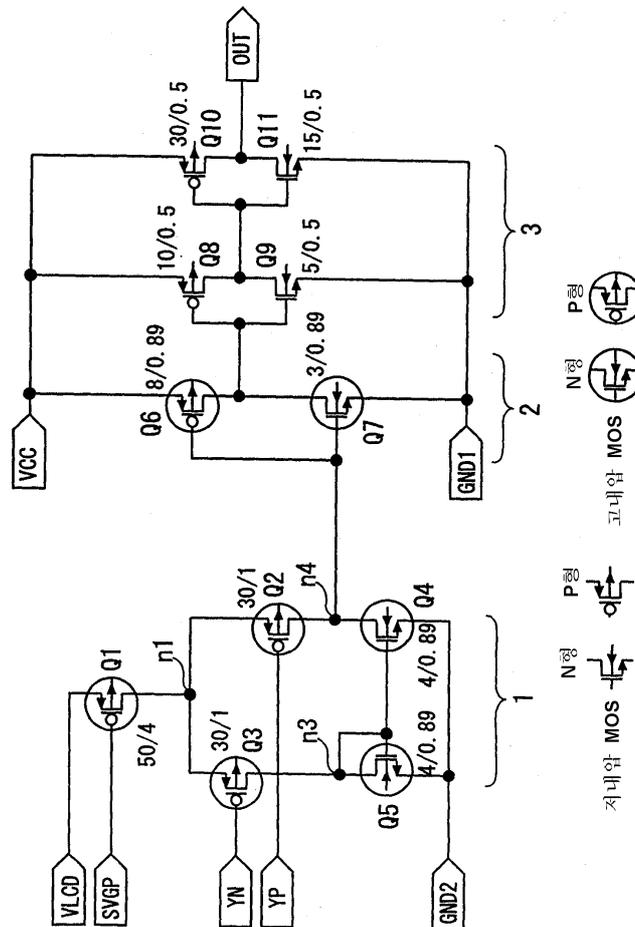
- <146> 표시데이터(DATA)는 소진폭 차동 인터페이스(101)의 차동앰프(11)와 타이밍 조정용의 지연회로(14)를 통해서 입력된다. 또, 래치회로(15, 16)는 소진폭 차동 인터페이스(101)의 후단에 설치된 데이터 레지스터(104)(도2)를 구성하는 것이다.
- <147> 2개의 차동앰프(12, 13) 중 한쪽의 차동앰프(12)는 그 정상(正相) 입력단자에 정상의 전송클록(CL2P)이, 부상(負相) 입력단자에 부상의 전송클록(CL2N)이 각각 입력되도록 접속되어 있다. 다른쪽의 차동앰프(13)는 그 정상 입력단자에 부상의 전송클록(CL2N)이 부상 입력단자에 정상의 전송클록(CL2P)이 각각 입력되도록 접속되어 있다.
- <148> 또, 한쪽의 래치회로(15)는 차동앰프(12)에서의 클록신호(CC4)의 상승에서 표시데이터(DATA)를 입력하고, 다른쪽의 래치회로(16)는 차동앰프(13)에서의 클록신호(CC3)의 상승에서 표시데이터(DATA)를 입력하도록 구성되어 있다.
- <149> 도22는, 도21의 회로에서 표시데이터와 전송클록의 지연량을 각각 나타낸 파형도이다.
- <150> 상기와 같은 구성에 의하면, 도22(a)에 나타내는 바와 같이, 차동앰프(12, 13)에서의 상승지연과 하강지연에는 어긋남이 생기지만, 차동앰프(12, 13)의 정상 입력단자와 부상 입력단자가 서로 반대로 접속하고 있으므로, 차동앰프(13) 통과 후의 신호(CC3)의 상승 타이밍(T3)과, 차동앰프(14) 통과 후의 신호(CC4)의 상승 타이밍(T4)은 각각 전송클록(CL2P)(= 신호(CC1))의 하강 타이밍(T1)과 상승 타이밍(T2)에서 차동앰프(12, 13)의 상승지연(DF, DR)을 각각 더한 타이밍이 된다.
- <151> 따라서, 이 제3 실시예의 전송클록(CL2)의 입력방식에 의하면, 래치회로(15)에 래치 타이밍을 부여하는 신호(CC4)의 상승과, 래치회로(16)에 래치 타이밍을 부여하는 신호(CC3)의 상승 엇지와의 발생간격이 균등하게 되고, 그만큼 표시데이터(DATA)의 입력에러가 발생하기 어렵게 된다. 그러므로, 차동의 전송클록(CL2)과 차동의 표시데이터(DATA)의 중심전압 등의 조건을 완화할 수 있으며, 또 보다 고속인 표시데이터(DATA)의 전송도 가능하게 된다.
- <152> 이상 본 발명자에 의해 행해진 발명을 실시예에 의거하여 구체적으로 설명했지만, 본 발명은 상기 제1 ~ 제3의 실시예에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 말할 필요도 없다.
- <153> 예를 들어 제3 실시예에서는, 대기모드를 해제하는데 수평클록(CL1)과 인에이블 신호(EIO)를 이용했지만, 그 이외 연속적인 표시데이터의 전송의 개시를 알 수 있는 신호가 시스템에서 이용되고 있는 경우에는, 그와 같은 신호를 이용하여 대기모드의 해제를 행해도 된다. 또, 대기모드의 개시에 관해서도, 연속적인 표시데이터의 전송의 종료로 알 수 있는 신호를 시스템에서 이용하고 있는 경우에, 그와 같은 신호를 이용하여 대기모드를 개시하도록 구성해도 된다. 그 밖에, 대기신호 자체를 칩외에서 입력하는 구성으로 하고, 액정표시 시스템에서 각 클록의 타이밍 제어를 행하는 컨트롤러 등에 의해 각 액정드라이버에 대기신호를 공급하도록 구성해도 된다.
- <154> 또, 대기모드에서 소진폭 차동 인터페이스(101)의 차동증폭단의 동작전류를 차단하는 구성으로서, 제3 실시예에서는 전류용 MOSFET(Q1)의 바이어스 전압을 전환하는 구성을 나타냈지만, 그 밖에 전원전압(VDD2)의 공급을 차단하는 구성 등 여러가지 방식이 있을 수 있다.
- <155> 또, 제2 실시예에서는 대기모드를 수평기간마다 발생시키도록 설명했지만, 예를 들어 프레임 기간의 최초와 최후에 표시데이터의 전송이 행해지지 않는 수평기간이 있는 경우에, 이들의 수평기간을 전부 대기모드하도록 제어해도 된다. 또, 프레임 기간의 최초와 최후에만 대기모드를 발생시켜, 표시데이터의 전송이 있는 수평기간에는 대기모드를 해제하도록 구성해도, 종래보다 소비전력을 저감시킬 수 있다.
- <156> 또, 제3 실시예의 전송클록(CL2)의 입력회로에 있어서, 전송클록(CL2)을 입력하는 2개의 차동앰프는 완전히 동일한 회로구성으로 할 필요는 없고, 상승지연 또는 하강지연이 동등하게 되면 회로구성은 임의이다.
- <157> 또, 제1 실시예에서는, 차동의 표시데이터(DATA)를 안정적으로 입력하기 위해, 소진폭 차동 인터페이스(101)에서 차동증폭단(1)의 동작전압을 후단의 구동단(2)과 버퍼단(3)의 동작전압(VCC)보다도 크게 되도록 구성했지만, 그 밖에 동작전압을 크게 하는 대신에 차동증폭단(1)의 구성소자에 저(低)문턱치전압의 MOSFET를 사용하고, 후단의 구동단(2)과 버퍼단(3)의 구성소자에 고(高)문턱치전압의 MOSFET를 사용하여 소진폭 차동 인터페이스(101)를 구성해도 동작전원을 바꾼 경우와 동일한 작용에 의해, 표시데이터(DATA)의 안정적인 입력을 행하는 것이다.

가능하다.

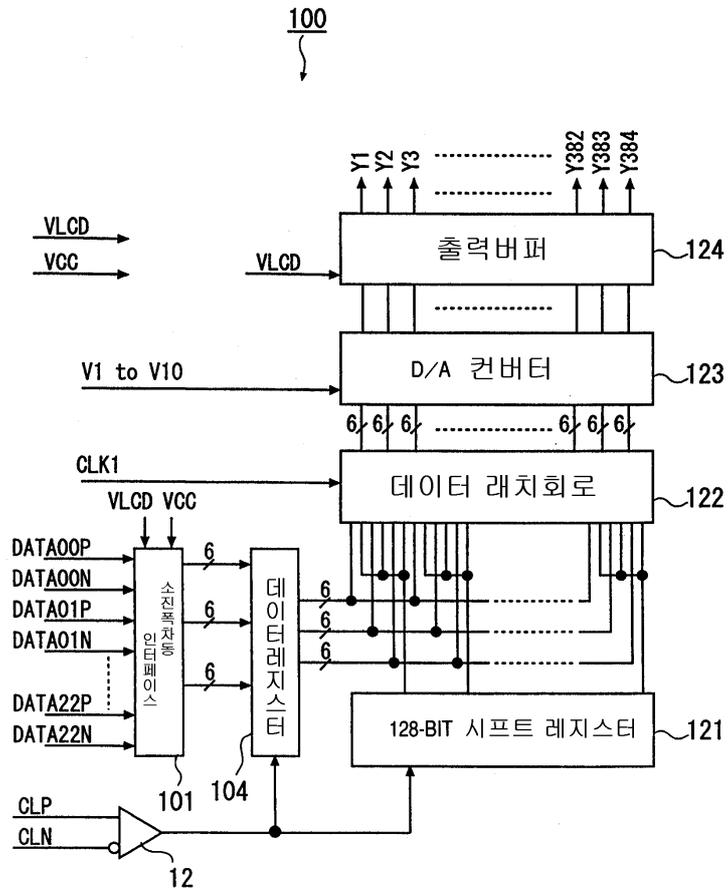
- <158> 본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 하기와 같다.
- <159> 즉, 본 발명에 따르면, 소진폭 차동신호 인터페이스와 같은 차동형 회로에서, 입력차동신호의 중심전압의 변동 허용폭을 넓게 취하고, 또 소비전력의 저감을 도모할 수 있다는 효과가 있다.
- <160> 또, 소진폭 차동신호 인터페이스를 구비한 반도체집적회로에 있어서, 입력차동신호의 변동허용폭을 넓게 취하고, 또 로직용의 전원전압을 낮게 하여 소비전력의 저감을 도모할 수 있다는 효과가 있다.
- <161> 또, 대기기능에 의해, 표시데이터가 전송되지 않은 블랭크 기간에 소진폭 차동 인터페이스의 차동증폭단에 흐르는 동작전류가 차단되므로, 액정구동회로의 소비전력 및 액정시스템의 소비전력을 더욱 저감할 수 있다.
- <162> 또, 표시데이터의 연속 전송을 알리는 수평클럭과 인에이블 신호에 의거하여 대기기능이 자동적으로 해제되는 기능과, 연속 전송되는 일련의 표시데이터의 마지막을 검출하여 자동적으로 대기기능을 개시하는 기능을 채용함으로써, 대기기능을 위해 새로운 외부신호를 설치할 필요가 없고, 종전의 시스템을 그대로 적용할 수 있는 효과가 있다.
- <163> 또, 차동의 클럭신호의 양옆지를 이용하여 1개의 클럭으로 2회의 데이터 입력을 행하는 입력 인터페이스에 있어서, 정상과 부상의 입력단자를 서로 반대로 한 2개의 차동앰프로 클럭신호를 입력하고, 이들의 클럭신호를 이용하여 데이터를 입력함으로써, 클럭 스큐를 감소시켜 안정적으로 데이터를 입력할 수 있다. 계속해서, 차동의 클럭신호와 데이터신호의 파형의 조건을 완화하거나, 보다 고속인 데이터 전송을 행하는 것이 가능하게 된다.

도면

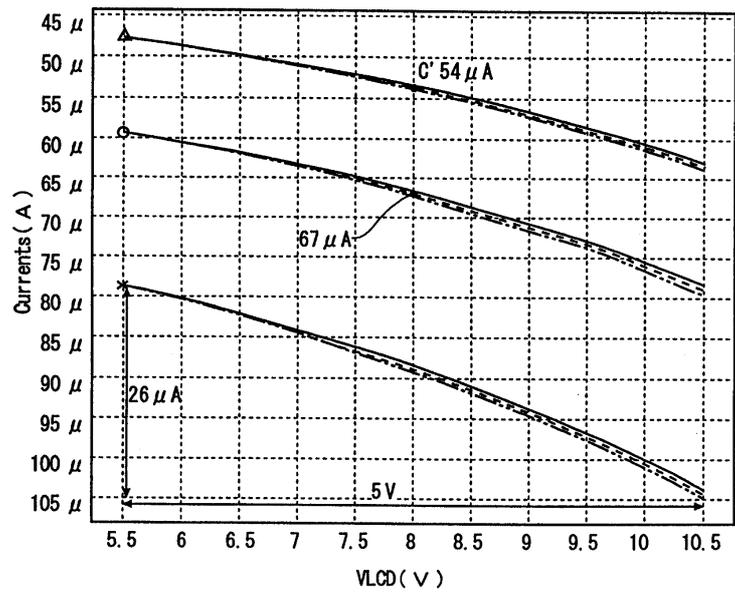
도면1



도면2

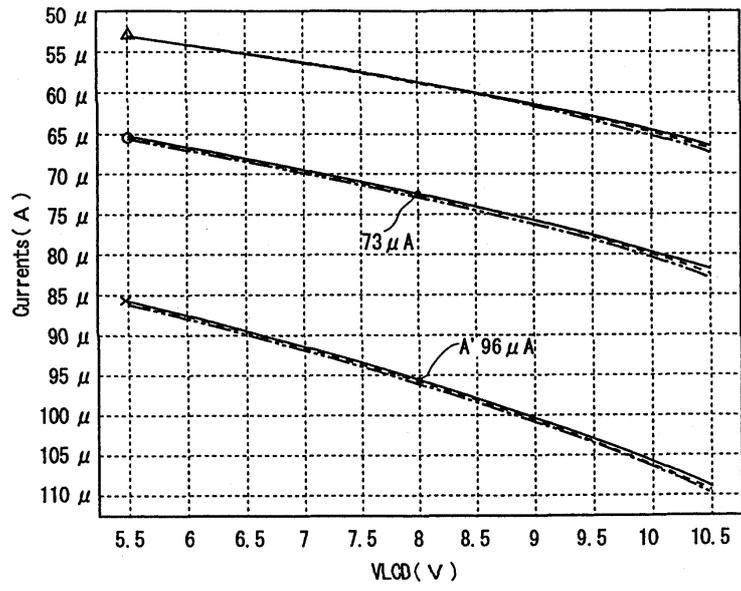


도면3



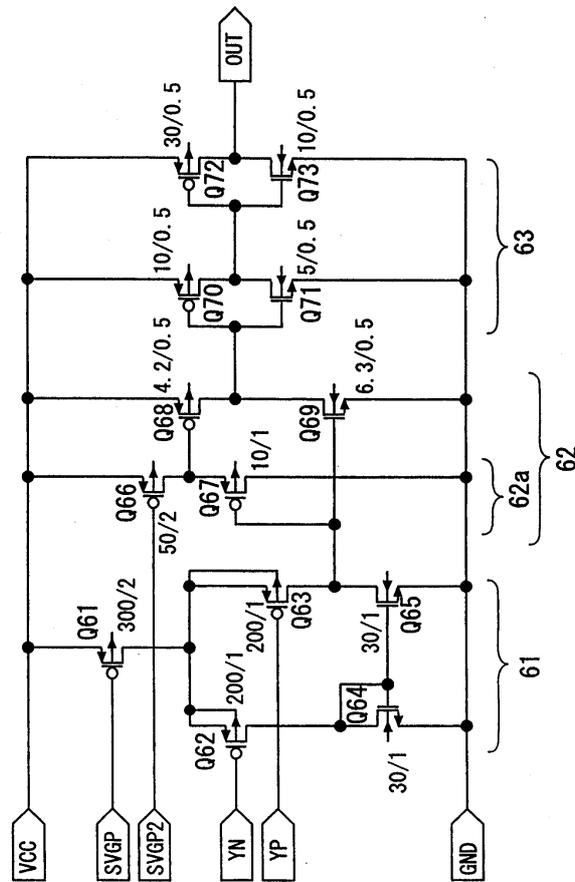
- ×—— Vref=2.4V, -30°C
- Vref=2.4V, 25°C
- △—— Vref=2.4V, 75°C
- ×- - - - Vref=1.2V, -30°C
- - - - Vref=1.2V, 25°C
- △- - - - Vref=1.2V, 75°C
- ×- - - - Vref=0.5V, -30°C
- - - - Vref=0.5V, 25°C
- △- - - - Vref=0.5V, 75°C

도면4

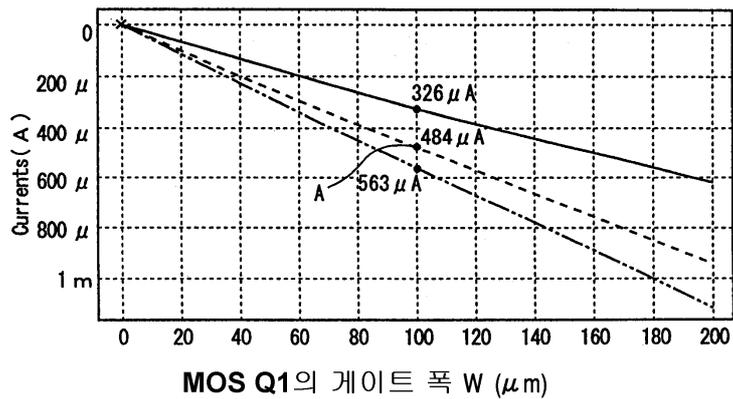


- ×—— Vref=2.4V, -30°C
- Vref=2.4V, 25°C
- △—— Vref=2.4V, 75°C
- ×----- Vref=1.2V, -30°C
- Vref=1.2V, 25°C
- △----- Vref=1.2V, 75°C
- ×----- Vref=0.5V, -30°C
- Vref=0.5V, 25°C
- △----- Vref=0.5V, 75°C

도면5

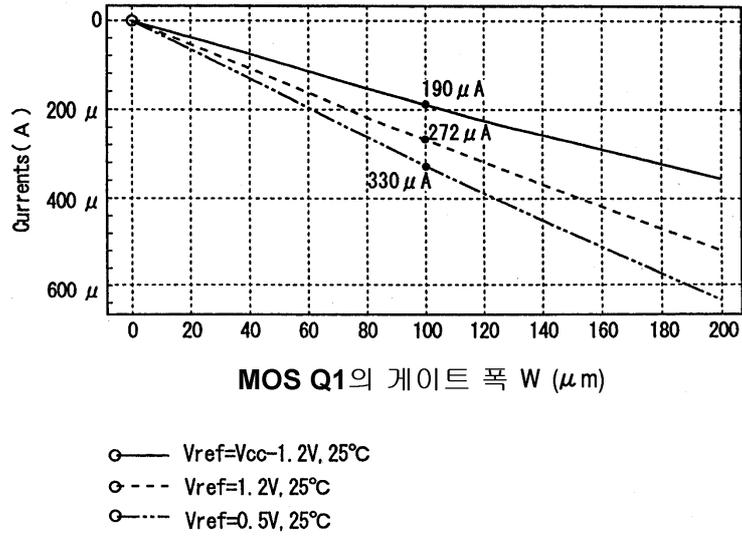


도면6

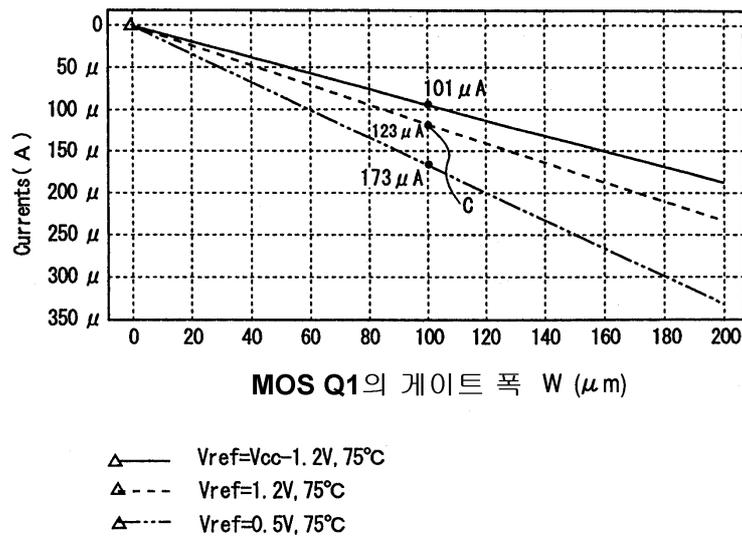


- × — Vref=Vcc-1.2V, -30°C
- × - - - Vref=1.2V, -30°C
- × ··· Vref=0.5V, -30°C

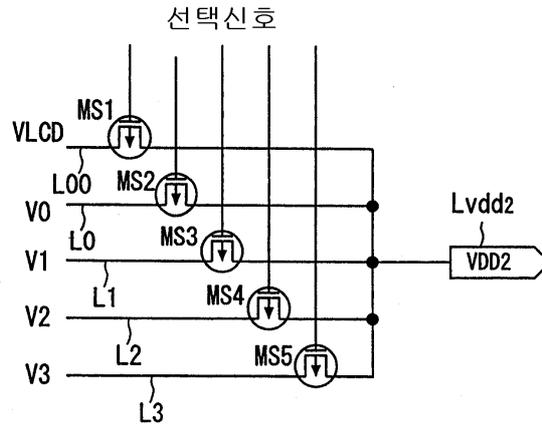
도면7



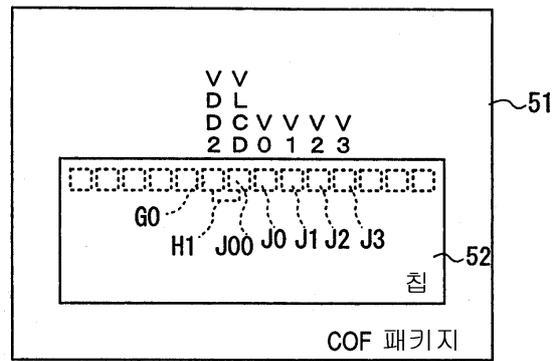
도면8



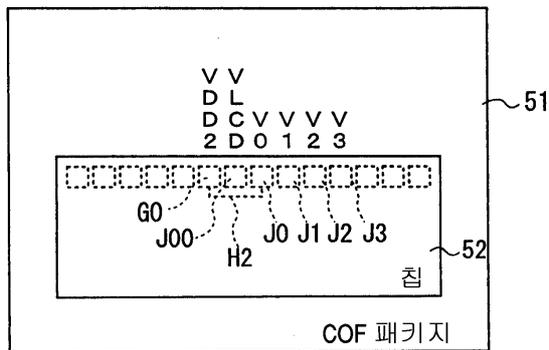
도면9



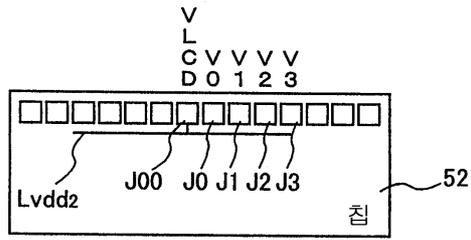
도면10



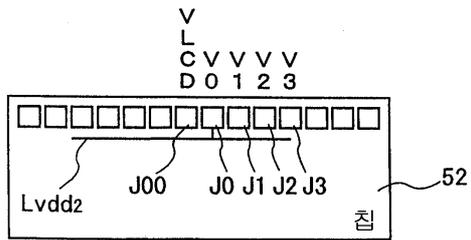
도면11



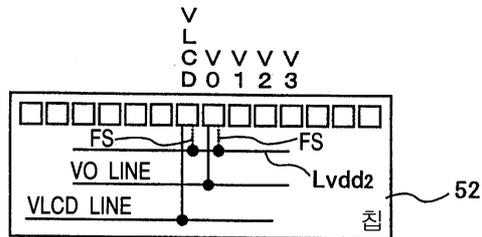
도면12



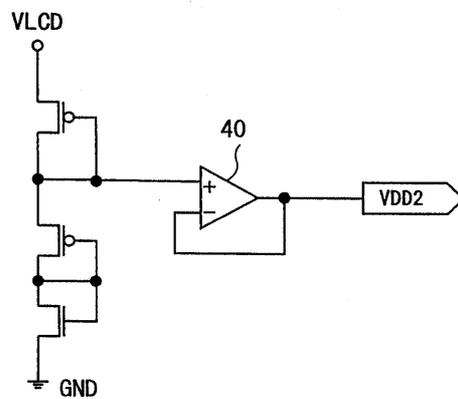
도면13



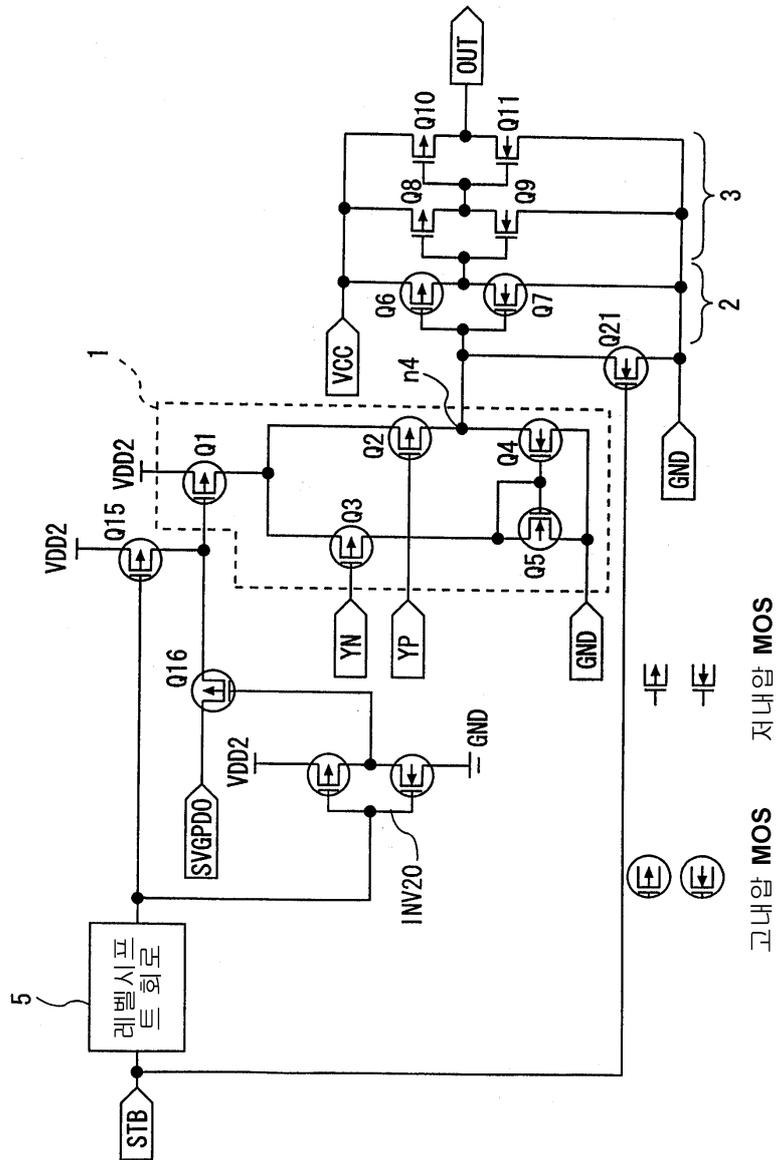
도면14



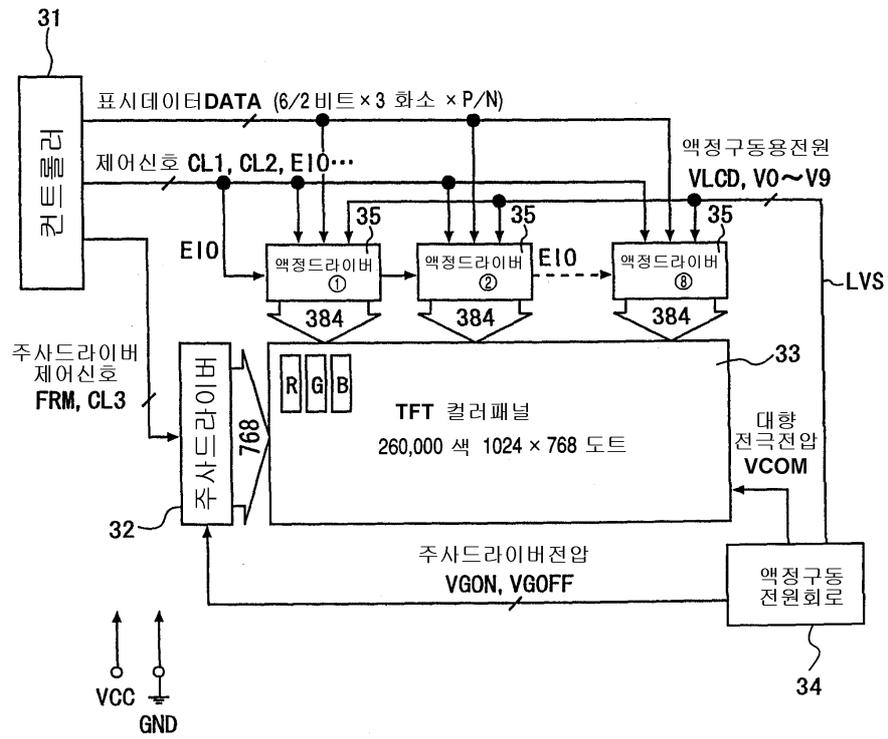
도면15



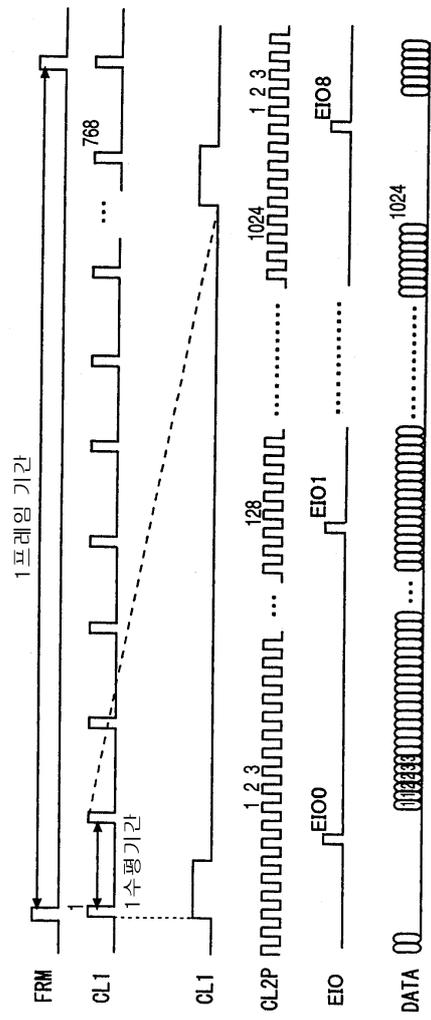
도면16



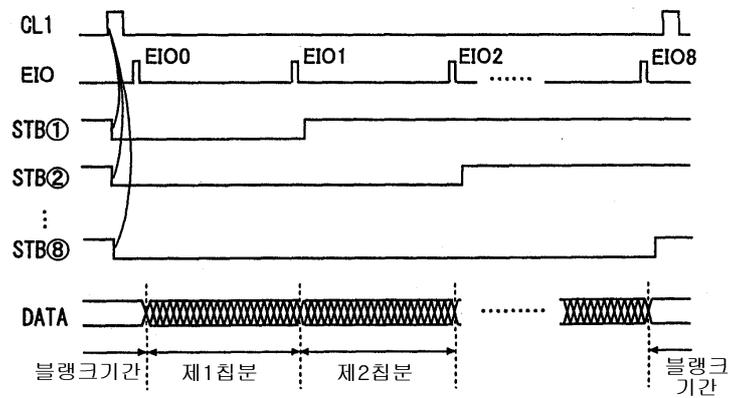
도면17



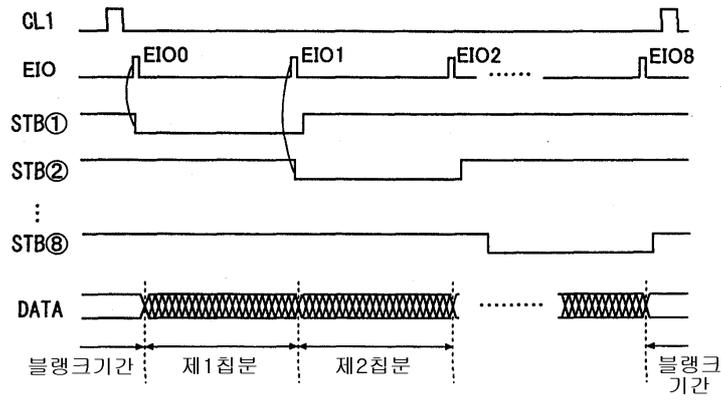
도면18



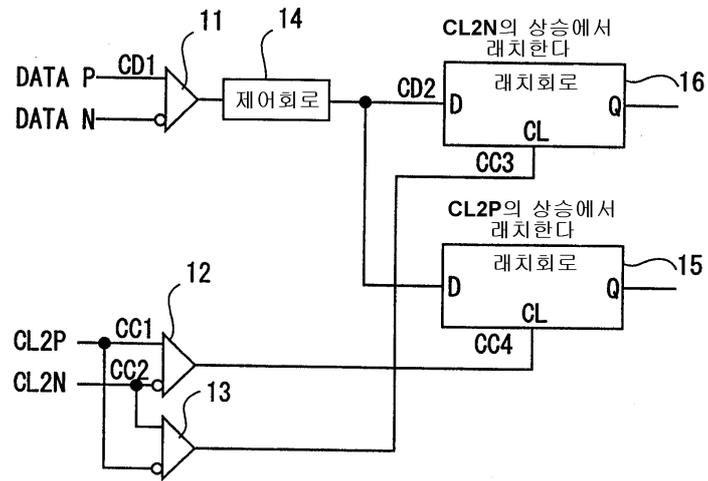
도면19



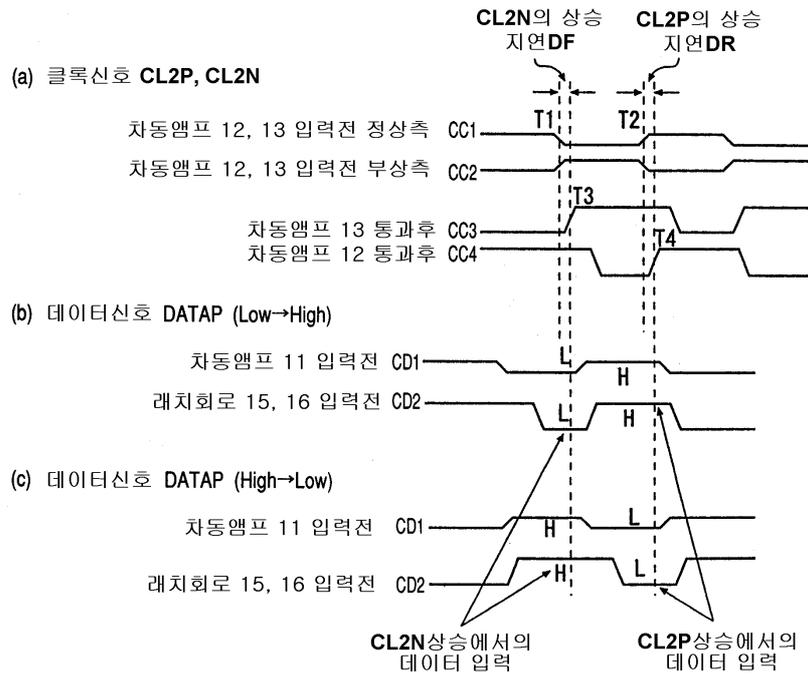
도면20



도면21



도면22



专利名称(译)	半导体集成电路，液晶驱动装置和液晶显示系统		
公开(公告)号	<a href="#">KR100828225B1</a>	公开(公告)日	2008-05-07
申请号	KR1020037007393	申请日	2001-10-25
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA 日立器件工程株式会社 日立超大规模集成电路系统株式会社 可否让这个夏日立初形成电路使我无惊喜		
申请(专利权)人(译)	株式会社日立制作所 히타치디바이스엔지니어링가부시킴가이샤 가부시킴가이샤히타치초에루.에스.아이.시스템즈		
当前申请(专利权)人(译)	株式会社日立制作所 히타치디바이스엔지니어링가부시킴가이샤 가부시킴가이샤히타치초에루.에스.아이.시스템즈		
[标]发明人	KINJO ARATA 긴조아라타 OOKADO KAZUO 오오카도카즈오 KOTERA KOUICHI 코테라코이치 ODA HITOSHI 오다히토시 ENDO MASUHIRO 엔도마수히로		
发明人	긴조아라타 오오카도카즈오 코테라코이치 오다히토시 엔도마수히로		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3611 G09G3/3696 G09G2310/027 G09G2310/0297 G09G2330/02 G09G2330/021 G09G2330/022 G09G2330/06 G09G2360/02 G09G2370/08		
优先权	2000372863 2000-12-07 JP		
其他公开文献	KR1020030065532A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

一种液晶驱动装置，包括差分输入电路，该差分输入电路具有用于接收差分信号 ( YN , YP ) 的差分放大级 ( 1 ) 和具有驱动级和缓冲级的输出级 ( 2,3 ) ，并适于产生响应于差分信号 ( YN , YP ) 的输出的输出信号 ( OUT ) 。液晶驱动装置通过输入电路接收显示数据信号作为差分信号，并根据显示数据输出用于驱动液晶的信号。高于提供给输出级 ( 2,3 ) 的逻辑的电源电压 ( VCC ) 的液晶驱动电压 ( VDD2 ) 被提供给输入电路的差分放大级 ( 1 ) 。液晶驱动装置具有在没有输入显示数据期间切断差动放大级 ( 1 ) 的工作电流的待机功能。©KIPO & WIPO 2007

