(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월14일
(11) 등록번호 10-0814183
(24) 등록일자 2008년03월10일

(51) Int. Cl.
G02F 1/136 (2006.01)
(21) 출원번호 10-2004-0019633
(22) 출원일자 2004년03월23일
심사청구일자 2006년05월24일
(65) 공개번호 10-2004-0084720
(43) 공개일자 2004년10월06일
(30) 우선권주장
JP-P-2003-00090834 2003년03월28일 일본(JP)
JP-P-2003-00369354 2003년10월29일 일본(JP)
(56) 선행기술조사문헌
KR1019990030267 A
KR1020000062586 A

(73) 특허권자
샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고
(72) 발명자
사와사끼마나부
일본가나가와껭가와사끼시나까하라꾸가미꼬다나까 4쪼메1-1후지쯔디스플레이테크놀로지스코포레이션내
다노세도모노리
일본가나가와껭가와사끼시나까하라꾸가미꼬다나까 4쪼메1-1후지쯔디스플레이테크놀로지스코포레이션내
미사끼가쯔노리
일본가나가와껭가와사끼시나까하라꾸가미꼬다나까 4쪼메1-1후지쯔디스플레이테크놀로지스코포레이션내
(74) 대리인
구영창, 장수길, 주성민

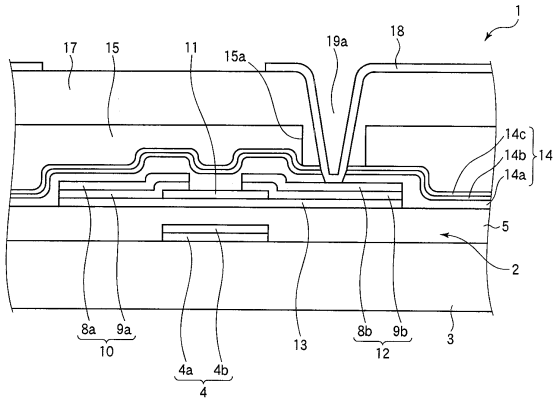
전체 청구항 수 : 총 10 항 심사관 : 임동재

(54) 액정 표시 장치용 기판 및 그것을 이용한 액정 표시 장치

(57) 요 약

어레이 기판측에 CF를 갖는 LCD용 기판에서의 CF의 잔사나 박리를 억제하여 도통 불량을 없앤다. 복수의 화소 영역에 각각 형성된 화소 전극과 그 화소 전극을 구동하는 TFT(2)와의 사이에 형성되는 패시베이션막(14)을 SiN층(14a, 14b), SiO층(14c)의 적층 구조로 하고, 그 최상층을 SiO층(14c)으로 한다. 이러한 적층 구조의 패시베이션막(14) 상에 수지 CF층(15)을 형성한다. 수지 CF층(15)은 SiO층(14c) 상에 직접 형성됨으로써, 그 밀착력의 저하가 억제되고, 수지 CF층(15) 형성 시에는 CF의 박리가 발생하기 어렵게 되고, 수지 CF층(15)으로의 컨택트홀 형성 시에는 CF의 잔사가 발생하기 어렵게 된다. 그에 따라, 도통 불량이 억제되고, 표시 특성이 우수한 신뢰성이 높은 TFT 기판(1) 및 LCD가 실현된다.

대표도 - 도1



특허청구의 범위

청구항 1

복수의 화소 영역에 각각 형성된 화소 전극과 상기 화소 전극을 구동하는 스위칭 소자와의 사이에 형성된 패시베이션막과, 상기 패시베이션막 상에 형성된 컬러 필터층을 갖는 액정 표시 장치용 기판에 있어서,

상기 패시베이션막은 질화 실리콘층과 산화 실리콘층 또는 산질화 실리콘층과의 적층 구조를 갖고, 상기 컬러 필터층에 접하여 상기 산화 실리콘층 또는 상기 산질화 실리콘층이 형성되어 있는

것을 특징으로 하는 액정 표시 장치용 기판.

청구항 2

제1항에 있어서,

상기 질화 실리콘층은 상기 컬러 필터층에 접하는 상기 산화 실리콘층 혹은 상기 산질화 실리콘층에 가까운 영역일수록 실리콘 원자 농도가 높아지게 형성되고, 또는 상기 컬러 필터층에 접하는 상기 산화 실리콘층 혹은 상기 산질화 실리콘층에 가까운 영역일수록 실리콘 원자에 결합하는 수소 원자의 농도가 높아지게 형성되어 있는 것을 특징으로 하는 액정 표시 장치용 기판.

청구항 3

복수의 화소 영역에 각각 형성된 화소 전극과 상기 화소 전극을 구동하는 스위칭 소자와의 사이에 형성된 패시베이션막과 상기 패시베이션막 상에 형성된 컬러 필터층을 갖는 액정 표시 장치용 기판과, 상기 액정 표시 장치용 기판에 대향 배치되는 대향 기판과, 상기 액정 표시 장치용 기판과 상기 대향 기판과의 사이에 협지된 액정층을 갖는 액정 표시 장치에 있어서,

상기 액정 표시 장치용 기판은 상기 패시베이션막이 질화 실리콘층과 산화 실리콘층 또는 산질화 실리콘층과의 적층 구조를 갖고, 상기 컬러 필터층에 접하여 상기 산화 실리콘층 또는 상기 산질화 실리콘층이 형성되어 있는

것을 특징으로 하는 액정 표시 장치.

청구항 4

대향 기판에 액정층을 협지하여 대향 배치되는 절연성 기판과,

상기 절연성 기판 상에 배치되어 스위칭 소자와 질화 실리콘층과 산화 실리콘층 또는 산질화 실리콘층과 수지 컬러 필터층과 화소 전극이 순서대로 형성된 복수의 화소 영역으로 이루어지는 표시 영역과,

상기 표시 영역의 상기 수지 컬러 필터층과 상기 화소 전극과의 사이에 형성된 절연성 수지 재료로 이루어지는 오버코트층을 갖고,

상기 스위칭 소자 상의 각 층에 개구된 컨택트 홀의 개구 단면적은, 상기 수지 컬러 필터층>상기 오버코트층≥상기 산화 실리콘층 또는 상기 산질화 실리콘층≥상기 질화 실리콘층의 관계를 갖고 있는 것을 특징으로 하는 액정 표시 장치용 기판.

청구항 5

화소 영역에 형성된 스위칭 소자와,

상기 화소 영역에 형성된 수지 컬러 필터층과,

상기 수지 컬러 필터층 상에 형성된 화소 전극과,

상기 스위칭 소자와 상기 화소 전극을 전기적으로 접속하기 위해서 상기 수지 컬러 필터층을 관통하여 형성되고, 바닥부 윤곽의 세로 방향과 가로 방향의 길이가 다르고, 각(角)부가 라운딩을 띤 컨택트 홀

을 포함하는 것을 특징으로 하는 액정 표시 장치용 기판.

청구항 6

제5항에 있어서,

상기 바닥부 윤곽의 장축과 단축의 길이의 비(장단축 길이비=단축 길이/장축 길이)는 0.5 이하인 것을 특징으로 하는 액정 표시 장치용 기판.

청구항 7

화소 영역에 형성된 스위칭 소자와,

상기 화소 영역에 형성된 수지 컬러 필터층과,

상기 수지 컬러 필터층 상에 형성된 화소 전극과,

상기 스위칭 소자와 상기 화소 전극을 전기적으로 접속하기 위해 상기 수지 컬러 필터층을 관통하여 바닥부 윤곽을 형성한 컨택트용 홈과,

상기 화소 영역 내를 횡단하는 축적 용량 버스 라인

을 포함하고,

상기 컨택트용 홈의 바닥부 윤곽은 상기 축적 용량 버스 라인 상측에 형성되고, 상기 축적 용량 버스 라인의 폭보다 좁은 것을 특징으로 하는 액정 표시 장치용 기판.

청구항 8

삭제

청구항 9

제5항 내지 제7항 중 어느 한 항에 있어서,

상기 수지 컬러 필터층의 색마다 상기 바닥부 윤곽 내의 개구 면적이 다른 것을 특징으로 하는 액정 표시 장치용 기판.

청구항 10

제5항 내지 제7항 중 어느 한 항에 있어서,

상기 수지 컬러 필터층의 형성 재료는 네가티브형인 것을 특징으로 하는 액정 표시 장치용 기판.

청구항 11

제9항에 있어서,

상기 수지 컬러 필터층의 형성 재료는 네가티브형인 것을 특징으로 하는 액정 표시 장치용 기판.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<59> 본 발명은 액정 표시 장치용 기판 및 그것을 이용한 액정 표시 장치에 관한 것으로, 특히 박막 트랜지스터 등의 스위칭 소자가 형성된 어레이 기판측에 컬러 필터가 형성된 액정 표시 장치용 기판 및 그와 같은 액정 표시 장치용 기판을 이용한 액정 표시 장치에 관한 것이다.

<60> 종래, 박막 트랜지스터(Thin Film Transistor ; TFT)를 스위칭 소자로서 이용한 액티브 매트릭스형 액정 표시 장치(Liquid Crystal Display ; LCD)로서는, 역스태거형 TFT-LCD 등이 제안되고 있다(예를 들면, 특허 문헌 1 참조). 최근에는 넓은 개구율의 실현을 위해, TFT 등의 스위칭 소자가 형성된 어레이 기판측에 컬러 필터(Color Filter; CF)를 형성한 CF-on-TFT 구조의 LCD용 기판을 이용한 LCD도 제안되어 있다(예를 들면, 특허 문헌 2 참조). 이러한 CF-on-TFT 구조의 LCD용 기판에는, 통상, 화소 전극과의 컨택트 부분을 제외한 TFT 상에

무기 절연 재료로 이루어지는 패시베이션막이 형성된다.

<61> 도 13은 종래의 CF-on-TFT 구조의 LCD용 기판의 1 화소 영역의 일례의 평면도, 도 14는 도 13의 B-B 단면도이다. TFT 기판(100)에는 투명 절연성 기판(101) 상에 게이트 버스 라인(GB)(102)이 형성되어 있다. 그 위에는 전면에 절연막(103)이 형성되고, 절연막(103)을 개재하여 게이트 버스 라인(102)에 교차하여 드레인 버스 라인(DB)(104)이 형성되어 있다. 게이트 버스 라인(102) 및 드레인 버스 라인(104)에 의해 획정되는 영역이 화소 영역이 된다. 그리고, 게이트 버스 라인(102) 및 드레인 버스 라인(104)의 교차 위치 근방에 TFT(105)가 형성된다.

<62> TFT(105)는 상부 금속층(106a) 및 오믹 컨택트층(107a)으로 구성되는 드레인 전극(108)을 갖고 그 단부가 게이트 버스 라인(102) 상측에 형성된 채널 보호막(109) 상의 단부에 위치하도록 형성되어 있다. 상부 금속층(106b) 및 오믹 컨택트층(107b)으로 구성되는 소스 전극(110)은 드레인 전극(108)과 마찬가지로 하여 채널 보호막(109)의 타단부측에 형성되어 있다. 절연막(103)과 채널 보호막(109) 사이에는 동작 반도체층(111)이 형성되고, 동작 반도체층(111)은 오믹 컨택트층(107a, 107b)과 접속되어 있다. 이러한 구성의 TFT(105)에서, 채널 보호막(109) 바로 아래의 게이트 버스 라인(102) 영역이 게이트 전극으로서 기능하고, 이들 사이의 영역에 있는 절연막(103)이 게이트 절연막으로서 기능한다.

<63> TFT(105)의 상층에는 질화 실리콘(Si_3N_x; 이하 「SiN」이라고 기재함)의 패시베이션막(112)이 형성되고, 패시베이션막(112)을 개재하여 화소 영역 내에 수지 CF층(113)이 형성되어 있다. 수지 CF층(113) 상에는 오버코트(OC)층(114)이 형성되고, OC층(114) 상에 투명 산화 전극막을 패터닝하여 화소 전극(115)이 형성되어 있다. 화소 전극(115)은 OC층(114) 및 패시베이션막(112)을 관통하는 컨택트 홀(116a)을 통하여 소스 전극(110)에 접속되어 있다. 마찬가지로, 화소 전극(115)은 축적 용량 버스 라인(CB)(117) 상에 절연막(103)을 개재하여 형성된 축적 용량 전극(118)에도 컨택트 홀(116b)을 개재하여 접속되어 있다.

<64> 이와 같이, 종래의 CF-on-TFT 구조의 TFT 기판에서는 TFT(105)와 수지 CF층(113)과의 사이에 SiN의 패시베이션막(112)이 형성된다. 수지 CF층(113)에는, 예를 들면 색 성분으로서 안료를 분산한 수지가 이용되기 때문에, 패시베이션막(112)을 형성함으로써, 안료의 무기 성분이 동작 반도체층(111) 등으로 확산하는 것을 방지하고 있다.

발명이 이루고자 하는 기술적 과제

<65> 그러나, TFT의 상층에 SiN의 패시베이션막을 개재하여 수지 CF층을 형성하면, SiN 표면의 수산기(OH기)의 상태가 경시적으로 변화함으로써 패시베이션막과 수지 CF층과의 밀착력이 저하하게 되어, 수지 CF층 형성 시에는 SiN 표면으로부터 CF가 박리되게 되거나, TFT에 도달하는 컨택트 홀 형성 시에는 수지 CF층의 에칭 잔사가 컨택트 홀 내에 남게 되는 문제가 있었다. 이러한 CF의 잔사나 박리에 의해 색 순도 불량과 같은 문제가 발생하고, 또한 컨택트 홀 내에 성막하는 화소 전극 재료의 패턴 불량에 의해 화소 전극과 TFT가 컨택트되지 않는다고 하는 문제가 발생하는 경우도 있다.

<66> 특허 문헌 1 : 일본 특개평 6-202153호 공보

<67> 특허 문헌 2 : 일본 특개평 10-39292호 공보

<68> 본 발명은 이러한 점을 감안하여 이루어진 것으로, CF의 잔사나 박리가 없고, 도통 불량이 없는 CF-on-TFT 구조의 LCD용 기판 및 그와 같은 LCD용 기판을 이용한 LCD를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<69> 본 발명에서는, 상기 과제를 해결하기 위해, 도 1에 예시하는 구성으로 실현 가능한 LCD용 기판이 제공된다. 본 발명의 LCD용 기판은 복수의 화소 영역에 각각 형성된 화소 전극과 상기 화소 전극을 구동하는 스위칭 소자와의 사이에 형성된 패시베이션막과, 상기 패시베이션막 상에 형성된 CF층을 갖는 LCD용 기판에서, 상기 패시베이션막은 SiN층과 산화 실리콘(SiO_x; 이하 「SiO」라고 기재함)층 또는 산질화 실리콘(SiO_xN_Y ; 이하 「SiON」이라고 기재함)층과의 적층 구조를 갖고, 상기 CF층에 접하여 상기 SiO층 또는 상기 SiON층이 형성되어 있는 것을 특징으로 한다.

<70> LCD용 기판으로서 도 1에 도시한 바와 같은 구성의 TFT 기판(1)에 따르면, 화소 전극(18)과 스위칭 소자인 TFT(2)와의 사이에 형성되는 패시베이션막(14)이 SiN층(14a, 14b), SiO층(14c)의 적층 구조를 갖고 있다. 그

중, SiO층(14c)은 최상층에 형성되고, 상층에 형성되어 있는 수지 CF층(15)에 접하고 있다. SiO층(14c)은 그 표면 상태의 경시 변화가 작아, 안정되어 있기 때문에, 그 위에 수지 CF층(15)을 형성해도 CF의 박리가 발생하기 어렵고, 또한 수지 CF층(15)을 에칭해도 CF의 잔사가 발생하기 어렵다. SiO층(14c) 대신에 SiON층을 이용해도 마찬가지이다.

<71> 또한, 본 발명에서는 복수의 화소 영역에 각각 형성된 화소 전극과 상기 화소 전극을 구동하는 스위칭 소자와의 사이에 형성된 패시베이션막과, 상기 패시베이션막 상에 형성된 CF층을 갖는 LCD용 기판과, 상기 LCD용 기판에 대향 배치되는 대향 기판과, 상기 LCD용 기판과 상기 대향 기판과의 사이에 협지된 액정층을 갖는 LCD에 있어서, 상기 LCD용 기판은 상기 패시베이션막이 SiN층과 SiO층 또는 SiON층과의 적층 구조를 갖고, 상기 CF층에 접하여 상기 SiO층 또는 상기 SiON층이 형성되어 있는 것을 특징으로 하는 LCD가 제공된다.

<72> 이러한 LCD에 따르면, LCD용 기판에 CF의 잔사나 박리가 발생하기 어렵기 때문에, 그 도통 불량의 발생이 억제되고, 이것을 이용하여 제조되는 LCD의 표시 특성, 신뢰성이 향상하게 된다.

<73> ［제1 실시 형태］

<74> 이하, 본 발명의 제1 실시 형태를 TFT가 형성된 TFT 기판을 LCD용 기판으로서 이용하는 LCD에 적용한 경우를 예로 들어, 도면을 참조하여 상세히 설명한다.

<75> (실시예 1-1)

<76> 우선 실시예 1-1에 대하여 설명한다.

<77> 도 1은 실시예 1-1의 TFT 기판의 TFT 부분의 주요부 단면도, 도 2는 실시예 1-1의 TFT 기판의 1 화소 영역의 평면도이다. 단, 도 1은 도 2의 A-A 단면을 도시하고 있다. 실시예 1-1의 LCD는 스위칭 소자로서 도 1 및 도 2에 도시한 바와 같은 TFT(2)가 형성된 TFT 기판(1)과, 공통 전극 등이 형성된 대향 기판을 접합하고, 그 사이에 액정을 봉입한 구조를 갖는다.

<78> 이러한 LCD에 이용되는 TFT 기판(1)에는, 투명 절연성 기판으로서의 유리 기판(3) 상에, 알루미늄(Al)계 금속층(4a)을 개재하여 티탄(Ti), 크롬(Cr), 몰리브덴(Mo) 등의 고융점 금속층(4b)이 적층하여 형성되고, 복수의 게이트 버스 라인(4)(단, 도 2에는 1개만 도시함)이 형성되어 있다. 그 위에는 전면에 SiN으로 이루어지는 절연막(5)이 형성되고, 절연막(5)을 개재하여 게이트 버스 라인(4)에 교차하여 고융점 금속으로 이루어지는 복수의 드레인 버스 라인(6)(단, 도 2에는 2개만 나타냄)이 형성되어 있다. 게이트 버스 라인(4) 및 드레인 버스 라인(6)에 의해 획정되는 영역이 TFT 기판(1)의 화소 영역이 된다. TFT(2)는 이들 게이트 버스 라인(4) 및 드레인 버스 라인(6)의 교차 위치 근방에 형성되어 있다. 이와 같이 TFT(2)가 형성된 각 화소 영역에는 그 부분의 대략 중앙을 가로 지르는 축적 용량 버스 라인(7)이 게이트 버스 라인(4)과 평행하게 형성되어 있다. 축적 용량 버스 라인(7)은 게이트 버스 라인(4)과 마찬가지로, Al계 금속층 및 고융점 금속층의 적층 구조로 구성되어 있다.

<79> TFT(2)는 고융점 금속으로 이루어지는 상부 금속층(8a) 및 n^+형 비정질 실리콘(a-Si)으로 이루어지는 오믹 컨택트층(9a)으로 구성되는 드레인 전극(10)을 갖고, 그 단부가 게이트 버스 라인(4) 상에 형성된 채널 보호막(11) 상의 일단부에 위치하도록 형성되어 있다. 상부 금속층(8a)은 드레인 버스 라인(6)에 접속되고, TFT(2)의 드레인 전극(10)이 드레인 버스 라인(6)에 접속된 상태로 되어 있다. 한편, 상부 금속층(8b) 및 오믹 컨택트층(9b)으로 구성되는 소스 전극(12)은 드레인 전극(10)과 마찬가지로 채널 보호막(11)의 타단부측에 형성되어 있다. 절연막(5)과 채널 보호막(11) 사이에는 a-Si로 이루어지는 동작 반도체층(13)이 형성되고, 동작 반도체층(13)은 오믹 컨택트층(9a, 9b)과 접속되어 있다. 이러한 구성의 TFT(2)에서, 채널 보호막(11) 바로 아래의 게이트 버스 라인(4) 영역이 게이트 전극으로서 기능하고, 이들 사이의 영역에 있는 절연막(5)이 게이트 절연막으로서 기능한다.

<80> TFT(2)의 상층에는 SiN층(14a, 14b) 및 SiO층(14c)을 적층한 패시베이션막(14)이 형성되고, 패시베이션막(14)을 개재하여 화소 영역 내에 수지 CF층(15)이 형성되어 있다. 수지 CF층(15)에는 소스 전극(12)의 바로 위쪽, 및 축적 용량 버스 라인(7) 상에 절연막(5)을 개재하여 형성된 축적 용량 전극(16)의 바로 위쪽의 패시베이션막(14)에 도달하는 컨택트 홀(15a, 15b)이 각각 형성되어 있다. 컨택트 홀(15a, 15b)이 형성된 수지 CF층(15) 상에는 절연성 유기 수지 재료를 이용하여 OC층(17)이 형성되어 있다. OC층(17) 상에 ITO(Indium Tin Oxide) 등으로 이루어지는 투명 도전막이 패터닝되어 화소 전극(18)이 형성되어 있다. 화소 전극(18)은 수지 CF층(15)의 컨택트 홀(15a)이 형성된 영역에, 또한 OC층(17) 및 패시베이션막(14)을 관통하여 형성된 컨택트 홀(19a)을 개

재하여 소스 전극(12)에 접속되어 있다. 마찬가지로, 화소 전극(18)은 OC층(17) 및 패시베이션막(14)을 관통하는 컨택트 홀(19b)을 통하여 축적 용량 전극(16)에도 접속되어 있다.

<81> 상기 구성의 TFT 기판(1)에서, 수지 CF층(15)의 컨택트 홀(15a)을 제외한 영역에서 TFT(2)와 수지 CF층(15)과의 사이에 형성되는 패시베이션막(14)은 유리 기판(3)측으로부터 순서대로 SiN층(14a, 14b) 및 SiO층(14c)이 적층된 구조를 갖고 있다. 그 중, 최상층에 형성되는 SiO층(14c)은 그 표면 OH기의 상태가 TFT 기판(1)의 제조 환경 하에서 경시적으로 거의 변화하지 않는다. 그 때문에, 패시베이션막(14)의 최상층을 SiO층(14c)으로 함으로써, 수지 CF층(15)은 직접 SiO층(14c) 상에 형성되어, 패시베이션막(14)과 수지 CF층(15)과의 사이의 밀착력의 저하를 억제할 수 있다. 이에 의해, 수지 CF층(15)의 형성 시에 발생하는 CF의 패시베이션막(14)으로부터의 박리를 대폭 억제하고, 컨택트 홀(15a, 15b)의 형성 시에 발생하는 CF의 잔사나 박리의 발생을 대폭 억제할 수 있다.

<82> 단, SiO층(14c)을 두껍게 형성하면, 그 막 두께에 의해서는 패시베이션막(14)이 단면 역테이퍼 형상으로 에칭되게 되는 경우가 발생할 수 있다. 이것은 패시베이션막(14)의 에칭에는 통상 불소계 가스가 이용되지만, SiO층(14c)은 그 하층에 형성된 SiN층(14a, 14b)에 비하여 에칭레이트가 느리기 때문이다. 패시베이션막(14)이 이러한 단면 역테이퍼 형상이 되면, 그 후의 화소 전극(18) 형성 시에 투명 도전막 재료가 성막되지 않는 부분이 생기게 되어, TFT(2)의 소스 전극(12)과 화소 전극(18), 혹은 축적 용량 전극(16)과 화소 전극(18)이 컨택트되지 않는 경우가 발생할 수 있다. 그 때문에, 전체적으로 200㎚～400㎚ 정도의 막 두께로 패시베이션막(14)을 형성하는 경우, 그 최상층에 형성하는 SiO층(14c)의 막 두께는 20㎚ 이하로 하는 것이 바람직하다. 또한, SiO층(14c)은 그 표면 상태의 효과를 확실하게 얻기 위해서는 막 두께를 3㎚ 이상으로 형성하는 것이 바람직하다.

<83> 또한, 패시베이션막(14)의 SiN층(14a, 14b)은 상층측의 SiN층(14b)보다도 하층측의 SiN층(14a)을 두꺼운 막으로 형성하고, 이들에 포함되는 Si 원자의 농도(Si 농도)가, 상층측>하층측의 관계를 만족시키도록 형성한다. 혹은 SiN층(14a, 14b) 내의 Si 원자에 결합하는 H 원자의 농도(Si-H 농도)가, 상층측>하층측의 관계를 만족시키도록 형성한다. 이와 같이, 패시베이션막(14)에 포함되는 SiN의 Si 원자와 N 원자의 조성을 변화시켜, 상하층의 Si 농도 혹은 Si-H 농도를 조정함으로써, 이들의 에칭레이트를 제어하여, 패시베이션막(14)이 단면 순테이퍼 형상으로 에칭되게 한다.

<84> 다음으로 상기 TFT 기판(1)의 제조 방법을 도 3 내지 도 12를 참조하여 상세히 설명한다. 도 3은 게이트 버스 라인 형성 공정의 설명도, 도 4는 절연막 형성 공정의 설명도, 도 5는 채널 보호막 형성 공정의 설명도, 도 6은 오믹층 및 금속층 형성 공정의 설명도, 도 7은 전극 및 동작 반도체층 형성 공정의 설명도, 도 8은 패시베이션막 형성 공정의 설명도, 도 9는 CF층 형성 공정의 설명도, 도 10은 OC층 형성 공정의 설명도, 도 11은 화소 전극 접속용 컨택트 홀 형성 공정의 설명도, 도 12는 화소 전극 형성 공정의 설명도이다. 단, 도 3 내지 도 12에서는 도 1 및 도 2에 도시한 요소에 대해서는 동일한 부호를 붙이고, 상세한 설명은 생략한다.

<85> 우선, 게이트 버스 라인 형성 공정에 대하여 설명한다. 게이트 버스 라인(4)의 형성은, 도 3에 도시한 바와 같이 유리 기판(3) 상에 필요에 따라 SiO_x 등의 보호막을 형성하고, 전면에 예를 들면 Al 또는 Al 합금을 스퍼터링법에 의해 막 두께 약 130㎚로 성막한다. 또한 그 위에 예를 들면 Ti 또는 Ti 합금 등의 고융점 금속을 스퍼터링법에 의해 막 두께 약 70㎚로 연속적으로 성막한다. 이에 의해, 유리 기판(3) 상에 합계 약 200㎚의 막 두께의 금속층이 형성된다. 이 금속층 형성에 이용하는 Al 합금으로서는, Al에, 네오디뮴(Nd), 규소(Si), 구리(Cu), Ti, 텅스텐(W), 탄탈(Ta), 스칸듐(Sc) 등을 1종 또는 2종 이상 포함하는 재료를 이용할 수 있다. 또한, 금속층 형성에 이용하는 고융점 금속으로서는, 상기 Ti, Ti 합금 외에, Cr, Mo, Ta, W 및 이들을 포함하는 합금 등을 이용할 수 있다.

<86> 계속해서, 기판 전면에 레지스트층을 형성한 후, 포토마스크 혹은 레티클 등의 제1 마스크를 이용하여 노광하여 레지스트 마스크를 형성한다. 그리고, 염소계 가스를 이용한 드라이 에칭에 의해, 도 3에 도시한 바와 같은 Al계 금속층(4a)과 고융점 금속층(4b)의 적층 구조를 형성하여, 게이트 버스 라인(4)을 형성한다. 그 때, 도 2에 도시한 축적 용량 버스 라인(7)도 동시에 형성하고, 또한 도시하지 않지만 게이트 버스 라인(4) 및 축적 용량 버스 라인(7)의 단자 형성 위치에 단자 전극을 동시에 형성한다.

<87> 다음으로 절연막 형성 공정에 대하여 설명한다. 도 3에 도시한 바와 같이 게이트 버스 라인(4)을 형성하고, 도 2에 도시한 축적 용량 버스 라인(7)을 형성한 후, 도 4에 도시한 바와 같이 SiN을 플라즈마 CVD(Chemical Vapor Deposition)법에 의해 막 두께 약 400㎚로 기판 전면에 성막하여 절연막(5)을 형성한다. 이 절연막(5)은, 상술한 바와 같이 일부가 게이트 절연막으로서 기능하도록 된다. 계속해서, a-Si층(13a)을 플라즈마 CVD법에 의해 막 두께 약 30㎚로 기판 전면에 성막하고, 또한 SiN층(11a)을 플라즈마 CVD법에 의해 막 두께 약 120㎚로 기판

전면에 성막한다.

<88> 다음으로 채널 보호막 형성 공정에 대하여 설명한다. 도 4에 도시한 절연막(5), a-Si층(13a) 및 SiN층(11a) 형성 후에는 스핀코팅 등에 의해 기판 전면에 포토 레지스트를 도포하고, 유리 기판(3)에 대하여 게이트 버스 라인(4) 및 축적 용량 버스 라인(7)을 마스크로 한 배면 노광을 행하고, 자기 정합적으로 게이트 버스 라인(4) 바로 위쪽 및 축적 용량 버스 라인(7) 바로 위쪽의 영역만을 미노광 영역으로 한다. 이어서, 순방향으로 제2 마스크를 이용하여 노광하고, 채널 보호막(11)을 형성하는 영역 위에만 포토 레지스트가 잔존하는 레지스트 패턴을 형성한다. 이것을 에칭 마스크로 하여 도 4에 도시한 SiN층(11a)에 대하여 불소계 가스를 이용한 드라이 에칭을 행하여, 도 5에 도시한 바와 같이 채널 보호막(11)을 형성한다.

<89> 다음으로 오믹층 및 금속층 형성 공정에 대하여 설명한다. 도 5에 도시한 채널 보호막(11)의 형성 후에는 희불산을 이용하여 a-Si층(13a) 표면을 세정하여 자연 산화막을 제거하고, 그 후 빠르게, 도 6에 도시한 바와 같이 n^+형 a-Si층(9c)을 플라즈마 CVD법에 의해 막 두께 약 30㎚로 기판 전면에 형성한다. 계속해서, n^+형 a-Si층(9c) 상에, 도 1 또는 도 2에 도시한 드레인 버스 라인(6), 드레인 전극(10), 소스 전극(12), 축적 용량 전극(16)을 형성하기 위한 Ti(또는 Ti 합금)/Al(또는 Al 합금)/Ti(또는 Ti 합금)로 이루어지는 금속층(20)을 스퍼터링법에 의해 각각 막 두께 약 20㎚/약 75㎚/약 40㎚로 성막한다. 또한, 이 금속층(20)에는 Ti 이외에도 Cr, Mo, Ta, W 등의 고융점 금속 및 이들을 포함하는 합금도 이용할 수 있다. n^+형 a-Si층(9c)은 금속층(20)과 a-Si층(13a)을 양호하게 접속하기 위한 오믹층으로서 기능한다.

<90> 다음으로 전극 및 동작 반도체층 형성 공정에 대하여 설명한다. 도 6에 도시한 바와 같이 n^+형 a-Si층(9c) 상에 금속층(20)을 형성한 후, 기판 전면에 포토 레지스트층을 형성하고, 제3 마스크를 이용하여 포토 레지스트층을 노광한 후, 현상하여 레지스트 패턴을 형성한다. 이 레지스트 패턴을 마스크로 하여, 도 6에 도시한 금속층(20), n^+형 a-Si층(9c) 및 a-Si층(13a)에 대하여 염소계 가스를 이용한 드라이 에칭을 행한다. 이에 의해, 도 7에 도시한 바와 같이 상부 금속층(8a, 8b) 및 오믹 컨택트층(9a, 9b)을 형성하여 드레인 전극(10) 및 소스 전극(12)을 형성하여, 동작 반도체층(13)을 형성한다. 그 때에는 도 2에 도시한 드레인 버스 라인(6) 및 축적 용량 전극(16)도 형성한다. 이 에칭 처리에서, 채널 보호막(11)은 에칭 스토퍼로서 기능한다. 이상의 공정에 의해 유리 기판(3) 상에 TFT(2)가 형성된다.

<91> 다음으로 패시베이션막 형성 공정에 대하여 설명한다. 도 7에 도시한 TFT(2)를 형성한 후, 도 8에 도시한 바와 같이 기판 전면에 SiN층(14a, 14b), SiO층(14c)을 이 순서로 플라즈마 CVD법에 의해 각각 막 두께 약 180㎚, 약 20㎚, 약 5㎚로 성막하여, 패시베이션막(14)을 형성한다. 이 패시베이션막(14)은 다른 방법을 이용하여 형성하는 것도 가능하다. 예를 들면, SiN층(14a, 14b)을 플라즈마 CVD법에 의해 각각 약 180㎚, 약 20㎚로 성막한 후, 기판 전면에 a-Si층을 막 두께 약 5㎚로 성막하여 애싱 처리, 고압 산화, 열 산화, N_2O 플라즈마 처리, N_2+O_2 플라즈마 처리 중 적어도 1가지를 실시하여, 표면에 막 두께 약 5㎚의 SiO층을 형성할 수도 있다. 또한, SiN층(14a, 14b)을 플라즈마 CVD법에 의해 각각 약 180㎚, 약 20㎚로 성막한 후, 기판 전면에 애싱 처리, 고압 산화, 열 산화, O_2 플라즈마 처리, UV 조사 중 적어도 1가지를 실시하여, 표면에 막 두께 약 5㎚의 SiO층을 형성할 수도 있다.

<92> SiO층(14c)은 여기서는 막 두께 약 5㎚으로 하였지만, 상술한 바와 같이 막 두께 3㎚～20㎚의 범위에서 형성할 수 있고, 그에 따라 SiN층(14a, 14b)의 막 두께를 적당하게 변경하도록 해도 된다. 또, SiN층(14a, 14b)은, 적당한 성막 조건으로 1층째의 SiN층(14a)을 성막한 후, 성막 조건을 변경하여 2층째의 SiN층(14b)을 연속 성막하고, 이들 양층의 Si 농도 또는 Si-H 농도가, 상술한 바와 같이, 상층측>하층측이 되도록 형성한다.

<93> 다음으로 CF층 형성 공정에 대하여 설명한다. 도 8에 도시한 패시베이션막(14)의 형성 후에는, 도 9에 도시한 바와 같이 각각의 화소 영역에 대하여 소정 색의 수지 CF층(15)을 형성한다. 수지 CF층(15)은 기판 위에 스트라이프 형상으로 형성한다. 예를 들면 적색 수지를 수지 CF층(15)으로서 형성하는 경우에는, 우선 적색의 안료를 분산시킨 아크릴계 네가티브형 감광성 수지를 스핀 코터나 슬릿 코터 등을 이용하여 기판 전면에 막 두께 약 170㎚로 도포한다. 계속해서, 대형 마스크를 이용한 근접 노광에 의해서, 적색 수지를 형성하는 소정의 복수열에 스트라이프 형상으로 적색 수지가 남도록 패턴을 노광한다. 마지막으로, 수산화칼륨(KOH) 등의 알칼리 현상액을 이용하여 현상하여, 적색의 수지 CF층(15)을 형성한다. 이 때, 이 소정 열에의 수지 CF층(15)의 형성과 동시에, 수지 CF층(15)에 소스 전극(12)의 바로 위쪽의 패시베이션막(14)에 도달하는 컨택트 홀(15a)을 형성한다. 또한, 수지 CF층(15)에는 도 2에 도시한 축적 용량 전극(16)의 바로 위쪽의 영역에서도, 패시베이션막(1

4)에 도달하도록 컨택트 홀(15b)을 동시에 형성한다. 이에 의해, 이 화소 영역에 적색의 분광 특성이 부여됨과 함께, 외광의 TFT(2)로의 입사를 저해하는 차광 기능이 부여되게 된다.

<94> 청색, 녹색의 화소 영역에 대해서도 마찬가지로 형성된다. 즉, 청색의 화소 영역에 대해서는 청색의 안료를 분산시킨 아크릴계 네가티브형 감광성 수지를 도포하여 패터닝하고, 적색 수지를 형성한 열의 이웃의 열에 스트라이프 형상으로 청색의 수지 CF층을 형성한다. 동시에, 이 청색 화소 영역의 TFT의 소스 전극 및 축적 용량 전극에 도달하는 컨택트 홀을 각각 개구한다. 또한, 녹색의 화소 영역에 대해서는 녹색의 안료를 분산시킨 아크릴계 네가티브형 감광성 수지를 도포하여 패터닝하여, 청색 수지를 형성한 열의 이웃의 열에 스트라이프 형상으로 녹색의 수지 CF층을 형성한다. 동시에, 이 녹색 화소 영역의 TFT의 소스 전극 및 축적 용량 전극에 도달하는 컨택트 홀을 각각 개구한다. 이에 의해, 각각의 화소 영역에 청색 또는 녹색의 분광 특성이 부여됨과 함께, 외광의 TFT로의 입사를 저해하는 차광 기능이 부여되게 된다.

<95> 이와 같이 수지 CF층(15)에 컨택트 홀(15a, 15b)을 개구할 때에는 수지 CF층(15)이 패시베이션막(14)의 최상층에 형성된 SiO층(14c) 상에 직접 형성되어 있기 때문에, 수지 CF층(15)의 밀착성이 좋고, CF의 잔사나 박리의 발생이 억제된다.

<96> 다음으로 OC층 형성 공정에 대하여 설명한다. 도 9에 도시한 바와 같이 수지 CF층(15)을 형성한 후, 도 10에 도시한 바와 같이 OC층(17)을 형성한다. OC층(17)은 수지 CF층(15)의 형성과 마찬가지로, OC 수지를 스핀 코터나 슬릿 코터 등을 이용하여 수지 CF층(15) 형성 후의 기판 전면에 도포하고, 온도 140℃ 이하로 가열 처리한다. 여기서 사용하는 OC 수지는 절연성이며 네가티브형 감광성을 갖는 아크릴계 수지이다. 계속해서, 대형 마스크를 이용하여 근접 노광하고, KOH 등을 이용하여 현상하여 OC층(17)을 형성한다. OC층(17)은 적어도 단자 형성 영역의 전극 재연결 영역이 개구되어, 단자 형성 영역에서는 바닥부로부터 단자 전극, 절연막(5), 패시베이션막(14)을 노출시키도록 한다. 또한, OC층(17)에는 도 10에 도시한 바와 같이, 수지 CF층(15)에 형성한 컨택트 홀(15a)에 위치를 맞추어서 컨택트 홀(21)을 형성한다. 이 때에는, 도 2에 도시한 축적 용량 전극(16) 영역에서도 마찬가지로, 컨택트 홀(15b)에 위치를 맞추어서 OC층(17)에 컨택트 홀을 형성한다.

<97> 다음으로 화소 전극 접속용 컨택트 홀 형성 공정에 대하여 설명한다. 도 10에 도시한 바와 같이 OC층(17)에 컨택트 홀(21)을 형성한 후, 도 11에 도시한 바와 같이, 이 OC층(17)을 마스크로 하여 불소계 가스를 이용한 드라이 에칭을 행한다. 이에 의해, 컨택트 홀(21)로 개구된 영역의 패시베이션막(14)을 제거하고, 소스 전극(12)에 도달하는 컨택트 홀(22)을 형성한다. 그 때에는, 도 2에 도시한 축적 용량 전극(16) 영역에서도 마찬가지로, 패시베이션막(14)을 제거하여 축적 용량 전극(16)에 도달하는 컨택트 홀을 형성한다. OC층(17)의 컨택트 홀(21)과 패시베이션막(14)의 컨택트 홀(22)에 의해, OC층(17) 표면으로부터 소스 전극(12)까지 관통하는 화소 전극 접속용 컨택트 홀(19a)이 형성된다. 마찬가지로, 축적 용량 전극(16) 영역에서도, OC층(17)의 컨택트 홀과 패시베이션막(14)의 컨택트 홀에 의해서, OC층(17) 표면으로부터 축적 용량 전극(16)까지 관통하는 도 2에 도시한 바와 같은 화소 전극 접속용 컨택트 홀(19b)이 형성된다.

<98> 여기서 패시베이션막(14)은 상층측으로부터 SiO층(14c), SiN층(14b, 14a)의 순서대로 형성되어 있고, SiO층(14c)은 막 두께가 3㎚～20㎚의 범위에서 형성되고, SiN층(14b, 14a)은 그 Si 농도 또는 Si-H 농도가 조정되어 있다. 이에 의해, 각층의 에칭레이트가 제어되어, 패시베이션막(14)에 형성되는 컨택트 홀(22)이 단면 순테이퍼 형상으로 형성된다. 즉, 화소 전극 접속용 컨택트 홀(19a)의 개구 단면적은 수지 CF층(15)>OC층(17)>SiO층(14c)>SiN층(14a)의 순서로 된다. 컨택트 홀(19b)에 대해서도 동일하다. 또, 여기서 말하는 개구 단면적이란, 각 층에 형성되어 있는 개구 부분 중에서 그 개구 단면적이 최소가 되는 부분에서의 값을 나타내고 있다. 또한, 컨택트 홀(19a)의 개구 단면적은 수지 CF층(15)>OC층(17)≥SiO층(14c)≥SiN층(14a)의 관계를 만족시키면 된다.

<99> 다음으로 화소 전극 형성 공정에 대하여 설명한다. 도 11에 도시한 바와 같이 OC층(17) 표면으로부터 소스 전극(12)까지 관통하는 화소 전극 접속용 컨택트 홀(19a)을 형성한 후에는 우선 ITO를 스퍼터링 등의 박막 형성 방법에 의해 막 두께 약 70㎚로 형성한다. 계속해서, 형성한 ITO 상에 소정 패턴의 레지스트 마스크를 형성하고, 옥살산계 에칭제를 이용한 웨트 에칭을 행하여, 도 12에 도시한 바와 같이 컨택트 홀(19a)을 개재하여 소스 전극(12)에 접속된 화소 전극(18)을 형성한다. 마찬가지로, 도 2에 도시한 축적 용량 전극(16)과 화소 전극(18)은 컨택트 홀(19b)에 형성된 ITO에 의해 접속된다.

<100> 마지막으로, 온도 150℃～230℃의 범위 내, 바람직하게는 온도 약 200℃로 열 처리를 행하여 TFT 기판(1)을 완성한다.

<101> 이와 같이 형성된 TFT 기판(1)은 그 TFT(2) 형성면측에 배향막이 형성된 후, 공통 전극이 형성된 대향 기판과 접합되고, 또한 이들 사이에 액정이 봉입된다. 그리고, TFT 기판(1) 및 대향 기판의 외면측에 각각 편광 필름을 접착하여, LCD가 형성된다.

<102> (실시예 1-2)

<103> 다음으로 실시예 1-2에 대하여 설명한다.

<104> 상기 실시예 1-1에서는, 패시베이션막(14)을 SiN층(14a, 14b) 및 SiO층(14c)의 적층 구조로 하였지만, TFT 기판(1)에 형성하는 패시베이션막(14)은 SiN층(14a, 14b) 및 SiON층의 적층 구조로 할 수 있게 된다. SiON층은 상기 SiO층(14c)과 동일하게, 그 막 두께가 3㎚～20㎚로 되도록 형성하는 것이 바람직하다. 이와 같이 패시베이션막(14)에 SiO층(14c) 대신에 SiON층을 이용하여도, SiO층(14c)인 경우와 마찬가지의 효과가 얻어진다. 이 SiON층은 SiO층(14c)과 동일하게, SiN층(14a, 14b) 형성 후에 플라즈마 CVD법에 의해 형성할 수 있다. 또한, a-Si층 형성 후에 애싱 처리, 고압 산화, 열 산화, N_2O 플라즈마 처리, N_2+O_2 플라즈마 처리 중 적어도 하나를 실시하여 SiON층을 형성할 수도 있다. 또한, SiN층(14a, 14b) 형성 후에 애싱 처리, 고압 산화, 열산화, O_2 플라즈마 처리, UV 조사 중 적어도 하나를 실시하여 SiON층을 형성할 수도 있다.

<105> 또, 상기한 실시예 1-1, 1-2에서는 패시베이션막이 2층 구조의 SiN층을 갖고 있는 경우에 대하여 설명했지만, 패시베이션막의 SiN층을 3층 이상으로 구성하는 것도 가능하고, 또한 1층으로 구성하는 것도 가능하다.

<106> 이상 설명한 바와 같이, LCD에 이용하는 TFT 기판에서, TFT와 수지 CF층 사이에 형성하는 패시베이션막을 SiN층과 SiO층 또는 SiON층과의 적층 구조로 하고, 그 최상층에 SiO층 또는 SiON층을 형성하도록 하였다. 이에 의해, 패시베이션막과 수지 CF층과의 밀착력의 저하가 억제되게 된다. 그 때문에, 수지 CF층을 형성할 때의 CF의 박리의 발생을 억제하고, 수지 CF층에 컨택트 홀을 형성할 때의 CF의 잔사나 박리의 발생을 억제할 수 있게 된다.

<107> 또한, SiO층 혹은 SiON층의 막 두께를 제어함으로써, 패시베이션막에 형성하는 컨택트 홀을, 단면 순테이퍼 형상이 되도록 형성할 수 있다. 또, 2층 이상의 SiN층을 갖는 패시베이션막에서는, 이들 SiN층에 대하여 Si 농도 또는 Si-H 농도를 조정함으로써, 컨택트 홀을 단면 순테이퍼 형상으로 형성하는 것이 가능해진다. 이에 의해, 소스 전극과 화소 전극 사이, 축적 용량 전극과 화소 전극의 사이의 접속이 양호하고, 도통 불량의 없는 TFT 기판을 고수율로 형성할 수 있게 된다.

<108> 이러한 TFT 기판에 따르면, CF층에 신규한 수지를 이용하지 않고, 표시 특성이 우수한, 신뢰성이 높은, 고성능의 TFT 기판이 실현되고, 또한 LCD가 실현된다. 또한, 어레이 기판측에 수지 CF층을 형성함과 함께, 그것에 차광 기능을 부가했기 때문에, LCD의 제조 공정을 전체적으로 간략화할 수 있다. 또한, 대향 기판과의 접합 정밀도가 다소 낮아도, 넓은 개구율로 고정밀의 LCD를 양산하는 것이 가능해진다. 그에 따라, 종래 제안되고 있는, 예를 들면 CF층과 패시베이션막과의 사이에 CF의 박리 방지를 위해 헥사 메틸디실라잔(HMDS) 등의 밀착재를 형성하거나, 특별한 차광 패턴을 형성한 구조로 하는 것이 불필요하게 된다.

<109> 또한, 상기한 패시베이션막의 적층 구조를 CF-on-TFT 구조의 TFT 기판 외에, CF-on-TFT 구조를 취하지 않는 TFT 기판에도 적용할 수 있다. 즉, CF-on-TFT 구조를 취하지 않는 TFT 기판에서도, TFT와 화소 전극과의 사이에 형성되는 패시베이션막을 상기한 바와 같은 SiN층과 SiO층의 적층 구조 혹은 SiN층과 SiON층의 적층 구조로 한다. 그에 따라, 패시베이션막 표면의 안정성을 유지하는 것이 가능하게 되고, 또한 컨택트 홀을 단면 순테이퍼 형상이 되도록 형성하는 것이 가능하게 되기 때문에, 화소 전극 형성 후의 도통 불량의 발생을 억제할 수 있게 된다.

<110> 또, CF-on-TFT 구조를 취하지 않는 TFT 기판에서, SiN 등과 같은 무기 절연 재료로 이루어지는 패시베이션막 대신에, 절연성 유기 수지 재료를 이용한 OC층을 형성하면, 그 막 두께를 3000㎚ 정도까지 두껍게 할 수 있다. 또한, OC층은 그 유전율이 3 이하 정도이기 때문에, TFT의 기생 용량을 저감하고, 넓은 개구율을 실현하는 것이 가능해진다. 그러나, TFT 기판 내에 이와 같이 두꺼운 막의 층이 포함되면 그 층에 컨택트 홀 형성 후에 큰 단차가 형성되고, 또한 컨택트 홀을 양호하게 단면 순테이퍼 형상으로 할 수 없다. 그에 따라, 상층에 형성되는 화소 전극의 단절 등을 초래하여, 도통 불량을 야기하기 쉽게 되기 때문에, 상기한 바와 같은 SiN층과 SiO층의 적층 구조 혹은 SiN층과 SiON층의 적층 구조를 갖는 패시베이션막을 이용하는 것이 유효하다.

<111> 〔제2 실시 형태〕

<112> 본 발명의 제2 실시 형태에 따른 액정 표시 장치용 기판 및 그것을 구비한 액정 표시 장치 및 그 제조 방법에 대하여 도 15 내지 도 29를 이용하여 설명한다. 최근, 액정 표시 장치는 노트북 퍼스널 컴퓨터, TV, 모니터, 투사형 프로젝터 등에 이용되고, 그 수요가 증가함과 함께 요구도 다양화하고 있다. 액정 표시 장치는 일반적으로, 투명 전극을 구비한 2매의 기판과 그 기판 사이에 협지된 액정층으로 구성되어 있고, 투명 전극 사이에 전압을 인가함으로써 액정을 구동하여 백 라이트 유닛으로부터의 광의 투과율을 제어하여 화상을 표시한다. 백 라이트를 사출한 광은 여러 요인에 의해 감쇠하여, 패널 표면에서의 최대 투과율은 3%~10% 정도로 저하한다. 투과율 저하의 원인으로서는, 편광판이나 컬러 필터에서의 광 흡수와 함께 화소 개구율의 크기를 예로 들 수 있다. 화소 개구율을 향상시키는 구조로서, TFT 기판 위에 컬러 필터를 형성하는 CF-on-TFT 구조가 있다. CF-on-TFT 구조로 하면 TFT 기판과 대향 기판을 접합할 때의 위치 변동 마진이 불필요해지기 때문에, 화소 개구율을 향상시킬 수 있다.

<113> 도 15는 종래의 TFT 기판(100) 상의 3 화소분의 평면 구성을 나타내고 있다. 도 15에 도시한 바와 같이, TFT 기판(100)은 유리 기판 위에 도면의 좌우 방향으로 연장되는 복수의 게이트 버스 라인(102)(도 15에서는 1개만 나타내고 있다)과, 게이트 버스 라인(102)에 교차하여 도면의 상하 방향으로 연장되는 복수의 드레인 버스 라인(104)을 갖고 있다. 양 버스 라인(102, 104)의 교차 위치 근방에는 TFT(105)가 형성되어 있다. 도 15에 도시한 바와 같이, TFT(105)는 드레인 버스 라인(104)으로부터 분기한 드레인 전극(108)과, 드레인 전극(108)에 소정의 간극으로 대향하여 배치된 소스 전극(110)과, 게이트 버스 라인(102) 중 드레인 전극(108) 및 소스 전극(110)과 일부 오버랩하는 부분(게이트 전극)을 갖고 있다. 게이트 전극 상에는 동작 반도체층과 그 상층의 채널 보호막(109)이 형성되어 있다. 게이트 버스 라인(102)과 드레인 버스 라인(104)으로 화소 영역이 획정된다. 각 화소 영역의 거의 중앙을 횡단하여 축적 용량 버스 라인(117)이 게이트 버스 라인(102)과 평행하게 형성되어 있다. 각 화소 영역에는 수지 CF층(113)이 형성되어 있다. 또한, 각 화소 영역의 수지 CF층(113) 상에는 화소 전극(115)이 형성되어 있다.

<114> 화소 전극(115)은 수지 CF층(113)을 관통하여 형성된 컨택트 홀(116a)을 개재하여 소스 전극(110)에 접속되어 있다. 마찬가지로, 화소 전극(115)은 수지 CF층(113)을 관통하여 형성된 컨택트 홀(116b)을 개재하여 축적 용량 전극(118)에 접속되어 있다. 소스 전극(110) 상의 컨택트 홀(116a)과 축적 용량 전극(118) 상의 컨택트 홀(116b)의 바닥부는 TFT 기판(100) 표면을 향해 보았을 때, 종횡의 치수가 20㎛×20㎛인 거의 정방형의 윤곽 형상을 갖고 있다. 이 때문에, 소스 전극(110)은 컨택트 홀(116a)의 바닥부 개구에서의 접속용 영역을 화소 안쪽으로 연장하여 형성할 필요가 발생하고, 축적 용량 전극(118)은 컨택트 홀(116b)의 바닥부 개구에서의 접속용 영역을 여분으로 형성할 필요가 발생한다. 이들 접속용 영역에 의해 화소 개구율이 저하하고 있다.

<115> 수지 CF층(113)의 형성 재료(네가티브형 컬러 레지스트)는 해상도가 낮고, 또한 노광에 필요한 에너지도 크다. 그러나, 수지 CF층(113)에는 고정밀한 패터닝이나 미세한 패터닝은 요구되지 않기 때문에, 일반적으로 컬러 필터의 형성 공정에서는 포토마스크를 레지스트층에 근접 배치하여 노광하는 프록시미티(근접) 노광 장치가 이용된다. 프록시미티 노광 장치에 의하면 높은 조도의 노광광을 조사하여 노광할 수 있기 때문에 짧은 타이밍으로 높은 생산 능력이 얻어진다. 그러나, 근접 노광 방식으로서는 포토마스크를 투과한 광의 회절에 의해 높은 해상 능력이 얻어지지 못하기 때문에, 구멍 형상이나 크기의 변동을 억제하여 수지 CF층(113)에 작은 직경의 컨택트 홀(116a, 116b)을 형성하는 것이 곤란하다. 20㎛×20㎛의 거의 정방형의 바닥부 윤곽을 갖는 컨택트 홀을 개구하기 위해서는, 예를 들면 28㎛×28㎛의 더 큰 정방형의 차광 패턴을 형성한 포토마스크를 이용한다. 이와 같이, 컨택트 홀(116a)을 개재하여 소스 전극(110)과 화소 전극(115)을 전기적으로 확실하게 접속시키기 위해서는, 컨택트 홀(116a) 바닥부의 개구 면적을 크게 하지 않을 수 없다. 마찬가지로, 컨택트 홀(116b)을 개재하여 축적 용량 전극(118)과 화소 전극(115)을 전기적으로 확실하게 접속시키기 위해서는, 컨택트 홀(116b) 바닥부의 개구 면적을 크게 하지 않을 수 없다. 이 때문에, 컨택트 홀(116a, 116b)의 존재에 의해 화소 개구율이 저하되게 된다. 해상 능력을 향상시키기 위해서는 고정밀도의 스테퍼나 미러 프로젝션 방식의 얼라이너 등을 이용하는 것을 생각할 수 있지만, 이들 장치는 고가이며 생산 설비에 요하는 비용이 비싸지게 됨과 함께, 택트 타임이 길어지게 되어 CF-on-TFT 구조의 제조 비용이 상승한다.

<116> 그래서, 본 실시 형태에서는, 프록시미티 노광 장치를 이용하여 저비용으로 화소 개구율을 향상시킨 CF-on-TFT 구조를 얻을 수 있는 액정 표시 장치용 기판 및 그것을 구비한 액정 표시 장치를 제공하는 것을 목적으로 한다. 이하, 실시예 2-1 내지 2-3를 이용하여 구체적으로 설명한다.

<117> (실시예 2-1)

<118> 실시예 2-1에 따른 액정 표시 장치용 기판 및 그것을 구비한 액정 표시 장치 및 그 제조 방법에 대하여 도 16

내지 도 21을 이용하여 설명한다. 도 16은 본 실시예에 따른 TFT 기판(1) 상의 3 화소분의 평면 구성을 나타내고 있다. 도 17은 TFT 기판(1)의 R 화소의 일부 단면을 나타내고 있다. 도 17의 (a)는 도 16의 A-A선으로 절단한 TFT 기판(1)의 단면을 도시하고 있다.

<119> 도 17의 (b)는 도 16의 B-B선으로 절단한 TFT 기판(1)의 단면을 도시하고 있다. 도 16에 도시한 바와 같이, TFT 기판(1)은 유리 기판(3) 상에 도면의 좌우 방향으로 연장되는 복수의 게이트 버스 라인(4)(도 16에서는 1개만 도시하고 있다)과, 게이트 버스 라인(4)과 절연막(5)을 개재하여 교차하여 도면의 상하 방향으로 연장되는 복수의 드레인 버스 라인(6)을 갖고 있다. 게이트 버스 라인(4)과 드레인 버스 라인(6)으로 화소 영역이 획정된다. 양 버스 라인(4, 6)의 교차 위치 근방에는 TFT(2)가 형성되어 있다. 도 16 및 도 17에 도시한 바와 같이, TFT(2)는 직선형 게이트 버스 라인(4)의 일부 영역을 게이트 전극(4)으로서 이용하고, 게이트 전극(4) 상의 절연막(게이트 절연막)(5)을 개재하여 동작 반도체층(13)을 갖고 있다. 게이트 전극(4) 상측의 동작 반도체층(13) 상면에는 채널 보호막(11)이 형성되어 있다. 채널 보호막(11) 상에서 전기적으로 분리되어 드레인 전극(10)과 소스 전극(12)이 형성되어 있다. 드레인 전극(10)은 드레인 버스 라인(6)에 접속되어 있다. 각 화소 영역의 거의 중앙을 횡단하여 축적 용량 버스 라인(7)이 게이트 버스 라인(4)과 평행하게 형성되어 있다. 축적 용량 버스 라인(7)은 게이트 버스 라인(4)과 동일한 형성 금속으로 형성되어 있다. 축적 용량 버스 라인(7) 상에는 절연막(5)을 개재하여 축적 용량 전극(16)이 형성되어 있다. 각 화소 영역에는 수지 CF층(15)이 형성되어 있다. 도 17의 (a), (b)에 도시한 바와 같이, 수지 CF층(15)은 TFT(2) 및 드레인 버스 라인(6) 상에도 형성되어 있다. 또한, 각 화소 영역의 수지 CF층(15) 상에는 화소 전극(18)이 형성되어 있다.

<120> 화소 전극(18)은 수지 CF층(15)을 관통하여 형성된 컨택트 홀(19a)을 개재하여 소스 전극(12)에 접속되어 있다. 마찬가지로, 화소 전극(18)은 수지 CF층(15)을 관통하여 형성된 컨택트 홀(19b)을 개재하여 축적 용량 전극(16)에 접속되어 있다. 소스 전극(12) 상의 컨택트 홀(19a) 및 축적 용량 전극(16) 상의 컨택트 홀(19b)의 바닥부에는, 도 16에 도시한 바와 같이 TFT 기판(1) 표면을 향해 보았을 때, 거의 평행한 2 선분과 그 2 선분의 대향 단부 사이가 외측으로 볼록한 곡선으로 연결되어 각부가 라운딩을 띤 윤곽 형상을 갖고 있다. 또한,평행 2 선분에 평행한 방향을 예를 들면 가로 방향으로 하고, 그에 직교하는 방향을 세로 방향으로 하면 컨택트 홀(19a, 19b)의 바닥부 윤곽은 세로 방향과 가로 방향의 길이가 다르다. 본 실시예에서의 컨택트 홀(19a, 19b)은, 도 16에 도시한 바와 같이 게이트 버스 라인(4)에 거의 평행한 평행 2 선분이 형성되고, 해당 2 선분의 대향 단부 사이가 외측으로 볼록형인 반원으로 연결된, 예를 들면 육상 경기용 트랙과 같은 윤곽 형상을 갖고 있다. 장축(본 예에서는 가로 방향)과 단축(본 예에서는 세로 방향)의 길이의 비(장단축 길이비=단축 길이/장축 길이)는 0.5 이하가 되는 것이 바람직하다. 특히, 바닥부 윤곽 내의 면적이 600㎛^{2} 이하의 컨택트 홀에 대하여 상기 장단축 길이비를 적용하는 것이 바람직하다. 본 실시예에서는, 컨택트 홀(19a, 19b)의 단축의 길이는 10㎛이고 장축의 길이는 40㎛이다. 여기서, 장축의 길이는 종래의 컨택트 홀(116a, 116b)의 20㎛보다 길고, 단축의 길이는 20㎛보다 짧게 하고 있다. 또, 도 17에 도시한 바와 같이, 컨택트 홀(19a, 19b)은 개구단측 윤곽이 바닥부 윤곽보다 더 크게 형성되어, 깊이 방향으로 좁아지는 테이퍼 형상으로 형성되어 있다.

<121> 컨택트 홀(19a)은 단축 길이가 10㎛이고 장축 길이가 40㎛이지만, 장축 양단측은 반원 형상으로 형성되어 있기 때문에, 바닥부 개구 면적은 약 375㎛^{2} 정도가 되어 종래의 400㎛^{2}에 비하여 6% 줄게 된다. 또한, 컨택트 홀(19b)에서는 장축이 축적 용량 버스 라인(7)을 따라 형성되고, 단축이 축적 용량 버스 라인(7)의 폭보다 좁게 형성되어 있다. 이 때문에 축적 용량 전극(16)에 컨택트 홀(19b)의 바닥부 개구에서의 접속용 영역을 특별히 형성할 필요가 없다. 이 때문에, 종래에 비하여 화소 개구율을 향상할 수 있다.

<122> 다음으로, 본 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 18 내지 도 21의 제조 공정 단면도를 이용하여 설명한다. 도 18 내지 도 21에서, (a)는 도 16에 도시하는 A-A선으로 절단한 TFT 기판(1)의 단면을 나타내고 있고, (b)는 도 16에 도시하는 B-B선으로 절단한 TFT 기판(1)의 단면을 나타내고 있다. 우선, 도 18의 (a), (b)에 도시한 바와 같이, 유리 기판(3) 상의 전면에, 예를 들면 막 두께 100㎚의 알루미늄(Al)층과 막 두께 50㎚의 티탄(Ti)층을 이 순서로 성막하여 패터닝하여, 게이트 버스 라인(4)과 축적 용량 버스 라인(7)을 형성한다. 패터닝은 패터닝되는 층 상에 소정의 레지스트 패턴을 형성하고, 얻어진 레지스트 패턴을 에칭 마스크로 이용하여 패터닝되는 층을 에칭하며, 레지스트 패턴을 박리하는 포토리소그래피법을 이용하여 행해진다.

<123> 다음으로, 예를 들면 막 두께 350㎚의 실리콘 질화막(SiN막)(5), 막 두께 30㎚의 a-Si층(13a) 및 막 두께 120㎚의 SiN막을 연속 성막한다. 다음으로, 전면에 레지스트층을 형성하여 게이트 버스 라인(4)을 마스크로 하여 배면 노광하고, 또한 순방향으로 마스크를 이용하여 노광하여 레지스트층을 패터닝한다. 패터닝된 레지스트층을

에칭 마스크로 하여 SiN막을 에칭하여, 도 19의 (a)에 도시한 바와 같이 채널 보호막(11)을 형성한다.

<124> 다음으로, 도 20의 (a), (b)에 도시한 바와 같이, 예를 들면 막 두께 30㎚의 n^+a-Si층, 막 두께 20㎚의 Ti층, 막 두께 75㎚의 Al층 및 막 두께 40㎚의 Ti층을 이 순서로 성막하고, 채널 보호막(11)을 에칭 스토퍼로서 이용하여 패터닝하여, 드레인 전극(10), 소스 전극(12) 및 드레인 버스 라인(6)(도 20에서는 도시하지 않음)과, 축적 용량 전극(16)을 형성한다. 이상의 공정으로 TFT(2)가 완성된다.

<125> 다음으로, 네가티브형 감광성 안료 분산 타입의 R(적) 레지스트(JSR사제)를 예를 들면 막 두께 3.0㎛로 도포한다. 계속해서, 프록시미티 노광 장치에 기판(3)을 세트함과 함께 적색 화소용 포토마스크를 예를 들면 갭 약 100㎛로 기판(3) 표면에 근접 배치하여 약 100mj의 노광량으로 노광한다. 적색 화소용 포토마스크에는, 기판(3) 표면의 적색의 화소 영역 이외와 적색의 화소 영역 내의 컨택트 홀(19a, 19b)의 형성 영역을 차광하는 패턴이 묘화되어 있다. 적색 화소용 포토마스크에 묘화된 컨택트 홀(19a, 19b) 형성용 차광 패턴은 형성해야 할 컨택트 홀(19a, 19b)의 바닥부 윤곽과 거의 서로 비슷한 형태이지만, 광의 회절 현상을 고려하여 소정의 오프셋량만큼 크게 형성되어 있다. 컨택트 홀(19a, 19b)의 장단축 길이비는 0.25로, 단축의 길이는 10㎛이고 장축의 길이는 40㎛이다. 이 때문에, 예를 들면 평행 2 선분의 대향 단부 사이가 외측으로 볼록형인 반원으로 연결된 윤곽을 갖고 단축 길이가 18㎛이고 장축 길이가 48㎛인 차광 패턴이 형성된 포토마스크를 이용한다. 그 차광 패턴의 단축 길이(=18㎛)는 종래의 차광 패턴의 1변의 길이인 28㎛보다 짧기 때문에, 컨택트 홀(19a, 19b) 형성 영역의 컬러 레지스트층에 단축 양단측으로부터 노광광의 회절광이 진입할 가능성이 있지만, 한편으로 그 차광 패턴의 장축 길이(=48㎛)는 종래의 차광 패턴의 1변의 길이의 28㎛보다 충분히 길기 때문에, 장축 양단측으로부터 노광광의 회절광의 진입이 전혀 발생하지 않는 영역이 생긴다. 이 때문에, 다른 노광 조건을 조정함으로써 컨택트 홀(19a, 19b) 형성 영역의 컬러 레지스트층에 기판(3)면에 수직 방향으로 미감광 영역을 형성할 수 있다. 장축 양단측으로부터의 회절광의 진입이 전혀 발생하지 않는 영역을 확보하면서 컨택트 홀 바닥부의 개구 면적을 최소로 하기 위해서는 장축과 단축의 길이의 비(장단축 길이비=단축 길이/장축 길이)는 0.5 이하가 되는 것이 바람직하다. 특히, 바닥부 윤곽 내의 면적이 600$㎛^2$ 이하의 소직경의 컨택트 홀의 형성에 있어서 상기한 장단축 길이비를 적용하는 것이 바람직하다. 노광 후, 현상하여 미감광의 레지스트층 영역을 용해하여 제거한다. 세정 후에, 230℃에서 40분간의 포스트베이킹 처리를 실시하고, 도 21의 (a), (b)에 도시한 바와 같이, 소스 전극(12) 및 축적 용량 전극(16)을 노출하여 개구된 컨택트 홀(19a, 19b)을 갖는 수지 CF층(15)(R)이 적색의 화소 영역에 형성된다. 형성된 컨택트 홀(19a, 19b)은 각부가 라운딩을 띠고 있고, 단축의 길이는 10㎛이고 장축의 길이는 40㎛이다. 또한, 컨택트 홀(19a, 19b)은 개구단측 윤곽이 바닥부 윤곽보다 더 크게 형성되어, 깊이 방향으로 좁아지는 테이퍼형으로 형성된다.

<126> 마찬가지로 하여, 네가티브형 감광성 안료 분산 타입의 B(청) 레지스트를 예를 들면 막 두께 3.0㎛로 도포하여, 프록시미티 노광 장치에 기판(3)을 세트함과 함께 청색 화소용 포토마스크를 기판(3) 표면에 근접 배치하여 노광한다. 청색 화소용 포토마스크에는, 기판(3) 표면의 청색의 화소 영역 이외와 청색의 화소 영역 내의 컨택트 홀(19a, 19b)의 형성 영역을 차광하는 패턴이 묘화되어 있다. 청색 화소용 포토마스크에 묘화된 컨택트 홀(19a, 19b) 형성용 차광 패턴은, 형성하여야 할 컨택트 홀(19a, 19b)의 바닥부 윤곽과 거의 서로 비슷한 형태이지만 소정의 오프셋량만큼 크게 형성되어 있다. 노광 후, 현상하고, 포스트베이킹 처리를 실시하여 소스 전극(12) 및 축적 용량 전극(16) 상에서 개구된 컨택트 홀(19a, 19b)을 갖는 수지 CF층(15)(B)을 청색의 화소 영역에 형성한다.

<127> 마찬가지로 하여, 네가티브형 감광성 안료 분산 타입의 G(초록) 레지스트를 예를 들면 막 두께 3.0㎛로 도포하고, 프록시미티 노광 장치에 기판(3)을 세트하여 녹색 화소용 포토마스크를 기판(3) 표면에 근접 배치하여 노광한다. 녹색 화소용 포토마스크에는 기판(3) 표면의 녹색의 화소 영역 이외와 녹색의 화소 영역 내의 컨택트 홀(19a, 19b)의 형성 영역을 차광하는 패턴이 묘화되어 있다. 녹색 화소용 포토마스크에 묘화된 컨택트 홀(19a, 19b) 형성용 차광 패턴은 형성해야 할 컨택트 홀(19a, 19b)의 바닥부 윤곽과 거의 서로 비슷한 형태이지만 소정의 오프셋량만큼 크게 형성되어 있다. 노광 후, 현상하여 포스트베이킹 처리를 실시하여 소스 전극(12) 및 축적 용량 전극(16) 상에서 개구된 컨택트 홀(19a, 19b)을 갖는 수지 CF층(15)(G)을 녹색의 화소 영역에 형성한다.

<128> 다음으로, 예를 들면 막 두께 70㎚의 ITO를 전면에 성막하여 패터닝하고, 도 17에 도시한 바와 같이, 화소 영역 내의 수지 CF층(15) 상면, 수지 CF층(15)을 관통하는 컨택트 홀(19a, 19b) 내벽면, 및 컨택트 홀(19a, 19b) 바닥부에 노출한 소스 전극(12), 축적 용량 전극(16)에 접촉하는 화소 전극(18)을 형성한다.

<129> 이상 설명한 바와 같이, 본 실시 형태에 따르면, 수지 CF층(15)에 형성하는 컨택트 홀(19a, 19b)에서, 세로 방

향과 가로 방향의 길이가 다른 바닥부 윤곽 패턴으로 함으로써, 프록시미티 노광 장치를 이용하여 저비용으로 화소 개구율을 향상시킨 CF-on-TFT 구조를 얻을 수 있다.

<130> 또, 본 실시예에서는, 도 16에 도시한 바와 같이 트랙 형상의 바닥부 윤곽의 컨택트 홀(19a, 19b)로 했지만, 본 발명은 이것에 한정되지 않는다. 게이트 버스 라인(4)에 거의 평행한 평행 2 선분 대신에, 외측으로 볼록형인 곡선으로 연결된, 예를 들면 타원형의 바닥부 윤곽을 갖는 컨택트 홀(19a, 19b)로 해도 물론 된다.

<131> 또, 본 실시예에서는 드레인 전극(10), 소스 전극(12) 및 드레인 버스 라인(6) 등의 소스/드레인 형성층 상에 직접, 수지 CF층(15)(R, G, B)을 형성하였지만, 소스/드레인 형성층 상에 보호막을 형성하고, 해당 보호막 상에 수지 CF층(15)(R, G, B)을 형성해도 된다. 또한, 수지 CF층(15)(R, G, B) 상에 보호막을 형성하고, 그 보호막 상에 화소 전극(18)을 형성해도 된다. TFT(2)나 수지 CF층(15)(R, G, B) 등의 형성 재료나 제조 공정은 상기 이외에도 물론 된다.

<132> (실시예 2-2)

<133> 실시예 2-2에 따른 액정 표시 장치용 기판 및 그것을 구비한 액정 표시 장치 및 그 제조 방법에 대하여 도 22 내지 도 28을 이용하여 설명한다. 도 22는 본 실시예에 따른 TFT 기판(1) 상의 3 화소분의 평면 구성을 도시하고 있다. 도 23은 TFT 기판(1)의 R 화소의 일부 단면을 나타내고 있다. 도 23의 (a)는 도 22의 A-A선으로 절단한 TFT 기판(1)의 단면을 도시하고 있고, 도 23의 (b)는 도 22의 B-B선으로 절단한 TFT 기판(1)의 단면을 나타내고 있다. 도 22에 도시한 바와 같이, TFT 기판(1)은 유리 기판(3) 상에 도면의 좌우 방향으로 연장하는 복수의 게이트 버스 라인(4)(도 22에서는 1개만 나타내고 있다)과, 게이트 버스 라인(4)과 절연막(5)을 개재하여 교차하고 도면의 아래 방향으로 연장되는 복수의 드레인 버스 라인(6)을 갖고 있다. 게이트 버스 라인(4)과 드레인 버스 라인(6)으로 화소 영역이 획정된다. 양 버스 라인(4, 6)의 교차 위치 근방에는 TFT(2)가 형성되어 있다. 도 22 및 도 23에 도시한 바와 같이, TFT(2)는 직선형 게이트 버스 라인(4)의 일부 영역을 게이트 전극(4)으로서 이용하고, 게이트 전극(4) 상의 절연막(게이트 절연막)(5)을 개재하여 동작 반도체층(13)을 갖고 있다. 게이트 전극(4) 상측의 동작 반도체층(13) 상면에는 채널 보호막(11)이 형성되어 있다. 채널 보호막(11) 상에서 전기적으로 분리되어 드레인 전극(10)과 소스 전극(12)이 형성되어 있다. 드레인 전극(10)은 드레인 버스 라인(6)에 접속되어 있다. 각 화소 영역의 거의 중앙을 횡단하여 축적 용량 버스 라인(7)이 게이트 버스 라인(4)과 평행하게 형성되어 있다. 축적 용량 버스 라인(7)은 게이트 버스 라인(4)과 동일한 형성 금속으로 형성되어 있다. 축적 용량 버스 라인(7) 상에는 절연막(5)을 개재하여 축적 용량 전극(16)이 형성되어 있다. 소스 전극(12)은 접속 배선(12a)에 의해 축적 용량 전극(16)에 접속되어 있다. 각 화소 영역에는 수지 CF층(15)이 형성되어 있다. 도 23의 (a), (b)에 도시한 바와 같이, 수지 CF층(15)은 TFT(2) 및 드레인 버스 라인(6) 상에도 형성되어 있다. 또한, 도 22에 도시한 바와 같이, 각 화소 영역의 수지 CF층(15)에는 축적 용량 버스 라인(7) 상측에서 축적 용량 버스 라인(7)을 따라 형성되고, 축적 용량 전극(16)에 도달하는 컨택트용 홈(19c)이 형성되어 있다. 수지 CF층(15)은 컨택트용 홈(19c)에 의해 각 화소 영역 내에서 2 영역으로 분할되어 있다. 축적 용량 전극(16) 상에서 수지 CF층(15)을 개구한 컨택트용 홈(19c)의 바닥부는, 도 22에 도시한 바와 같이 TFT 기판(1) 표면을 향해 보았을 때, 폭 10㎛로 축적 용량 버스 라인(7)을 따라 각 화소 사이를 걸쳐 직선 형상으로 형성되어 있다.

<134> 컨택트용 홈(19c)이 형성된 수지 CF층(15) 상에는 포지티브형 감광성 수지를 이용하여 OC층(17)이 형성되어 있다. OC층(17) 상에 화소 전극(18)이 형성되어 있다. 화소 전극(18)은 수지 CF층(15)의 컨택트용 홈(19c)이 형성된 영역으로, 또한 OC층(17)을 관통하여 형성된 컨택트 홀(19d)를 개재하여 축적 용량 전극(16)에 접속되어 있다. 컨택트 홀(19d)은 내부 직경이 약 8㎛인 원형의 바닥부 윤곽을 갖고 있다.

<135> 본 실시예의 구성은 접속 배선(12a)을 통하여 소스 전극(12)을 축적 용량 전극(16)에 접속하고 있기 때문에, 화소 전극(18)과의 접속은 컨택트 홀(19d)만으로 된다. 또한, 축적 용량 버스 라인(7)의 폭 내에 컨택트용 홈(19c)이 형성되고, 컨택트용 홈(19c) 내쪽으로 컨택트 홀(19d)이 형성되어 있다. 이 때문에, 컨택트용 홈(19c) 및 컨택트 홀(19d)의 바닥부 개구의 접속용 영역을 별도의 여분으로 형성하지 않고 할 수 있기 때문에 종래에 비하여 화소 개구율을 향상시킬 수 있다.

<136> 다음으로, 본 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여, 도 23 내지 도 28의 제조 공정 단면도를 이용하여 설명한다. 도 23 내지 도 28에서, (a)는 도 22에 도시하는 A-A선으로 절단한 TFT 기판(1)의 단면을 도시하고 있고, (b)는 도 22에 도시하는 B-B선으로 절단한 TFT 기판(1)의 단면을 도시하고 있다. 우선, 도 24의 (a), (b)에 도시한 바와 같이, 유리 기판(3) 상의 전면에, 예를 들면 막 두께 100㎚의 알루미늄(Al)층과 막 두께 50㎚의 티탄(Ti)층을 이 순서로 성막하여 패터닝하여, 게이트 버스 라인(4)과 축적 용량 버스 라인

(7)을 형성한다.

<137> 다음으로, 예를 들면 막 두께 350㎚의 실리콘 질화막(SiN막)(5), 막 두께 30㎚의 a-Si층(13a) 및 막 두께 120㎚의 SiN막을 연속 성막한다. 다음으로, 전면에 레지스트층을 형성하고 게이트 버스 라인(4)을 마스크로 하여 배면 노광하고, 또한 순방향으로 마스크를 이용하여 노광하여 레지스트층을 패터닝한다. 패터닝된 레지스트층을 에칭 마스크로서 SiN막을 에칭하여, 도 25의 (a)에 도시한 바와 같이 채널 보호막(11)을 형성한다.

<138> 다음으로, 도 26의 (a), (b)에 도시한 바와 같이, 예를 들면 막 두께 30㎚의 n^+a-Si층, 막 두께 20㎚의 Ti층, 막 두께 75㎚의 Al층 및 막 두께 40㎚의 Ti층을 이 순서로 성막하고, 채널 보호막(11)을 에칭 스토퍼로서 이용하여 패터닝하여, 드레인 전극(10), 소스 전극(12) 및 드레인 버스 라인(6)(도 26에서는 나타나지 않음)과, 축적 용량 전극(16)을 형성한다. 또한, 동시에 소스 전극(12)과 축적 용량 전극(16)을 접속하는 접속 배선(12a)(도 26에서는 나타나지 않음)을 형성한다. 이상의 공정으로 TFT(2)가 완성된다.

<139> 다음으로, 네가티브형 감광성 안료 분산 타입의 R 레지스트를 예를 들면 막 두께 1.8㎛로 도포한다. 계속해서, 프록시미티 노광 장치에 기판(3)을 세트함과 함께 적색 화소용 포토마스크를 예를 들면 갭 약 100㎛로 기판(3) 표면에 근접 배치하여 약 100mj의 노광량으로 노광한다. 적색 화소용 포토마스크에는 기판(3) 표면의 적색의 화소 영역 이외와 적색의 화소 영역 내의 컨택트용 홈(19c)의 형성 영역을 차광하는 패턴이 묘화되어 있다. 적색 화소용 포토마스크에 묘화된 컨택트용 홈(19c) 형성용 차광 패턴은 형성하여야 할 컨택트용 홈(19c)의 바닥부 윤곽과 거의 서로 비슷한 형태이지만, 광의 회절 현상을 고려하여 소정의 오프셋량만큼 크게 형성되어 있다. 컨택트용 홈(19c)의 바닥부 폭은 10㎛이다. 포토마스크에 형성된 컨택트용 홈(19c) 형성용 차광 패턴의 폭은 18㎛ 정도로, 종래의 차광 패턴의 1변의 길이인 28㎛보다 짧기 때문에, 컨택트용 홈(19c) 형성 영역의 컬러 레지스트층에 차광 패턴의 폭 방향으로부터 노광광의 회절광이 진입될 가능성이 있지만, 한편으로 그 차광 패턴의 길이 방향으로부터 노광광의 회절광의 진입은 전혀 발생하지 않는다. 이 때문에, 노광 강도 등을 조정함으로써, 컨택트용 홈(19c) 형성 영역의 컬러 레지스트층에 기판(3)면의 수직 방향으로 미감광 영역을 형성할 수 있다. 노광 후, 현상하여 미감광의 레지스트층 영역을 용해하여 제거한다. 세정 후에, 230℃로 40분간의 포스트베이킹 처리를 실시하고, 도 27의 (b)에 도시한 바와 같이, 축적 용량 전극(16)을 노출하여 개구된 컨택트용 홈(19c)을 갖는 수지 CF층(15)(R)이 적색의 화소 영역에 형성된다. 형성된 컨택트용 홈(19c)은 화소 영역을 횡단하는 바닥부 폭이 10㎛의 스트라이프 형상으로 된다. 또한, 컨택트용 홈(19c)은 개구단측 폭이 바닥부 폭보다 더 크게 형성되어, 깊이 방향으로 좁아지는 테이퍼형으로 형성된다.

<140> 마찬가지로, 네가티브형 감광성 안료 분산 타입의 B 레지스트를 예를 들면 막 두께 1.8㎛로 도포하여, 프록시미티 노광 장치에 기판(3)을 세트함과 함께 청색 화소용 포토마스크를 기판(3) 표면에 근접 배치하여 노광한다. 청색 화소용 포토마스크에는 기판(3) 표면의 청색의 화소 영역 이외와 청색의 화소 영역 내의 컨택트용 홈(19c)의 형성 영역을 차광하는 패턴이 묘화되어 있다. 청색 화소용 포토마스크에 묘화된 컨택트용 홈(19c) 형성용 차광 패턴은 형성해야 할 컨택트용 홈(19c)의 바닥부 폭과 거의 서로 비슷한 형태이지만 소정의 오프셋량만큼 크게 형성되어 있다. 노광 후, 현상하고, 포스트베이킹 처리를 실시하여 축적 용량 전극(16) 상에서 개구된 컨택트용 홈(19c)을 갖는 수지 CF층(15)(B)을 청색의 화소 영역에 형성한다.

<141> 마찬가지로, 네가티브형 감광성 안료 분산 타입의 G 레지스트를 예를 들면 막 두께 1.8㎛로 도포하여, 프록시미티 노광 장치에 기판(3)을 세트하여 녹색 화소용 포토마스크를 기판(3) 표면에 근접 배치하여 노광한다. 녹색 화소용 포토마스크에는 기판(3) 표면의 녹색의 화소 영역 이외와 녹색의 화소 영역 내의 컨택트용 홈(19c)의 형성 영역을 차광하는 패턴이 묘화되어 있다. 녹색 화소용 포토마스크에 묘화된 컨택트용 홈(19c) 형성용 차광 패턴은 형성하여야 할 컨택트용 홈(19c)의 바닥부 윤곽과 거의 서로 비슷한 형태이지만 소정의 오프셋량만큼 크게 형성되어 있다. 노광 후, 현상하고, 포스트베이킹 처리를 실시하여 축적 용량 전극(16) 상에서 개구된 컨택트용 홈(19c)을 갖는 수지 CF층(15)(G)을 녹색의 화소 영역에 형성한다.

<142> 다음으로, 수지 CF층(15) 형성 후의 기판 전면에 포지티브형 감광성 수지를 막 두께 2.0㎛ 정도 도포하고, 컨택트 홀(19d) 형성용 패턴이 묘화된 포토마스크를 이용하여 근접 노광하고, 현상하여 OC층(17)을 형성한다. OC층(17)에는, 도 28에 도시한 바와 같이, 수지 CF층(15)에 형성한 컨택트용 홈(19c)에 위치를 맞추어서 컨택트 홀(19d)이 형성된다. 포지티브형 감광성 수지를 이용하고 있기 때문에, 프록시미티 노광 장치를 이용한 근접 노광이라도 내부 직경 약 8㎛의 원형의 바닥부 윤곽을 갖는 컨택트 홀(19d)을 확실하게 형성할 수 있다.

<143> 다음으로, 예를 들면 막 두께 70㎚의 ITO를 전면에 성막하여 패터닝하고, 도 23에 도시한 바와 같이 화소 영역 내의 수지 CF층(15) 상면, 수지 CF층(15)을 관통하는 컨택트 홀(19d) 내벽면, 및 컨택트 홀(19d) 바닥부에 노출

한 축적 용량 전극(16)에 접촉하는 화소 전극(18)을 형성한다.

<144> 이상 설명한 바와 같이, 본 실시 형태에 따르면, 수지 CF층(15)에 형성하는 컨택트용 홈(19c)에서, 축적 용량 버스 라인(7)을 따라 화소 영역 내를 횡단하는 바닥부 윤곽 패턴으로 함으로써, 프록시미티 노광 장치를 이용하여 저비용으로 화소 개구율을 향상시킨 CF-on-TFT 구조를 얻을 수 있다.

<145> 또, 본 실시예에서는 드레인 전극(10), 소스 전극(12) 및 드레인 버스 라인(6) 등의 소스/드레인 형성층 상에 직접, 수지 CF층(15)(R, G, B)을 형성했지만, 소스/드레인 형성층 상에 보호막을 형성하고, 그 보호막 상에 수지 CF층(15)(R, G, B)을 형성해도 된다. 또, 수지 CF층(15)(R, G, B) 상에 보호막을 형성하고, 그 보호막 상에 화소 전극(18)을 형성해도 된다. TFT(2)나 수지 CF층(15)(R, G, B) 등의 형성 재료나 제조 공정은 상기 이외라도 물론 된다.

<146> 또, 본 실시예에서는 드레인 금속 형성층 상에 직접 CF 레지스트층을 형성했지만, 드레인 금속 형성층 상에 패시베이션막을 형성한 위에 CF 레지스트층을 형성하도록 해도 물론 된다. 또한, 본 실시예에서는 CF 수지 상에 OC층을 형성했지만, OC층을 형성하지 않고서 수지 CF층 상에 직접 화소 전극(18)을 형성해도 된다.

<147> (실시예 2-3)

<148> 실시예 2-3에 의한 액정 표시 장치용 기판에 대하여 도 29를 이용하여 설명한다. 도 29는 본 실시예에 따른 TFT 기판(1) 상의 3 화소분의 평면 구성을 도시하고 있다. 본 실시예에 따른 액정 표시 장치용 기판은 실시예 2-2와 마찬가지로 소스 전극(12)과 축적 용량 전극(16)을 접속 배선(12a)으로 접속한 구조를 갖고 있다. 본 실시예에 따른 액정 표시 장치용 기판은 실시예 2-2에서 이용되고 있는 OC층이 형성되어 있지 않고, 이 때문에 실시예 2-1과 거의 동일한 제조 방법으로 제조된다.

<149> 도 29에 도시하는 구성은 화소 영역 내에 형성된 축적 용량 전극(16)과 화소 전극(18)을 접속하기 위한 컨택트 홀의 바닥부 개구의 윤곽의 형상이나 면적이 다른 점에 특징을 갖고 있다. 즉, 적색의 화소 영역에 형성된 컨택트 홀(19b)은, 실시예 2-1에서 나타낸 것과 동일한 바닥부 윤곽 형상 및 치수를 갖고 있다. 이에 대하여, 녹색의 화소 영역에 형성된 컨택트 홀(19b')은 컨택트 홀(19b)보다 장축의 길이가 짧게 형성되어 있고, 따라서 바닥부 윤곽의 개구 면적이 컨택트 홀(19b)보다 작게 형성되어 있다. 또한, 청색의 화소 영역에는 컨택트 홀 대신에 실시예 2-2에서 나타낸 컨택트용 홈(19c)이 형성되어 있다.

<150> 이와 같이 색마다 컨택트 홀(컨택트용 홈을 포함함)의 바닥부 윤곽 형상 및 개구 면적을 변경함으로써, 수지 CF층(15)(R, G, B)을 형성하는 각 컬러 레지스트의 해상 능력의 차이에 대응시켜, 필요 최소한의 바닥부 개구 면적을 얻을 수 있다. 본 실시예에서는, 일반적으로 가장 해상 능력이 낮은 청(B)색의 컬러 레지스트층에는, 확실하게 바닥부 개구를 열기 위해서 컨택트용홈(19c)을 형성하고 있다. 한편, 해상 능력이 높은 녹(G)색의 컬러 레지스트층에는 컨택트 홀 바닥부 개구에 노출되는 금속층의 면적을 가능한 한 작게 한 컨택트 홀(19b')을 형성하고 있다. 이렇게 함으로써, 액정 표시 장치의 표시 패널측으로부터 입사한 광의 반사량을 가능한 한 줄이고, 표시 품위를 향상시킬 수 있다.

<151> 또한, 색마다 일률적으로 컨택트 홀이나 컨택트용 홈의 바닥부 윤곽 형상 및 개구 면적을 변경하는 것은 아니고, 유리 기판(3) 상의 각 부위에 형성되는 컨택트 홀이나 컨택트용 홈 각각에 대하여, 레지스트층 해상 능력의 차이에 기초하여 최적의 바닥부 윤곽 형상 및 개구 면적으로 변경하도록 해도 된다.

<152> 이상 설명한 바와 같이, 본 실시 형태에 따르면, TFT 기판 위에 CF가 형성되어 있는 액정 표시용 기판에 있어서, CF층을 협지하는 상하 전극(소스 전극 및 화소 전극)을 전기적으로 컨택트시키기 위해서 CF층에 형성하는 구멍 형상을 세로 방향과 가로 방향의 길이가 다른 형상으로 하고 있다. 이에 의해, 높은 개구율에 의한 휘도 향상을 달성하면서, 프록시미티 노광 장치 등의 통상의 CF 형성 장치나 프로세스를 이용해도, 화소 개구율 손실을 최저한으로 하면서 CF층의 해상 능력을 향상시켜, 간편한 프로세스 설계와 안정된 프로세스를 제공하는 것이 가능하게 된다.

<153> 또한, RGB 마다 컨택트용 구멍 혹은 홈의 크기를 변경함으로써, CF 레지스트의 색마다 해상 능력이 다른 현상에 대응하여, CF로 피복되고 있지 않은 메탈 면적이 너무 커지게 됨으로써, 패널 표시 시의 반사율 향상을 억제하여, 고품위의 액정 표시 장치를 제공할 수 있다. 또, 형성 프로세스의 특징에 맞추어서 패널 내에서 컨택트용 구멍 혹은 홈의 크기를 변경함으로써 마찬가지의 효과가 얻어진다.

<154> 이상 설명한 본 발명의 제1 실시 형태에 따른 액정 표시 장치용 기판 및 액정 표시 장치는 이하와 같이 정리할 수 있다.

<155> (부기 1)

<156> 복수의 화소 영역에 각각 형성된 화소 전극과 상기 화소 전극을 구동하는 스위칭 소자와의 사이에 형성된 패시베이션막과, 상기 패시베이션막 상에 형성된 컬러 필터층을 갖는 액정 표시 장치용 기판에 있어서,

<157> 상기 패시베이션막은 질화 실리콘층과 산화 실리콘층 또는 산질화 실리콘층과의 적층 구조를 갖고, 상기 컬러 필터층에 접하여 상기 산화 실리콘층 또는 상기 산질화 실리콘층이 형성되어 있는 것을 특징으로 하는 액정 표시 장치용 기판.

<158> (부기 2)

<159> 부기 1에 기재된 액정 표시 장치용 기판에 있어서,

<160> 상기 산화 실리콘층 또는 상기 산질화 실리콘층은 막 두께가 3㎚ 이상 20㎚ 이하인 것을 특징으로 하는 액정 표시 장치용 기판.

<161> (부기 3)

<162> 부기 1에 기재된 액정 표시 장치용 기판에 있어서,

<163> 상기 질화 실리콘층은 실리콘 원자 및 질소 원자의 조성을 바꾼 2종 이상의 질화 실리콘을 적층한 구조를 갖고 있는 것을 특징으로 하는 액정 표시 장치용 기판.

<164> (부기 4)

<165> 부기 1에 기재된 액정 표시 장치용 기판에 있어서,

<166> 상기 질화 실리콘층은 상기 컬러 필터층에 접하는 상기 산화 실리콘층 혹은 상기 산질화 실리콘층에 가까운 영역일수록 실리콘 원자 농도가 높아지게 되도록 형성되고, 또는 상기 컬러 필터층에 접하는 상기 산화 실리콘층 혹은 상기 산질화 실리콘층에 가까운 영역일수록 실리콘 원자에 결합하는 수소 원자의 농도가 높아지게 되도록 형성되어 있는 것을 특징으로 하는 액정 표시 장치용 기판.

<167> (부기 5)

<168> 복수의 화소 영역에 각각 형성된 화소 전극과 상기 화소 전극을 구동하는 스위칭 소자와의 사이에 형성된 패시베이션막과 상기 패시베이션막 상에 형성된 컬러 필터층을 갖는 액정 표시 장치용 기판과, 상기 액정 표시 장치용 기판에 대향 배치되는 대향 기판과, 상기 액정 표시 장치용 기판과 상기 대향 기판과의 사이에 협지된 액정층을 갖는 액정 표시 장치에 있어서,

<169> 상기 액정 표시 장치용 기판은 상기 패시베이션막이 질화 실리콘층과 산화 실리콘층 또는 산질화 실리콘층과의 적층 구조를 갖고, 상기 컬러 필터층에 접하여 상기 산화 실리콘층 또는 상기 산질화 실리콘층이 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

<170> (부기 6)

<171> 대향 기판에 액정층을 협지하여 대향 배치되는 절연성 기판과,

<172> 상기 절연성 기판 상에 배치되어 스위칭 소자와 질화 실리콘층과 산화 실리콘층 또는 산질화 실리콘층과 수지 컬러 필터층과 화소 전극이 순서대로 형성된 복수의 화소 영역으로 이루어지는 표시 영역과,

<173> 상기 표시 영역의 상기 수지 컬러 필터층과 상기 화소 전극과의 사이에 형성된 절연성 수지 재료로 이루어지는 오버코트층을 갖고,

<174> 상기 스위칭 소자 상의 각 층에 개구된 컨택트 홀의 개구 단면적이, 상기 수지 컬러 필터층>상기 오버코트층≥상기 산화 실리콘층 또는 상기 산질화 실리콘층≥상기 질화 실리콘층의 관계를 갖고 있는 것을 특징으로 하는 액정 표시 장치용 기판.

<175> 이상 설명한 본 발명의 제2 실시 형태에 따른 액정 표시 장치용 기판 및 액정 표시 장치는 이하와 같이 정리할 수 있다.

<176> (부기 7)

<177> 화소 영역에 형성된 스위칭 소자와,

<178> 상기 화소 영역에 형성된 수지 컬러 필터층과,

<179> 상기 수지 컬러 필터층 상에 형성된 화소 전극과,

<180> 상기 스위칭 소자와 상기 화소 전극을 전기적으로 접속하기 위해 상기 수지 컬러 필터층을 관통하여 형성되고, 바닥부 윤곽의 세로 방향과 가로 방향의 길이가 다르고, 각부가 라운딩을 띤 컨택트 홀을 포함하는 것을 특징으로 하는 액정 표시 장치용 기판.

<181> (부기 8)

<182> 부기 7에 기재된 액정 표시 장치용 기판에 있어서,

<183> 상기 바닥부 윤곽의 장축과 단축의 길이의 비(장단축 길이비=단축 길이/장축 길이)는 0.5 이하인 것을 특징으로 하는 액정 표시 장치용 기판.

<184> (부기 9)

<185> 부기 7에 기재된 액정 표시 장치용 기판에 있어서,

<186> 상기 바닥부 윤곽 내의 면적은 $600\mu m^2$ 이하인 것을 특징으로 하는 액정 표시 장치용 기판.

<187> (부기 10)

<188> 화소 영역에 형성된 스위칭 소자와,

<189> 상기 화소 영역에 형성된 수지 컬러 필터층과,

<190> 상기 수지 컬러 필터층 상에 형성된 화소 전극과,

<191> 상기 스위칭 소자와 상기 화소 전극을 전기적으로 접속하기 위해 상기 수지 컬러 필터층을 관통하여 바닥부 윤곽을 형성한 컨택트용 홈을 포함하는 것을 특징으로 하는 액정 표시 장치용 기판.

<192> (부기 11)

<193> 부기 10에 기재된 액정 표시 장치용 기판에 있어서,

<194> 상기 화소 영역 내를 횡단하는 축적 용량 버스 라인을 갖고,

<195> 상기 컨택트용 홈의 바닥부 윤곽은 상기 축적 용량 버스 라인 상측에 형성되고, 상기 축적 용량 버스 라인의 폭보다 좁은 것을 특징으로 하는 액정 표시 장치용 기판.

<196> (부기 12)

<197> 부기 10 또는 11에 기재된 액정 표시 장치용 기판에 있어서,

<198> 상기 컨택트용 홈은, 상기 화소 영역 내에서 상기 수지 컬러 필터층을 분할하고 있는 것을 특징으로 하는 액정 표시 장치용 기판.

<199> (부기 13)

<200> 부기 7 내지 12 중 어느 한 항에 기재된 액정 표시 장치용 기판에 있어서,

<201> 상기 수지 컬러 필터층의 배치 위치에 따라, 상기 바닥부 윤곽 내의 개구 면적이 다른 것을 특징으로 하는 액정 표시 장치용 기판.

<202> (부기 14)

<203> 부기 13에 기재된 액정 표시 장치용 기판에 있어서,

<204> 상기 수지 컬러 필터층의 색마다 상기 바닥부 윤곽 내의 개구 면적이 다른 것을 특징으로 하는 액정 표시 장치용 기판.

<205> (부기 15)

<206> 부기 7 내지 14 중 어느 한 항에 기재된 액정 표시 장치용 기판에 있어서,

<207> 상기 수지 컬러 필터층의 형성 재료는 네가티브형인 것을 특징으로 하는 액정 표시 장치용 기판.

<208> (부기 16)

<209> 각 화소 영역에 형성된 화소 전극과, 상기 화소 전극을 구동하는 스위칭 소자와, 상기 스위칭 소자와 상기 화소 전극과의 사이에 형성된 컬러 필터층을 갖는 액정 표시 장치용 기판과, 상기 액정 표시 장치용 기판에 대향 배치되는 대향 기판과, 상기 액정 표시 장치용 기판과 상기 대향 기판과의 사이에 협지된 액정층을 갖는 액정 표시 장치에 있어서,

<210> 상기 액정 표시 장치용 기판으로서, 부기 7 내지 15 중 어느 한 항에 기재된 액정 표시 장치용 기판을 이용하는 것을 특징으로 하는 액정 표시 장치.

발명의 효과

<211> 본 발명에서는, LCD용 기판의 화소 전극과 스위칭 소자와의 사이에 형성되는 패시베이션막을 SiN층과 SiO층 또는 SiON층과의 적층 구조로 하고, CF층이 SiO층 또는 SiON층에 접하도록 했다. 이에 의해, CF의 박리나 잔사의 발생을 억제하여, 도통 불량의 발생을 억제할 수 있어, 표시 특성이 우수한 신뢰성이 높은 LCD용 기판 및 LCD를 실현할 수 있다.

<212> 또한, SiO층 또는 SiON층의 막 두께, SiN층의 내부 구조를 제어함으로써, 패시베이션막에 형성되는 컨택트 홀을 단면 순테이퍼 형상으로 할 수 있어, 도통 불량이 없는 고성능의 LCD용 기판 및 LCD를 실현할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 제1 실시 형태의 TFT 기판의 TFT 부분의 주요부 단면도.

<2> 도 2는 본 발명의 제1 실시 형태의 TFT 기판의 1 화소 영역의 평면도.

<3> 도 3은 GB 형성 공정의 설명도.

<4> 도 4는 절연막 형성 공정의 설명도.

<5> 도 5는 채널 보호막 형성 공정의 설명도.

<6> 도 6은 오믹층 및 금속층 형성 공정의 설명도.

<7> 도 7은 전극 및 동작 반도체층 형성 공정의 설명도.

<8> 도 8은 패시베이션막 형성 공정의 설명도.

<9> 도 9는 CF층 형성 공정의 설명도.

<10> 도 10은 OC층 형성 공정의 설명도.

<11> 도 11은 화소 전극 접속용 컨택트 홀 형성 공정의 설명도.

<12> 도 12는 화소 전극 형성 공정의 설명도.

<13> 도 13은 종래의 CF-on-TFT 구조의 LCD용 기판의 1 화소 영역의 일례의 평면도.

<14> 도 14는 도 13의 B-B 단면도.

<15> 도 15는 본 발명의 제2 실시 형태의 전제가 되는 종래의 액정 표시 장치용 기판의 구성을 도시하는 도면.

<16> 도 16은 본 발명의 제2 실시 형태의 실시예 2-1에 따른 액정 표시 장치용 기판의 구성을 도시하는 도면.

<17> 도 17은 본 발명의 제2 실시 형태의 실시예 2-1에 따른 액정 표시 장치용 기판의 구성을 도시하는 단면도.

<18> 도 18은 본 발명의 제2 실시 형태의 실시예 2-1에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단면도.

<19> 도 19는 본 발명의 제2 실시 형태의 실시예 2-1에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단면도.

<20> 도 20은 본 발명의 제2 실시 형태의 실시예 2-1에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단면도.

<21> 도 21은 본 발명의 제2 실시 형태의 실시예 2-1에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단

면도.

<22> 도 22는 본 발명의 제2 실시 형태의 실시예 2-2에 따른 액정 표시 장치용 기판의 구성을 도시하는 도면.

<23> 도 23은 본 발명의 제2 실시 형태의 실시예 2-2에 따른 액정 표시 장치용 기판의 구성을 도시하는 단면도.

<24> 도 24는 본 발명의 제2 실시 형태의 실시예 2-2에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단면도.

<25> 도 25는 본 발명의 제2 실시 형태의 실시예 2-2에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단면도.

<26> 도 26은 본 발명의 제2 실시 형태의 실시예 2-2에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단면도.

<27> 도 27은 본 발명의 제2 실시 형태의 실시예 2-2에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단면도.

<28> 도 28은 본 발명의 제2 실시 형태의 실시예 2-2에 따른 액정 표시 장치용 기판의 제조 방법을 도시하는 공정 단면도.

<29> 도 29는 본 발명의 제2 실시 형태의 실시예 2-3에 의한 액정 표시 장치용 기판의 구성을 도시하는 도면.

<30> <도면의 주요 부분에 대한 부호의 설명>

<31> 1 : TFT 기판

<32> 2 : TFT

<33> 3 : 유리 기판

<34> 4 : 게이트 버스 라인

<35> 4a : Al계 금속층

<36> 4b : 고융점 금속층

<37> 5 : 절연막

<38> 6 : 드레인 버스 라인

<39> 7 : 축적 용량 버스 라인

<40> 8a, 8b : 상부 금속층

<41> 9a, 9b : 오믹 컨택트층

<42> 9c : n^+형 a-Si층

<43> 10 : 드레인 전극

<44> 11 : 채널 보호막

<45> 11a, 14a, 14b : SiN층

<46> 12 : 소스 전극

<47> 12a : 접속 배선

<48> 13 : 동작 반도체층

<49> 13a : a-Si층

<50> 14 : 패시베이션막

<51> 14c : SiO층

<52> 15 : 수지 CF층

<53> 15a, 15b, 19a, 19b, 19b', 21, 22 : 컨택트 홀

<54> 16 : 축적 용량 전극

<55> 17 : OC층

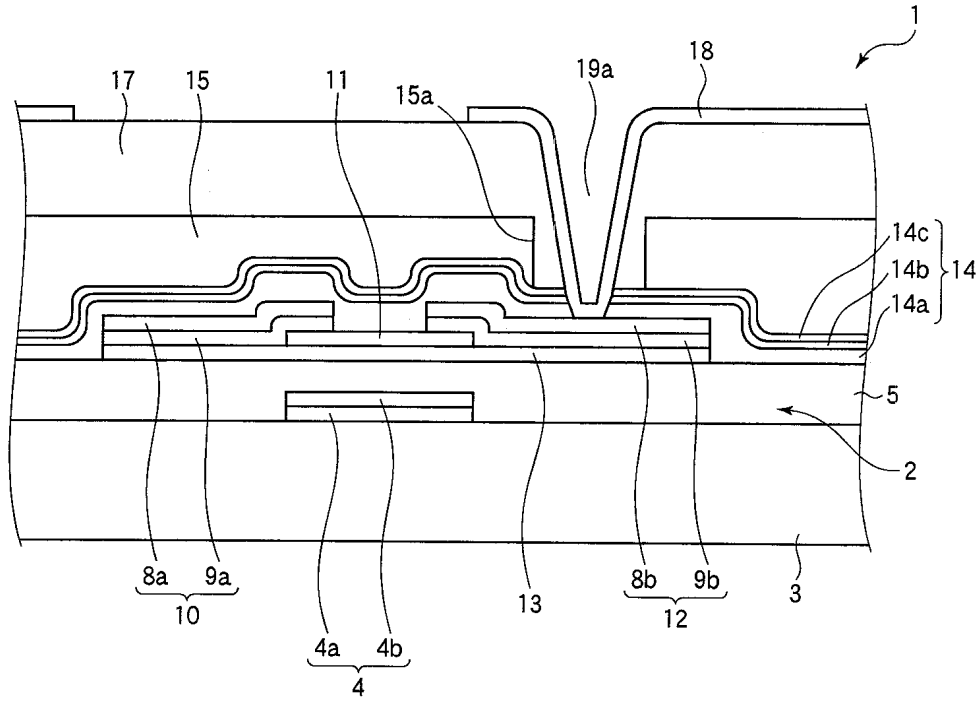
<56> 18 : 화소 전극

<57> 19c : 컨택트용 홈

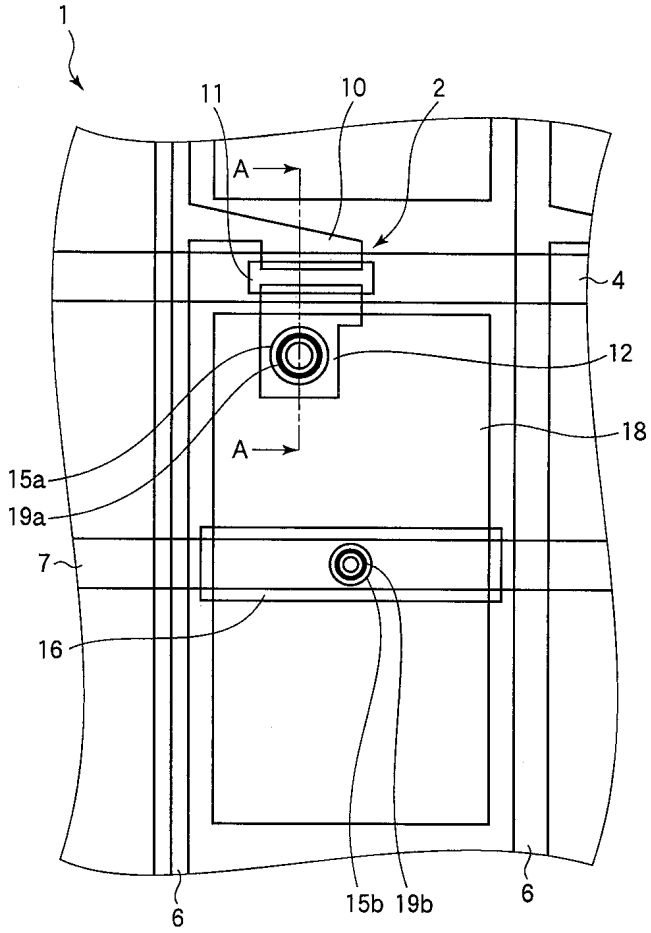
<58> 20 : 금속층

도면

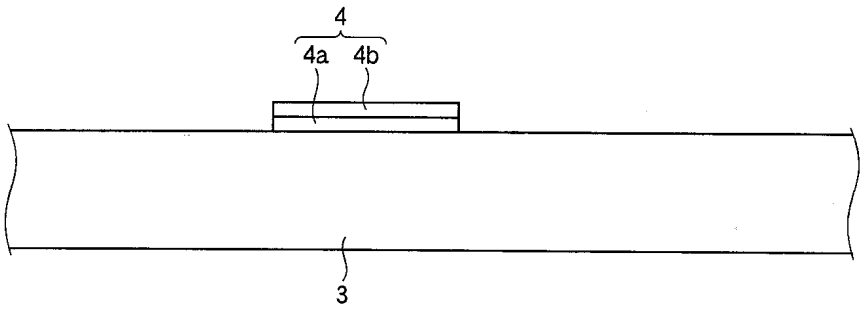
도면1



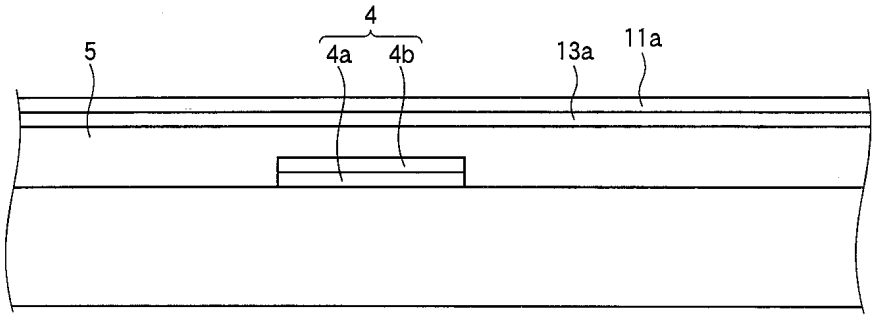
도면2



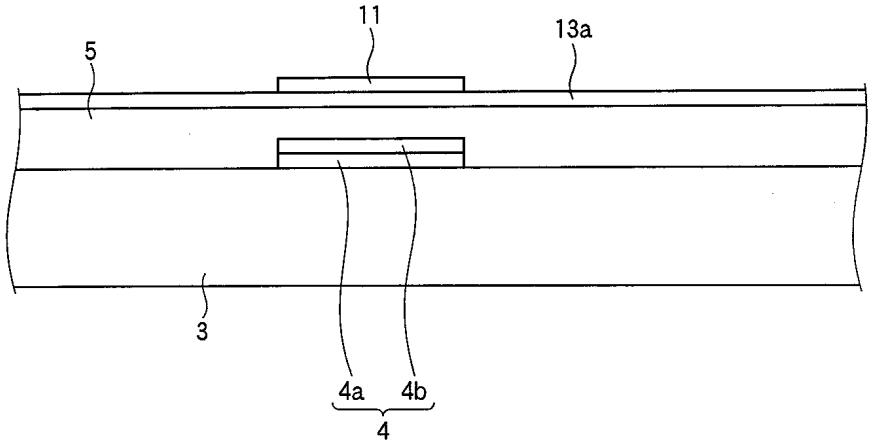
도면3



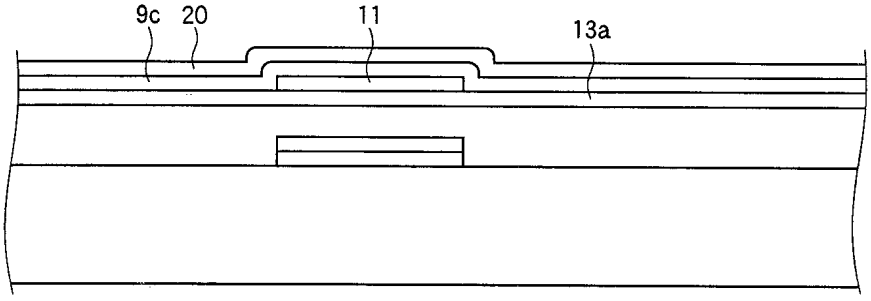
도면4



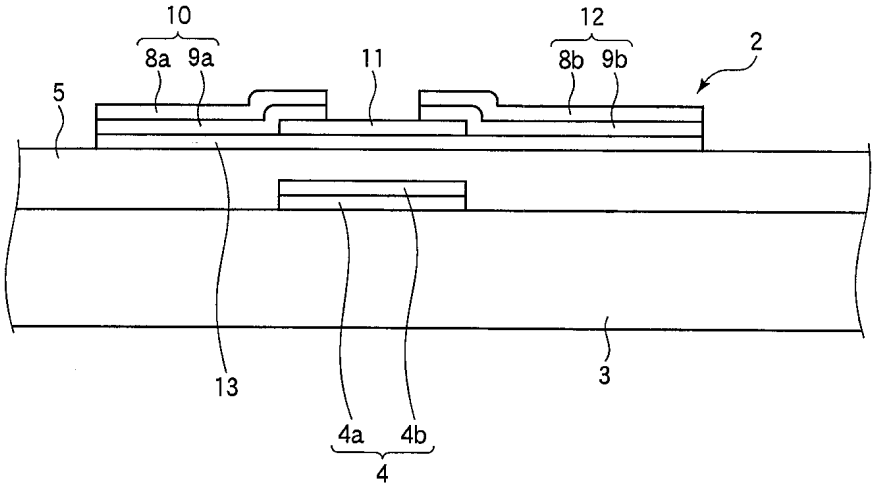
도면5



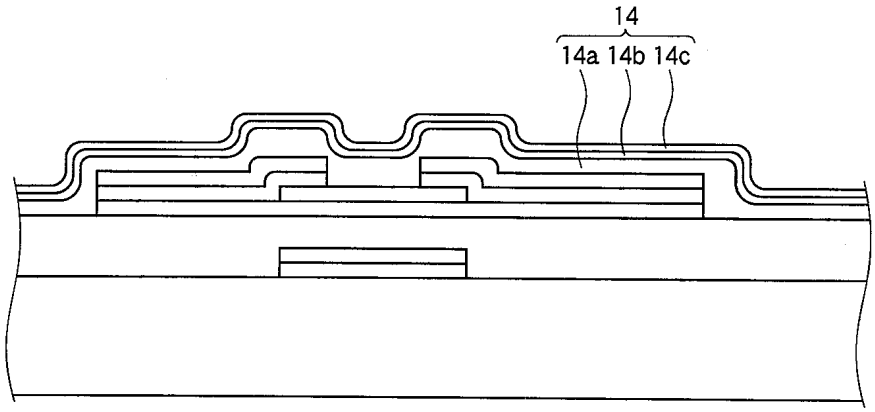
도면6



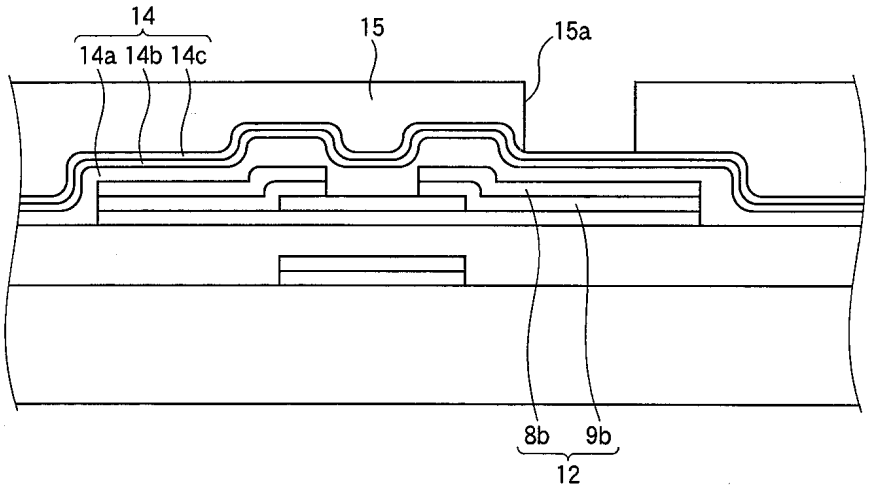
도면7



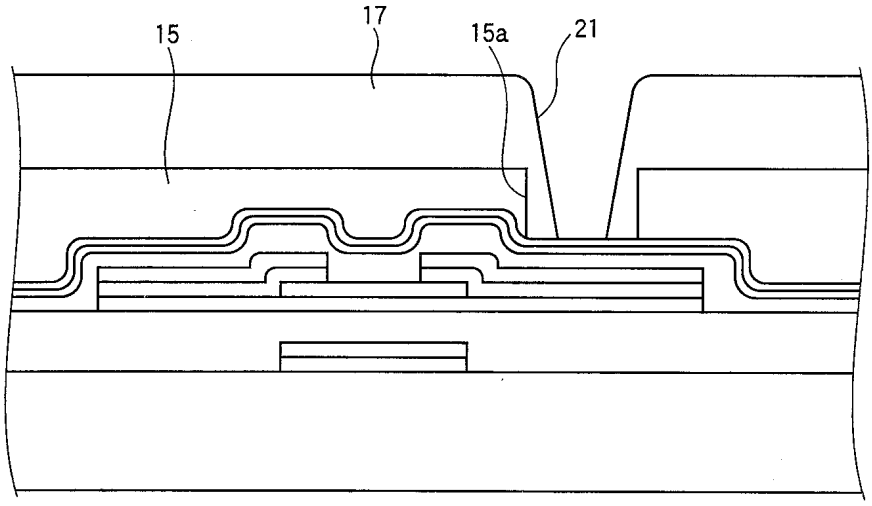
도면8



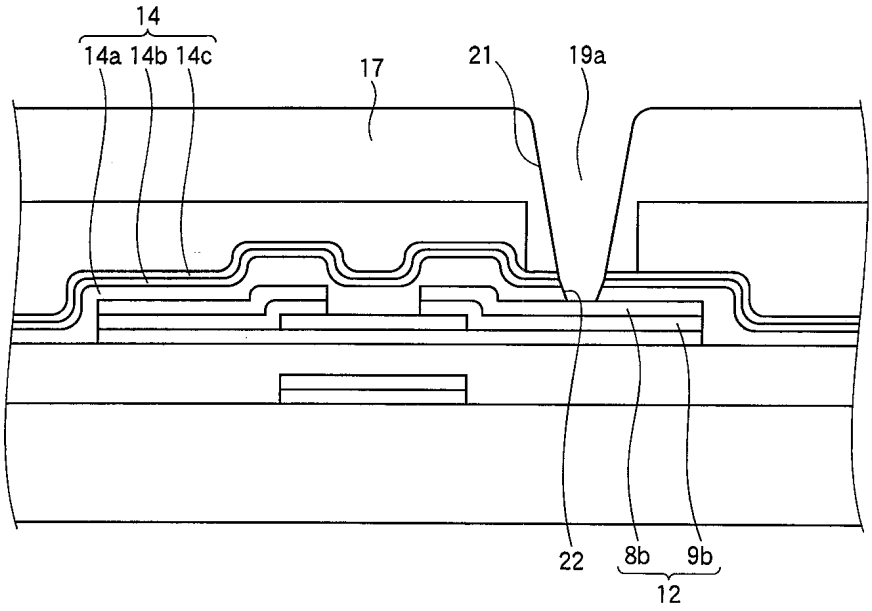
도면9



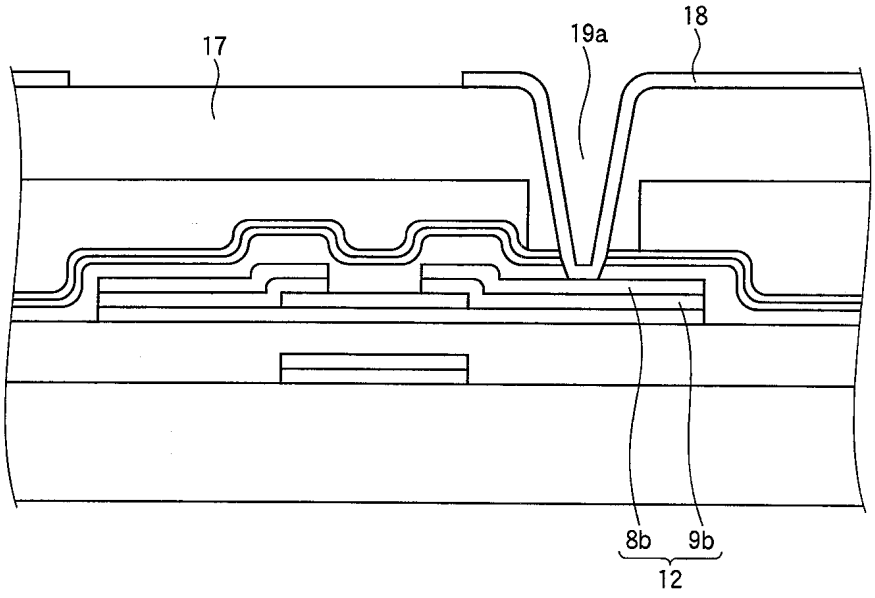
도면10



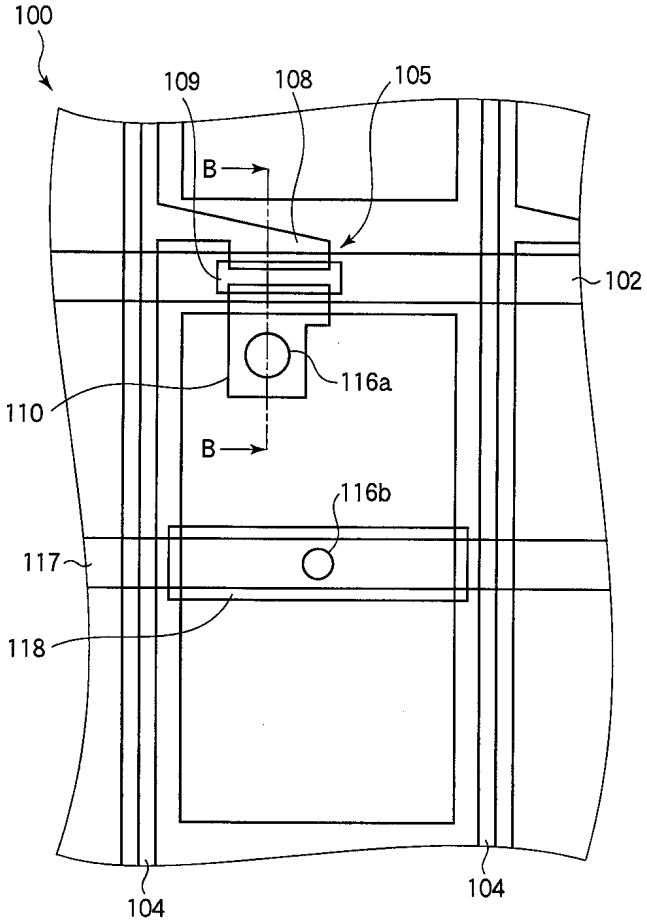
도면11



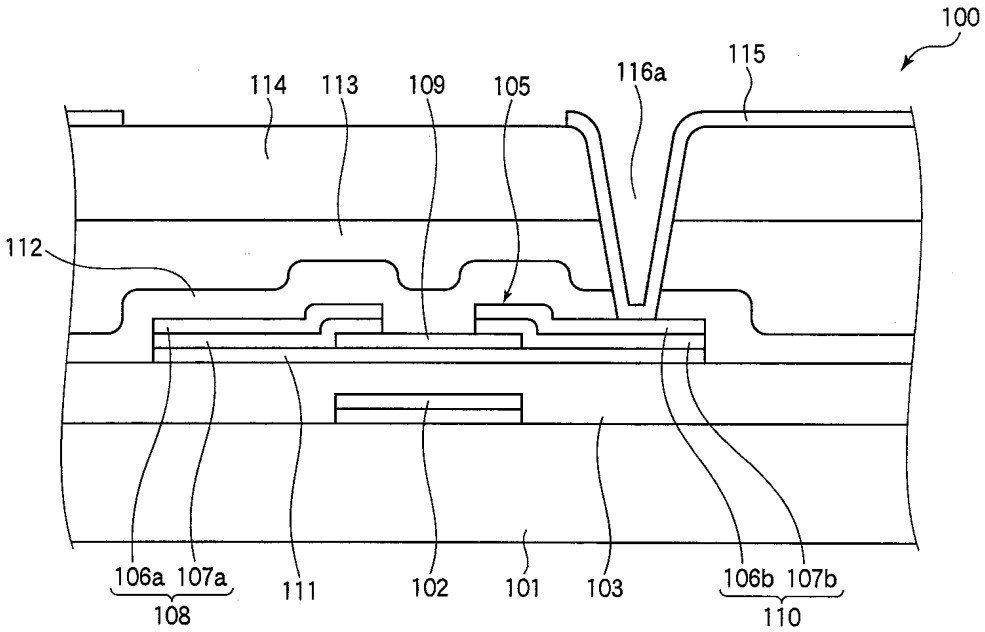
도면12



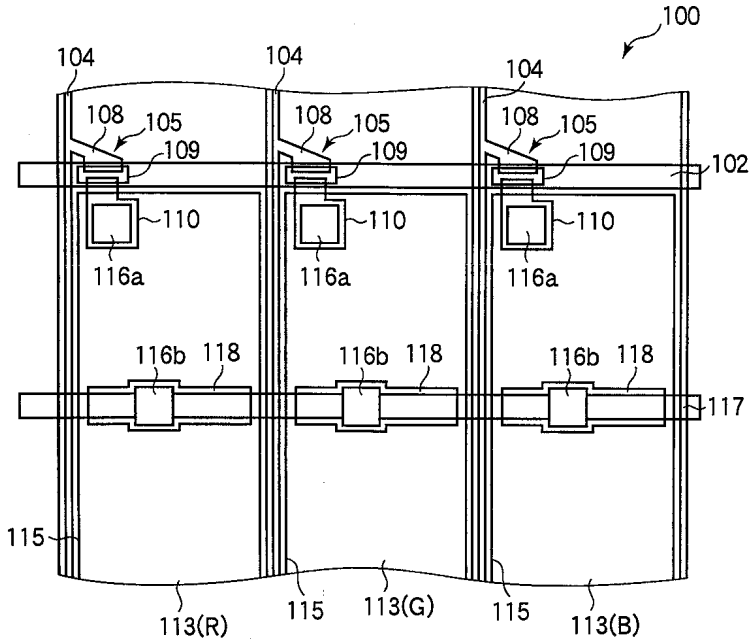
도면13



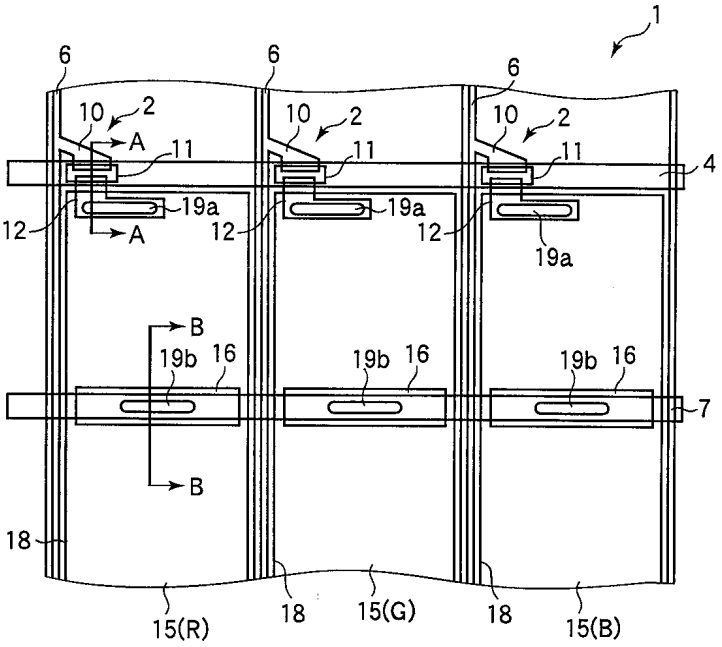
도면14


100
114
113
109
105
116a
115
112
106a
107a
108
111
102
101
103
106b
107b
110

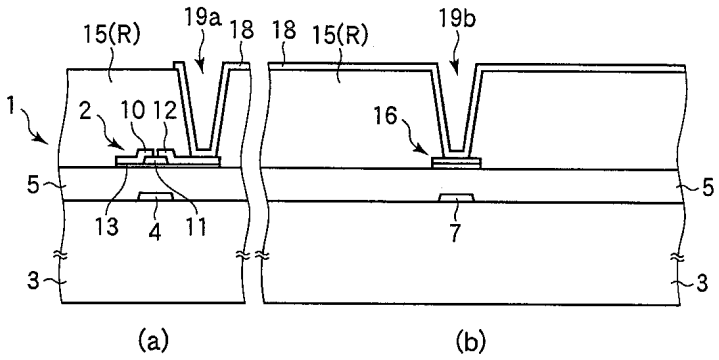
도면15


100
104
104
104
108
105
109
108
105
109
108
105
109
102
110
110
110
116a
116a
116a
116b
118
116b
118
116b
118
117
115
113(R)
115
113(G)
115
113(B)

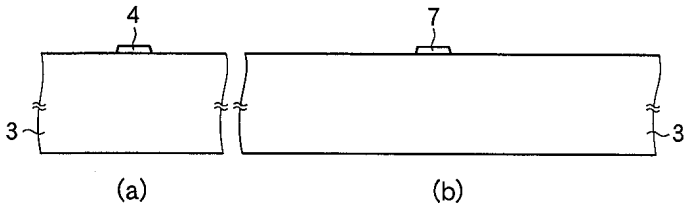
도면16



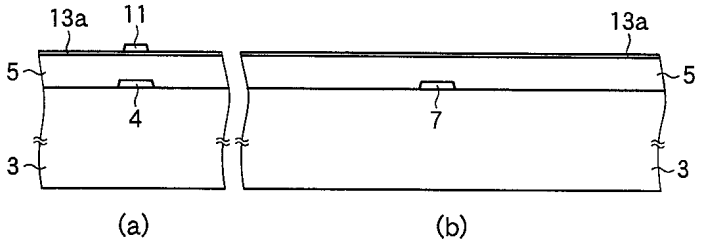
도면17



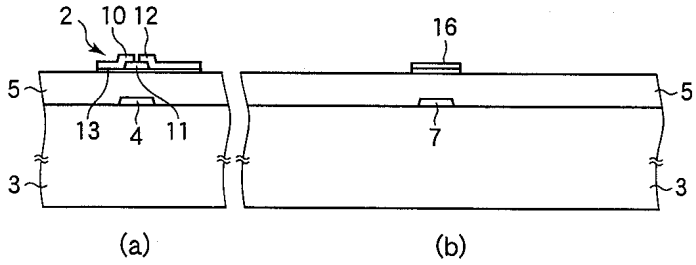
도면18



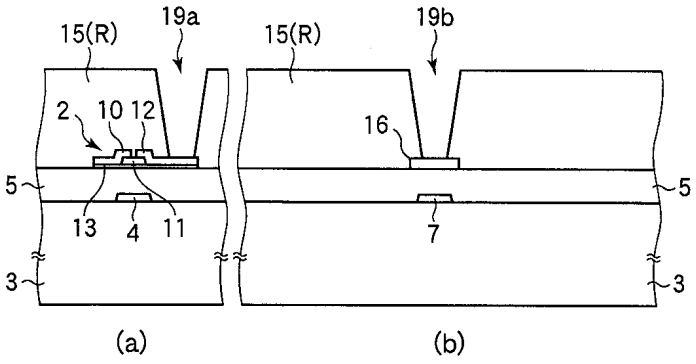
도면19



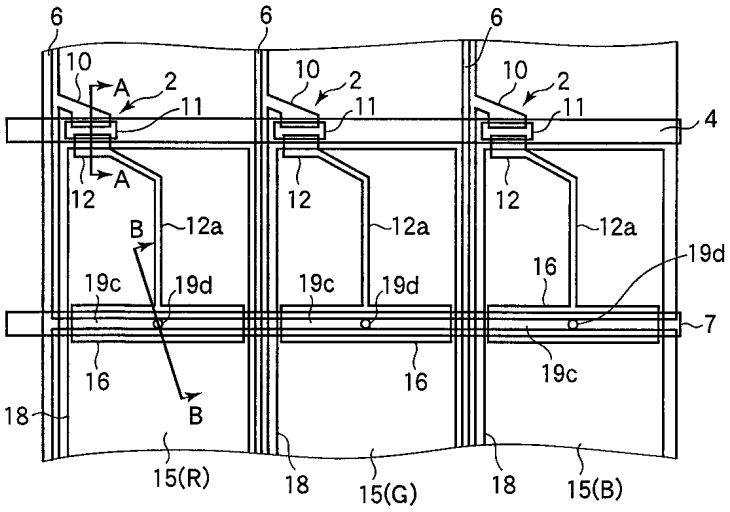
도면20



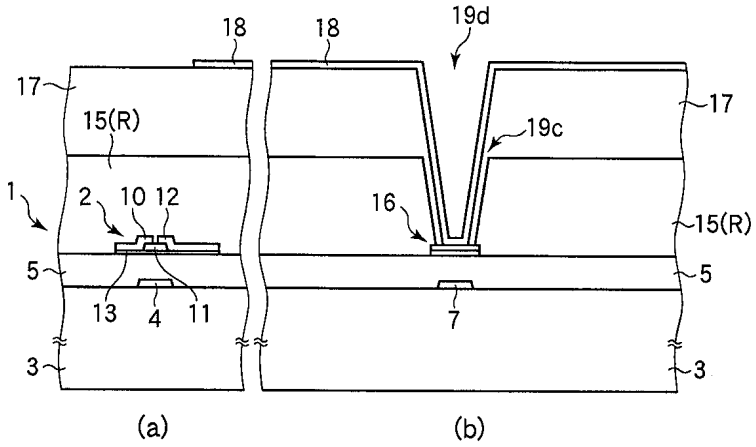
도면21



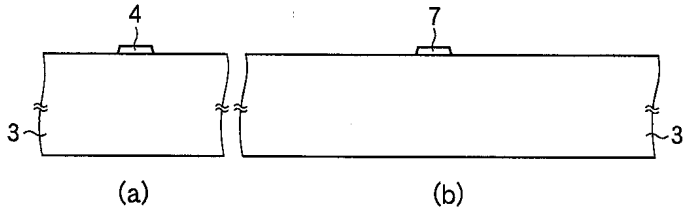
도면22



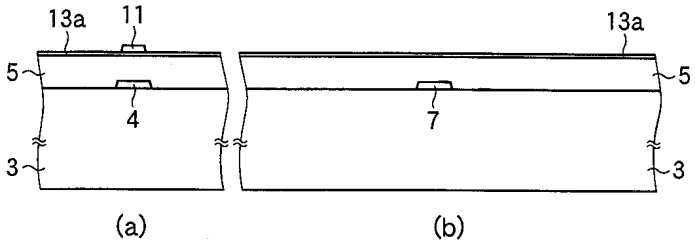
도면23



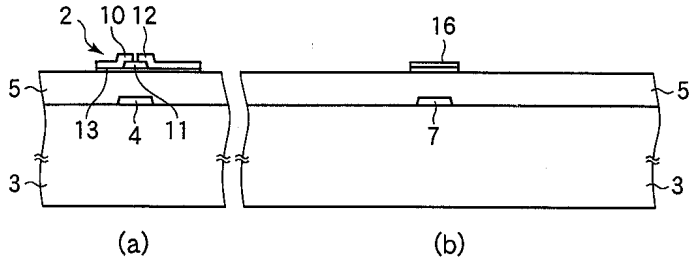
도면24



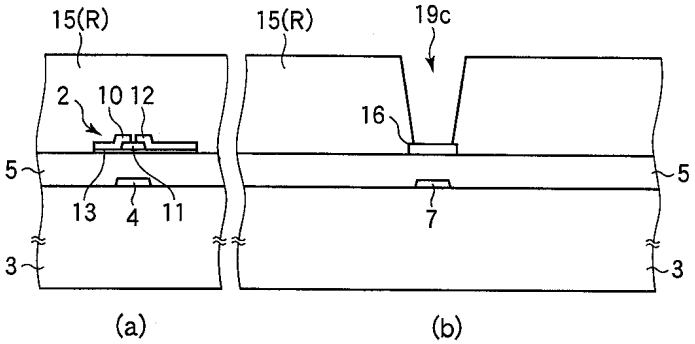
도면25



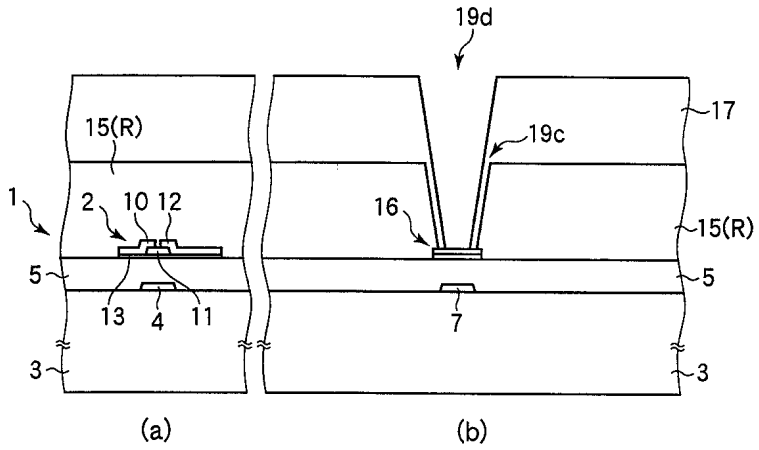
도면26



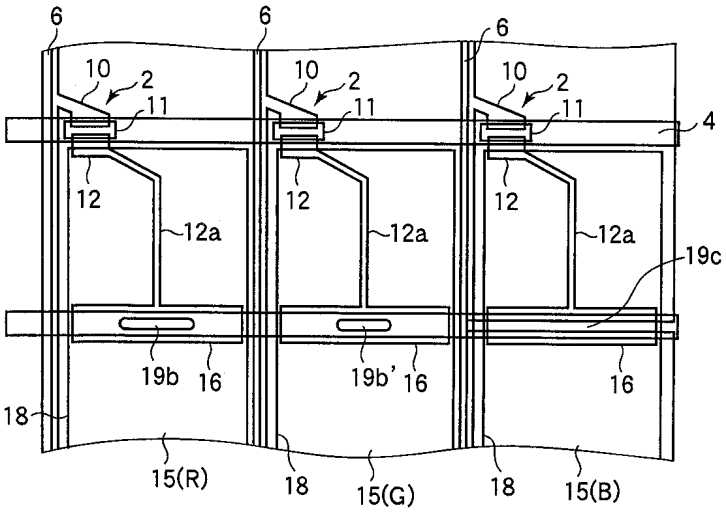
도면27



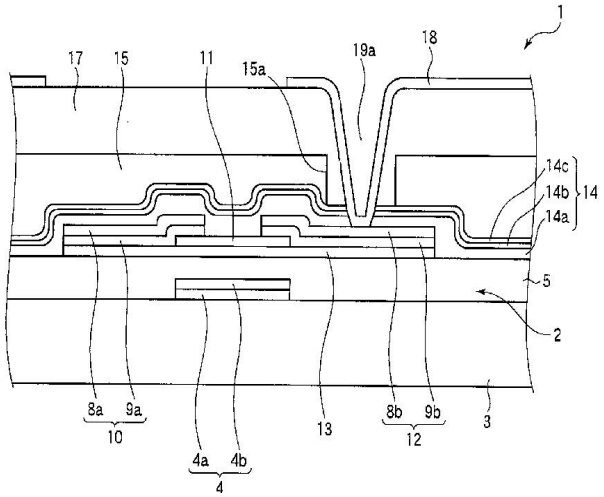
도면28


19d
15(R)
17
19c
1
2
10
12
16
15(R)
5
5
13
4
11
7
3
3
(a)
(b)

도면29


6
6
6
10
2
11
10
2
11
10
2
11
4
12
12
12
12a
12a
12a
19c
19b
16
19b'
16
16
18
15(R)
18
15(G)
18
15(B)

专利名称(译)	用于液晶显示装置的基板和使用该基板的液晶显示装置		
公开(公告)号	KR100814183B1	公开(公告)日	2008-03-14
申请号	KR1020040019633	申请日	2004-03-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SAWASAKI MANABU 사와사끼마나부 TANOSE TOMONORI 다노세도모노리 MISAKI KATSUNORI 미사끼가쯔노리		
发明人	사와사끼마나부 다노세도모노리 미사끼가쯔노리		
IPC分类号	G02F1/136 G02F1/1335 G02F1/1362 G02F1/1368 H01L29/786		
CPC分类号	G02F1/136227 G02F2001/136222		
代理人(译)	Jangsugil Juseongmin		
优先权	2003090834 2003-03-28 JP 2003369354 2003-10-29 JP		
其他公开文献	KR1020040084720A		
外部链接	Espacenet		

摘要(译)

因此，抑制了在阵列基板侧上具有CF的LCD基板上的CF残留或剥离，以防止导电失败。在形成于多个像素区域中的每一个中的像素电极与驱动像素电极的TFT 2之间形成的钝化膜14制成具有SiN层14a和14b以及SiO 2层14c的层叠结构，并且其最上层被称为SiO层14c。树脂CF层15形成在具有这种层叠结构的钝化膜14上。树脂CF层15直接形成在SiO 2层14c上，从而防止树脂CF层15的粘附性降低，并且当形成树脂CF层15时CF层15不容易剥离，在形成接触孔时不太可能产生CF残留物。结果，抑制了导通缺陷，实现了具有优异显示特性并且可靠性高的TFT基板1和LCD。专利号10-0814183