(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)

(45) 공고일자 2007년08월06일
(11) 등록번호 10-0746646
(24) 등록일자 2007년07월31일

(21) 출원번호 10-2006-0065042
(22) 출원일자 2006년07월11일
심사청구일자 2006년07월11일

(65) 공개번호
(43) 공개일자

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김기범
인천 부평구 산곡동 현대아파트 122동 208호

이재구
경기 용인시 기흥구 마북동 쌍용2차아파트 103-1501

이승우
경기 용인시 기흥구 상갈동 금화마을주공아파트 503동 1704호

(74) 대리인 권혁수
송윤호
오세준

(56) 선행기술조사문헌
KR 1020050061580A
KR 1020040058583A

심사관 : 박위규

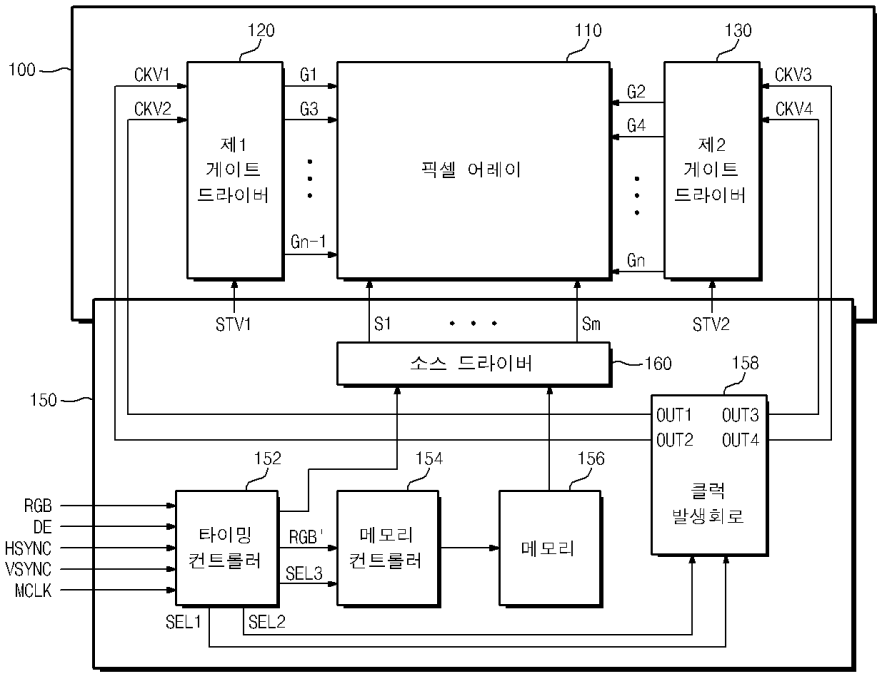
전체 청구항 수 : 총 22 항

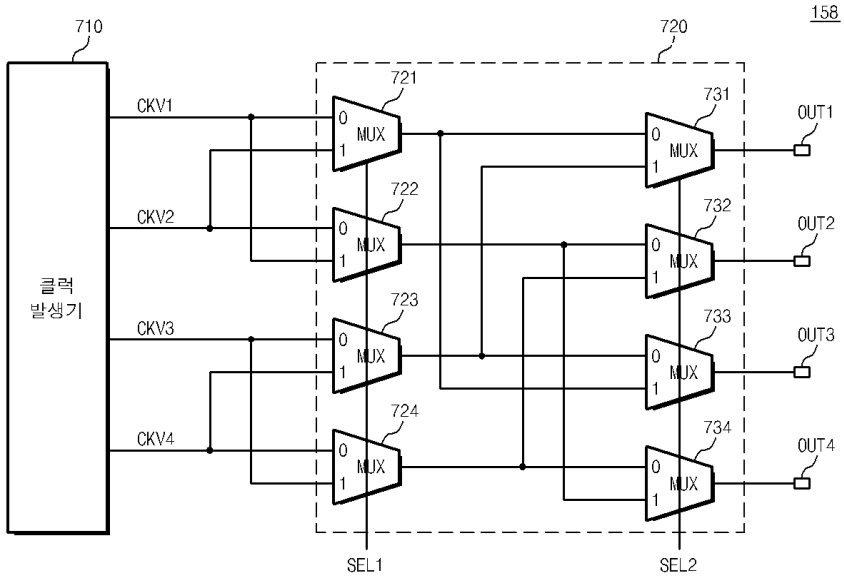
(54) 디스플레이 구동 회로 및 이를 갖는 액정 표시 장치

(57) 요약

액정 패널을 구동하기 위한 제어 신호들을 제공하는 디스플레이 구동 회로 는, 액정 패널에 부착되는 위치에 따라서 상기 디스플레이 구동 회로의 제1 내지 제4 단자들 각각으로 출력되는 상기 제1 내지 제4 클럭 신호들을 일대일 대응시킨다. 그 결과 디스플레이 구동 회로로부터 출력되어서 액정 패널의 게이트 드라이버들 제공되는 클럭 신호들을 공급하기 위한 신호 라인들 간의 교차가 방지된다.

대표도





특허청구의 범위

청구항 1.

액정 패널; 및

복수의 단자들을 통하여 상기 액정 패널로 복수의 클럭 신호들을 제공하는 디스플레이 구동 회로를 포함하되;

상기 액정 패널은,

복수의 게이트 라인들과;

복수의 소스 라인들과;

상기 게이트 라인들과 상기 소스 라인들이 교차하는 영역에 각각 배치된 화소들의 어레이; 그리고

상기 게이트 라인들과 연결되고, 상기 복수의 클럭 신호들에 응답해서 상기 게이트 라인들을 구동하는 게이트 드라이버를 포함하며,

상기 디스플레이 구동 회로는 상기 액정 패널에 부착되는 위치에 따라서 상기 복수의 클럭 신호들과 상기 복수의 단자들의 대응 관계를 가변적으로 결정하는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 디스플레이 구동 회로는 COG(chip on glass) 방식으로 상기 액정 패널에 부착되는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 게이트 드라이버는,

상기 게이트 라인들에 각각 연결된 복수의 게이트 구동 유닛들을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 1 항에 있어서,

상기 게이트 드라이버는,

수직 동기 시작 신호에 동기해서 상기 게이트 라인들을 순차적으로 구동하는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 1 항에 있어서,

상기 디스플레이 구동 회로는,

상기 복수의 클럭 신호들을 발생하는 클럭 발생기; 그리고

선택 신호에 응답해서 상기 복수의 클럭 신호들을 상기 복수의 단자들에 일대일 대응시켜서 출력하는 스위칭 회로를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

액정 패널; 및

제1 내지 제4 단자들을 통하여 상기 액정 패널로 제1 내지 제4 클럭 신호들을 제공하는 디스플레이 구동 회로를 포함하되;

상기 액정 패널은,

복수의 게이트 라인들과;

복수의 소스 라인들과;

상기 게이트 라인들과 상기 소스 라인들이 교차하는 영역에 각각 배치된 화소들의 어레이와;

상기 게이트 라인들 중 일군과 연결되고, 상기 제1 및 제2 클럭 신호들에 응답해서 상기 일군의 게이트 라인들을 구동하는 제 1 게이트 드라이버; 및

상기 게이트 라인들 중 타군과 연결되고, 상기 제3 및 제4 클럭 신호들에 응답해서 상기 타군의 게이트 라인들을 구동하는 제 2 게이트 드라이버를 포함하며,

상기 디스플레이 구동 회로가 상기 액정 패널에 부착되는 위치에 따라서 상기 디스플레이 구동 회로는 제1 내지 제4 단자들 각각으로 출력되는 상기 제1 내지 제4 클럭 신호들을 정의하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 6 항에 있어서,

상기 디스플레이 구동 회로는,

상기 제1 내지 제4 클럭 신호들을 발생하는 클럭 발생기; 그리고

선택 신호들에 응답해서 상기 제1 내지 제4 클럭 신호들을 상기 제1 내지 제4 단자들에 선택적으로 일대일 대응시켜서 출력하는 스위칭 회로를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제 7 항에 있어서,

상기 디스플레이 구동 회로가 상기 액정 패널의 제1 측면의 상부면에 부착될 때,

상기 스위칭 회로는 상기 제1 및 제2 클럭 신호들을 상기 제2 및 제1 단자들로 각각 출력하고, 상기 제3 및 제4 클럭 신호들을 상기 제4 및 제3 단자들로 각각 출력하는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제 8 항에 있어서,

상기 디스플레이 구동 회로가 상기 액정 패널의 제2 측면의 상부면에 부착될 때,

상기 스위칭 회로는 상기 제1 및 제2 클럭 신호들을 상기 제3 및 제4 단자들로 각각 출력하고, 상기 제3 및 제4 클럭 신호들을 상기 제1 및 제2 단자들로 각각 출력하는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제 9 항에 있어서,

상기 디스플레이 구동 회로는 상기 복수의 소스 라인들을 구동하기 위한 복수의 소스 라인 구동 신호들을 복수의 데이터 출력 단자들을 통해 상기 액정 패널로 더 제공하는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제 10 항에 있어서,

상기 디스플레이 구동 회로가 상기 액정 패널의 제2 측면의 상부면에 부착될 때,

상기 디스플레이 구동 회로는 상기 복수의 소스 라인들을 구동하기 위한 복수의 소스 라인 구동 신호들을 역순으로 상기 복수의 데이터 출력 단자들로 출력하는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제 9 항에 있어서,

상기 제1 및 제2 측면들은 상기 화소들의 어레이를 중심으로 마주보는 측면들인 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제 7 항에 있어서,

상기 디스플레이 구동 회로가 상기 액정 패널의 제1 측면의 하부면에 부착될 때,

상기 스위칭 회로는 상기 제1 및 제2 클럭 신호들을 상기 제4 및 제3 단자들로 각각 출력하고, 상기 제3 및 제4 클럭 신호들을 상기 제2 및 제1 단자들로 각각 출력하는 것을 특징으로 하는 액정 표시 장치.

청구항 14.

제 13 항에 있어서,

상기 디스플레이 구동 회로가 상기 액정 패널의 제2 측면의 하부면에 부착될 때,

상기 스위칭 회로는 상기 제1 및 제2 클럭 신호들을 상기 제1 및 제2 단자들로 각각 출력하고, 상기 제3 및 제4 클럭 신호들을 상기 제3 및 제4 단자들로 각각 출력하는 것을 특징으로 하는 액정 표시 장치.

청구항 15.

제 14 항에 있어서,

상기 디스플레이 구동 회로가 상기 액정 패널의 제1 측면의 하부면에 부착될 때,

상기 디스플레이 구동 회로는 상기 복수의 소스 라인들을 구동하기 위한 복수의 소스 라인 구동 신호들을 역순으로 상기 복수의 데이터 출력 단자들로 출력하는 것을 특징으로 하는 액정 표시 장치.

청구항 16.

제 6 항에 있어서,

상기 제1 게이트 드라이버는 상기 제1 게이트 라인들에 각각 연결된 복수의 제1 게이트 구동 유닛들을 포함하고;

상기 제2 게이트 드라이버는 상기 제2 게이트 라인들 각각에 연결된 복수의 제2 게이트 구동 유닛들을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 17.

제 6 항에 있어서,

상기 제1 게이트 드라이버는 제1 수직 동기 시작 신호에 동기해서 상기 제1 게이트 라인들을 순차적으로 구동하고;

상기 제2 게이트 드라이버는 제2 수직 동기 시작 신호에 동기해서 상기 제2 게이트 라인들을 순차적으로 구동하는 것을 특징으로 하는 액정 표시 장치.

청구항 18.

제 6 항에 있어서,

상기 디스플레이 구동 회로는 COG(chip on glass) 방식으로 상기 액정 패널에 부착되는 것을 특징으로 하는 액정 표시 장치.

청구항 19.

제 6 항에 있어서,

상기 제1 내지 제4 클럭 신호들의 주파수는 모두 동일하고;

상기 제1 및 제2 클럭 신호들은 상호 반전 관계를 가지며;

상기 제3 및 제4 클럭 신호들은 상호 반전 관계를 가지며; 그리고

상기 제1 및 2 클럭 신호들과 상기 제3 및 제4 클럭 신호들은 1/2 주기만큼 위상차를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 20.

영상 데이터 신호, 제어 신호 및 제1 및 제2 선택 신호들을 출력하는 타이밍 컨트롤러와;

상기 영상 데이터 신호 및 상기 제어 신호에 응답해서 소스 라인들을 구동하는 소스 드라이버; 그리고

제1 내지 제4 단자들로 제1 내지 제4 클럭 신호들을 출력하는 클럭 발생 회로를 포함하되;

상기 클럭 발생 회로는,

상기 제1 및 제2 선택 신호들에 따라서 상기 제1 내지 제4 단자들로 각각 출력되는 상기 제1 내지 제4 클럭 신호들을 정의하는 것을 특징으로 하는 디스플레이 구동 회로.

청구항 21.

제 20 항에 있어서,

상기 클럭 발생 회로는,

상기 제1 내지 제4 클럭 신호들을 발생하는 클럭 발생기; 그리고

상기 제1 및 제2 선택 신호들에 응답해서 상기 제1 내지 제4 클럭 신호들을 상기 제1 내지 제4 단자들에 일대일 대응시켜서 출력하는 스위칭 회로를 포함하는 것을 특징으로 하는 디스플레이 구동 회로.

청구항 22.

제 20 항에 있어서,

상기 제1 내지 제4 클럭 신호들의 주파수는 모두 동일하고;

상기 제1 및 제2 클럭 신호들은 상호 반전 관계를 가지며;

상기 제3 및 제4 클럭 신호들은 상호 반전 관계를 가지며; 그리고

상기 제1 및 2 클럭 신호들과 상기 제3 및 제4 클럭 신호들은 1/2 주기만큼 위상차를 갖는 것을 특징으로 하는 디스플레이 구동 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 좀 더 구체적으로는 디스플레이 구동 회로 및 이를 갖는 액정 표시 장치에 관한 것이다.

정보 처리 기기는 다양한 형태, 다양한 기능, 더욱 빨라진 정보 처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보 처리 장치에서 처리된 정보를 사용자가 육안으로 확인할 수 있도록 하기 위하여 표시 장치가 제공된다. 최근 들어 공간 차지를 최소화하고 저전력 소모를 위하여 표시 장치로서 평판 표시 장치가 많이 사용되고 있다.

평판 표시 장치 가운데 하나인 액정 표시 장치는 TCP(Tape Carrier Package) 또는 COG(Chip On Glass) 등의 방법으로 게이트 구동 IC를 장착하고 있으나, 제조 원가나 기구 설계적인 측면에서 제품의 구조에 한계가 있다. 이러한 한계를 극복하기 위해 게이트 구동 IC를 채택하지 않은 구조를 강구하는데 이는 아몰퍼스-실리콘 박막 트랜지스터(이하, a-Si TFT)를 이용한 복수의 쉬프트 레지스터들로써 게이트 구동 IC와 같은 동작을 수행토록 하는 것이다.

a-Si TFT를 이용한 복수의 쉬프트 레지스터들은 액정 패널 상에 형성되는데, 이러한 쉬프트 레지스터들을 제어하기 위한 구동 제어 신호들은 이전의 게이트 구동 IC를 위한 제어 신호들과 상이하다. 그러므로 타이밍 컨트롤러로부터 출력되는 제어 신호들을 복수의 쉬프트 레지스터들을 제어하기 위한 구동 제어 신호들로 변환하는 디스플레이 구동 회로(display driver integrated circuit; DDI)가 사용되고 있다.

디스플레이 구동 회로는 COG, COF(chip on flexible printed circuit), ACF(anisotropic conductive film) 등과 같은 방식으로 액정 패널에 접속된다. 잘 알려진 바와 같이, 디스플레이 구동 회로과 액정 패널을 연결하는 신호 라인들은 꼬임 또는 교차없이 이차 평면상에 구현되어야 하므로, 디스플레이 드라이버는 액정 패널의 특정 위치에 부착되어야만 한다.

최근에는 액정 표시 장치의 응용 분야가 다양해짐에 따라서 액정 패널의 다양한 위치에 디스플레이 구동 회로를 부착할 필요성이 대두되고 있다. 그러나 디스플레이 드라이버 구동 회로과 액정 패널을 연결하는 신호 라인들은 꼬임없이 액정 패널에 부착되는 디스플레이 구동 회로의 위치 변화는 용이하지 않다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 디스플레이 구동 회로를 액정 패널의 다양한 위치에 부착할 수 있는 액정 표시 장치를 제공하는데 있다.

본 발명의 다른 목적은 액정 패널의 다양한 위치에 부착될 수 있는 디스플레이 구동 회로를 제공하는데 있다.

발명의 구성

이와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 액정 표시 장치는: 액정 패널; 및 복수의 단자들을 통하여 상기 액정 패널로 복수의 클럭 신호들을 제공하는 디스플레이 구동 회로를 포함한다. 상기 액정 패널은, 복수의 게이트 라인들과, 복수의 소스 라인들과, 상기 게이트 라인들과 상기 소스 라인들이 교차하는 영역에 각각 배치된 화소들의 어레이, 그리고 상기 게이트 라인들과 연결되고, 상기 복수의 클럭 신호들에 응답해서 상기 게이트 라인들을 구동하는 게이트 드라이버를 포함한다. 상기 디스플레이 구동 회로는 상기 액정 패널에 부착되는 위치에 따라서 상기 복수의 클럭 신호들과 상기 복수의 단자들의 대응 관계를 가변적으로 결정한다.

바람직한 실시예에 있어서, 상기 디스플레이 구동 회로는 COG(chip on glass) 방식으로 상기 액정 패널에 부착된다.

상기 게이트 드라이버는, 상기 게이트 라인들에 각각 연결된 복수의 게이트 구동 유닛들을 포함하며, 수직 동기 시작 신호에 동기해서 상기 게이트 라인들을 순차적으로 구동한다.

상기 디스플레이 구동 회로는, 상기 복수의 클럭 신호들을 발생하는 클럭 발생기, 그리고 선택 신호에 응답해서 상기 복수의 클럭 신호들을 상기 복수의 단자들에 일대일 대응시켜서 출력하는 스위칭 회로를 포함한다.

본 발명의 다른 특징에 따른 액정 표시 장치는: 액정 패널, 및 제1 내지 제4 단자들을 통하여 상기 액정 패널로 제1 내지 제4 클럭 신호들을 제공하는 디스플레이 구동 회로를 포함한다. 상기 액정 패널은, 복수의 게이트 라인들과, 복수의 소스 라인들과, 상기 게이트 라인들과 상기 소스 라인들이 교차하는 영역에 각각 배치된 화소들의 어레이와, 상기 게이트 라인들 중 일군과 연결되고, 상기 제1 및 제2 클럭 신호들에 응답해서 상기 일군의 게이트 라인들을 구동하는 제 1 게이트 드라이버, 및 상기 게이트 라인들 중 타군과 연결되고, 상기 제3 및 제4 클럭 신호들에 응답해서 상기 타군의 게이트 라인들을 구동하는 제 2 게이트 드라이버를 포함한다. 상기 디스플레이 구동 회로가 상기 액정 패널에 부착되는 위치에 따라서 상기 디스플레이 구동 회로는 제1 내지 제4 단자들 각각으로 출력되는 상기 제1 내지 제4 클럭 신호들을 정의한다.

상기 디스플레이 구동 회로는, 상기 제1 내지 제4 클럭 신호들을 발생하는 클럭 발생기, 그리고 선택 신호들에 응답해서 상기 제1 내지 제4 클럭 신호들을 상기 제1 내지 제4 단자들에 선택적으로 일대일 대응시켜서 출력하는 스위칭 회로를 포함한다.

상기 디스플레이 구동 회로가 상기 액정 패널의 제1 측면의 상부면에 부착될 때, 상기 스위칭 회로는 상기 제1 및 제2 클럭 신호들을 상기 제2 및 제1 단자들로 각각 출력하고, 상기 제3 및 제4 클럭 신호들을 상기 제4 및 제3 단자들로 각각 출력한다.

상기 디스플레이 구동 회로가 상기 액정 패널의 제2 측면의 상부면에 부착될 때, 상기 스위칭 회로는 상기 제1 및 제2 클럭 신호들을 상기 제3 및 제4 단자들로 각각 출력하고, 상기 제3 및 제4 클럭 신호들을 상기 제1 및 제2 단자들로 각각 출력한다.

상기 디스플레이 구동 회로는 상기 복수의 소스 라인들을 구동하기 위한 복수의 소스 라인 구동 신호들을 복수의 데이터 출력 단자들을 통해 상기 액정 패널로 더 제공한다.

상기 디스플레이 구동 회로가 상기 액정 패널의 제2 측면의 상부면에 부착될 때, 상기 디스플레이 구동 회로는 상기 복수의 소스 라인들을 구동하기 위한 복수의 소스 라인 구동 신호들을 역순으로 상기 복수의 데이터 출력 단자들로 출력한다.

상기 제1 및 제2 측면들은 상기 화소들의 어레이를 중심으로 마주보는 측면들이다.

상기 디스플레이 구동 회로가 상기 액정 패널의 제1 측면의 하부면에 부착될 때, 상기 스위칭 회로는 상기 제1 및 제2 클럭 신호들을 상기 제4 및 제3 단자들로 각각 출력하고, 상기 제3 및 제4 클럭 신호들을 상기 제2 및 제1 단자들로 각각 출력한다.

상기 디스플레이 구동 회로가 상기 액정 패널의 제2 측면의 하부면에 부착될 때, 상기 스위칭 회로는 상기 제1 및 제2 클럭 신호들을 상기 제1 및 제2 단자들로 각각 출력하고, 상기 제3 및 제4 클럭 신호들을 상기 제3 및 제4 단자들로 각각 출력한다.

상기 디스플레이 구동 회로가 상기 액정 패널의 제1 측면의 하부면에 부착될 때, 상기 디스플레이 구동 회로는 상기 복수의 소스 라인들을 구동하기 위한 복수의 소스 라인 구동 신호들을 역순으로 상기 복수의 데이터 출력 단자들로 출력한다.

상기 제1 게이트 드라이버는 상기 제1 게이트 라인들에 각각 연결된 복수의 제1 게이트 구동 유닛들을 포함하고, 상기 제2 게이트 드라이버는 상기 제2 게이트 라인들 각각에 연결된 복수의 제2 게이트 구동 유닛들을 포함한다.

상기 제1 게이트 드라이버는 제1 수직 동기 시작 신호에 동기해서 상기 제1 게이트 라인들을 순차적으로 구동하고, 상기 제2 게이트 드라이버는 제2 수직 동기 시작 신호에 동기해서 상기 제2 게이트 라인들을 순차적으로 구동한다.

상기 제1 내지 제4 클럭 신호들의 주파수는 모두 동일하고, 상기 제1 및 제2 클럭 신호들은 상호 반전 관계를 가지며, 상기 제3 및 제4 클럭 신호들은 상호 반전 관계를 가지며, 그리고 상기 제1 및 2 클럭 신호들과 상기 제3 및 제4 클럭 신호들은 1/2 주기만큼 위상차를 갖는다.

본 발명의 또다른 특징에 따른 디스플레이 구동 회로는, 영상 데이터 신호, 제어 신호 및 제1 및 제2 선택 신호들을 출력하는 타이밍 컨트롤러와, 상기 영상 데이터 신호 및 상기 제어 신호에 응답해서 소스 라인들을 구동하는 소스 드라이버, 그리고 제1 내지 제4 단자들로 제1 내지 제4 클럭 신호들을 출력하는 클럭 발생 회로를 포함한다. 상기 클럭 발생 회로는, 상기 제1 및 제2 선택 신호들에 따라서 상기 제1 내지 제4 단자들로 각각 출력되는 상기 제1 내지 제4 클럭 신호들을 정의한다.

상기 클럭 발생 회로는, 상기 제1 내지 제4 클럭 신호들을 발생하는 클럭 발생기, 그리고 상기 제1 및 제2 선택 신호들에 응답해서 상기 제1 내지 제4 클럭 신호들을 상기 제1 내지 제4 단자들에 일대일 대응시켜서 출력하는 스위칭 회로를 포함한다.

상기 제1 내지 제4 클럭 신호들의 주파수는 모두 동일하고, 상기 제1 및 제2 클럭 신호들은 상호 반전 관계를 가지며, 상기 제3 및 제4 클럭 신호들은 상호 반전 관계를 가지며, 그리고 상기 제1 및 2 클럭 신호들과 상기 제3 및 제4 클럭 신호들은 1/2 주기만큼 위상차를 갖는다.

이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

도 1은 본 발명의 바람직한 실시예에 따른 액정 표시 장치의 구성을 보여주고 있다.

도 1을 참조하면, 액정 표시 장치는 액정 패널(100)과 디스플레이 구동 회로(150)을 포함한다. 액정 패널(100)은 a-Si TFT를 채용하며, 픽셀 어레이(110)가 형성된 유리 기판 상에 게이트 라인들(G1-Gn)을 구동하기 위한 제1 게이트 드라이버(120)와 제2 게이트 드라이버(130)가 형성된다.

픽셀 어레이(110)는 복수의 게이트 라인들(G1-Gn), 복수의 소스 라인들(S1-Sm) 그리고 게이트 라인들(G1-Gn) 및 소스 라인들(S1-Sm)의 교차에 의해서 정의되는 영역들에 각각 형성된 복수의 화소들(미 도시됨)을 포함한다. 각 화소는 대응하는 게이트 라인 및 소스 라인과 연결된 스위칭 소자(미 도시됨)와 이에 연결된 액정 커패시터(미 도시됨) 및 저장 커패시터(미 도시됨)를 포함한다.

제1 게이트 드라이버(120)는 픽셀 어레이(110)의 일측에 배열되고, 디스플레이 구동 회로(150)로부터 제공되는 수직 시작 신호(STV1), 제1 및 제2 클럭 신호들(CKV1, CKV2)에 동기해서 일군의 게이트 라인들(G1, G3, …,Gn-1)을 순차적으로 구동한다. 제2 게이트 드라이버(130)는 픽셀 어레이(110)를 중심으로 제2 게이트 드라이버(120)와 마주보고 배열되고, 디스플레이 구동 회로(150)로부터 제공되는 수직 시작 신호(STV2), 제3 및 제4 클럭 신호들(CKV3, CKV4)에 동기해서 타군의 게이트 라인들(G2, G4, …,Gn)을 순차적으로 구동한다.

도 2는 도 1에 도시된 제1 및 제2 게이트 드라이버들(120, 130)의 구체적인 구성을 보여주는 도면이다.

도 2를 참조하면, 제1 게이트 드라이버(120)는 일군의 게이트 라인들(G1, G3, …,Gn-1)에 각각 대응하는 복수의 쉬프트 레지스터들(121-124)을 포함한다. 제1 수직 시작 신호(STV1)가 활성화되면 쉬프트 레지스터(121)는 제1 클럭 신호(CKV1)에 응답해서 대응하는 게이트 라인(G1)을 구동한다. 게이트 라인(G1)이 활성화됨에 따라서 쉬프트 레지스터(122)가 제2 클럭 신호(CKV2)에 응답해서 대응하는 게이트 라인(G2)을 구동한다. 이와 같은 방식으로 일군의 게이트 라인들(G1, G3, …,Gn-1)이 순차적으로 활성화된다.

제2 게이트 드라이버(130)는 타군의 게이트 라인들(G2, G4, …,Gn)에 각각 대응하는 복수의 쉬프트 레지스터들(131-134)을 포함한다. 제2 수직 시작 신호(STV2)가 활성화되면 쉬프트 레지스터(131)는 제3 클럭 신호(CKV3)에 응답해서 대응하는 게이트 라인(G2)을 구동한다. 게이트 라인(G2)이 활성화됨에 따라서 쉬프트 레지스터(132)가 제4 클럭 신호(CKV4)에 응답해서 대응하는 게이트 라인(G4)을 구동한다. 이와 같은 방식으로 타군의 게이트 라인들(G2, G3, …,Gn)이 순차적으로 활성화된다.

다시 도 1을 참조하면, 디스플레이 구동 회로(150)는 COG(chip on glass), COF(chip on flexible printed circuit), ACF(anisotropic conductive film) 등과 같은 방식으로 액정 패널에 부착된다. 디스플레이 구동 회로(150)는 타이밍 컨트롤러(152), 메모리 컨트롤러(154), 메모리(156), 클럭 발생 회로(158) 그리고 소스 드라이버(160)를 포함한다.

타이밍 컨트롤러(152)는 외부로부터 영상 데이터 신호(RGB), 수평 동기 신호(HSYNC), 수직 동기 신호(VSYNC) 및 데이터 인에이블 신호(DE)를 입력받고, 액정 패널(100)의 구동에 필요한 영상 데이터 신호(RGB') 및 제어 신호들을 출력한다.

메모리 컨트롤러(154)는 타이밍 컨트롤러(152)로부터 입력되는 영상 데이터 신호(RGB')를 메모리(156)에 저장하고, 메모리(156)에 저장된 영상 데이터 신호(RGB')가 소스 드라이버(160)로 출력되도록 제어한다. 또한, 메모리 컨트롤러(154)는 타이밍 컨트롤러(152)로부터 입력되는 선택 신호(SEL3)에 따라서 영상 데이터 신호(RGB')가 메모리(156)에 저장되는 위치를 결정한다. 이에 관해서는 추후 상세히 설명된다.

메모리(156)는 픽셀 어레이(110)의 한 라인 또는 한 프라임을 구동하는데 필요한 영상 데이터 신호들(RGB')을 저장할 수 있는 크기를 가질 수 있다.

소스 드라이버(160)는 타이밍 컨트롤러(152)의 제어에 응답해서 메모리(156)로부터 제공되는 영상 데이터 신호들(RGB')을 가지고 소스 라인들(S1-Sm)을 구동한다.

클럭 발생 회로(158)는 타이밍 컨트롤러(152)로부터 제공되는 제1 및 제2 선택 신호들(SEL1, SEL2)에 응답해서 제1 및 제2 게이트 드라이버들(120, 130)로 제공될 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 발생하고, 출력 단자들(OUT1-OUT4)을 통해 출력한다.

도 1에 도시된 예에서, 디스플레이 구동 회로(150)는 액정 패널(100)의 하단 상부면에 부착된다. 디스플레이 구동 회로(150)가 액정 패널(100)의 상단 상부면, 하단 하부면 그리고 하단 하부면에 부착되는 경우 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 액정 패널(100)로 공급하는 신호 라인들 간의 교차가 생기지 않도록 제1 내지 제4 클럭 신호들(CKV1-CKV4)과 출력 단자들(OUT1-OUT4)을 일대일 대응시켜야 한다.

도 3 내지 도 6은 디스플레이 구동 회로가 액정 패널에 부착되는 위치에 따라서 디스플레이 구동 회로의 제1 내지 제4 출력 단자들(OUT1-OUT4)로부터 출력되는 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 보여주고 있다.

도 3은 디스플레이 구동 회로(350)가 액정 패널(300)의 하단 상부면에 부착된 예를 보여주고 있다. 도 3을 참조하면, 디스플레이 구동 회로(350)의 좌측 상단에 제1 출력 단자(OUT1)가 배치되고, 좌측 하단에 제2 출력 단자(OUT2), 우측 상단에 제3 출력 단자(OUT3) 그리고 우측 하단에 제4 출력 단자(OUT4)가 배치된다. 액정 패널(300)의 제1 및 제2 게이트 드라이버들(320, 330)로 클럭 신호들(CKV1-CKV4)을 공급하기 위한 신호 라인들의 꼬임을 방지하기 위하여, 디스플레이 구동 회로(350)의 제1 출력 단자(OUT1)는 제2 클럭 신호(CLK2)를, 제2 출력 단자(OUT2)는 제1 클럭 신호(CLK1)를, 제3 출력 단자(OUT3)는 제4 클럭 신호(CLK4)를 그리고 제4 출력 단자(OUT4)는 제3 클럭 신호(CLK3)를 출력한다. 이와 같이, 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 제1 내지 제4 출력 단자들(OUT1-OUT4)에 일대일 대응시킴으로써 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 공급하는 신호 라인들 간의 교차가 생기지 않는다.

도 4는 디스플레이 구동 회로(450)가 액정 패널(400)의 상단 상부면에 부착된 예를 보여주고 있다.

도 4를 참조하면, 디스플레이 구동 회로(450)의 제1 출력 단자(OUT1)는 제3 클럭 신호(CLK3)를, 제2 출력 단자(OUT2)는 제4 클럭 신호(CLK4)를, 제3 출력 단자(OUT3)는 제1 클럭 신호(CLK1)를 그리고 제4 출력 단자(OUT4)는 제2 클럭 신호(CLK2)를 출력한다. 이와 같이, 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 제1 내지 제4 출력 단자들(OUT1-OUT4)에 일대일 대응시킴으로써 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 공급하는 신호 라인들 간의 교차가 생기지 않는다.

도 5는 디스플레이 구동 회로(550)가 액정 패널(500)의 하단 상부면에 부착된 예를 보여주고 있다.

도 5를 참조하면, 디스플레이 구동 회로(450)의 제1 출력 단자(OUT1)는 제4 클럭 신호(CLK4)를, 제2 출력 단자(OUT2)는 제3 클럭 신호(CLK3)를, 제3 출력 단자(OUT3)는 제2 클럭 신호(CLK2)를 그리고 제4 출력 단자(OUT4)는 제1 클럭 신호(CLK1)를 출력한다.

도 6은 디스플레이 구동 회로(650)가 액정 패널(600)의 하단 상부면에 부착된 예를 보여주고 있다.

도 6을 참조하면, 디스플레이 구동 회로(650)의 제1 출력 단자(OUT1)는 제1 클럭 신호(CLK1)를, 제2 출력 단자(OUT2)는 제2 클럭 신호(CLK2)를, 제3 출력 단자(OUT3)는 제3 클럭 신호(CLK3)를 그리고 제4 출력 단자(OUT4)는 제4 클럭 신호(CLK4)를 출력한다.

도 3 내지 도 6에 도시된 바와 같이, 디스플레이 구동 회로가 액정 패널에 부착되는 위치에 따라서 디스플레이 구동 회로의 제1 내지 제4 출력 단자들(OUT1-OUT4)과 제1 내지 제4 클럭 신호들(CKV1-CKV4)이 일대일 대응된다. 그 결과 액정 패널의 제1 및 제2 게이트 드라이버들로 클럭 신호들을 공급하기 위한 신호 라인들 간의 교차가 방지된다.

도 7은 도 1에 도시된 클럭 발생 회로(158)의 구체적인 구성을 보여주고 있다.

도 7을 참조하면, 클럭 발생 회로(158)는 클럭 발생기(710)와 선택 회로(720)를 포함한다. 선택 회로(720)는 8 개의 멀티플렉서들(721-724, 731-734)을 포함한다. 클럭 발생기(710)는 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 발생한다. 클럭 발생기(710)에서 발생하는 제1 내지 제4 클럭 신호들(CKV1-CKV4)이 도 8에 도시되어 있다.

제1내지 제4 클럭 신호들(CKV1-CKV4)은 주파수가 서로 동일하다. 제1 및 제2 클럭 신호들(CKV1, CKV2)는 서로 위상이 반대이고, 제3 및 제4 클럭 신호들(CKV3, CKV4)은 서로 위상이 반대이다. 제1 및 제2 클럭 신호들(CKV1, CKV2)과 제3 및 제4 클럭 신호들(CKV3, CKV4)은 1/2주기만큼 위상차를 갖는다.

다시 도 7을 참조하면, 멀티플렉서들(721, 722)은 제1 및 제2 클럭 신호들(CKV1, CKV2)을 입력받는다. 멀티플렉서들(723, 724)은 제1 및 제2 클럭 신호들(CKV3, CKV4)을 입력받는다. 멀티플렉서들(731, 733)은 멀티플렉서들(721, 723)의 출력을 입력받는다. 멀티플렉서들(732, 734)은 멀티플렉서들(722, 724)의 출력을 입력받는다. 멀티플렉서들(721-724)은 도 1에 도시된 타이밍 컨트롤러(152)로부터 제공되는 제1 선택 신호(SEL1)에 응답해서 입력 신호들 중 하나를 선택적으로 출력한다. 멀티플렉서(731)는 도 1에 도시된 타이밍 컨트롤러(152)로부터 제공되는 제2 선택 신호(SEL2)에 응답해서 입력 신호들 중 하나를 제1 출력 단자(OUT1)로 출력한다. 멀티플렉서(732)는 제2 선택 신호(SEL2)에 응답해서

입력 신호들 중 하나를 제2 출력 단자(OUT2)로 출력하고, 멀티플렉서(733)는 제2 선택 신호(SEL2)에 응답해서 입력 신호들 중 하나를 제3 출력 단자(OUT3)로 출력하고, 그리고 멀티플렉서(734)는 제2 선택 신호(SEL2)에 응답해서 입력 신호들 중 하나를 제4 출력 단자(OUT4)로 출력한다.

도 7에 도시된 바와 같은 클럭 발생 회로(158)는 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 발생하고, 선택 신호들(SEL1, SEL2)에 따라서 제1 내지 제4 클럭 신호들(CKV1-CKV4)을 제1 내지 제4 출력 단자들(OUT1-OUT4)에 일대일 대응시켜 출력한다. 그러므로 제1 내지 제4 클럭 신호들(CKV1-CKV4)이 제1 내지 제4 출력 단자들(OUT1-OUT4) 중 위치를 바꾸어서 출력될 수 있다.

다시 도 3 내지 도 6을 참조하면, 디스플레이 구동 회로가 액정 패널에 부착되는 위치에 따라서 소스 구동 신호들(S1-Sm)의 출력 위치도 변경되어야만 함을 알 수 있다. 즉, 도 3 및 도 6에 도시된 바와 같이, 디스플레이 구동 회로들(350, 650)이 각각 액정 패널(300, 600)의 하단 상부면 및 상단 하부면에 위치할 때 소스 출력 단자들(SD1-SDm)로 소스 신호들(S1-Sm)이 순방향 순서대로 출력된다. 즉, 첫번째 소스 출력 단자(SD1)로 첫번째 소스 신호(S1)가 출력되고, 마지막 소스 출력 단자(SDm)로 마지막 소스 신호(Sm)가 출력된다.

한편, 도 4 및 도 5에 도시된 바와 같이, 디스플레이 구동 회로들(450, 550)이 각각 액정 패널(400, 500)의 상단 상부면 및 하단 상부면에 위치할 때 소스 출력 단자들(SD1-SDm)로 소스 신호들(S1-Sm)이 역순으로 출력된다. 즉, 첫번째 소스 출력 단자(SD1)로 마지막 소스 신호(Sm)가 출력되고, 마지막 소스 출력 단자(SDm)로 첫번째 소스 신호(S1)가 출력된다.

이러한 소스 출력 단자들(SD1-SDm)과 소스 신호들(S1-Sm)의 대응 관계는 도 1에 도시된 메모리 컨트롤러(154)에 의해서 달성된다. 메모리 컨트롤러(154)는 제3 선택 신호(SEL3)가 제1 레벨 일 때 타이밍 컨트롤러(152)로부터 제공되는 영상 데이터 신호(RGB')를 순차적으로 메모리(156)에 저장하고, 제3 선택 신호(SEL3)가 제2 레벨 일 때 타이밍 컨트롤러(152)로부터 제공되는 영상 데이터 신호(RGB')를 역순으로 순차적으로 메모리(156)에 저장한다. 메모리(156)에 저장된 영상 데이터 신호(RGB')는 타이밍 컨트롤러(152) 및 메모리 컨트롤러(154)의 제어에 따라서 소스 드라이버(160)로 제공된다. 그러므로 디스플레이 구동 회로가 액정 패널에 부착된 위치에 따라서 소스 출력 단자들(SD1-SDm)로 소스 신호들(S1-Sm)을 순방향 또는 역방향 순서대로 대응시켜서 출력할 수 있게 된다.

예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형 예들 및 그 유사한 구성들이 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

발명의 효과

이와 같은 본 발명에 의하면, 디스플레이 구동 회로가 액정 패널에 부착되는 위치에 따라서 디스플레이 구동 회로의 제1 내지 제4 출력 단자들과 제1 내지 제4 클럭 신호들이 일대일 대응된다. 그 결과 액정 패널의 제1 및 제2 게이트 드라이버들로 클럭 신호들을 공급하기 위한 신호 라인들 간의 교차가 방지된다. 그러므로 디스플레이 구동 회로를 액정 패널의 다양한 위치에 부착할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 액정 표시 장치의 구성을 보여주는 도면;

도 2는 도 1에 도시된 제1 및 제2 게이트 드라이버들의 구체적인 구성을 보여주는 도면;

도 3 내지 도 6은 디스플레이 구동 회로가 액정 패널에 부착되는 위치에 따라서 디스플레이 구동 회로의 제1 내지 제4 출력 단자들로부터 출력되는 제1 내지 제4 클럭 신호들을 보여주는 도면들;

도 7은 도 1에 도시된 클럭 발생 회로의 구체적인 구성을 보여주는 도면; 그리고

도 8은 도 7에 도시된 클럭 발생기에서 발생하는 제1 내지 제4 클럭 신호들을 보여주는 도면이다.

*도면의 주요 부분에 대한 설명

100, 300, 400, 500, 600 : 액정 패널

110, 310, 410, 510, 610 : 팩셀 어레이

120, 320, 420, 520, 520 : 제1 게이트 드라이버

130, 330, 430, 530, 530 : 제2 게이트 드라이버

150, 350, 450, 550, 650 : 디스플레이 구동 회로

152 : 타이밍 컨트롤러 154 : 메모리 컨트롤러

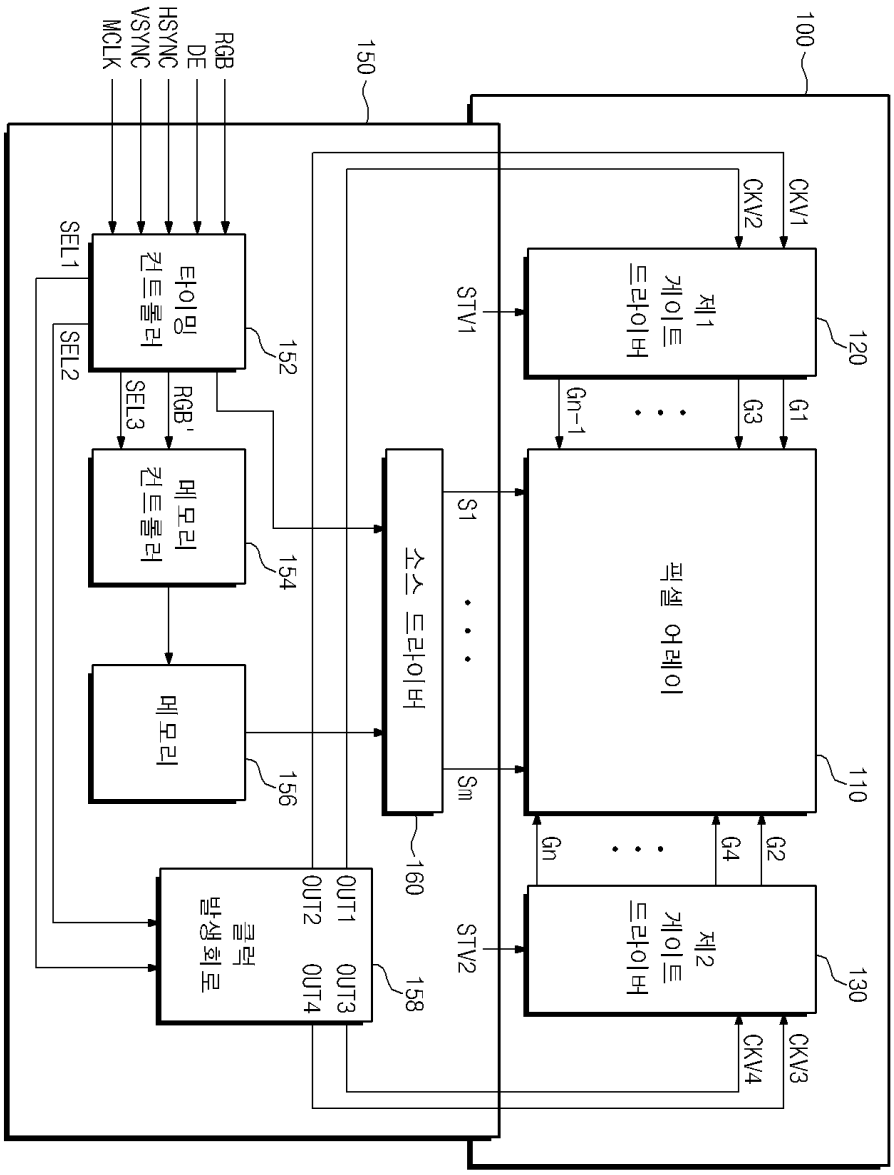
156 : 메모리 158 : 클럭 발생 회로

160 : 소스 드라이버 710 : 클럭 발생기

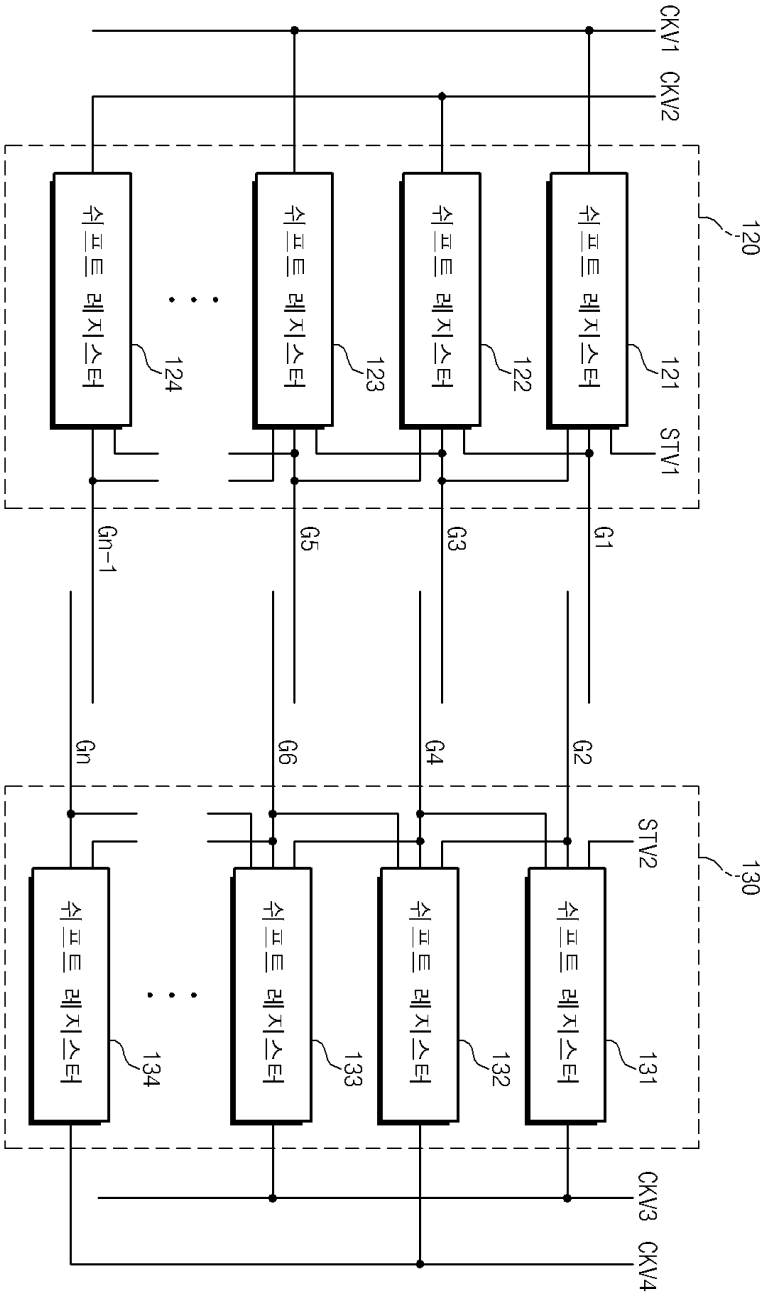
720 : 선택 회로 721-734 : 멀티플렉서

도면

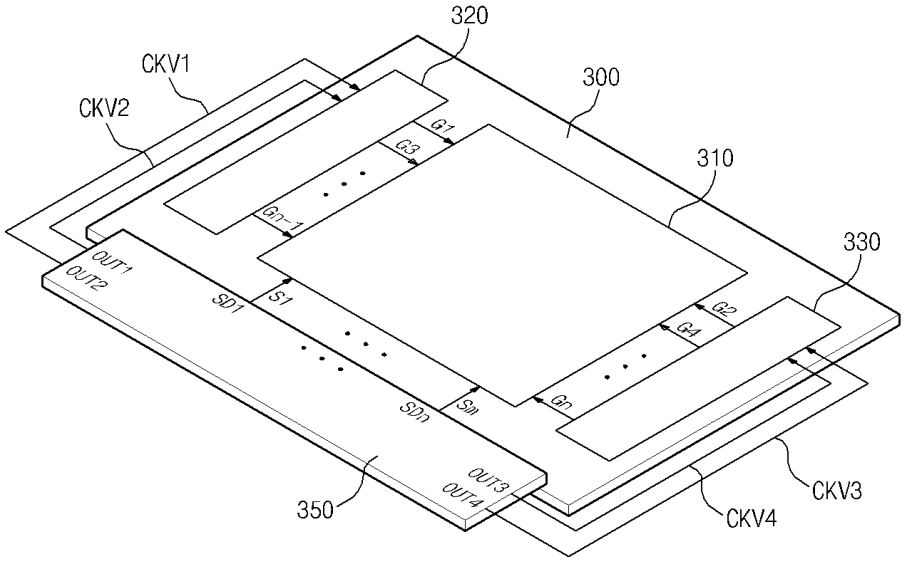
도면1


100
150
MCLK
VSYNC
HSYNC
DE
RGB
타이밍 컨트롤러
152
SEL1
SEL2
SEL3
RGB'
메모리 컨트롤러
154
메모리
156
클럭 발생회로
158
OUT1
OUT2
OUT3
OUT4
160
소스 드라이버
S1
Sm
STV1
STV2
CKV1
CKV2
CKV3
CKV4
제1 게이트 드라이버
120
제2 게이트 드라이버
130
픽셀 어레이
110
G1
G2
G3
G4
Gn-1
Gn

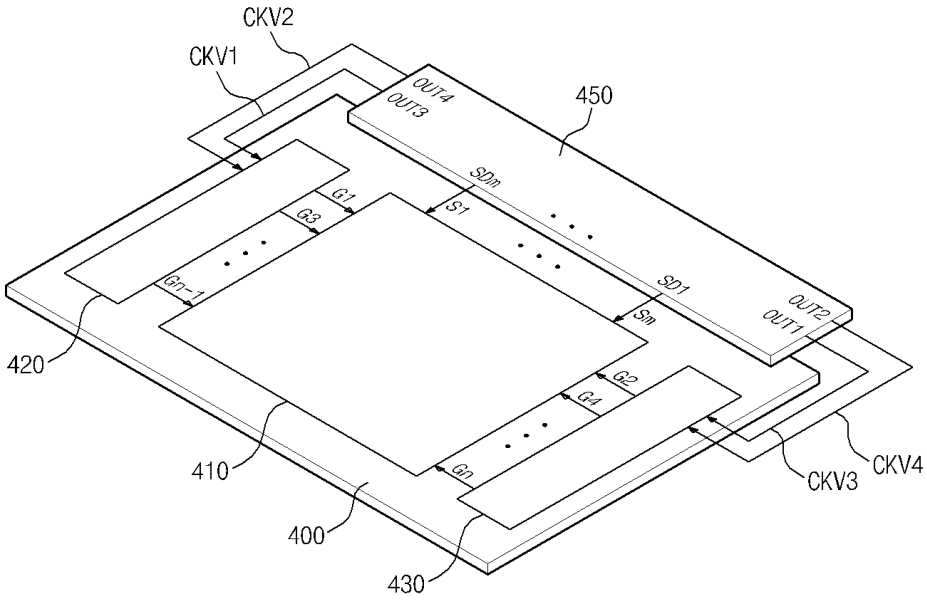
도면2


CKV1
CKV2
120
쉬프트 레지스터
121
쉬프트 레지스터
122
쉬프트 레지스터
123
쉬프트 레지스터
124
STV1
G1
G3
G5
Gn-1
G2
G4
G6
Gn
STV2
130
쉬프트 레지스터
131
쉬프트 레지스터
132
쉬프트 레지스터
133
쉬프트 레지스터
134
CKV3
CKV4

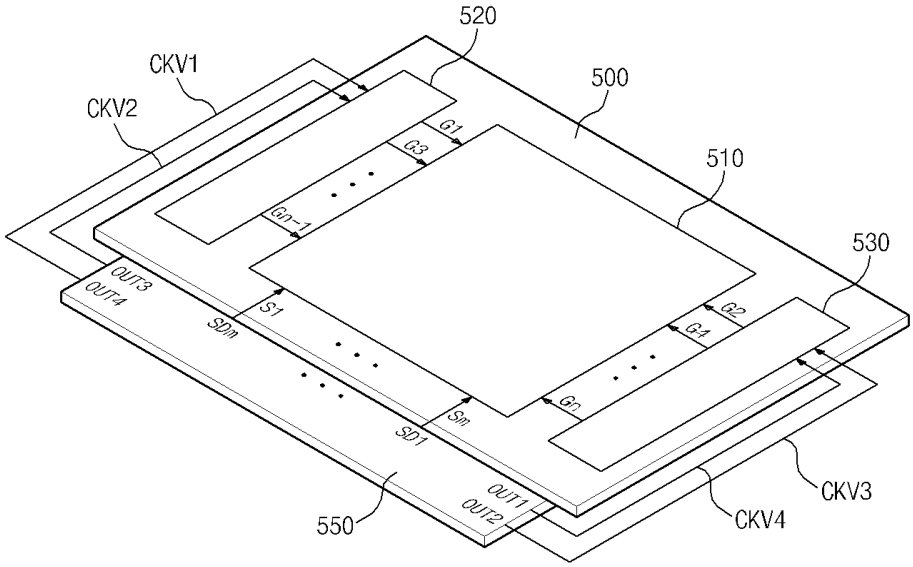
도면3


320
CKV1
CKV2
300
310
330
G1
G3
Gn-1
OUT1
OUT2
SD1
S1
G2
G4
Gn
SDm
Sm
OUT3
OUT4
350
CKV3
CKV4

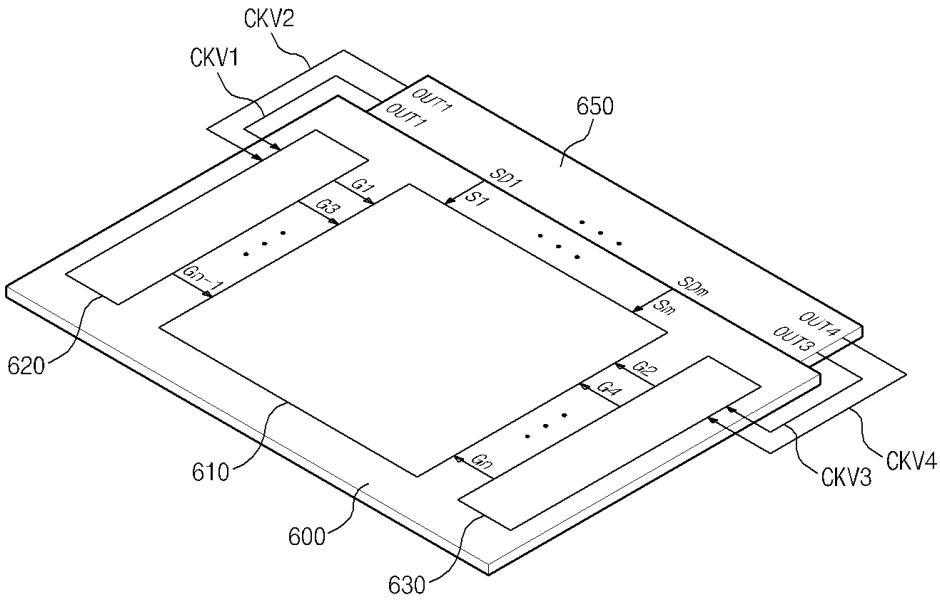
도면4


CKV2
CKV1
OUT4
OUT3
450
SDm
G1
G3
S1
Gn-1
SD1
Sm
OUT2
OUT1
420
G2
G4
410
Gn
CKV3
CKV4
400
430

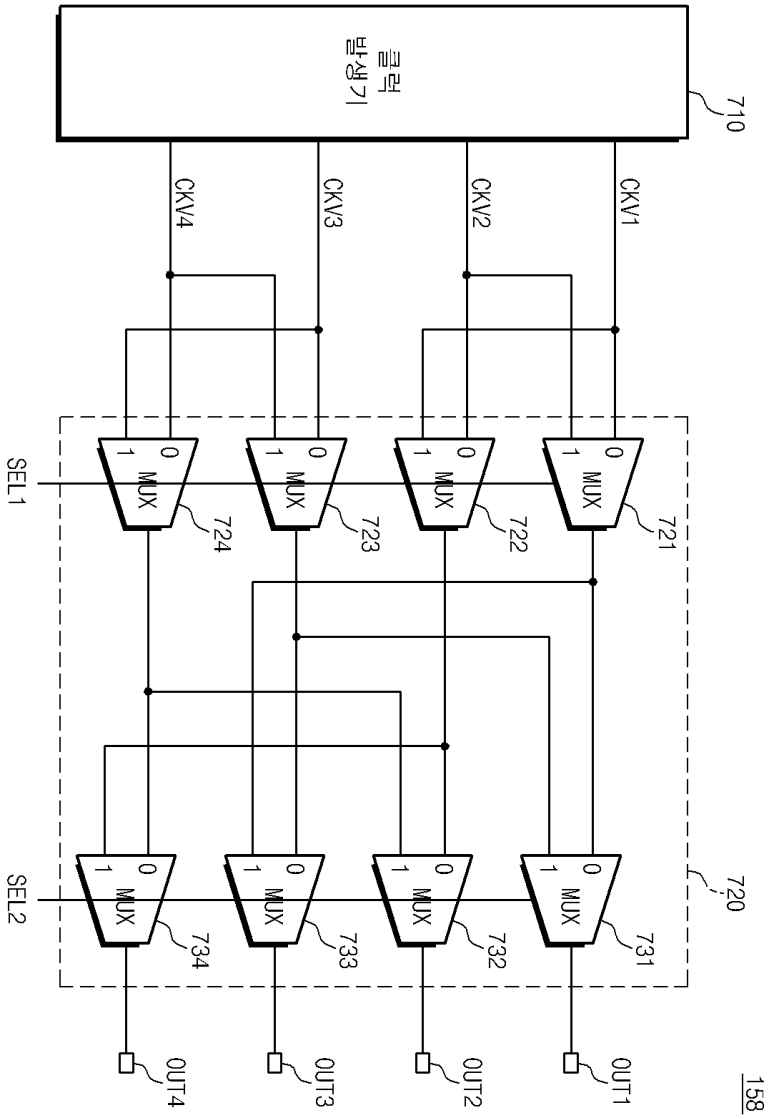
도면5


520
CKV1
CKV2
500
510
530
G1
G3
Gn-1
G2
G4
Gn
OUT3
OUT4
SDm
S1
Sm
SD1
OUT1
OUT2
550
CKV3
CKV4

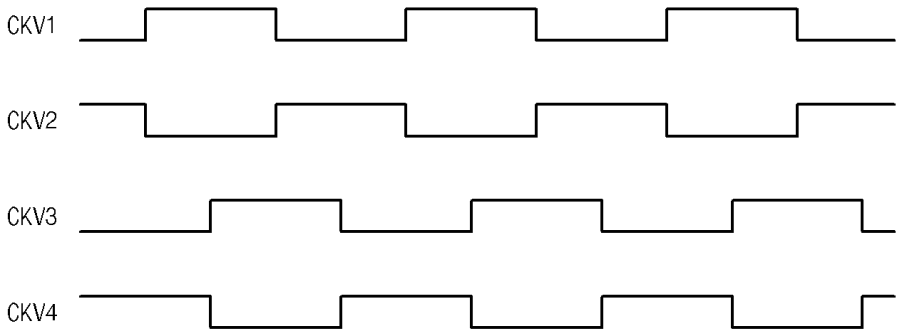
도면6


CKV2
CKV1
OUT1
OUT1
650
SD1
S1
G1
G3
Gn-1
SDm
Sm
OUT4
OUT3
620
G2
G4
Gn
610
600
630
CKV3
CKV4

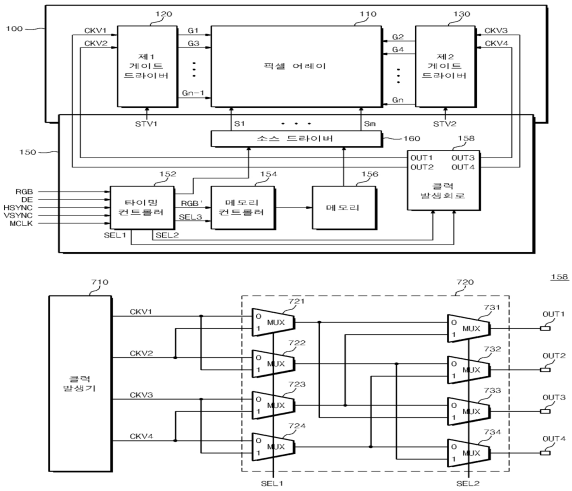
도면7


클럭
발생기
710
CKV4
CKV3
CKV2
CKV1
SEL1
SEL2
MUX
724
723
722
721
734
733
732
731
720
OUT4
OUT3
OUT2
OUT1
158

도면8


CKV1
CKV2
CKV3
CKV4

专利名称(译)	显示驱动电路和具有该驱动电路的液晶显示装置		
公开(公告)号	KR100746646B1	公开(公告)日	2007-07-31
申请号	KR1020060065042	申请日	2006-07-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM KI BUM 김기범 LEE JAE GOO 이재구 LEE SEUNG WOO 이승우		
发明人	김기범 이재구 이승우		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3648 G09G2310/08		
代理人(译)	KWON，HYUK SOO SE JUN OH 宋，云何		
外部链接	Espacenet		

摘要(译)

提供显示驱动器IC和具有该显示驱动器IC的LCD装置，以通过调节附接到液晶面板的显示驱动器IC的位置来防止用于向栅极驱动器提供时钟信号的信号线的交叉。 LCD（液晶显示器）装置包括液晶面板（100）和用于通过多个端子提供多个时钟信号的显示驱动器IC（集成电路）（150）。液晶面板包括多条栅极和源极线（G1~Gn，S1~Sm），像素阵列（110）和栅极驱动器。像素阵列布置在栅极线和源极线的横截面中。连接到栅极线的栅极驱动器响应于时钟信号驱动栅极线。显示驱动器IC基于附着到液晶面板的位置确定时钟信号和多个端子之间的对应关系。