



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/133 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월02일 10-0712024 2007년04월20일
---	-------------------------------------	--

(21) 출원번호	10-2002-0074582	(65) 공개번호	10-2003-0066304
(22) 출원일자	2002년11월28일	(43) 공개일자	2003년08월09일
심사청구일자	2005년11월02일		

(30) 우선권주장 JP-P-2002-00027590 2002년02월05일 일본(JP)

(73) 특허권자 샤프 가부시키키가이샤  
일본 오사카후 오사카시 아베노꾸 나가이게쵸 22방 22고

(72) 발명자 사사키노부오  
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1 후지쓰가부  
시끼가이샤내

(74) 대리인 문두현  
문기상

(56) 선행기술조사문헌  
JP 11-143433 A \* US 2001-050664 A  
JP 05-273522 A JP 11-101967 A  
JP 07-199866 A JP 06-266315 A  
JP 2000-020033 A JP 2002-023709 A  
JP 05-249499 A JP 63-095420 A  
JP 63-175889 A  
\* 심사관에 의하여 인용된 문헌

심사관 : 김정훈

전체 청구항 수 : 총 4 항

(54) 액정 표시 장치

(57) 요약

본 발명은 화소용 TFT의 구동 전압을 저하시킨 액티브 매트릭스형의 TFT-LCD를 제공하는 것을 목적으로 한다.

화소(P11)에는 화소 전극(Pe)에 정극성(正極性)의 데이터 전압을 인가하는 정극성 전압 인가용의 n채널 TFTn11과, 화소 전극(Pe)에 역극성의 데이터 전압을 인가하는 역극성(逆極性) 전압 인가용의 p채널 TFTp11의 2개의 박막 트랜지스터가 형성되어 있다. TFTn11의 소스 전극(S)은 화소 전극(Pe)에 접속되고, 드레인 전극(D)은 정극성 전압 인가용 데이터 버스 라인(Ld11)에 접속되고, 게이트 전극(G)은 정극성 전압 인가용 게이트 버스 라인(Lg11)에 접속되어 있다. 한편, TFTp11의 소스 전극(S)도 화소 전극(Pe)에 접속되고, 드레인 전극(D)은 역극성 전압 인가용 데이터 버스 라인(Ld12)에 접속되고, 게이트 전극(G)은 역극성 전압 인가용 게이트 버스 라인(Lg11)에 접속되어 있다.

대표도

도 1

특허청구의 범위

청구항 1.

대향하는 전극 사이에 액정을 끼워 구성된 액정 용량과,

상기 전극 사이에 정극성(正極性)의 전압을 인가하여 상기 액정 용량에 정전하(正電荷)를 충전하는 정극성 구동 회로계와,

상기 정극성 구동 회로계와 별개로 설치되고, 상기 전극 사이에 역극성(逆極性)의 전압을 인가하여 상기 액정 용량에 부전하(負電荷)를 충전하는 역극성 구동 회로계를 구비하고,

상기 대향하는 전극은, 상기 액정 용량을 구비한 복수의 화소에 각각 설치된 화소 전극과, 상기 액정을 끼워서 상기 화소 전극 각각에 대향하여 공통 전압이 인가되는 공통 전극을 구비하고,

상기 화소는, 상기 화소 전극에 정극성의 데이터 전압을 인가하는 정극성 전압 인가용 TFT와, 상기 화소 전극에 역극성의 데이터 전압을 인가하는 역극성 전압 인가용 TFT를 구비하고,

상기 정극성 전압 인가용 TFT의 채널의 도전형 및 상기 역극성 전압 인가용 TFT의 채널의 도전형은 동일하며,

상기 정극성 전압 인가용 TFT의 게이트 전압 동작 범위는 상기 역극성 전압 인가용 TFT의 게이트 전압 동작 범위와 상이한 것을 특징으로 하는 액정 표시 장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1 항에 있어서,

상기 정극성 구동 회로계는,

상기 정극성 전압 인가용 TFT의 게이트 전극에 정극성 전압 인가용 게이트 펄스를 출력하는 정극성 전압 인가용 게이트 버스 라인과,

상기 정극성 전압 인가용 TFT의 소스 또는 드레인 전극에 정극성의 데이터 전압을 인가하는 정극성 전압 인가용 데이터 버스 라인을 구비하고,

상기 역극성 구동 회로계는,

상기 역극성 전압 인가용 TFT의 게이트 전극에 역극성 전압 인가용 게이트 펄스를 출력하는 역극성 전압 인가용 게이트 버스 라인과,

상기 역극성 전압 인가용 TFT의 소스 또는 드레인 전극에 역극성의 데이터 전압을 인가하는 역극성 전압 인가용 데이터 버스 라인을 구비하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 5.

제 4 항에 있어서,

상기 정극성 구동 회로계는,

상기 정극성 전압 인가용 게이트 버스 라인에 상기 정극성 전압 인가용 게이트 펄스를 출력하는 정극성 구동용 게이트 버스 라인 구동 회로와,

상기 정극성 전압 인가용 데이터 버스 라인에 정극성의 데이터 전압을 출력 하는 정극성 구동용 데이터 버스 라인 구동 회로를 구비하고,

상기 역극성 구동 회로계는,

상기 역극성 전압 인가용 게이트 버스 라인에 상기 역극성 전압 인가용 게이트 펄스를 출력하는 역극성 구동용 게이트 버스 라인 구동 회로와,

상기 역극성 전압 인가용 데이터 버스 라인에 역극성의 데이터 전압을 출력 하는 역극성 구동용 데이터 버스 라인 구동 회로를 구비하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 6.

제 1항, 제 4 항, 또는 제 5 항 중 어느 한 항에 있어서,

상기 정극성 전압 인가용 TFT를 오프 상태로 유지하기 위한 전위는 상기 역극성 전압 인가용 TFT를 오프 상태로 유지하기 위한 전위와 상이하고, 상기 정극성 전압 인가용 TFT를 온 상태로 유지하기 위한 전위와 상기 오프 상태로 유지하기 위한 전위의 전위차는 상기 역극성 전압 인가용 TFT를 온 상태로 유지하기 위한 전위와 상기 오프 상태로 유지하기 위한 전위의 전위차와 상이한 것을 특징으로 하는 액정 표시 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치(LCD)에 관한 것으로, 특히, 각 화소에 스위칭 소자로서 TFT(박막 트랜지스터)를 구비한 액티브 매트릭스형의 TFT-LCD에 관한 것이다.

LCD는 종래의 대표적인 표시 장치인 CRT를 대체하기에 족한 표시 품질을 얻을 수 있게 되어 왔고, 시장 규모가 크게 성장하고 있다. 그리고, 플랫 패널인 이점을 살려서 각 종 뷰어(viewer)나, 휴대 전화기, PDA(휴대형 정보 기기), 노트북 컴퓨터(퍼스널 컴퓨터) 등의 표시 장치로서 이용되고, 또한, 데스크톱 컴퓨터 등의 모니터나 가정용 TV(텔레비전 수상기)에 이용되도록 되어 가고 있다. 이와 같이 LCD는 대각 2인치 정도의 소형 화면으로부터 40인치를 넘는 대형 화면의 표시 장치로서 사용되고 있다. 그리고 LCD는 정지 화상에서 동화상까지 표시 가능한 풀 컬러의 표시 장치로서 여러 방면에서 용도가 확대되고 있다.

LCD의 기술 동향으로서는, 화소 내에 스위칭 소자를 가지고 있지 않은 패시브 매트릭스로부터 TFT 등의 스위칭 소자를 구비한 액티브 매트릭스형이 주류로 되어 가고 있다. 액티브 매트릭스형 LCD의 각 화소에 형성되는 TFT는 그 채널 영역(동작 반도체층)의 형성 재료가 a-Si(아모르퍼스 실리콘)으로부터, 캐리어 이동도가 보다 높은 p-Si(폴리 실리콘)으로 이행(移行)되고 있다.

TFT-LCD의 구조에 대하여 간단하게 설명한다. 예를 들면, 백 라이트 유닛을 사용하는 투과형 TFT-LCD의 경우에는, 유리 기판 등의 투명 절연성 기판으로 이루어지는 TFT 기판(어레이 기판)과 대향 기판이 소정의 셀 겹에 대향하여 접합되고, 기판 사이에 액정이 밀봉되어 있다. TFT 기판 상에는 복수의 화소 전극이 매트릭스형으로 배치되고, 각 화소 전극에는 TFT가 접속되어 있다. 한쪽의 대향 기판 상에는 공통 전극이 형성되어 있다. 컬러 표시의 LCD의 경우에는, TFT 기판 또는 대향 기판 중 어느 한 쪽에 컬러 필터(CF)가 형성되어 있다. 양 기판의 액정층과의 계면에는 배향막이 형성되어 있다. 그리고, 양 기판의 외측에는 예를 들면 직교 니콜(crossed nicol)로 배치된 편광판이 부착되어 있다.

도 7은 종래의 TFT-LCD의 1화소 분의 등가 회로를 나타내고 있다. 도 7에 나타낸 바와 같이, TFT의 게이트 전극(G)은 게이트 버스 라인(Lg)에 접속되어 있다. TFT의 소스 전극(S)은 화소 전극(Pe)에 접속되고, 드레인 전극(D)은 데이터 버스 라인(Ld)에 접속되어 있다. 화소 전극(Pe)과 공통 전극(Ce)에 액정층(lc)을 끼워서 액정 용량(Clc)이 구성된다. 더욱이, 실제로는 액정 용량(Clc)에 병렬로 축적 용량(Cs)이 접속되지만 도시를 생략하고 있다.

게이트 버스 라인(Lg)에는 도시하지 않은 게이트 버스 라인 구동 회로로부터 게이트 전압(Vg)이 인가된다. 데이터 버스 라인(Ld)에는 도시하지 않은 데이터 버스 라인 구동 회로로부터 계조 전압(Vd)이 인가된다. 또한, 공통 전극(Ce)에는 공통 전압(Vcom)(=0V)이 인가된다.

액정(lc)은 정 또는 부의 유전율 이방성을 가지고 있고, 인가되는 전계 강도에 따라 액정 분자가 회전하는 성질을 가지고 있다. 또한 액정(lc)은 굴절율 이방성을 가지고 있어, 액정 분자의 회전에 따라 액정(lc)을 투과하는 광의 편광 상태를 변화시키는 성질을 가지고 있다. 이 때문에 화소 전극(Pe)과 공통 전극(Ce) 사이에 전압을 인가하면, 해당 인가 전압값에 따라 액정 분자가 회전하고, 입사측 편광판에서 직선 편광이 된 광의 편광 상태를 액정(lc) 중에서 변화시키고, 이에 의해 광사출측 편광판을 투과하는 광량을 조절하여 계조 표시가 실현된다.

일반적으로 액정 재료에는 5V정도의 전압이 인가 가능하지만, 액정(lc)에 한방향만의 전계를 계속 인가하면 액정 재료가 열화해 버린다. 이것을 억제하기 위해, 액정 구동용의 전계는 소정 주기로 극성을 반전시켜 액정(lc)에 인가된다. 일반적으로는, 표시 프레임 주기로 극성을 반전시키는 프레임 반전 구동 방식이 이용된다.

각 화소 전극(Pe)은 화소마다 개별적으로 설치되어 있지만, 공통 전극(Ce)은 전(全)화소 공통으로 1개의 전극이 설치되어 있다. 이러한 공통 전극(Ce)을 이용하여 프레임 반전 구동 방식을 실현하기 위해서 도 8에 나타낸 구동 방법이 채용된다. 도 8은 횡방향으로 시간을 취하고, 세로 방향으로 전압을 취하여, 게이트 전압(Vg), 계조 전압(Vd), 및 공통 전압(Vcom)의 관계를 나타내고 있다.

도 8에 나타낸 바와 같이, 공통 전압(공통 전극 전위)(Vcom)(= 0V)은 일정하다. 데이터 버스 라인(Ld)에는 공통 전압(Vcom)을 중심으로 하여, 최대로  $\pm 2.5V$ 의 계조 전압(Vd)이 인가된다. 도 8에서는 각 프레임(fn)에서 절대치  $V_0 = 2.5V$ 의 계조 전압(Vd)(data)이 프레임(fn)마다 극성 반전하여 데이터 버스 라인(Ld)에 출력되고 있는 상태를 나타내고 있다.

게이트 버스 라인(Lg)에 대하여, 해당 라인에 접속된 n채널형의 TFT를 오프 상태로 유지하는 경우에는, 역극성으로 절대치가 최대의 계조 전압  $V_d = -V_0(V)$ 보다  $V_1$ (절대치)만큼 낮은 전위  $V_{g(off)}$ 가 출력된다. 한편, 해당 TFT를 온 상태로 유지하는 경우에는, 정극성으로 절대치가 최대의 계조 전압  $V_d = +V_0(V)$ 보다  $V_2$ (절대치)만큼 높은 전위  $V_{g(on)}$ 가 출력된다. 즉, 해당 TFT를 온 상태로 하는 기간만큼,  $V_g = V_{g(on)}$ 의 게이트 펄스가 게이트 버스 라인(Lg)에 출력된다. 이 게이트 펄스의 높이는  $V_1 + 2 \times V_0 + V_2$ 이다. 오프 전류의 샤프니스(sharpness)가 양호하지 않은 경우에는 전압  $V_1$ 을 크게 하고, 온 전류가 작은 경우에는 축적 전하의 유지 특성이나 데이터 재기입 속도의 문제 때문에 전압  $V_2$ 를 크게 할 필요가 있다.이 때문에, 양극성(兩極性)에서 TFT를 확실하게 온 / 오프시키기 위해서 통상 13V 정도의 구동 전압이 이용된다.

이와 같이 종래의 TFT-LCD에서는 화소 전극(Pe)에 기입하는 계조 전압(Vd)은 최대 2.5V인 것에 불구하고, 그 구동을 위해서 13V의 전원 회로를 필요로 하고 있다. 이 13V의 구동 전압은 게이트 버스 라인 구동 회로뿐만 아니라, 데이터 버스 라인(Ld)에 출력하는 신호의 흐름을 제어하는 데이터 버스 라인 구동 회로 내의 스위칭 소자에도 인가되고 있다. 또한, 액정 재료에 따라서 최대 구동 전압이 상이하고, 본 예보다 더 큰 16V나 18V, 또는 그 이상의 구동 전압을 필요로 하는 TFT-LCD도 존재한다.

**발명이 이루고자 하는 기술적 과제**

이와 같이 종래의 TFT-LCD에서는 각 화소의 액정(lc)을 구동하기 위한 게이트 버스 라인 구동 회로 및 데이터 버스 라인 구동 회로의 전원 전압이, 액정(lc)에 인가하는 전압폭 5V에 비해서 매우 커져 버린다. 이 때문에, TFT의 게이트 내압(耐壓)이나 드레인 내압도 높게 해야 한다. 그 결과, TFT의 게이트 산화막의 막 두께를 두껍게 하거나, 채널 길이를 길게 하거나, 또는 LDD(lightly doped drain)길이를 길게 하거나 하는 대책을 강구할 필요가 생긴다. 그렇지만, 이들 대책을 강구하면, TFT의 문턱 전압  $V_{th}$ 의 격차가 증대해 버리는 동시에 TFT의 온 전류가 작아져 버린다. 그 결과, 큰  $V_{th}$  격차에서도 적절하게 동작시키기 위해서 구동 전압을 더욱 상승시킬 필요가 있게 되고, 온 전류의 감소를 억제하여 필요한 스위칭 속도를 얻기 위해서 더 구동 전압을 상승시킬 필요가 있게 되고, 결국 악순환에 빠질 뿐 구동 전압을 낮출 수 없다. 또한, 구동 전압의 상승은 소비 전력의 증대와 환경에 대한 전자 장해를 증가시키는 문제도 가지고 있다.

또한 최근, 저온 폴리 실리콘 제조 프로세스의 확립에 의해, 유리 기판 등의 비교적 저융점부재 상에, p-Si(폴리 실리콘)으로 채널 영역이 형성된 FET를 제작할 수 있도록 되어 가고 있다. 이에 의해, 화소용 TFT를 만들어 넣는 유리 기판의 주변부에 게이트 버스 라인 구동 회로나 데이터 버스 라인 구동 회로를 위치하여 각종 회로를 조립한 주변 회로 일체형의 TFT 기판을 제작할 수 있게 된다. 주변 회로 부분의 FET는 게이트 길이를 가능한 한 짧게 형성하여 고속 동작을 가능하게 할 필요가 있지만, 여기에는 저전압 구동형인 것이 불가결하다. 또한, 저전압 구동형으로 하지 않으면 저소비 전력에서 밸런스가 양호한 회로를 얻을 수 없다.

한편, 화소용 TFT가 고전압 구동형이라고 하면, 1매의 유리 기판 상에 저전압 구동형 FET와 고전압 구동형 TFT를 혼재시켜 형성할 필요가 있지만, 이것에서는 제조 프로세스가 번잡하게 되어 버리는 동시에 제조 비용이 증대해 버리는 문제를 가지고 있다. 따라서, 저온 폴리 실리콘 제조 프로세스를 이용한 주변 회로 일체형의 TFT 기판을 제조하는 데는, 화소용 TFT의 구동 전압을 주변 회로의 FET의 구동 전압에 가능한 한 가까워지도록 저하시킬 필요가 있다.

본 발명의 목적은 화소용 TFT의 구동 전압을 저하시킨 액정 표시 장치를 제공하는 것에 있다.

**발명의 구성**

상기 목적은 대향하는 전극 사이에 액정을 끼워 구성된 액정 용량과, 상기 전극 사이에 정극성(正極性)의 전압을 인가하여 상기 액정 용량에 정전하를 충전하는 정극성 구동 회로계와, 상기 정극성 구동 회로계와 별개로 설치되고, 상기 전극 사이에 역극성(逆極性)의 전압을 인가하여 상기 액정 용량에 부전하를 충전하는 역극성 구동 회로계를 가지는 것을 특징으로 하는 액정 표시 장치에 의해서 달성된다.

본 발명의 일 실시 형태에 의한 액정 표시 장치 및 그 구동 방법에 대하여 도 1 내지 도 6을 이용하여 설명한다. 본 실시 형태에 의한 액정 표시 장치(TFT-LCD)는 액정 용량에 대한 정전하의 충전과 부전하의 충전을 각각 별도 회로계(정극성 구동 회로계와 역극성 구동 회로계)로 한 점에 특징을 가지고 있다. 이 때문에, 화소마다 2개의 TFT를 배치하여, 한쪽의 TFT는 정극성의 게조 데이터를 기입하기 위한 스위칭 소자로서 기능시키고, 다른 쪽의 TFT는 역극성의 게조 데이터를 기입하기 위한 스위칭 소자로서 기능시키도록 하고 있다.

종래의 TFT-LCD가 화소 전극에 대한 정극성 및 역극성의 전압 인가를 1개의 공통의 구동 회로로 행하고 있는 것에 비해, 본 실시 형태에서는 정극성의 전압 인가와 역극성의 전압 인가를 각각 별개의 구동 회로로 행한다. 따라서, 정극성 전압 인가용 TFT 및 역극성 전압 인가용 TFT에 인가되는 게조 데이터 전압의 진폭을 각각 종래의 절반으로 억제할 수 있으므로, TFT의 게이트 전극에 인가하는 게이트 펄스 전압을 낮게 억제할 수 있다.

본 실시 형태에 의한 TFT-LCD 및 그 구동 방법에 대하여, 이하 구체적으로 실시예를 이용하여 설명한다.

[실시예 1]

도 1 및 도 2를 이용하여 본 실시예의 TFT-LCD 및 그 구동 방법에 대하여 설명한다. 우선, 도 1을 이용하여 본 실시예에 의한 TFT-LCD의 개략 구성에 대하여 설명한다. 도 1은 절연성 기판 상에 매트릭스 형상으로 배치된 복수의 화소(Pmn) 중 인접하는 4화소(P11), P12, P21, P22의 등가 회로를 나타내고 있다. 화소(Pmn)에는 TFT 기판측에 형성된 화소 전극(Pe)과 대향 기판측에 형성된 공통 전극(Ce)과의 사이에 액정(lc)을 끼워 구성된 액정 용량(Clcmn)이 형성되어 있다. 공통 전극(Ce)에는 공통 전압(공통 전극 전위)( $V_{com}$ )(=0V)이 인가되도록 되어 있다.

또한, 화소 형성 영역에 인접한 기관 주변 영역에는, 예를 들면 저온 폴리 실리콘 제조 프로세스를 이용한 주변 회로가 화소 형성 영역과 일체적으로 형성되어 있다. 주변 회로의 일부로서 정극성 구동용 게이트 버스 라인 구동 회로(GD1)와 역극성 구동용 게이트 버스 라인 구동 회로(GD2), 및 정극성 구동용 데이터 버스 라인 구동 회로(DD1)와 역극성 구동용 데이터 버스 라인 구동 회로(DD2)가 형성되어 있다.

정극성 구동용 게이트 버스 라인 구동 회로(GD1)에는 도면 중에서 횡방향으로 연장되는 정극성 전압 인가용 게이트 버스 라인(Lg11, Lg21, Lg31 ...)이 접속되어 있다. 역극성 구동용 게이트 버스 라인 구동 회로(GD2)에는 정극성 전압 인가용 게이트 버스 라인(Lg11, Lg21, Lg31 ...)에 각각 인접하여 거의 평행하게 역극성 전압 인가용 게이트 버스 라인(Lg12, Lg22, Lg32 ...)이 접속되어 있다.

정극성 구동용 데이터 버스 라인 구동 회로(DD1)에는 도면 중에서 세로 방향으로 연장하는 정극성 전압 인가용 데이터 버스 라인(Ld11, Ld21, Ld31...)이 접속되어 있다. 역극성 구동용 데이터 버스 라인 구동 회로(DD2)에는 정극성 전압 인가용 데이터 버스 라인(Ld11, Ld21, Ld31 ...)에 거의 평행하게 역극성 전압 인가용 데이터 버스 라인(Ld12, Ld22 ...)이 접속되어 있다.

정극성 구동용 게이트 버스 라인 구동 회로(GD1)와 정극성 전압 인가용 게이트 버스 라인(Lg11, Lg21, Lg31 ...) 및 정극성 구동용 데이터 버스 라인 구동 회로(DD1)와 정극성 전압 인가용 데이터 버스 라인(Ld11, Ld21, Ld31 ...)으로 정극성 구동 회로계가 구성된다. 정극성 구동 회로계는 각 화소(Pmn)의 전극 Pe, Ce 사이에 정극성의 전압을 인가하여 액정 용량(Clcmn)에 정전하를 충전하기 위해서 이용된다.

역극성 구동용 게이트 버스 라인 구동 회로(GD2)와 역극성 전압 인가용 게이트 버스 라인(Lg12, Lg22, Lg32 ...) 및 역극성 구동용 데이터 버스 라인 구동 회로(DD2)와 역극성 전압 인가용 데이터 버스 라인(Ld12, Ld22 ...)으로 역극성 구동 회로계가 구성된다. 역극성 구동 회로계는 각 화소(Pmn)의 전극 Pe, Ce 사이에 역극성의 전압을 인가하여 액정 용량(Clcmn)에 부전하를 충전하기 위해서 이용된다.

예를 들면, 화소(P11)를 예로 들면, 화소(P11)에는 화소 전극(Pe)에 정극성의 데이터 전압을 인가하는 정극성 전압 인가용 TFT로서의 n채널 TFTn11과, 화소 전극(Pe)에 역극성의 데이터 전압을 인가하는 역극성 전압 인가용 TFT로서의 p채널 TFTp11의 2개의 박막 트랜지스터가 형성되어 있다.

TFTn11의 소스 전극(S)은 화소 전극(Pe)에 접속되고, 드레인 전극(D)은 정극성 전압 인가용 데이터 버스 라인(Ld11)에 접속되고, 게이트 전극(G)은 정극성 전압 인가용 게이트 버스 라인(Lg11)에 접속되어 있다.

한편, TFTp11의 소스 전극(S)도 화소 전극(Pe)에 접속되고, 드레인 전극(D)은 역극성 전압 인가용 데이터 버스 라인(Ld12)에 접속되고, 게이트 전극(G)은 역극성 전압 인가용 게이트 버스 라인(Lg11)에 접속되어 있다. 다른 화소(Pmn)도 같은 구성을 가지고 있다. 또한, 실제로는 액정 용량(Clcmn)에 병렬로 축적 용량(Csmn)이 접속되지만 도시를 생략하고 있다.

이상의 구성에서, 어떤 표시 프레임 f2n(n은 정의 정수)에서 정극성 구동용 게이트 버스 라인 구동 회로(GD1)로부터 정극성 전압 인가용 게이트 버스 라인(Lg11)에 대하여 정극성 전압 인가용 게이트 펄스 Vg11(on)이 출력되면, 정극성 전압 인가용 게이트 버스 라인(Lg11)에 게이트 전극(G)이 접속된 TFTn11, TFTn12 ...는 온 상태가 된다. 이에 의해, 정극성 구동용 데이터 버스 라인 구동 회로(DD1)로부터 정극성 전압 인가용 데이터 버스 라인(Ld11, Ld21, Ld31 ...)에 각각 출력된 계조 전압(Vd11, Vd21, Vd31 ...)이 TFTn1n을 통하여 각각의 화소(P1n)의 화소 전극(Pe)에 기입된다. 이상의 동작이 선순차 구동으로 정극성 구동용 게이트 버스 라인(Lgm1)의 전부에 대하여 실행되면, 1프레임 주기 분의 계조 전압의 기입이 종료된다.

다음으로, 다음 표시 프레임 f(2n+1)에서 역극성 구동용 게이트 버스 라인 구동 회로(GD2)로부터 역극성 전압 인가용 게이트 버스 라인(Lg12)에 대하여 역극성 전압 인가용 게이트 펄스 Vg12(on)가 출력되면, 역극성 전압 인가용 게이트 버스 라인(Lg12)에 게이트 전극(G)이 접속된 TFTp11, TFTp12 ...는 온 상태가 된다. 이에 의해, 역극성 구동용 데이터 버스 라인 구동 회로(DD2)로부터 역극성 전압 인가용 데이터 버스 라인(Ld12, Ld22 ...)에 각각 출력된 계조 전압(Vd12, Vd22 ...)이, TFTp1n을 통하여 각각의 화소(P1n)의 화소 전극(Pe)에 기입된다. 이상의 동작이 선순차 구동으로 역극성 구동용 게이트 버스 라인(Lgm2)의 전부에 대하여 실행하면, 1프레임 주기 분의 계조 전압의 기록이 종료된다.

상술한 표시 프레임 f2n 및 f(2n+1)를 순차 반복하여 프레임 반전 구동이 실현된다.

다음으로, 도 1을 참조하면서 도 2를 이용하여 정극성 전압 인가용 게이트 펄스  $V_{g1}(on)$  및 역극성 전압 인가용 게이트 펄스  $V_{g2}(on)$ 의 최적 레벨(전압값)에 대하여 상세하게 설명한다. 도 2는 횡방향으로 시간축  $t$ 를 취하고, 세로 방향으로 전압 레벨을 취하여, 게이트 전압( $V_g$ ), 게조 전압( $V_d$ ), 및 공통 전압( $V_{com}$ )의 관계를 나타내고 있다. 또한, 도 2에 있어서, 시간축  $t$  상부측은 정극성 구동 회로계의 시간축  $t$ 에 대한 각 전압 레벨을 나타내고, 시간축  $t$  하부측은 역극성 구동 회로계의 시간축  $t$ 에 대한 각 전압 레벨을 나타내고 있다. 또한, 설명을 용이하게 하기 위해, 도 2는 화소(P11)의 TFTn11 및 TFTp11의 게이트 전극(G)에 각각 인가되는 정극성 전압 인가용 게이트 펄스  $V_{g1}(on)$  및 역극성 전압 인가용 게이트 펄스  $V_{g2}(on)$ 에 대하여 나타내고 있다.

공통 전압(공통 전극 전위)( $V_{com}$ )(= 0V)은 일정하다. 본 예에서는, 정극성 최대 게조 전압  $V_{d11max} = +2.5V$ 이고, 역극성 최대 게조 전압  $V_{d12max} = -2.5V$ 이다. 또한, TFTn11의 문턱 전압  $V_{thn} = V_{th0} \pm \Delta$ 이고, TFTp11의 문턱 전압  $V_{thp} = -V_{th0} \pm \Delta$ 이다. 여기서, 대표 문턱 전압  $V_{th0} = 3V$ , 격차  $\Delta = 1V$ 로 한다. 또한, TFTn11 및 TFTp11의 화소 전극(Pe)측 전위를 VL로 한다(도 1 참조).

먼저, 도 2에 나타낸 프레임 반전 구동 방식의 개략에 대하여 설명한다. 도 2에 나타낸 바와 같이, 화소(P11)의 화소 전극(Pe)에는 짝수 프레임 f2, f4로 정극성 게조 전압( $V_{d11}$ )(data)이 인가되고, 홀수 프레임 f1, f3으로 역극성 게조 전압( $V_{d12}$ )(data)이 인가된다.

정극성 전압 인가용 게이트 펄스  $V_{g1}(on)$  및 역극성 전압 인가용 게이트 펄스  $V_{g2}(on)$ 의 크기는, 최대 게조 전압의 절대치  $V_0 = 2.5V$ 로서 도 2에 나타낸 바와 같이 절대치 전압  $V_1$  및 절대치 전압  $V_2$ 를 취하면,  $V_0 + V_1 + V_2$ 로서 구해진다.

환언하면, TFTn11을 오프 상태로 유지하기 위해서는 TFTn11의 게이트 전극(G)의 전위를 정극성 최소 게조 전압  $V_{d11min} = V_{com} = 0V$ 보다  $V_1$ (절대치)만큼 낮은 전위로 유지할 필요가 있다. 한편, TFTn11을 온 상태로 유지하기 위해서는, TFTn11의 게이트 전극(G)의 전위를 정극성 최대 게조 전압  $V_{d11max} = V_0 = 2.5V$ 보다  $V_2$ (절대치)만큼 높은 전위로 유지할 필요가 있다.

또한, TFTp11을 오프 상태로 유지하기 위해서는, TFTp11의 게이트 전극(G)의 전위를 역극성 최소 게조 전압  $V_{d12min} = V_{com} = 0V$ 보다  $V_1$ (절대치)만큼 높은 전위로 유지할 필요가 있다. 한편, TFTp11을 온 상태로 유지하기 위해서는 TFTp11의 게이트 전극(G)의 전위를 역극성 최대 게조 전압  $V_{d12max} = -V_0 = -2.5V$ 보다  $V_2$ (절대치)만큼 낮은 전위로 유지할 필요가 있다.

우선, 도 2의 시간축  $t$  상부측에 나타낸 정극성 구동 회로계에 의한, n채널 FET인 TFTn11의 게이트 전극(G)에 인가되는 정극성 전압 인가용 게이트 펄스  $V_{g1}(on)$ 에 대하여 설명한다.

TFTn11이 오프 상태를 유지하는 데는 정극성 전압 인가용 데이터 버스 라인(Ld11)에 출력되고 있는 전압  $V_{d11}$ 과 화소 전극(Pe)측 전압 VL 중 어느 하나의 낮은 쪽의 전압 레벨과, 정극성 전압 인가용 게이트 버스 라인(Lg11)에 출력되고 있는 전압  $V_{g1}$ 과의 전위차가 TFTn11의 문턱 전압  $V_{thn} = V_{th0} \pm \Delta$ 보다 작은 것이 필요하다. 도 2의 시각  $t_1$ 의 시점에서는 화소 전극(Pe)측 전압  $VL = -2.5V$ 에 대하여 TFTn11은 오프일 필요가 있다.

즉,

$$V_{g1} - \text{Min}(V_{d11}, VL) < V_{th0} - \Delta \quad (\text{식 1})$$

여기서,  $V_{g1} = -V_1$

$$\text{Min}(V_{d11}, VL) = -2.5$$

$$V_{th0} - \Delta = 2$$

이기 때문에, 이들을 식 1에 대입해 정리하면,

$$V_1 > 0.5$$

이 된다.

시각 t2의 시점에서는, 화소 전극(Pe)측 전압 VL = -2.5V에 대하여, TFTn11은 오프일 필요가 있다. 시각 t1의 경우와 같은 식 1을 이용하여,

$$V_{g11} - \text{Min}(V_{d11}, V_L) < V_{th0} - \Delta \quad (\text{식 1})$$

여기서,  $V_{g11} = -V_1$

$$\text{Min}(V_{d11}, V_L) = -2.5$$

$$V_{th0} - \Delta = 2$$

이기 때문에, 이들을 식 1에 대입하여 정리하면,

$$V_1 > 0.5 \text{이 된다.}$$

시각 t3의 시점에서는, 게조 전압  $V_{d11} = V_{d11}(\text{data}) = 2.5V$ 이다. TFTn11이 온이 되는 순간은 화소 전극(Pe)측 전압 VL = -2.5V이지만, 화소 전극(Pe)에 게조 전압  $V_{d11}(\text{data})$ 을 기입한 직후는 화소 전극(Pe)측 전압 VL =  $V_{d11}(\text{data}) = 2.5V$ 가 된다. TFTn11는 기입 종료시까지 온 상태를 유지할 필요가 있다.

즉,

$$V_{g11} - \text{Min}(V_{d11}, V_L) > V_{th0} + \Delta \quad (\text{식 2})$$

여기서,

$$V_{g11} = V_0 + V_2 = 2.5 + V_2$$

$$\text{Min}(V_{d11}, V_L) = 2.5$$

$$V_{th0} + \Delta = 4$$

이기 때문에, 이들을 식 2에 대입하여 정리하면,

$$V_2 > 4$$

가 된다.

시각 t4의 시점에서는, 화소 전극(Pe)측 전압 VL = 2.5V에 대하여, TFTn11는 오프일 필요가 있다. 시각 t1의 경우와 같이 식 1을 이용하여,

$$V_{g11} - \text{Min}(V_{d11}, V_L) < V_{th0} - \Delta \quad (\text{식 1})$$

여기서,

$$V_{g11} = -V_1$$

$$\text{Min}(V_{d11}, V_L) = 2.5$$

$$V_{th0} - \Delta = 2$$

이기 때문에, 이들을 식 1에 대입하여 정리하면,

$$V1 > -4.5$$

가 된다.

시각 t5의 시점에서는, 화소 전극(Pe)측 전압  $V_L = 2.5V$ , 전압  $V_{g11} = 0V$ 에 대하여, TFTn11는 오프일 필요가 있다.

$$V_{g11} = -V1$$

$$\text{Min}(V_{d11}, V_L) = 0$$

$$V_{th0} - \Delta = 2$$

이기 때문에, 결국,

$$V_{g11} - \text{Min}(V_{d11}, V_L) = -V1 < 0$$

이 된다.

시각 t6의 시점의 상태는 시각 1의 시점과 같다.

따라서, n채널 TFTn11에 인가하는 정극성 전압 인가용 게이트 펄스  $V_{gm1}(on)$ 에 관해서는  $V1 > 0.5$ ,  $V2 > 4$ 이면 좋다. p채널 TFTp11에 인가하는 역극성 전압 인가용 게이트 펄스  $V_{gm2}(on)$ 에 관해서는, 극성을 반대로 하면, 상술한 것과 모두 같은 의논이 성립되므로,  $V1 > 0.5$ ,  $V2 > 4$ 이면 좋다.

이상에 의해, 문턱 전압  $V_{th0} = 3V$ , 격차  $\Delta = 1V$ 로 하고, 정극성 전압 인가용 게이트 펄스  $V_{g11}(on)$  및 역극성 전압 인가용 게이트 펄스  $V_{g12}(on)$ 의 최소 전압 진폭은  $V0 + V1 + V2 = 2.5 + 0.5 + 4 = 7V$ 가 된다. 즉, 정극성 구동 회로계 및 역극성 구동 회로계가 함께 7V의 전원 전압을 사용할 수 있다.

이와 같이 본 실시예에 의하면, 각 화소의 액정(lc)을 구동하기 위한 게이트 버스 라인 구동 회로 및 데이터 버스 라인 구동 회로의 전원 전압이, 종래에 비교하여 큰폭으로 저하시킬 수 있다. 이 때문에, 게이트 내압이나 드레인 내압이 비교적 낮은 TFT를 화소의 스위칭 소자로서 사용할 수 있게 된다. 그 결과, 화소용 TFT의 게이트 산화막의 막 두께를 얇게 하거나, 채널 길이를 짧게 하거나, 또는 LDD 길이를 짧게 할 수 있게 된다. 이에 의해, TFT의 문턱 전압  $V_{th}$ 의 격차를 감소시킬 수 있어서 TFT의 온 전류가 작아지는 것을 억제할 수 있다. 또한, 구동 전압을 저하시킬 수 있으므로 저소비 전력화와 환경에 대한 전자 장애의 저감을 달성할 수 있게 된다.

또한, 저온 폴리 실리콘 제조 프로세스를 이용한 주변 회로 일체형의 TFT 기판을 제작하는 경우에도, 주변 회로 부분의 FET를 저전압 구동형으로 형성할 수 있도록되기 때문에 고속 동작이 가능하고 저소비 전력으로 밸런스가 양호한 주변 회로를 얻을 수 있게 된다.

또한, 화소용 TFT를 저전압 구동형으로 할 수 있으므로, 1매의 유리 기판 상에 저전압 구동형 FET와 고전압 구동형 TFT를 혼재시켜 형성할 필요가 없어지기 때문에 제조 프로세스를 간략화할 수 있어서 제조 비용이 억제될 수 있다.

#### [실시예 2]

도 3 및 도 4를 이용하여 본 실시예의 TFT-LCD 및 그 구동 방법에 대하여 설명한다. 도 3은 상기 실시예 1의 도 1과 같은 등가 회로로서, 본 실시예에 의한 TFT-LCD의 개략 구성을 나타내고 있다. 본 실시예에 의한 TFT-LCD는 상기 실시예 1의 TFT-LCD의 p채널 TFTpmn를 n채널 TFTn' mn으로 치환시킨 것 이외에는 상기 실시예 1과 같은 구성이다. 실시예 1과 같은 기능 작용을 가지는 구성 요소에는 동일한 부호를 부여하고 그 설명은 생략한다.

예를 들면, 화소(P11)를 예로 들면, 화소(P11)에는 화소 전극(Pe)에 정극성의 데이터 전압을 인가하는 정극성 전압 인가용 TFT로서의 n채널 TFTn11와, 화소 전극(Pe)에 역극성의 데이터 전압을 인가하는 역극성 전압 인가용 TFT로서의 n채널 TFTn' 11의 2개의 박막 트랜지스터가 형성되어 있다.

TFTn11의 소스 전극(S)은 화소 전극(Pe)에 접속되고, 드레인 전극(D)은 정극성 전압 인가용 데이터 버스 라인(Ld11)에 접속되고, 게이트 전극(G)은 정극성 전압 인가용 게이트 버스 라인(Lg11)에 접속되어 있다.

한편, TFTn ' 11의 드레인 전극(D)은 화소 전극(Pe)에 접속되고, 소스 전극(S)은 역극성 전압 인가용 데이터 버스 라인(Ld12)에 접속되고, 게이트 전극(G)은 역극성 전압 인가용 게이트 버스 라인(Lg11)에 접속되어 있다. 다른 화소(Pmn)도 같은 구성을 가지고 있다.

다음으로, 도 3을 참조하면서 도 4를 이용하여 정극성 전압 인가용 게이트 펄스 Vgm1(on) 및 역극성 전압 인가용 게이트 펄스 Vgm2(on)의 최적 레벨(전압값)에 대하여 상세하게 설명한다. 도 4는 실시예 1의 도 2에 나타난 바와 같은 조건으로 본 실시예의 TFT-LCD를 프레임 반전 구동시킬 때의 게이트 전압(Vg), 계조 전압(Vd), 및 공통 전압(Vcom)의 관계를 나타내고 있다.

여기에서, 도 4의 시간축 t 상부측에 나타내는 정극성 구동 회로계에 의한, TFTn11의 게이트 전극(G)에 인가되는 정극성 전압 인가용 게이트 펄스 Vg11(on)의 크기는 실시예 1의 TFTn11와 모두 같은 의논이 성립되므로, V1 = 0.5, V2 = 4이면 좋다. 따라서, 정극성 구동 회로계의 최소 전압 진폭은 0.5 + 4 + 2.5 = 7V가 된다.

다음으로, 도 4의 시간축 t 하부측에 나타내는 역극성 구동 회로계에 의한, n채널 FET인 TFTn ' 11의 게이트 전극(G)에 인가되는 역극성 전압 인가용 게이트 펄스 Vg12(on)에 대하여 설명한다.

도 4의 시각 t1의 시점에서는, 화소 전극(Pe)측 전압 VL = -2.5V에 대하여, TFTn ' 11은 오프일 필요가 있다.

즉,

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad (\text{식 } 3)$$

여기서,

$$Vg12 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = -2.5$$

$$Vth0 - \Delta = 2$$

이기 때문에, 이들을 식 3에 대입하여 정리하면,

$$V1 < 2$$

가 된다.

시각 t2의 시점에서는, 화소 전극(Pe)측 전압 VL = -2.5V에 대하여, TFTn ' 11은 오프일 필요가 있다. 시각 t1의 경우와 같이 식 3을 이용하여,

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad (\text{식 } 3)$$

여기서,

$$Vg12 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = -2.5$$

$$Vth0 - \Delta = 2$$

이기 때문에, 이들을 식 3에 대입하여 정리하면,

$$V1 < 2$$

가 된다.

시각 t3의 시점에서는, 정극성 계조 전압  $Vd11 = Vd11(data) = 2.5V$ 가 화소 전극(Pe)에 기입된다. 이 때, 계조 전압  $Vd12 = 0V$ 이다. 정극성 측의 TFTn11가 온이 되는 순간은 화소 전극(Pe)측 전압  $VL = -2.5V$ 이지만, 화소 전극(Pe)에 계조 전압  $Vd11(data)$ 을 기입한 직후는 화소 전극(Pe)측 전압  $VL = Vd11(data) = 2.5V$ 가 된다. 이 때, 역극성 측의 TFTn' 11은 기입 종료시까지 오프 상태를 유지할 필요가 있다.

즉,

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad (\text{식 } 3)$$

$$\text{여기서, } Vg12 = -V0 + V1 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = 0$$

$$Vth0 - \Delta = 2$$

이기 때문에, 이들을 식 3에 대입하여 정리하면,

$$V1 < 4.5$$

가 된다.

시각 t4의 시점에서는, 화소 전극(Pe)측 전압  $VL = 2.5V$ 에 대하여, 역극성 측의 TFTn' 11은 오프일 필요가 있다. 시각 t1의 경우와 같이 식 3을 이용하여,

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad (\text{식 } 3)$$

여기서,

$$Vg12 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = 0$$

$$Vth0 - \Delta = 2$$

이기 때문에, 이들을 식 3에 대입하여 정리하면,

$$V1 < 0.5$$

가 된다.

시각 t5의 시점에서는, 화소 전극(Pe)측 전압  $VL = 2.5V$ , 전압  $Vg12 = 0V$ 에 대하여, TFTn' 11은 오프일 필요가 있다.

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \Delta \quad (\text{식 } 3)$$

여기서,

$$Vg12 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = -2.5$$

$$V_{th0} - \Delta = 2$$

이기 때문에, 이들을 식 3에 대입하여 정리하면,

$$V1 < 2$$

가 된다.

시각 t6의 시점에서는, 계조 전압  $V_{d12} = V_{d12}(\text{data}) = -2.5V$ 이다. 역극성 측의 TFTn ' 11이 온이 되는 순간은 화소 전극(Pe)측 전압  $V_L = 2.5V$ 이지만, 화소 전극(Pe)에 최대 계조 전압  $V_{d12}(\text{data})$ 을 기입한 직후는 화소 전극(Pe)측 전압  $V_L = V_{d12}(\text{data}) = -2.5V$ 가 된다. TFTn ' 11은 기입 종료시까지 온 상태를 유지할 필요가 있다.

즉,

$$V_{g12} - \text{Min}(V_{d12}, V_L) > V_{th0} + \Delta \quad (\text{식 4})$$

여기서,

$$V_{g12} = V2$$

$$\text{Min}(V_{d12}, V_L) = -2.5$$

$$V_{th0} + \Delta = 4$$

이기 때문에, 이들을 식 4에 대입하여 정리하면,

$$V2 > 1.5$$

가 된다.

따라서, 역극성 측의 n채널 TFTn ' 11에 인가하는 역극성 전압 인가용 게이트 펄스  $V_{gm2}(\text{on})$ 에 관해서는  $V1 < 2, V2 > 1.5$ 이면 좋다.

이상에 의해, 문턱 전압  $V_{th0} = 3V$ , 격차  $\Delta = 1V$ 로서, 정극성 전압 인가용 게이트 펄스  $V_{g11}(\text{on})$ 의 최소 전압 진폭은  $V0 + V1 + V2 = 2.5 + 0.5 + 4 = 7V$ 가 되고, 역극성 전압 인가용 게이트 펄스  $V_{g12}(\text{on})$ 의 최소 전압 진폭은  $V0 + V1 (= 0) + V2 = 2.5 + 1.5 = 4V$ 가 된다. 즉, 정극성 구동 회로계 및 역극성 구동 회로계가 함께 7V의 전원 전압을 사용할 수 있다.

또한, 일반적으로 TFT의 오프 전류의 샤프니스가 악화되는 경우에는, 정극성 측의 TFTnmn의 전압( $V1$ )을 크게 하여, 역극성 측의 TFTn ' mn의 전압( $V1$ )을 작게 한다. 또한, 온 전류가 작은 경우에는, 축적 전하의 유지 특성이나 데이터 재기입 속도의 문제 때문에 정극성 및 역극성 쌍방의 TFTnmn, TFTn ' mn도  $V2$ 를 크게 할 필요가 있다. 이에 대하여 본 실시예에 의하면, 구동 전압을 낮게 할 수 있으므로 TFT의 게이트 산화막을 얇게 할 수 있고, 이에 수반하여 상기 문제의 특성을 개선할 수 있다. 따라서 전압  $V1, V2$ 를 최소한으로 억제할 수 있고, 결과적으로 순환적으로 더욱 전원 전압을 저하시킬 수 있다.

[실시예 3]

도 5 및 도 6을 이용하여 본 실시예의 TFT-LCD 및 그 구동 방법에 대하여 설명한다. 도 5는 상기 실시예 1, 2의 도 1, 3과 같은 등가 회로로서, 본 실시예에 의한 TFT-LCD의 개략 구성을 나타내고 있다. 본 실시예에 의한 TFT-LCD는 상기 실시예 2의 TFT-LCD의 정극성 및 역극성용의 n채널 TFTnmn, TFTn ' mn도 p채널 TFTpmnTFTp ' mn으로 치환시킨 것 이외에는 상기 실시예 2와 같은 구성이다. 실시예 2와 같은 기능 작용을 가지는 구성 요소에는 동일한 부호를 부여하고 그 설명은 생략한다.

예를 들면, 화소(P11)를 예로 들면, 화소(P11)에는 화소 전극(Pe)에 정극성의 데이터 전압을 인가하는 정극성 전압 인가용 TFT로서의 p채널 TFTp11와, 화소 전극(Pe)에 역극성의 데이터 전압을 인가하는 역극성 전압 인가용 TFT로서의 p채널 TFTp' 11의 2개의 박막 트랜지스터가 형성되어 있다.

TFTp11의 드레인 전극(D)은 화소 전극(Pe)에 접속되고, 소스 전극(S)은 정극성 전압 인가용 데이터 버스 라인(Ld11)에 접속되고, 게이트 전극(G)은 정극성 전압 인가용 게이트 버스 라인(Lg11)에 접속되어 있다.

한편, TFTp' 11의 드레인 전극(D)은 역극성 전압 인가용 데이터 버스 라인(Ld12)에 접속되고, 소스 전극(S)은 화소 전극(Pe)에 접속되고, 게이트 전극(G)은 역극성 전압 인가용 게이트 버스 라인(Lg11)에 접속되어 있다. 다른 화소(Pmn)도 같은 구성을 가지고 있다.

도 6은 본 실시예에서의 정극성 전압 인가용 게이트 펄스 Vgm1(on) 및 역극성 전압 인가용 게이트 펄스 Vgm2(on)의 최적 레벨(전압값)에 대하여 설명한 도면이다. 도 6은 실시예 2의 도 4에 나타낸 바와 같은 조건으로 본 실시예의 TFT-LCD를 프레임 반전 구동시킬 때의 게이트 전압(Vg), 게조 전압(Vd), 및 공통 전압(Vcom)의 관계를 나타내고 있다.

여기에서, 도 6의 시간축 t 상부측에 나타낸 정극성 구동 회로계에 의한, TFTp11의 게이트 전극(G)에 인가되는 정극성 전압 인가용 게이트 펄스 Vg11(on)의 크기는 실시예 2의 TFTn11과 극성을 반대로 할 뿐으로 모두 같은 의논이 성립된다. 한편, 도 6의 시간축 t 하부측에 나타낸 역극성 구동 회로계에 의한, TFTp' 11의 게이트 전극(G)에 인가되는 역극성 전압 인가용 게이트 펄스 Vg12(on)의 크기는 실시예 2의 TFTn' 11과 극성을 반대로 할 뿐으로 모두 같은 의논이 성립된다.

이상에 의해, 문턱 전압 Vth0 = 3V, 격차 Δ = 1V로 하고, 정극성 구동 회로계 및 역극성 구동 회로계가 함께 7V의 전원 전압을 사용할 수 있다. 또한, 실시예 2와 동일한 효과를 상정할 수 있다.

이상 설명한 바와 같이, 본 실시 형태에 의하면, 액티브 매트릭스형의 LCD에서 화소 구동을 위한 게이트 버스 라인 구동 회로로부터 출력되는 게이트 펄스의 펄스 높이를 낮게 할 수 있으므로, 게이트 버스 라인 구동 회로의 전원 전압을 낮게 할 수 있다. 이에 수반하여 데이터 버스 라인 구동 회로측의 전원 전압도 낮게 할 수 있으므로 저소비 전력화를 실현할 수 있게 된다. 또한, 구동 전압이 낮아지므로, 보다 얇은 게이트 산화막을 사용하는 것이 가능해지며, 트랜지스터를 고속화(고트랜스 컨덕턴스화)하는 동시에, 문턱 전압 Vth의 격차도 작게 할 수 있다. Vth 격차를 작게 함으로써 더욱 구동 전압을 저감시킬 수 있게 된다. 그리고, 드레인 / 소스 사이에 오프시에 걸리는 전압도 작아져서, 드레인 / 소스 사이에 내압(耐壓)이 작고 제작이 용이한 트랜지스터 구조로 TFT 등을 형성할 수 있게 된다.

또한, 본 실시 형태에 의한 화소 구조에서는, 화소당 트랜지스터수와 배선수가 증가하므로 개구율의 저하를 고려할 필요가 있지만, 배선 패턴을 미세화함으로써 개구율 저하를 억제할 수 있다. 또한, 화소 전극(Pe)이 예를 들면 알루미늄등의 도전성 고반사 금속을 이용한 반사형 LCD의 경우에는, TFT 및 버스 라인이 화소 전극(Pe)의 이면측에 위치하기 때문에 개구율 저하는 생기지 않는다.

또한, 본 실시 형태에 의한 TFT-LCD에서는 각 버스 라인 구동 회로가 이중(二重)이 되지만, 저온 폴리 실리콘 제조 프로세스에 의한 주변 회로 일체형의 구성이면, 각 버스 라인 구동 회로를 유리 기판 상에 화소 영역과 동시에 형성할 수 있으므로, 각 버스 라인 구동 회로의 이중화에 의한 제조 비용 상승은 억제될 수 있다.

본 발명은 상기 실시 형태에 한하지 않고 각종 변형이 가능하다.

예를 들면, 상기 실시 형태에서는, 투과형 LCD를 이용하여 설명했지만, 이에 한하지 않고, 반사형 LCD나 반투과형 LCD에 본 발명을 적용할 수 있다.

또한, 상기 실시 형태에서는 동작 반도체층에 p-Si를 이용한 TFT를 예로 들어 설명했지만, 본 발명은 이에 한하지 않고, 동작 반도체층에 a-Si(아모르퍼스 실리콘)를 이용한 TFT에도 물론 적용 가능하다.

또한, 상기 실시 형태에서는 저온 폴리 실리콘 제조 프로세스에 의한 주변 회로 일체형 LCD를 예로 들어 설명했지만, 본 발명은 이에 한하지 않는다. 주변 회로의 일부 또는 전부가 화소 TFT가 형성된 유리 기판과 별개로 형성되고, TAB 실장이나 COG 실장에 의해 배선되는 LCD에도 물론 적용 가능하다.

이상 설명한 실시 형태에 의한 액정 표시 장치는 이하와 같이 정리할 수 있다.

(부기 1)

대향하는 전극 사이에 액정을 끼워 구성된 액정 용량과,

상기 전극 사이에 정극성의 전압을 인가하여 상기 액정 용량에 정전하를 충전하는 정극성 구동 회로계와,

상기 정극성 구동 회로계와 별개로 설치되고, 상기 전극 사이에 역극성의 전압을 인가하여 상기 액정 용량에 부전하를 충전하는 역극성 구동 회로계를 구비하는 것을 특징으로 하는 액정 표시 장치. (1)

삭제

(부기 2)

부기 1에 기재된 액정 표시 장치에 있어서,

상기 대향하는 전극은 상기 액정 용량을 구비한 복수의 화소에 각각 설치된 화소 전극과, 상기 액정을 끼워서 상기 화소 전극 각각에 대향하여 공통 전압이 인가되는 공통 전극을 구비하는 것을 특징으로 하는 액정 표시 장치. (2)

삭제

(부기 3)

부기 2에 기재된 액정 표시 장치에 있어서,

상기 화소는,

상기 화소 전극에 정극성의 데이터 전압을 인가하는 정극성 전압 인가용 TFT와,

상기 화소 전극에 역극성의 데이터 전압을 인가하는 역극성 전압 인가용 TFT를 구비하는 것을 특징으로 하는 액정 표시 장치. (3)

(부기 4)

부기 3에 기재된 액정 표시 장치에 있어서,

상기 정극성 구동 회로계는,

상기 정극성 전압 인가용 TFT의 게이트 전극에 정극성 전압 인가용 게이트 펄스를 출력하는 정극성 전압 인가용 게이트 버스 라인과,

상기 정극성 전압 인가용 TFT의 소스 또는 드레인 전극에 정극성의 데이터 전압을 인가하는 정극성 전압 인가용 데이터 버스 라인을 구비하고,

상기 역극성 구동 회로계는,

상기 역극성 전압 인가용 TFT의 게이트 전극에 역극성 전압 인가용 게이트 펄스를 출력하는 역극성 전압 인가용 게이트 버스 라인과,

상기 역극성 전압 인가용 TFT의 소스 또는 드레인 전극에 역극성의 데이터 전압을 인가하는 역극성 전압 인가용 데이터 버스 라인을 구비하는 것을 특징으로 하는 액정 표시 장치. (4)

삭제

(부기 5)

부기 4에 기재된 액정 표시 장치에 있어서,

상기 정극성 구동 회로계는,

상기 정극성 전압 인가용 게이트 버스 라인에 상기 정극성 전압 인가용 게이트 펄스를 출력하는 정극성 구동용 게이트 버스 라인 구동 회로와,

상기 정극성 전압 인가용 데이터 버스 라인에 정극성의 데이터 전압을 출력 하는 정극성 구동용 데이터 버스 라인 구동 회로를 구비하고,

상기 역극성 구동 회로계는,

상기 역극성 전압 인가용 게이트 버스 라인에 상기 역극성 전압 인가용 게이트 펄스를 출력하는 역극성 구동용 게이트 버스 라인 구동 회로와,

상기 역극성 전압 인가용 데이터 버스 라인에 역극성의 데이터 전압을 출력 하는 역극성 구동용 데이터 버스 라인 구동 회로를 구비하는 것을 특징으로 하는 액정 표시 장치. (5)

삭제

(부기 6)

부기 4에 기재된 액정 표시 장치에 있어서,

상기 정극성 전압 인가용 TFT 및 상기 역극성 전압 인가용 TFT의 채널의 도전형은 n형인 것을 특징으로 하는 액정 표시 장치.

삭제

(부기 7)

부기 4에 기재된 액정 표시 장치에 있어서,

상기 정극성 전압 인가용 TFT 및 상기 역극성 전압 인가용 TFT의 채널의 도전형은 p형인 것을 특징으로 하는 액정 표시 장치.

삭제

(부기 8)

부기 4에 기재된 액정 표시 장치에 있어서,

상기 정극성 전압 인가용 TFT 및 상기 역극성 전압 인가용 TFT의 채널의 도전형은 한쪽이 n형이고, 다른쪽이 p형인 것을 특징으로 하는 액정 표시 장치.

삭제

(부기 9)

부기 1 내지 8 중 어느 하나에 기재된 액정 표시 장치에 있어서,

상기 정극성 구동 회로계와 상기 역극성 구동 회로계는 상기 전극의 한쪽이 형성된 절연성 기판 상에 일체적으로 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

삭제

(부기 10)

부기 9에 기재된 액정 표시 장치에 있어서,

상기 정극성 구동 회로계와 상기 역극성 구동 회로계는 저온 폴리 실리콘 제조 프로세스에 의해 상기 절연성 기판 상에 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

### 발명의 효과

상술한 바와 같이, 본 발명에 의하면, 화소용 TFT의 구동 전압을 저하시킬 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 일 실시 형태에 있어서의 실시예 1의 TFT-LCD의 4화소 분의 등가 회로를 나타낸 도면.

도 2는 본 발명의 일 실시 형태에 있어서의 실시예 1의 프레임 반전 구동 방식에서의 게이트 전압(Vg), 계조 전압(Vd), 및 공통 전압(Vcom)의 관계를 나타낸 도면.

도 3은 본 발명의 일 실시 형태에 있어서의 실시예 2의 TFT-LCD의 4화소 분의 등가 회로를 나타낸 도면.

도 4는 본 발명의 일 실시 형태에 있어서의 실시예 2의 프레임 반전 구동 방식에서의 게이트 전압(Vg), 계조 전압(Vd), 및 공통 전압(Vcom)의 관계를 나타낸 도면.

도 5는 본 발명의 일 실시 형태에 있어서의 실시예 3의 TFT-LCD의 4화소 분의 등가 회로를 나타낸 도면.

도 6은 본 발명의 일 실시 형태에 있어서의 실시예 3의 프레임 반전 구동 방식에서의 게이트 전압(Vg), 계조 전압(Vd), 및 공통 전압(Vcom)의 관계를 나타낸 도면.

도 7은 종래의 TFT-LCD의 1화소 분의 등가 회로를 나타낸 도면.

도 8은 종래의 프레임 반전 구동 방식에서의 게이트 전압(Vg), 계조 전압(Vd), 및 공통 전압(Vcom)의 관계를 나타낸 도면.

\*도면의 주요 부분에 대한 부호의 설명\*

Ce : 공통 전극

Clc : 액정 용량

Clcmn : 액정 용량

Cs : 축적 용량

D : 드레인 전극

DD1 : 정극성 구동용 데이터 버스 라인 구동 회로

DD2 : 역극성 구동용 데이터 버스 라인 구동 회로

G : 게이트 전극

GD1 : 정극성 구동용 게이트 버스 라인 구동 회로

GD2 : 역극성 구동용 게이트 버스 라인 구동 회로

Ld : 데이터 버스 라인

Ld11 : 정극성 전압 인가용 데이터 버스 라인

Ld12 : 역극성 전압 인가용 데이터 버스 라인

Lg : 게이트 버스 라인

Lg11 : 역극성 전압 인가용 게이트 버스 라인

Lg11 : 정극성 전압 인가용 게이트 버스 라인

Lg12 : 역극성 전압 인가용 게이트 버스 라인

P : 화소 전극

Pe : 화소 전극

Pmn : 화소

S : 소스 전극

Vcom : 공통 전압

Vd : 계조 전압

Vd11 : 정극성 계조 전압

Vd12 : 역극성 계조 전압

Vg : 게이트 전압

Vg11(on) : 정극성 전압 인가용 게이트 펄스

Vg12(on) : 역극성 전압 인가용 게이트 펄스

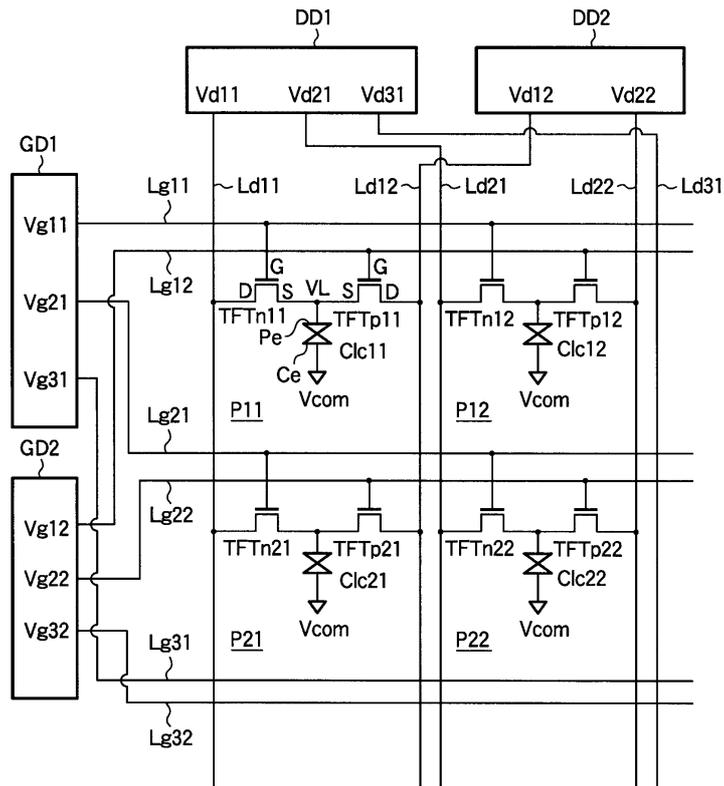
Vth : 문턱 전압

f : 표시 프레임

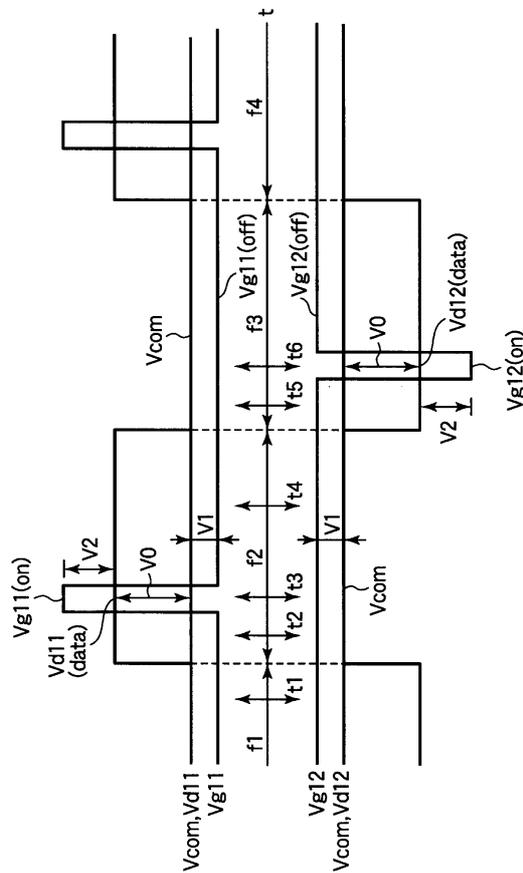
lc : 액정

도면

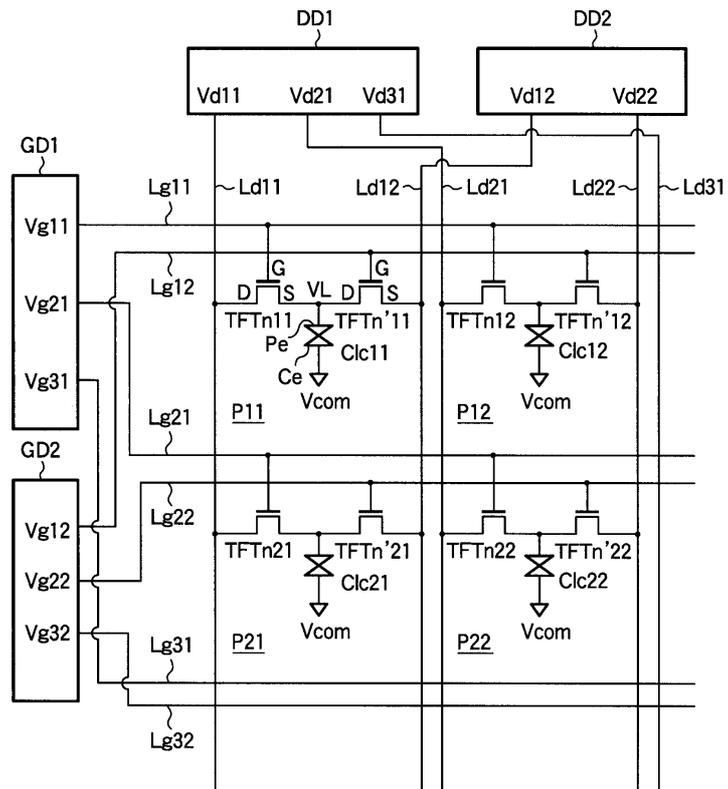
도면1



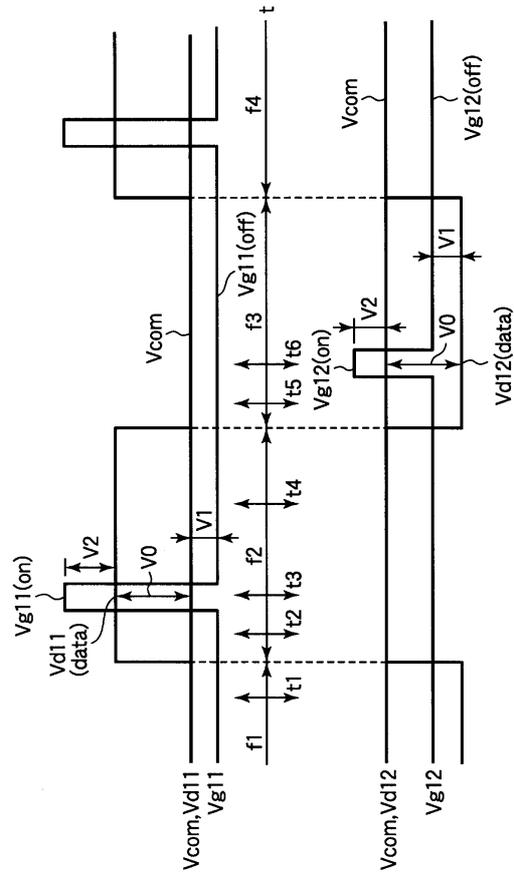
도면2



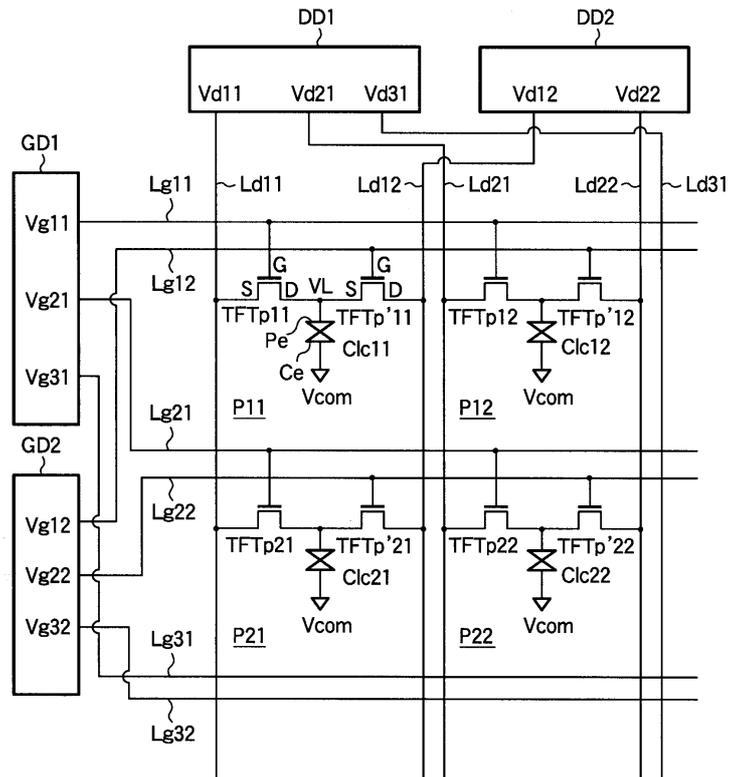
도면3



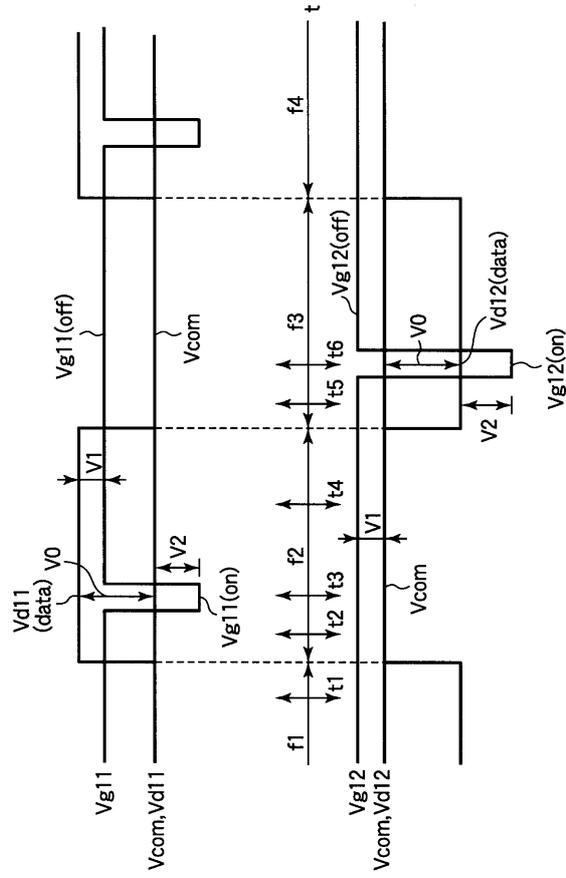
도면4



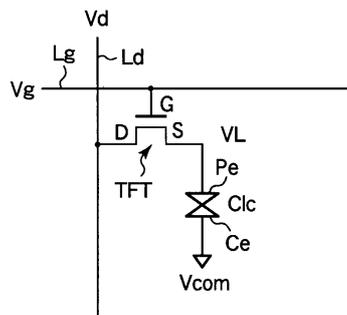
도면5



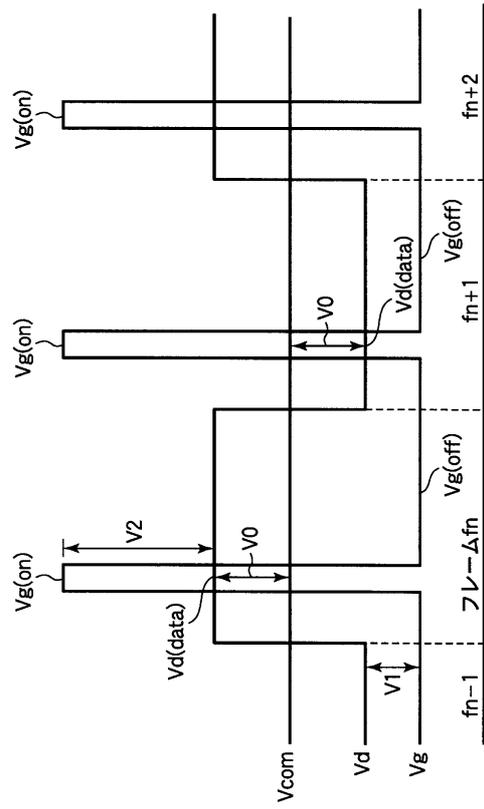
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR100712024B1</a>	公开(公告)日	2007-05-02
申请号	KR1020020074582	申请日	2002-11-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SASAKI NOBUO		
发明人	SASAKI,NOBUO		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1362 G09G3/20 G09G3/36		
CPC分类号	G02F2001/136245 G09G2300/0823 G09G3/3659 G09G2310/06 G02F1/136286 G09G3/3614		
代理人(译)	MOON , KI桑		
优先权	2002027590 2002-02-05 JP		
其他公开文献	KR1020030066304A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种有源矩阵型TFT LCD，其中像素TFT的驱动电压降低。像素 ( P11 ) 由两个薄膜晶体管 ( TFTn11, TFTp11 ) 形成，即，施加正电压的n沟道TFT ( TFTn11 )，用于向像素电极施加具有正极性的数据电压 ( Vd11 ) ( Pe ) 和施加负电压的p沟道TFT ( TFTp11 )，用于向像素电极 ( Pe ) 施加具有负极性的数据电压 ( Vd12 )。施加正电压的TFT ( TFTn11 ) 的源电极 ( S ) 连接到像素电极 ( Pe ) ;其漏极 ( D ) 连接到用于施加正电压的数据总线 ( Ld11 ) ( Vd11 ) ;并且其栅极 ( G ) 连接到用于施加正电压 ( Vd11 ) 的扫描总线 ( Lg11 )。另一TFT ( TFTp11 ) 的源电极 ( S ) 也连接到像素电极 ( Pe ) ;其漏极 ( D ) 连接到用于施加负电压 ( Vd12 ) 的数据总线 ( Ld12 ) ;并且其栅极 ( G ) 连接到用于施加负电压 ( Vd12 ) 的栅极总线 ( Vg12 )。

