

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G02F 1/133	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월07일 10-0499572 2005년06월27일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0087763 2002년12월31일	(65) 공개번호 (43) 공개일자	10-2004-0061496 2004년07월07일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	박경권 서울특별시강동구성내3동419-13동아아파트101동609호 김우현 서울특별시서대문구봉원동45-9
(74) 대리인	김용인 심창섭

심사관 : 임현석

(54) 액정 표시 장치

요약

본 발명은 하나의 데이터 라인으로 좌우 화소 영역에 데이터를 시분할하여 공급함으로써, 고가의 소오스 드라이버 IC의 수를 줄일 수 있는 액정 표시 장치에 관한 것으로, 서로 인접한 제 1, 제 2 라인을 한 쌍으로 하는 복수 쌍의 게이트 라인과, 상기 각 쌍의 게이트 라인과 수직으로 교차하여 좌우 화소 영역을 정의하는 복수개의 데이터 라인과, 상기 좌우 화소 영역들에 형성되며 각각 제 1, 제 2 라인의 게이트 라인상의 스위치 소자들에 의해 선택적으로 구동되는 좌우 화소 전극을 포함하여 이루어짐을 특징으로 한다.

대표도

도 4

색인어

소오스 드라이버, 게이트 드라이버, 파인 피치, 스토리지 캐패시터

명세서

도면의 간단한 설명

- 도 1은 종래의 액정 표시 장치를 나타내는 평면도
- 도 2는 도 1의 A~A' 선상의 구조 단면도
- 도 3은 도 1의 등가 회로도
- 도 4는 본 발명의 액정 표시 장치를 나타내는 평면도
- 도 5는 도 4의 등가 회로도

도 6은 본 발명의 액정 표시 장치의 제 1 실시예에 따른 게이트 라인을 구동하는 게이트 드라이버를 나타낸 블록도

도 7은 도 6의 게이트 드라이버에 인가되는 게이트 펄스 클럭 신호와 게이트 드라이버로부터 출력되어 각 게이트 라인에 인가되는 신호를 나타낸 타이밍도

도 8은 본 발명의 액정 표시 장치의 제 2 실시예에 따른 게이트 라인을 구동하는 게이트 드라이버를 나타낸 블록도

도 9는 본 발명의 제 2, 제 3 실시예에 따른 게이트 드라이버에 인가되는 게이트 펄스 클럭 신호 및 출력 신호를 나타내는 타이밍도

도 10은 본 발명의 액정 표시 장치의 제 3 실시예에 따른 게이트 라인을 구동하는 게이트 드라이버를 개략적으로 나타낸 회로도

도 11은 제 2, 제 3 실시예에 따른 게이트 라인 구동시 클럭신호에 따라 게이트 라인 구동이 선택적으로 이루어짐을 나타내는 진리표

도 12는 제 2, 제 3 실시예의 게이트 드라이버의 출력이 한 쌍의 게이트 라인의 인가시 시분할됨을 나타내는 개략적 타이밍도

도면의 주요부분에 대한 부호의 설명

21 : 제 1 라인의 게이트 라인 22 : 제 2 라인의 게이트 라인

23 : 데이터 라인 24a, 24b : 제 1, 제 2 화소 전극

201, 202, 203, 204 : 제 1, 제 2, 제 3, 제 4 스토리지 캐패시터

Cst1, Cst2, Cst3, Cst : 제 1, 제 2, 제 3, 제 4 스토리지 캐패시터

TFT 1, TFT 2 : 게이트 라인 상에 형성된 박막 트랜지스터

HC1, HC2 : 제 1, 제 2 주사 신호 발생 게이트 펄스 클럭 신호

T1, T2 : 선택 스위치

GD1, GD2, ... : 게이트 드라이버 IC 출력

G1, G2, G3... : 게이트 라인에 인가되는 주사 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 하나의 데이터 라인으로 좌우 화소 영역에 데이터를 시분할하여 공급함으로써, 고가의 소오스 드라이버 IC의 수를 줄일 수 있는 액정 표시 장치에 관한 것이다.

정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같이 액정 표시 장치가 여러 분야에서 화면 표시 장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시 장치로서 화상의 품질을 높이는 작업은 상기 특징 및 장점과 배치되는 면이 많이 있다. 따라서, 액정 표시 장치가 일반적인 화면 표시 장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고 품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.

일반적으로 액정 표시 장치의 구동 원리는 액정의 광학적 이방성과 분극 성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자 배열 방향을 임의로 조절하면 액정의 분자 배열이 변하게 되고, 광학적 이방성에 의하여 편광된 빛이 임의로 변조되어 화상 정보를 표현할 수 있다.

이러한 액정은 전기적인 특성 분류에 따라 유전 이방성이 양(+)인 포지티브 액정과, 음(-)인 네거티브 액정으로 구분될 수 있으며, 유전 이방성이 양인 액정 분자는 전기장이 인가되는 방향으로 액정 분자의 장축이 평행하게 배열하고, 유전 이방성이 음인 액정 분자는 전기장이 인가되는 방향과 액정 분자의 장축이 수직하게 배열한다.

현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 능동 행렬 액정 표시 장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현 능력이 우수하여 가장 주목받고 있다.

이와 같은 액정 표시 장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.

그리고 제 2 유리 기판(칼라필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.

이와 같은 상기 제 1, 제 2 유리 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)재에 의해 합착되어 상기 두 기판사이에 액정이 주입된다.

상기 박막 트랜지스터 액정 표시 장치(TFT LCD)는 사용되는 반도체층의 특성에 따라 비정질 실리콘 타입과 폴리 실리콘 타입으로 크게 나눌 수 있다.

상기 두 경우 모두 공정 비용을 줄이고, 수율을 높이기 위해 공정에서의 노광 단계의 수를 줄이려는 노력이 이루어지고 있는데, 비정질 실리콘의 경우 낮은 온도에서 화학 기상 증착법(CVD: Chemical Vapor Deposition)을 이용하여 형성할 수 있으므로, 유리 기판을 이용하는 액정 표시 장치의 특성상 유리한 점이 있다.

그러나 비정질 실리콘의 경우 캐리어의 이동도가 낮기 때문에 빠른 동작 특성을 요하는 드라이버 IC의 트랜지스터 소자를 형성하는 용도로는 적합하지 않다. 이러한 사실은 액정 표시 장치의 구동을 위한 드라이버 IC는 별도로 제작하여 액정 패널 주변부에 부착하여 사용해야 한다는 것을 의미하며, 구동 모듈을 위한 공정이 증가하여 액정 표시 장치의 제작비용이 상승하게 된다.

한편, 폴리 실리콘은 비정질 실리콘에 비해 캐리어의 이동도가 훨씬 크고 따라서 드라이버 IC를 제작하기 위해서도 사용할 수 있다. 이 경우, 폴리 실리콘을 액정 표시 장치의 박막 트랜지스터 형성용 반도체층으로 사용할 때, 일련의 공정을 통해 동일 유리기판 상에 화소전극을 위한 박막 트랜지스터 소자와 드라이버 IC를 구성하는 트랜지스터 소자를 함께 형성하게 된다.

이는 액정 표시 장치 제작에서 모듈 공정의 비용을 반감하는 효과를 가져오며 동시에 액정 표시 장치의 소비전력을 낮출 수 있도록 한다.

이하, 상기한 바와 같이 구성된 종래의 액정 표시 장치의 화소 구조를 도면을 참조하여 자세히 살펴본다.

도 1은 종래의 액정 표시 장치의 화소 구조를 나타낸 평면도이며, 도 2는 도 1의 A~A' 선상의 구조 단면도이다.

도 1과 같이, 종래의 액정 표시 장치는 복수개의 게이트 라인(11)과, 상기 게이트 라인(11)들에 수직한 방향으로 일정한 간격을 갖고 화소 영역을 정의하는 복수개의 데이터 라인(12)이 형성된다.

상기 각 게이트 라인(11)과 각 데이터 라인(12)의 교차점에는 박막 트랜지스터(TFT)가 형성되며, 상기 박막 트랜지스터(TFT)의 드레인 전극(12b)과 연결되어 상기 화소 영역에는 화소 전극(13)이 형성된다.

도 2를 참조하여 상기 박막 트랜지스터의 구성을 설명한다.

도 2와 같이, 유리 기판(10) 상에 상기 게이트 라인(11)으로부터 돌출되어 형성된 게이트 전극(11a)이 오버랩되도록 반도체층(16)이 게이트 절연막(15)을 개재하여 형성되며, 상기 반도체층(16)의 양측에는 각각 소오스 전극(12a) 및 드레인 전극(12b)이 형성된다. 그리고, 상기 반도체층(16) 및 드레인 전극(12b)의 전면을 덮도록 보호막(17)이 형성되며, 상기 드레인 전극(12b)과 연결되어 화소 전극(13)이 형성된다.

도 3은 도 1의 액정 표시 장치의 화소 구조에 대한 등가 회로도이다.

도 3과 같이, 복수개의 게이트 라인(G1, G2, ..., Gn-1, Gn)과 복수개의 데이터 라인(S1, S2, S3, ..., Sn)의 교차 부위에는 각각 박막 트랜지스터(TFT)가 구비되어 있으며, 상기 박막 트랜지스터의 드레인 전극과 연결되어 액정 캐패시터(C_{LC})가 형성되어 있다. 상기 액정 캐패시터(C_{LC})는 별도로 구성되는 소자가 아니라, 하부 기판 상의 화소 전극과 상부 기판 상의 공통 전극을 제 1, 제 2 전극으로 하며, 상하부 기판 사이에 형성되는 액정을 유전체로 하여 이루어지는 것이다. 이 때, 각 화소 전극에 충전되는 데이터 전압 값을 소정시간 유지시키는 것이 상기 액정 캐패시터(C_{LC})의 역할이다.

도면에는 도시되지 않았지만, 상기 화소 전극과 공통 전극 사이에 별도의 스토리지 캐패시터(Cst)가 형성되어 액정의 충전 시간을 조절할 수 있다.

한편, 폴리 실리콘 박막 트랜지스터(TFT)를 형성할 때, 기판에 셀렉터 스위치(Selector Switch)를 내장하여 소오스 드라이브 IC에서 각 데이터 라인에 인가되는 하나의 출력으로 두 개의 데이터 라인을 구동함으로써, 소오스 드라이브 IC의 개수를 줄이고, 접속 피치를 증가시키는 종래 기술이 있다.

그러나, 이러한 종래의 기술에 있어서는, 화소 구조에서의 데이터 라인 수의 감소가 없으며, 또한, 소오스 드라이브 IC의 출력단에 각 출력 라인 수에 상응하는 셀렉터 스위치를 구비하여야 할 것이므로, 상기 셀렉터 스위치에 대한 면적 증가 부담도 고려해야 할 것이다.

도 3을 참조하여 상기 액정 표시 장치의 구동을 살펴보면 다음과 같다.

각 게이트 라인(G1, G2,...Gn-1, Gn)에 순차적으로 구동 전압(펄스 신호)이 인가되면 해당 게이트 라인(G1, G2, ..., Gn-1, Gn)에 연결된 박막 트랜지스터(TFT)가 턴온되며, 그 동안에 각 데이터 라인(S1, S2, S3,...,Sn)에 인가된 데이터 전압이 화소 전극에 인가되어 데이터 전압이 충전된다. 이 때, 각 화소 전극(13)별로 1 프레임 주기로 데이터 전압이 충전되고 다음 신호가 인가될 때까지 유지되어야 한다.

액정 표시 장치의 각 화소 전극은 각 게이트 라인(G1, G2, ..., Gn-1, Gn)에 인가된 주사 신호에 따라 독립 구동되므로, 하나의 박막 트랜지스터의 동작에 따른 해당 화소의 전압 충전에 근거하여 액정 표시 장치의 구동에 대해 살펴본다.

소정 게이트 라인의 선택 구간(T_s)에는 게이트 드라이버 IC에 연결된 게이트 라인에 데이터 라인보다 높은 전압 $V_{g(on)}$ 이 걸려 드레인 전극과 소오스 전극 사이의 채널의 저항이 작아져서, 소오스 드라이버 IC로부터 각각의 데이터 라인에 출력되는 전압이 화소 전극을 통해 액정층에 걸린다. 상기 소정 게이트 라인의 비선택 구간(T_{ns})에는 소정 게이트 라인에 데이터 라인보다 낮은 전압 $V_{g(off)}$ 가 걸려 드레인 전극과 소오스 전극은 전기적으로 단절되어 선택 구간(T_s) 동안 액정층에 축적된 전하가 유지된다. 상기 게이트 라인에 $V_{g(on)}$ 전압을 걸어주면서 데이터 라인을 통하여 각 화소 전극을 충전하여 액정층에 전압을 걸어준다.

상기 화소 전극과 공통 전극 사이의 액정층에 걸린 RMS 전압을 조절하면 편광판을 지나 선편광된 빛이 액정층을 지나면서 편광 상태가 변하고, 이 빛을 검광판이 선택 투과시켜서 화소의 밝기로서 정보를 표시한다. 데이터 라인과 공통 전극(미도시)에 걸리는 전압의 파형을 조절하여 액정층에 걸린 전압의 극성을 매주기마다 바꿔 액정 분자의 전기 화학 반응을 막는다.

주사 신호의 한 주기(T_f)는 선택 구간(T_s)과 비선택 구간(T_{ns})을 더한 것인데, 화면을 60Hz로 보낼 경우 한 주기는 약 16.7msec이고 선택 구간 T_s 는 XGA(1024x768)의 경우 $21.7\mu sec (=16.7msec/768)$ 이다. 선택 구간(T_s)에 화소 전극(13)에 걸려준 전압이 비선택 구간(T_{ns}) 동안에 계속 유지되도록 액정 캐패시터(C_{LC})와 병렬로 스토리지 캐패시터(Cst, 미도시)를 형성한다.

상기 스토리지 캐패시터(Cst)는, 전단의 게이트 라인을 한 쪽 전극으로 이용하거나, 별도의 스토리지 라인을 형성하여 한 쪽 전극으로 이용하여, 상기 한 쪽 전극에 대향되는 화소 전극 및 두 전극 사이에 개재되는 게이트 절연막 또는 보호막을 포함하여 구성하게 된다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래의 액정 표시 장치는 다음과 같은 문제점이 있다.

고해상도 패널의 경우 화소를 이루는 게이트 라인 및 데이터 라인의 수가 많고, 또한, 각 게이트 라인 및 데이터 라인 수에 대응되도록 복수개의 게이트 드라이버 IC 및 소오스 드라이버 IC가 실장되어야 한다.

예를 들어, XGA(1024 x 768)급의 경우, 데이터 라인 3072(R, G, B의 3개의 부화소가 1화소를 구성하므로, 1024 x 3)개와 게이트 라인 768개에 대응하기 위해서 384개의 핀을 갖는 소오스 드라이버 IC 8개와 256개의 핀을 갖는 게이트 드라이버 IC 3개가 필요하였다.

여기서, 상기 소오스 드라이버 IC는 게이트 드라이버 IC보다 고가이며, 소오스 드라이버 IC는 약 100mW 정도의 소비 전력이 사용되고, 게이트 드라이버 IC는 약 20mW의 소비 전력이 사용되므로, 게이트 드라이버 IC보다 상대적으로 수가 많은 소오스 드라이버 IC에 의해 제조 비용 및 전력 소비가 결정된다.

또한, 동일 사이즈의 패널 내에 고해상도를 구현하게 되면 개개의 화소가 갖는 폭이 미세화되며, 초미세화가 진행될수록 화소 구조에 대응하는 드라이브 IC를 실장하기 위한 COF(Chip On Film) 또는 TCP(Tape Carrier Package)의 개발 또한 곤란하다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 하나의 데이터 라인으로 좌우 화소 영역에 데이터를 시분할하여 공급함으로써, 고가의 소오스 드라이버 IC의 수를 줄일 수 있는 액정 표시 장치를 제공하는 데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는 서로 인접한 제 1, 제 2 라인을 한 쌍으로 하는 복수 쌍의 게이트 라인과, 상기 각 쌍의 게이트 라인과 수직으로 교차하여 좌우 화소 영역을 정의하는 복수개의 데이터 라인과, 상기 좌우 화소 영역들에 형성되며 각각 제 1, 제 2 라인의 게이트 라인상의 스위치 소자들에 의해 선택적으로 구동되는 좌우 화소 전극을 포함하여 이루어짐에 그 특징이 있다.

상기 한 쌍으로 형성되는 제 1, 제 2 라인의 게이트 라인은 동일 선상에 형성되는 좌우 화소 전극들을 구동시킴이 바람직하다.

상기 각 화소 전극들은 자신의 구동 게이트 라인을 제외한 인접한 전단 또는 현단의 게이트 라인과 오버랩되어 스토리지 전극이 형성됨이 바람직하다.

상기 우 화소 전극은 상기 전단의 게이트 라인 쌍인 제 1, 제 2 라인의 게이트 라인에 오버랩되어 형성되며, 상기 좌 화소 전극은 현단의 제 1 라인의 게이트 라인 및 전단의 게이트 라인 쌍 중 제 2 라인의 게이트 라인과 오버랩됨이 바람직하며, 상기 좌 화소 전극 또는 우 화소 전극과 각 게이트 라인의 오버랩 부위에는 스토리지 전극이 형성됨이 바람직하다.

또는 다른 실시예로, 상기 좌 화소 전극은 상기 전단의 게이트 라인 쌍인 제 1, 제 2 라인의 게이트 라인에 오버랩되어 형성되며, 상기 우 화소 전극은 현단의 제 1 라인의 게이트 라인 및 전단의 게이트 라인 쌍 중 제 2 라인의 게이트 라인과 오버랩되어 형성되어, 상기 좌 화소 전극 또는 우 화소 전극과 각 게이트 라인의 오버랩 부위에는 스토리지 전극이 형성될 수 있다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는 서로 인접한 제 1, 제 2 라인을 한 쌍으로 하는 복수 쌍의 게이트 라인과, 상기 각 쌍의 게이트 라인과 수직으로 교차하여 좌우 화소 영역을 정의하는 복수개의 데이터 라인과, 상기 좌우 화소 영역들에 형성되며 각각 제 1 라인 및 제 2 라인의 게이트 라인상의 스위치 소자들에 의해 선택적으로 구동되는 좌우 화소 전극을 포함하여 이루어지는 액정 표시 장치에 있어서, 상기 게이트 라인 쌍에 대응되는 주사 신호 출력단을 갖는 게이트 드라이버 IC와, 상기 게이트 드라이버 IC로부터 출력된 주사 신호를 시분할하여 각각 제 1 라인의 게이트 라인 또는 제 2 라인의 게이트 라인으로 선택적으로 인가하는 선택부를 더 포함하여 이루어짐에 그 특징이 있다.

상기 게이트 드라이버 IC로부터 출력되는 주사 신호는 제 1, 제 2 라인의 게이트 라인으로 이분되어 인가됨이 바람직하다.

상기 선택부는 상기 제 1 클럭 신호에 의해 턴온되어 각 게이트 라인 쌍 중 제 1 라인의 게이트 라인으로 상기 주사 신호를 인가하는 제 1 선택 스위치와, 상기 제 2 클럭 신호와 180°의 위상차를 갖는 제 2 클럭 신호에 의해 턴온되어 각 게이트 라인 쌍 중 제 2 라인의 게이트 라인으로 상기 주사 신호를 인가하는 제 2 선택 스위치를 포함하여 이루어짐이 바람직하다.

또한, 상기 선택부는 상기 제 1 클럭 신호와 상기 주사 신호를 인가받아 이를 논리곱하여 제 1 라인의 게이트 라인으로 주사 신호를 출력하는 제 1 앤드 게이트와, 상기 제 1 클럭 신호와 180°위상차를 갖는 제 2 클럭 신호와 상기 주사 신호를 인가받아 이를 논리곱하여 제 2 라인의 게이트 라인으로 주사 신호를 출력하는 제 2 앤드 게이트를 포함하여 이루어짐이 바람직하다.

이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치를 상세히 설명하면 다음과 같다.

도 4는 본 발명의 액정 표시 장치를 나타낸 평면도이다.

도 4와 같이, 본 발명의 액정 표시 장치는 하나의 데이터 라인으로 좌우 화소에 데이터를 시분할하여 공급하는 구조를 취한다.

즉, 본 발명의 액정 표시 장치는 각각 인접한 제 1, 제 2 라인의 게이트 라인(21, 22)들로 한 쌍을 이룬 복수 쌍의 게이트 라인들과, 각 게이트 라인(21, 22) 쌍과 수직으로 교차하여 좌우 화소 영역을 정의하는 복수개의 데이터 라인(23)과, 상기 우 화소 영역들에 형성되며 각각 제 1 라인의 게이트 라인(21)들에 의해 구동되는 우 화소 전극(24a)과, 상기 좌 화소 영역들에 형성되며 각각 제 2 라인의 게이트 라인(22)들에 의해 구동되는 복수개의 좌 화소 전극(24b)으로 형성된다.

여기서, 상기 제 1, 제 2 라인의 게이트 라인(21, 22)은 수직으로 교차되는 데이터 라인과의 사이에 각각 동일선상의 우 화소 영역 및 좌 화소 영역들을 구동시키는 제 1 박막 트랜지스터(TFT1), 제 2 박막 트랜지스터(TFT2)를 구비하고 있다.

그리고, 현단의 제 1 라인의 게이트 라인(21b) 상에 형성된 제 1 박막 트랜지스터(TFT1)에 의해 구동되는 상기 우 화소 전극(24a)은 전단의 게이트 라인 쌍인 제 1, 제 2 라인의 게이트 라인(21a, 22a)과 오버랩되어 제 1, 제 2 스토리지 캐패시터(201, 202)가 형성되고 있다.

또한, 현단의 제 2 라인의 게이트 라인(22b) 상에 형성된 제 2 박막 트랜지스터(TFT2)에 의해 구동되는 상기 좌 화소 전극(24b)에는 전단의 게이트 라인 쌍 중 제 2 라인의 게이트 라인(22a)과 현단의 게이트 라인 쌍 중 제 1 라인의 게이트 라인(21b)과 오버랩되어 각각 제 3, 제 4 스토리지 캐패시터(203, 204)가 형성되고 있다.

이 경우 각 스토리지 캐패시터(201, 202, 203, 204)의 한 쪽 전극이 되는 게이트 라인들(21a, 22a/22a, 21b)은 각 화소 영역의 구동 게이트 라인(21b, 22b)이 아닌 확인접 게이트 라인이다.

도 5는 도 4의 본 발명의 액정 표시 장치의 등가 회로도이다.

도 5와 같이, 본 발명의 액정 표시 장치를 회로도로 구성하게 되면, 게이트 라인이 동일 해상도 대비 2배수 형성되게 되며, 반면 데이터 라인은 1/2배수로 감소되어 형성되는 것을 간단히 살펴볼 수 있다.

상기 데이터 라인(23)에 대해 우측에 형성되는 우 화소 영역에는 각각 제 1 박막 트랜지스터(TFT1)의 드레인 전극(23b)과 전기적 연결을 갖는 우 화소 전극(24a)이 전 게이트 라인 쌍인 제 1, 제 2 라인의 게이트 라인(21a, 22a)과 모두 오버랩되어 제 1, 제 2 스토리지 캐패시터(201, 202)가 병렬로 형성되며, 상기 데이터 라인(23)에 대해 좌측에 형성되는 좌 화소 영역에는 제 2 박막 트랜지스터(TFT2)의 드레인 전극(23b)과 연결되는 좌 화소 전극(24b)은 전 게이트 라인 쌍의 제 2 라인의 게이트 라인(22a)과 현 게이트 라인 쌍의 제 1 라인의 게이트 라인(21b)과 오버랩되어 제 3, 제 4 스토리지 캐패시터(203, 204)가 병렬로 형성되어, 종래 전단 게이트 방식으로 스토리지 캐패시터를 형성하였을 때보다 스토리지 캐패시터스를 큰 값으로 확보할 수 있다. 또한, 각 게이트 라인 선평을 줄이는 데도 종래 스토리지 캐패시터 형성 방법에 비해 마진이 있게 된다.

그리고, 본 발명의 액정 표시 장치는 복수개의 게이트 라인 쌍(21, 22)과 복수개의 데이터 라인(23)이 교차되는 각각의 부위에 2개의 화소가 형성되며, 상기 각 화소에는 교차되어지는 각 게이트 라인에 인가되는 주사 신호에 의해 구동되는 제 1, 제 2 박막 트랜지스터(TFT1, TFT2)가 형성되며, 상기 제 1, 제 2 박막 트랜지스터(TFT1, TFT2)의 드레인 전극과 공통 전압인가 라인과의 사이에는 액정 캐패시터(C_{LC})가 형성되어 있다.

이러한 본 발명의 액정 표시 장치를 XGA급(1024x768)으로 형성할 경우, 한 개의 데이터 라인의 좌우 화소 영역이 한 개의 게이트 라인 쌍에 의해 구동되므로, 상기 데이터 라인은 $1024 \times 3/2 = 1536$ 라인이 요구되어 동일 해상도 대비 반감되고, 상기 게이트 라인은 $768 \times 2 = 1536$ 라인이 요구되어 동일 해상도 대비 2배로 요구된다.

또한, 한 프레임을 구동시키는 데, 한 쌍의 게이트 라인과 하나의 데이터 라인이 교차된 영역에 각각 2개의 부화소(R, G, B 각각의 부화소가 하나의 주화소를 이룸)가 형성되므로, $1536 \times 768 \times 2$ 개의 부화소(sub-pixel)에 대한 스위칭 동작이 이루어진다.

이 때, 각 데이터 라인은 인접한 게이트 라인 쌍에 순차적으로 인가된 신호에 순차적으로 응답하여, 우측 부화소, 좌측 부화소의 순서로 데이터 전압의 충전이 이루어져 화상을 표시하게 된다.

한편, 도시되지는 않았으나, 다른 실시예로 도 4와 도 5에 도시된 액정 표시 장치의 화소 구조에서, 데이터 라인을 기준으로 하여 우측과 좌측의 화소 구조를 바꾸어, 각 데이터 라인에 대해 좌측 부화소, 우측 부화소의 순서로 데이터 전압을 충전시켜 화상을 표시하도록 액정 표시 장치를 형성할 수 있다.

즉, 다른 실시예의 액정 표시 장치는 각각 인접한 제 1, 제 2 라인의 게이트 라인(21, 22)들로 한 쌍을 이룬 복수 쌍의 게이트 라인들과, 각 게이트 라인 쌍(21, 22)과 수직으로 교차하여 좌우 화소 영역을 정의하는 복수개의 데이터 라인(23)과, 상기 좌 화소 영역들에 형성되며 각각 제 1 라인의 게이트 라인(21)들에 의해 구동되는 좌 화소 전극(미도시)과, 상기 우 화소 영역들에 형성되며 각각 제 2 라인의 게이트 라인(22)들에 의해 구동되는 복수개의 우 화소 전극(미도시)으로 형성된다.

이 때, 상기 좌 화소 전극은 전단의 제 1, 제 2 라인의 게이트 라인과 오버랩되어 제 1, 제 2 스토리지 캐패시터를 형성하며, 우 화소 전극은 전단의 제 2 라인의 게이트 라인과 현단의 제 1 게이트 라인과 오버랩되어 제 3, 제 4 스토리지 캐패시터를 형성하게 된다.

상기에서 기술한 바와 같이, 한 쌍의 게이트 라인에 단일 데이터 라인이 대응되는 본 발명의 액정 표시 장치의 구동을 도면을 참조하여 살펴보면 다음과 같다.

도 6은 본 발명의 액정 표시 장치의 제 1 실시예에 따른 게이트 라인을 구동하는 게이트 드라이버를 나타낸 블록도이며, 도 7은 도 6의 게이트 드라이버에 인가되는 게이트 펄스 클럭 신호와 게이트 드라이버로부터 출력되어 각 게이트 라인에 인가되는 신호를 나타낸 타이밍도이다.

도 6 및 도 7과 같이, 본 발명의 액정 표시 장치의 제 1 실시예에 따른 게이트 드라이버(50)는 게이트 펄스 클럭 신호(HC)로 구동되는 게이트 드라이버 IC(51)를 단일 또는 복수개 구비하며, 상기 게이트 드라이버 IC(51)로부터 출력되는 주사 신호(G1, G2, ...)의 선택 구간이 동일 해상도 대비 1/2의 주기의 펄스 폭을 갖는 주사 신호(G1, G2, ...)를 출력한다.

예를 들어, 화면을 60Hz(즉, 한 프레임의 주기가 약 16.7msec일 경우)로 보내고, XGA급(1024x768)의 해상도를 갖도록 본 발명의 액정 표시 장치를 형성할 경우, 표시부의 액정 패널 상에 $1536(512 \times 3)$: R, G, B 각 화소별)개의 데이터 라인과 1536개의 게이트 라인이 형성된다.

즉, 각 게이트 라인에 인가되는 주사 신호(G1, G2, ...)의 선택 구간(Ts)은 $10.85\mu s (=16.7\text{msec}/1536)$ 이다. 따라서, 종래 동일 해상도에서 768개의 게이트 라인에 신호를 인가하기 위해 $21.7\mu s$ 의 펄스 폭을 갖는 게이트 펄스 클럭 신호(HC)가 인가되지만, 본 발명의 각각의 게이트 라인에 인가되는 주사 신호의 선택 구간은 $10.85\mu s$ 가 된다.

또한, 제 1 실시예의 게이트 드라이버(50)는 2배로 늘어난 게이트 라인 수에 대응하여 2배수의 출력수가 요구되므로, 상기 게이트 드라이버 IC(51)의 개수를 동일 해상도 대비 2배로 늘려 구성한다. 즉, 게이트 드라이버 IC(51)가 256개의 출력핀을 갖는 경우 $1536/256=6$ 개의 게이트 드라이버 IC(51)가 요구된다.

도 8은 본 발명의 액정 표시 장치의 제 2 실시예에 따른 게이트 라인을 구동하는 게이트 드라이버를 나타낸 블록도이며, 도 9는 본 발명의 제 2, 제 3 실시예에 따른 게이트 드라이버에 인가되는 게이트 펄스 클럭 신호 및 출력 신호를 나타내는 타이밍도이다.

도 8과 같이, 본 발명의 액정 표시 장치의 제 2 실시예에 따른 게이트 드라이버는 각 게이트 라인 쌍별로 주사 신호(GD1, GD2, ...)를 출력하는 게이트 드라이버 IC(70)와, 시스템으로부터 인가되는 제 1, 제 2 클럭 신호(HC1, HC2)에 턴온되어 선택적으로 상기 주사 신호(GD1, GD2, ...)의 시분할된 신호(G1, G2, G3, G4, ...)를 각 쌍의 제 1, 제 2 라인의 게이트 라인으로 인가하는 스위치 소자들(T1, T2)로 이루어진다.

이와 같이, 제 2 실시예에 따른 게이트 드라이버는 게이트 드라이버 IC(70)의 각 출력단으로부터 2개 스위치 소자를 구비하여, 상기 게이트 드라이버 IC(70)로부터 출력되는 주사 신호(GD1, GD2, ...)를 시분할하여 이분된 게이트 신호(G1, G2, G3, G4, ...)로 각 게이트 라인에 인가하므로, 제 1 실시예와 달리 동일 해상도에서 종래 대비 동일한 게이트 드라이버 IC(70)로서도 2배수에 게이트 라인에 게이트 신호(G1, G2, G3, G4, ...) 인가가 가능한 것이다.

즉, 화면을 60Hz(즉, 한 프레임의 주기가 약 16.7msec 일 경우)로 보내고, XGA급(1024×768)의 해상도를 갖도록 본 발명의 액정 표시 장치를 형성할 경우, 제 2 실시예의 게이트 드라이버는, 256개의 출력핀을 갖는 게이트 드라이버 IC(70)를 3개 구비하고, 각 게이트 드라이버 IC(70)에서 출력되는 각 주사 신호(GD1, GD2, ...)는 $21.7\mu s$ 의 선택 구간을 갖는다. 따라서, 상기 게이트 드라이버 IC(70)를 종래와 동일 수준으로 구비하여도 동일한 해상도 구현이 가능함을 보여준다.

또한, 제 2 실시예의 게이트 드라이버는 상기 게이트 드라이버 IC(70)의 각 출력단이 2개의 라인으로 병렬로 나뉘어져, 각각 $21.7\mu s$ 의 펄스 폭을 갖는 게이트 쉬프트 클럭의 1/2 주기를 가지며 서로 180° 의 위상차를 갖는 제 1, 제 2 클럭 신호(HC1, HC2)를 인가받아 동작하는 제 1, 제 2 스위치 소자(T1, T2)를 구비하여 각각의 게이트 라인에 게이트 신호(G1, G2, G3, G4, ...)를 인가한다. 즉, 상기 제 1 라인의 게이트 라인에는 상기 주사 신호(GD1, GD2, GD3, ...)의 전이분된(Pre-half) 게이트 신호(G1, G3, G5, ...)가, 상기 제 2 라인의 게이트 라인(G2에는 상기 주사 신호(GD1, GD2, GD3, ...)의 후이분된(Post-half) 게이트 신호(G2, G4, G6, ...)가 인가된다.

상기 게이트 드라이버 IC(70)에서 각각의 주사 신호(GD1, GD2, ...)를 출력하기 위해 인가되는 게이트 쉬프트 클럭(HC)의 펄스 폭은 $21.7\mu s$ 로, 상기 게이트 쉬프트 클럭(HC)의 1/2 주기를 갖는 제 1, 제 2 클럭 신호(HC1, HC2)는 $10.85\mu s$ 의 펄스 폭을 갖게 되며, 상기 제 1, 제 2 클럭 신호(HC1, HC2)의 하이 레벨 구간 동안 각 게이트 라인(G1, G2, G3, ...)들은 선택 구간을 갖게 된다.

이하, 본 발명의 제 2 실시예의 게이트 드라이버를 이용한 게이트 라인 구동 방법을 설명하면 다음과 같다.

즉, 제 1 주사 신호(GD1)가 상기 게이트 드라이버 IC(70)로부터 출력되면, 제 1 클럭 신호(HC1)의 하이 레벨 구간에 상기 제 1 게이트 라인으로 제 1 게이트 신호(G1)가 인가된다. 이어, 제 2 클럭 신호(HC2)가 하이 상태인 구간에 제 2 게이트 라인으로 제 2 게이트 신호(G2)가 인가된다.

결국, 2배수의 게이트 라인이 형성되어 있더라도 각 게이트 라인에 공급되는 신호의 선택 구간은 $10.85\mu s$ 로 상기 주사 신호(GD1, GD2, ...)의 선택 구간의 반분된 값으로, 한 프레임당 제 1 게이트 라인으로부터 마지막 게이트 라인까지 스캔하는데 걸리는 시간은 동일할 것이다.

이 때, 파형을 살펴보면 도 9에 도시된 바와 같다.

도 10은 본 발명의 액정 표시 장치의 제 3 실시예에 따른 게이트 라인을 구동하는 게이트 드라이버를 개략적으로 도시한 회로도이다.

도 10과 같이, 본 발명의 액정 표시 장치의 제 3 실시예에 따른 게이트 드라이버는 각 게이트 라인 쌍별로 주사 신호(GD1, GD2, ...)를 출력하는 게이트 드라이버 IC(70)와, 상기 제 2 실시예에서 기술한 제 1, 제 2 클럭 신호(HC1, HC2) 및 상기 주사 신호(GD1, GD2, ...)를 선택적으로 인가받아 논리곱하여 선택적으로 상기 주사 신호(GD1, GD2, ...)을 시분할한 게이트 신호(G2, G2, G3, G4, ...)를 각 쌍의 제 1, 제 2 라인의 게이트 라인으로 인가하는 앤드 게이트(AND1, AND2)로 이루어진다.

이와 같이, 제 3 실시예에 따른 게이트 드라이버는 게이트 드라이버 IC(70)의 각 출력단으로부터 2개의 앤드 게이트(AND1, AND2)를 구비하고, 상기 게이트 드라이버 IC(70)로부터 출력되는 주사 신호(GD1, GD2, ...)를 시분할하여 제 1, 제 2 라인의 게이트 라인에 이분시켜 출력하므로, 제 1 실시예와 달리 동일 해상도에서 종래 대비 동일한 게이트 드라이버 IC(70)로서도 2배수에 게이트 라인에 신호인가가 가능한 것이다.

즉, 제 3 실시예의 게이트 드라이버도 제 2 실시예와 마찬가지로, 화면을 60Hz(즉, 한 프레임의 주기가 약 16.7msec일 경우)로 보내고, XGA급(1024x768)의 해상도를 갖도록 본 발명의 액정 표시 장치를 형성할 경우, 256개의 출력 핀을 갖는 게이트 드라이버 IC를 3개 구비하고, 각 게이트 드라이버 IC(70)는 21.7 μ s의 펄스 폭을 갖는 주사 신호(GD1, GD2, GD3, ...)를 출력하는 것으로, 종래 대비 동급의 해상도에서 동일 출력을 갖는 게이트 드라이버 IC가 구비된다.

여기서, 상기 게이트 드라이버 IC(70)의 각 출력단이 2개의 라인으로 병렬로 나뉘어져, 각각 제 1 라인에는 21.7 μ s의 펄스 폭을 갖는 게이트 쉬프트 클럭의 1/2 주기를 갖는 제 1 클럭 신호(HC1)와 상기 게이트 드라이버 IC(70)의 출력 신호인 주사 신호(GD1, GD2, ...)를 인가받아 논리곱으로 출력하는 제 1 앤드 게이트(AND1)를 구비하고, 제 2 라인에는 제 1 클럭 신호와 180°의 위상차를 갖는 제 2 클럭 신호(HC2)와 상기 주사 신호(GD1, GD2, ...)를 인가받아 논리곱하여 출력하는 제 2 앤드 게이트(AND2)를 구비하여 각각 한 쌍의 게이트 라인 중 제 1 라인의 게이트 라인, 제 2 라인의 게이트 라인으로 시분할된 주사 신호(G1, G2, G3, G4...)를 공급하고 있다.

결국, 종래에 비해 2배수로 게이트 라인이 형성되어 있더라도 각 게이트 라인에 공급되는 신호의 선택 구간은 비해 반분된 값으로, 한 프레임당 제 1 게이트 라인으로부터 마지막 게이트 라인까지 스캔하는데 걸리는 시간은 동일한 것이다.

도 11은 제 2, 제 3 실시예에 따른 게이트 라인 구동시 제 1, 제 2 클럭신호(HC1, HC2)에 따라 게이트 라인 구동이 선택적으로 이루어짐을 나타내는 진리표이며, 도 12는 제 2, 제 3 실시예에 따른 게이트 드라이버의 출력이 한 쌍의 게이트 라인의 인가시 시분할됨을 나타내는 개략적 타이밍도이다.

도 11과 같이, 제 2, 제 3 실시예에 따른 게이트 드라이버는, 게이트 드라이버 IC(70)로부터 출력되는 주사 신호(GD1, GD2, ..., GDn)를 시분할한 게이트 신호(G1, G3, ..., G2n-1)를 제 1 클럭 신호(HC1)의 하이 레벨시 제 1 라인의 게이트 라인 신호로 인가하고, 게이트 신호(G2, G4, ..., G2n)를 제 2 클럭 신호의 하이 레벨시 제 2 라인의 게이트 라인 신호로 인가한다.

이 때, 상기 각 게이트 라인에 인가되는 파형은 도 12와 같다.

이하, 이상에서 기술한 액정 표시 장치 및 게이트 드라이버에 대응되는 소오스 드라이버에 대해 간략하게 설명한다.

본 발명의 액정 표시 장치는 데이터 라인 수가 종래에 비해 반으로 감소되었기 때문에, 고가이며 고 소비 전력을 요구하는 소오스 드라이버 IC 역시 종래 대비 반으로 줄어 형성하게 된다. 그런데, 소오스 드라이버 IC의 수는 반감되나, 각 데이터 라인과 게이트 라인 쌍이 교차되어 2개의 화소 영역이 형성되므로, 동일선상의 수평 라인으로 형성되는 화소 개수는 종래 대비 달라지지 않는다. 이와 같은 본 발명의 액정 표시 장치의 소오스 드라이버는 데이터 라인 수의 반감에 따라 데이터 패드부의 피치 마진을 2배로 키울 수 있으므로 동일 사이즈의 액정 패널의 경우 고해상도를 대응하는 설계가 용이해진다.

일반적으로 동일 사이즈를 유지하며 고해상도가 진행될 때는, 데이터 라인 수가 늘어남에 따라 데이터 패드부의 피치가 감소되며, 상기 데이터 패드부와 대응되어 본딩되는 TCP 또는 COF 또한 피치가 감소되어야 한다. 따라서, 상기 TCP 등을 액정 패널에 부착하기 위한 모듈 공정의 장비의 정밀도가 높아져 용이성이 떨어진다.

그런데, 본 발명과 같은 화소 구조를 적용시는 종래 대비 동일 화소 수에 대해 액정 패널의 데이터 패드부와 TCP의 피치 마진이 2배가 되므로, 액정 패널의 고해상도가 진행됨에 따라 늘어나는 데이터 라인에 대응하여 데이터 패드부 및 TCP 등의 피치가 줄어들 여유가 크다.

또한, 게이트 라인 수가 2배수가 되더라도 상대적으로 데이터 라인은 반감되며, 한 쌍의 게이트 라인과 화소 전극이 오버랩되는 부위에 스토리지 캐패시터를 형성할 수 있으므로, 상기 게이트 라인의 선폴을 종래의 전단 게이트 방식에 비해 줄일 수 있으므로 개구율의 손실이 발생하지 않는다.

본 발명은 상기 실시예에 한정되는 것이 아니라, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 당업자가 본 발명의 기술 사상의 범위 내에서 변경 실시할 수 있는 범위 내에 있다.

발명의 효과

상기와 같은 본 발명의 액정 표시 장치는 다음과 같은 효과가 있다.

첫째, 데이터 라인의 수가 종래 구조에 비해 반감되어, 데이터 패드의 피치가 2배가 되므로 동일 사이즈의 패널에서 고해상도화에 따른 대응이 훨씬 용이해진다.

둘째, 비정질 실리콘으로 반도체층을 형성한 박막 트랜지스터를 구성함에 있어서, 액정 패널 외부에 드라이버 IC를 형성하여야 하고, 드라이버 IC 구동을 위한 별도의 트랜지스터 형성시 요구되는 게이트 드라이버 IC의 수는 2배수가 되지만, 이보다 고가이며 고 소비전력이 요구되는 소오스 드라이버 IC의 수가 반감되므로, 이로 인한 비용 감소와 및 소비 전력 감소의 효과가 훨씬 크다.

한편, 고속의 응답이 가능한 폴리 실리콘으로 반도체층을 형성한 박막 트랜지스터를 구성시에는 드라이버 IC가 용이하게 패널 내에 형성될 수 있으므로, 게이트 라인 2배수에 따른 게이트 드라이버 IC 측면에서의 비용의 추가가 발생되지 않는다.

셋째, 전단 게이트 방식이나 스토리지 라인 형성 방식 모두 한 라인 전극과 화소 전극이 오버랩되어 스토리지 캐패시터를 형성하는 것이었는데 비하여, 본 발명의 스토리지 캐패시터는 두 라인의 게이트 라인과 화소 전극이 오버랩되어 형성되므로, 동일한 스토리지 캐패시턴스를 유지하면서도 종래에 비해 게이트 라인 선평을 줄일 수 있다.

따라서, 반감된 데이터 라인과 선평이 줄여진 게이트 라인으로 인해 개구율의 향상을 기대할 수 있다.

(57) 청구의 범위

청구항 1.

서로 인접한 제 1, 제 2 라인을 한 쌍으로 하는 복수 쌍의 게이트 라인;

상기 각 쌍의 게이트 라인과 수직으로 교차하여 좌우 화소 영역을 정의하는 복수개의 데이터 라인;

상기 좌 화소 영역 및 우 화소 영역들에 각각 형성되며 각각 제 1, 제 2 라인의 게이트 라인상의 스위치 소자들에 의해 선택적으로 구동되는 좌 화소 전극 및 우 화소 전극을 포함하여 이루어짐을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1항에 있어서,

상기 한 쌍으로 형성되는 제 1, 제 2 라인의 게이트 라인은 각각 동일 선상에 형성되는 좌 화소 전극 및 우 화소 전극들을 구동시킴을 특징으로 하는 액정 표시 장치.

청구항 3.

제 1항에 있어서,

상기 각 화소 전극들은 자신의 구동 게이트 라인을 제외한 인접한 전단 또는 현단의 게이트 라인과 오버랩되어 스토리지 전극이 형성됨을 특징으로 하는 액정 표시 장치.

청구항 4.

제 3항에 있어서,

상기 우 화소 전극은 상기 전단의 게이트 라인 쌍인 제 1, 제 2 라인의 게이트 라인에 오버랩되어 형성되며,

상기 좌 화소 전극은 현단의 제 1 라인의 게이트 라인 및 전단의 게이트 라인 쌍 중 제 2 라인의 게이트 라인과 오버랩됨을 특징으로 하는 액정 표시 장치.

청구항 5.

제 4항에 있어서,

상기 좌 화소 전극 또는 우 화소 전극과 각 게이트 라인의 오버랩 부위에는 스토리지 전극이 형성됨을 특징으로 하는 액정 표시 장치.

청구항 6.

제 3항에 있어서,

상기 좌 화소 전극은 상기 전단의 게이트 라인 쌍인 제 1, 제 2 라인의 게이트 라인에 오버랩되어 형성되며,

상기 우 화소 전극은 현단의 제 1 라인의 게이트 라인 및 전단의 게이트 라인 쌍 중 제 2 라인의 게이트 라인과 오버랩됨을 특징으로 하는 액정 표시 장치.

청구항 7.

제 6항에 있어서,

상기 좌 화소 전극 또는 우 화소 전극과 각 게이트 라인의 오버랩 부위에는 스토리지 전극이 형성됨을 특징으로 하는 액정 표시 장치.

청구항 8.

서로 인접한 제 1, 제 2 라인을 한 쌍으로 하는 복수 쌍의 게이트 라인과, 상기 각 쌍의 게이트 라인과 수직으로 교차하여 좌우 화소 영역을 정의하는 복수개의 데이터 라인과, 상기 좌우 화소 영역들에 형성되며 각각 제 1 라인 및 제 2 라인의 게이트 라인상의 스위치 소자들에 의해 선택적으로 구동되는 좌우 화소 전극을 포함하여 이루어지는 액정 표시 장치에 있어서,

상기 복수 쌍의 게이트 라인에 대응되는 주사 신호 출력단을 갖는 게이트 드라이버 IC와, 상기 게이트 드라이버 IC로부터 출력된 주사 신호를 시분할하여 각각 제 1 라인의 게이트 라인 또는 제 2 라인의 게이트 라인으로 선택적으로 인가하는 선택부를 더 포함하여 이루어짐을 특징으로 하는 액정 표시 장치.

청구항 9.

제 8항에 있어서,

상기 게이트 드라이버 IC로부터 출력되는 주사 신호는 제 1, 제 2 라인의 게이트 라인으로 이분되어 인가됨을 특징으로 하는 액정 표시 장치.

청구항 10.

제 8항에 있어서,

상기 선택부는

상기 제 1 클럭 신호에 의해 턴온되어 각 쌍의 게이트 라인들 중 제 1 라인의 게이트 라인으로 상기 주사 신호를 인가하는 제 1 선택 스위치와,

상기 제 2 클럭 신호와 180°의 위상차를 갖는 제 2 클럭 신호에 의해 턴온되어 각 쌍의 게이트 라인들 중 제 2 라인의 게이트 라인으로 상기 주사 신호를 인가하는 제 2 선택 스위치를 포함하여 이루어짐을 특징으로 하는 액정 표시 장치.

청구항 11.

제 8항에 있어서,

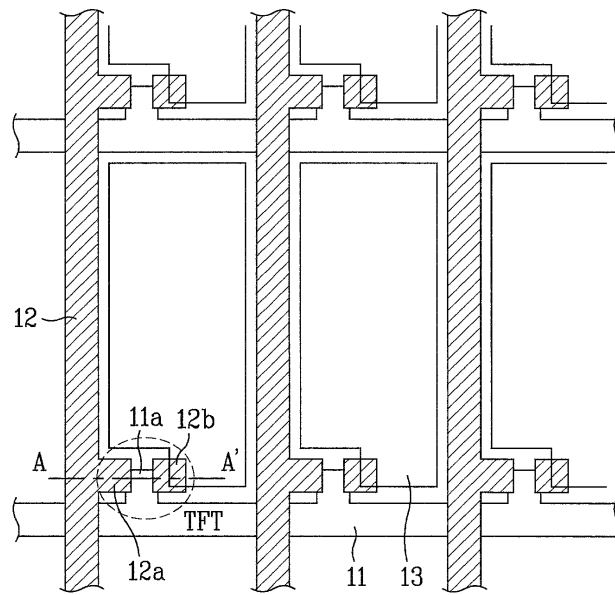
상기 선택부는

상기 제 1 클럭 신호와 상기 주사 신호를 인가받아 이를 논리곱하여 제 1 라인의 게이트 라인으로 주사 신호를 출력하는 제 1 앤드 게이트와,

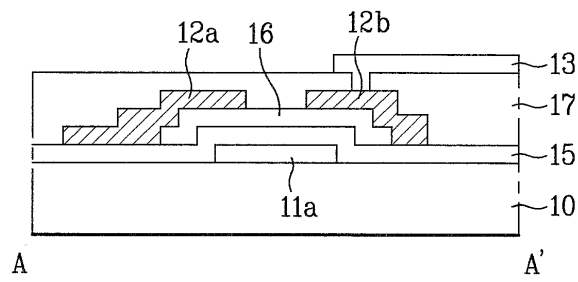
상기 제 1 클럭 신호와 180°위상차를 갖는 제 2 클럭 신호와 상기 주사 신호를 인가받아 이를 논리곱하여 제 2 라인의 게이트 라인으로 주사 신호를 출력하는 제 2 앤드 게이트를 포함하여 이루어짐을 특징으로 하는 액정 표시 장치의 게이트 드라이버.

도면

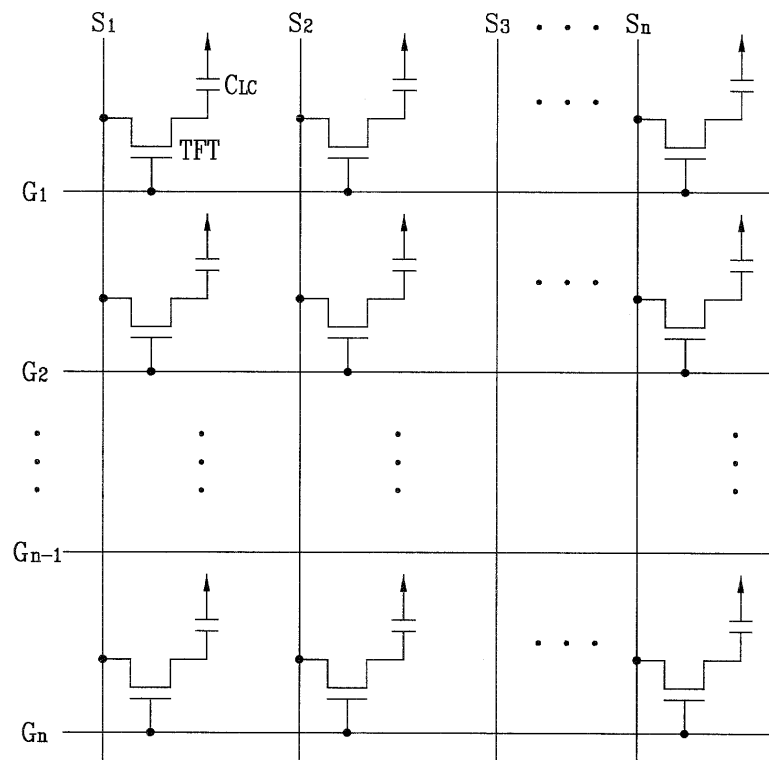
도면1



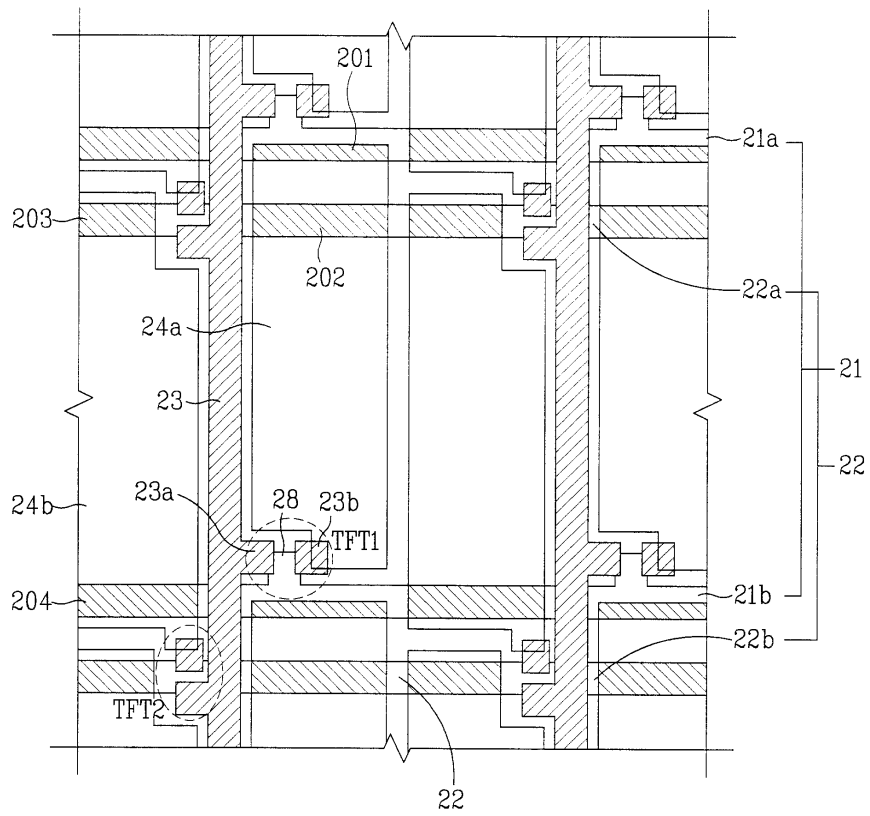
도면2



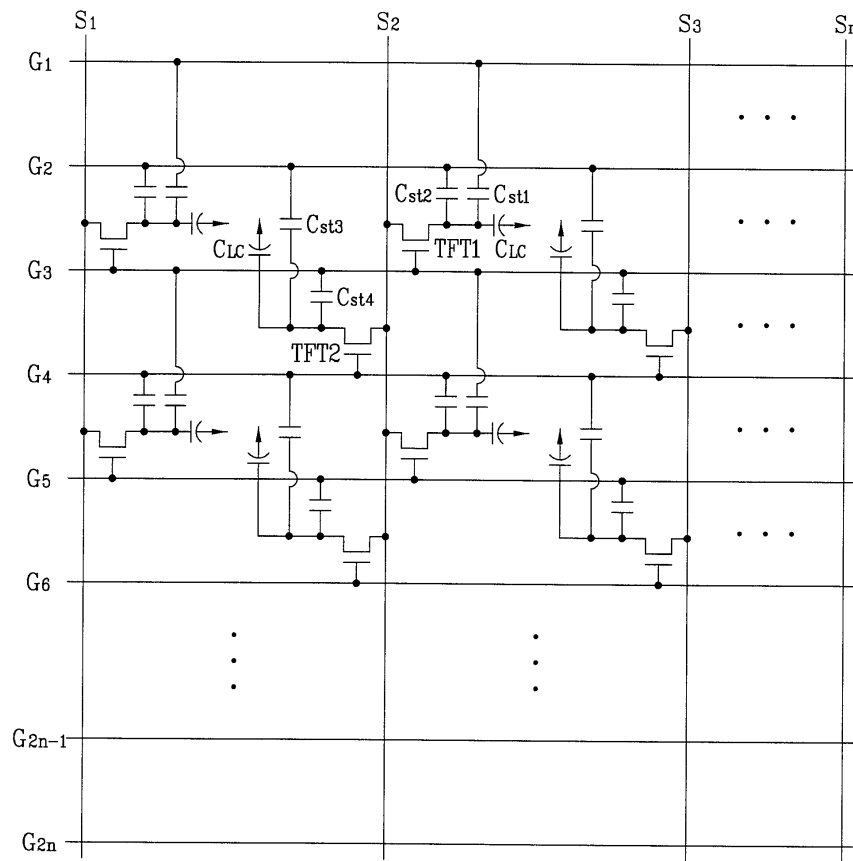
도면3



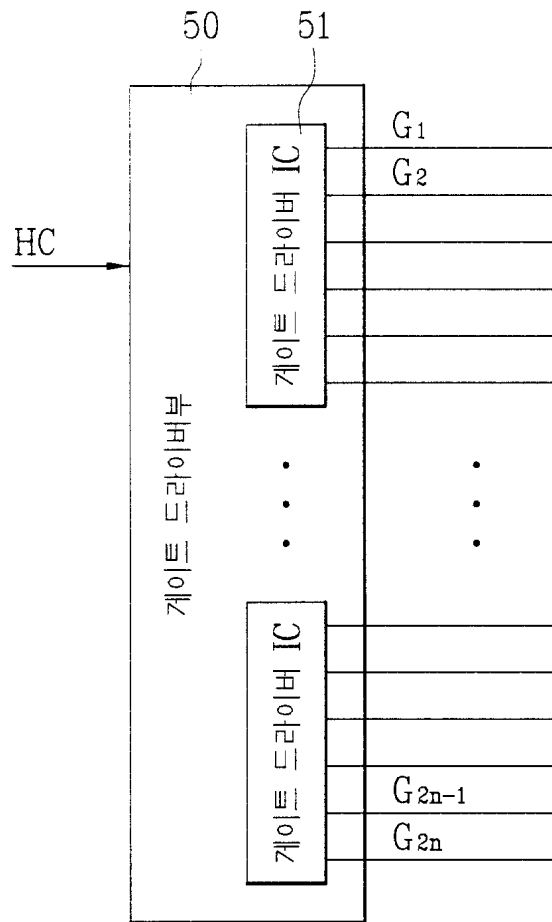
도면4



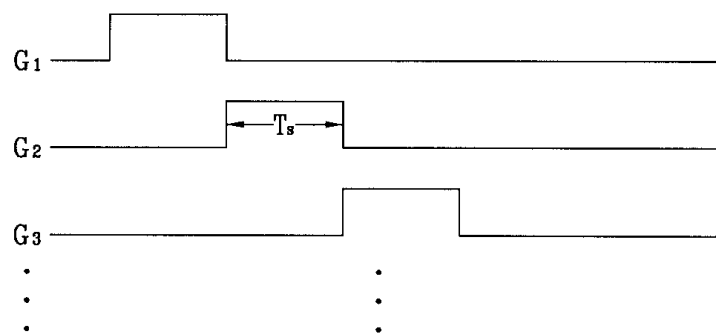
도면5



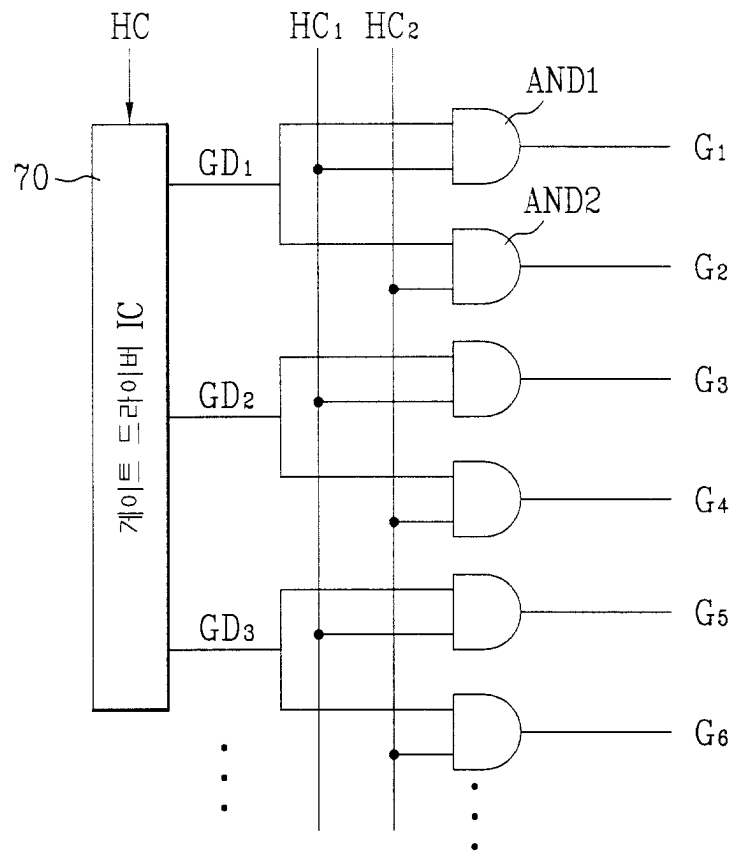
도면6



도면7



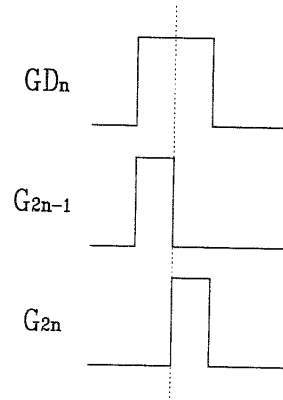
도면10



도면11

Select 1	Select 2	구동 게이트 라인
H	L	제 1라인의 게이트 라인
L	H	제 2라인의 게이트 라인

도면12



专利名称(译)	液晶显示器		
公开(公告)号	KR100499572B1	公开(公告)日	2005-07-07
申请号	KR1020020087763	申请日	2002-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK KYUNGKWON 박경권 KIM WOOHYUN 김우현		
发明人	박경권 김우현		
IPC分类号	G09G3/36 G02F1/1362 G02F1/133		
CPC分类号	G02F1/136213 G02F1/136286		
代理人(译)	金勇 新昌		
其他公开文献	KR1020040061496A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，该液晶显示装置能够通过时分将数据提供给一个像素的左右像素区域来减少昂贵的源极驱动器IC的数量，该对栅极线中的多条栅极线，与该对栅极线垂直交叉并限定左右像素区域的多条数据线，并且左右像素电极由像素电极选择性地驱动。4 指数方面 源极驱动器，栅极驱动器，细间距，存储电容器

