(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G02F 1/1333

(45) 공고일자 2004년06월12일
(11) 등록번호 10-0436181
(24) 등록일자 2004년06월04일

(21) 출원번호 10-2002-0020724
(22) 출원일자 2002년04월16일

(65) 공개번호 10-2003-0082144
(43) 공개일자 2003년10월22일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 임병호
경상북도구미시봉곡동현대아파트101-902

(74) 대리인 정원기

심사관 : 김정훈

(54) 액정표시장치용 어레이기판 제조방법

요약

본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판의 제조방법에 관한 것이다.
본 발명은 슬릿 마스크를 이용한 회절노광 공정으로 스위칭 소자를 형성하고, 최종 공정인 보호막 형성공정에서 마스크 공정이 아닌 프린팅 방식으로 필요한 영역에만 보호막을 형성한다.
연속하여, 상기 보호막 사이로 노출된 절연막을 식각하여 게이트패드 전극 단자와 데이터패드 전극 단자를 노출한다.
이와 같이 하면, 3 마스크 공정으로 액정표시장치용 어레이기판을 제작하는 것이 가능하여, 재료비를 절감할 수 있을 뿐 아니라 공정 시간을 단축할 수 있고, 다수의 공정 중 발생할 수 있는 공정오차를 최소화 할 수 있기 때문에 수율을 개선할 수 있다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치를 개략적으로 도시한 평면도이고,
도 2는 종래의 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 확대 평면도이고,
도 3a 내지 도 3g와 도 4a 내지 도 4g와 도 5a 내지 도 5g는 도 2의 Ⅲ-Ⅲ`,Ⅳ-Ⅳ`,Ⅴ-Ⅴ`를 절단하여 종래의 공정 순서에 따라 도시한 공정 단면도이고,
도 6은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 확대 평면도이고,
도 7a 내지 도 7h와 도 8a 내지 도 8h와 도 9a 내지 도 9h는 도 6의 Ⅶ-Ⅶ`,Ⅷ-Ⅷ`,Ⅸ-Ⅸ`를 따라 절단하여, 본 발명의 공정 순서에 따라 도시한 공정 단면도이다.
<도면의 주요부분에 대한 부호의 설명>
100 : 기판 110 : 게이트 패드
112 : 게이트 배선 114 : 게이트 전극

129 : 액티브층의 제 2 패턴 132 : 액티브층
134 : 데이터 배선 135 : 액티브층의 제 1 패턴
136 : 데이터 패드 138 : 금속패턴
140 : 소스 전극 142 : 드레인 전극
146 : 화소 전극 148 : 게이트패드 전극단자
150 : 데이터패드 전극단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치용 어레이기판의 제조방법에 관한 것이다.
도 1은 일반적인 액정표시장치를 개략적으로 도시한 평면도이다
도시한 바와 같이, 일반적인 액정표시장치(11)는 블랙매트릭스(6)와 서브컬러필터(7)를 포함하는 컬러필터(8)와, 상기 컬러필터(8)의 상부에 증착된 투명전극인 공통전극(9)이 형성된 상부기판(5)과, 화소영역(P)과 화소영역 상에 형성된 화소전극(56)과 스위칭소자(T)를 포함한 어레이배선이 형성된 하부기판(22)으로 구성되며, 상기 상부기판(5)과 하부기판(22) 사이에는 액정(15)이 충진되어 있다.
상기 하부기판(22)은 어레이기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트배선(12)과 데이터배선(34)이 형성된다.
상기 화소(P)영역은 상기 게이트배선(12)과 데이터배선(34)이 교차하여 정의되는 영역이다. 상기 화소영역(P)상에 형성되는 화소전극(56)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속을 사용한다.
전술한 바와 같이 구성되는 액정표시장치는 상기 박막트랜지스터(T)와 상기 박막트랜지스터에 연결된 화소전극(56)이 매트릭스 내에 존재함으로써 영상을 표시한다.
상기 게이트배선(12)은 상기 박막트랜지스터(T)의 제 1 전극인 게이트전극을 구동하는 펄스전압을 전달하며, 상기 데이터배선(34)은 상기 박막트랜지스터(T)의 제 2 전극인 소스전극을 구동하는 신호전압을 전달하는 수단이다.
전술한 바와 같은 구성을 가지는 액정패널의 구동은 액정의 전기 광학적 효과에 기인한 것이다.
자세히 설명하면, 상기 액정층(15)은 자발분극(Spontaneous Polarization)특성을 가지는 유전이방성 물질이며, 전압이 인가되면 자발분극에 의해 쌍극자(Bipolar)를 형성함으로써 전계의 인가방향에 따라 분자의 배열방향이 바뀌는 특성을 갖는다.
따라서, 이러한 배열상태에 따라 광학적 특성이 바뀜으로써 전기적인 광변조가 생기게 된다.
이러한 액정의 광변조 현상에 의해, 빛을 차단 또는 통과시키는 방법으로 이 미지를 구현하게 된다.
도 2를 참조하여 전술한 어레이기판의 구성을 좀더 자세히 알아본다.
도 2는 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 확대 평면도이다.
도시한 바와 같이, 게이트배선(12)과 데이터배선(34)이 직교하여 화소영역(P)을 정의하며, 상기 게이트배선(12)과 데이터배선(34)의 직교 점에 스위칭소자인 박막트랜지스터(T)가 위치한다.
상기 게이트 배선(12)의 일 끝단에는 게이트 패드전극(10)이 구성되며, 상기 데이터 배선(34)의 일 끝단에는 데이터 패드전극(36)이 구성된다.
상기 각 패드전극(36)은 아일랜드 형상의 투명전극 패턴인 게이트 패드 전극단자(58)와 데이터 패드 전극단자(60)와 각각 접촉하여 구성된다.
상기 박막트랜지스터(T)는 상기 게이트배선(12)과 연결되어 주사신호를 인가 받는 게이트전극(14)과, 상기 데이터배선(34)과 연결되어 데이터신호를 인가 받는 소스전극(40) 및 이와는 소정간격 이격된 드레인전극(42)으로 구성한다.
또한, 상기 게이트전극(14) 상부에 구성되고 상기 소스전극(40)및 드레인전극(42)과 접촉하는 액티브층(32)을 포함한다.
또한, 상기 화소영역(P)상에는 상기 드레인전극(42)과 접촉하는 투명한 화소전극(56)을 구성하며, 상기 투명한 화소전극(56)의 일부는 상기 게이트배선(12)의 상부로 연장하여 구성한다.
상기 게이트배선(12)의 상부에는 아일랜드 형상의 금속패턴을 형성하며, 상 기 금속 패턴은 상기 게이트 배선의 상부로 연장된 투명 화소전극(56)과 측면 접촉한다.
이와 같은 구성으로, 상기 게이트배선(12)의 일부는 제 1 스토리지 전극의 기능을 한다.
비로소, 상기 화소전극(17)과 측면 접촉하는 금속패턴(28)이 제 2 스토리지 전극의 기능을 하며, 상기 스토리지 제 1 전극과 상기 스토리지 제 2 전극 사이에 위치한 게이트 절연막(미도시)이 유전체의 역할을 하는 스토리지 캐패시터(C)를 구성할 수 있다.
이때, 도시하지는 않았지만, 상기 액티브층(32)과 소스 및 드레인 전극(40,42) 사이에는 오믹콘택층(미도시)이 구성되며, 상기 액티브층과 오믹콘택층을 형성하는 순수 비정질 실리콘층과 불순물 비정질 실리콘층은 패턴되어 상기 데이터 배선(34)과 데이터 패드전극(36)의 하부로 연장된 제 1 패턴(35)이 형성되는 동시에, 상기 금속패턴(28)의 하부

에는 제 2 패턴(29)이 형성된다.
전술한 바와 같은 어레이기판의 구성은 종래의 4마스크 공정으로 제작된 것이며, 도면을 참조하여 종래의 4마스크 공정을 이용한 어레이기판의 제조공정을 설명한다.
도 3a 내지 도 3g와 도 4a 내지 도 4g와 도 5a 내지 도 5g는 도 2의 III-III`,IV-IV`,V-V`를 따라 절단하여 종래의 4마스크 공정 순서에 따라 도시한 공정 단면도이다.(도 3a 내지 도 3g는 스위칭 소자와 화소영역과 보조 용량부를 나타내고, 도 4a 내지 도 4g는 게이트 패드부를 나타내고, 도 5a 내지 도 5g는 데이터 패드부 를 나타낸다.)
먼저, 도 3a와 4a와 5a에 도시한 바와 같이, 투명한 절연 기판(22)상에 제 1 금속층을 형성한 후 제 1 마스크 공정으로, 일 끝단에 게이트 패드(10)를 포함하는 게이트 배선(12)과, 상기 게이트 배선(12)에서 돌출 연장된 게이트 전극(14)을 형성한다.
상기 게이트 전극물질은 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 텅스텐(W), 크롬(Cr)과 같은 다양한 도전성 금속을 사용할 수 있으며 특히, 알루미늄(Al)과 알루미늄 합금을 사용할 경우에는 몰리브덴(Mo)이나 크롬(Cr)등을 사용하여 이중층으로 구성한다.
상기 게이트 배선(12)과 게이트 패드(10)등이 형성된 기판(22)의 전면에 제 1 절연막인 게이트 절연막(16)과, 순수 비정질 실리콘층(18)과, 불순물 비정질 실리콘층(20)과, 제 2 금속층(24)을 적층한다.
이때, 상기 제 1 절연막(16)은 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 유기절연 물질 그룹 중 선택된 하나를 증착하여 형성하며, 상기 제 2 금속층(24)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta) 등의 도전성 금속물질 중 선택된 하나를 증착하여 형성한다.
상기 다수의 층이 적층된 기판(22)에 스위칭 소자 영역(T)과, 이후 공정에서 형성되는 데이터 배선과 데이터 패드를 포함하는 데이터 영역(D)과 게이트 패드 영역(G)과 화소영역(P)과 스토리지 영역(S)을 정의한다.
다음으로, 도 3b와 4b와 5b에 도시한 바와 같이, 상기 다수의 영역이 정의된 제 2 금속층(24)의 상부에는 포토레지스트(photo-resist:이하 'PR'층 이라함)를 도포하여 PR층(26)을 형성한다. 이때, 상기 PR층(26)은 빛을 받은 부분이 노광되어 현상되는 포지티브형(positive type)을 사용하는 것으로 한다.
상기 PR층(26)이 형성된 기판(22)의 상부에 투과영역(A)과 차단영역(B)과 슬릿영역인 반투과 영역(C)으로 구성된 마스크(50)를 위치시킨다.
상기 반투과 영역(C)은 상기 게이트 전극(14)의 상부에 대응하여 위치하도록 한다. 이때, 상기 반투과 영역(C)에 대응하는 PR층(26)은 상기 투과영역(A)에 비해 일부분만 노광되는 특성이 있다.
연속하여, 상기 마스크(50)의 상부로 빛을 조사하는 노광공정(exposure)과, 노광된 부분을 제거하는 현상공정(develop)을 진행한다.
전술한 바와 같은 공정을 진행하게 되면, 도 3c와 4d와 5d에 도시한 바와 같이, 스위칭 영역(T)과 스토리지 영역(S)과 상기 데이터 영역(D)에 패턴된 PR층(26)이 형성된다.
다음으로, 도 3d와 4d와 5d에 도시한 바와 같이, 상기 패턴된 PR층(26) 사이로 노출된 제 2 금속층(도 3c의 24)을 습식식각 방식으로 식각한 후, 하부의 불순물 비정질 실리콘층(도 3c의 20)과 순수 비정질 실리콘층(18)을 건식식각을 통해 제거하는 공정을 진행하여, 상기 스위칭 영역(T)과 데이터 영역(D)에는 소스/드레인전극 패턴(28)과, 소스/드레인 전극패턴(28)에서 연장된 데이터 배선(34)과, 데이터 배선의 일 끝단에 데이터 패드(36)를 형성한다.
동시에, 상기 게이트 배선(12)의 일부 상부에는 아일랜드 형상의 금속패턴(38)을 형성한다.
상기 패턴된 순수 비정질 실리콘층과 불순물 비정질 실리콘층은 상기 소스/드레인 전극패턴(28)의 하부에서 상기 데이터배선(34)과 데이터 패드전극(36)의 하부로 연장된 제 1 패턴(35)과, 상기 금속패턴(26)의 하부에 아일랜드 형상으로 구성된 제 2 패턴(29)으로 형성된다.
이때, 상기 스위칭 영역(T)에 구성된 제 1 패턴 중 하부에 구성된 순수 비정질 실리콘층을 액티브층(32)이라 하고, 액티브층(32)의 상부에 구성된 불순물 비정질 실리콘층을 오믹 콘택층(30)이라 하다.
다음으로, 도 3e와 4e와 5e에 도시한 바와 같이, 상기 스위칭 영역(T)에 채널(CH)을 형성하기 위한 이전 공정으로, 상기 채널의 상부에 형성된 PR층을 제거하기 위한 애싱공정(ashing processing)을 진행한다.
상기 애싱 공정을 진행하게 되면, 상기 게이트 전극(14) 상부영역(E)에 부분 노광되었던 얇은 PR층이 제거되는 동시에, 상기 각 PR패턴(26)의 주변(F)이 깍여 나가 하부의 금속패턴(28,38,36)이 노출된다.
연속하여, 상기 PR패턴(26) 사이로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층을 건식식각을 통해 제거하는 공정을 진행하여 하부의 순수 비정질 실리콘층을 노출하는 공정을 진행한다.
이때, 패턴된 PR층(26)사이로 노출된 금속층이 몰리브덴(Mo)일 경우에는 전술한 바와 같이, 건식식각으로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층 을 한꺼번에 제거하는 것이 가능하나, 상기 금속층이 크롬(Cr)일 경우에는 상기 PR 패턴 사이로 노출된 금속층을 먼저 습식식각을 통해 제거한 후, 연속하여 건식식각으로 그 하부의 불순물 비정질 실리콘층을 제거하는 공정을 진행한다.
이와 같은 공정을 통해, 도 3f와 4f와 5f에 도시한 바와 같이, 상기 스위칭 영역(T)에서는 상기 소스/드레인 전극패턴이 다시 한번 패턴되어, 서로 이격된 소스 전극(40)과 드레인 전극(42)이 구성되며, 서로 이격된 사이로 액티브층(32) 중 액티브 채널영역(CH)이 노출되는 결과를 얻을 수 있다.
이상과 같이 제 2 마스크 공정을 통해, 액티브층(32)과 소스 및 드레인 전극(40,42)과 데이터 배선(34)과 데이터 패드(36)가 형성된다.
연속하여, 상기 소스 및 드레인 전극(40,42)과 데이터 배선(34)등이 형성된 기판(22)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함한 투명한 유기절연물질 그룹 중 선택된 하나를 도포하여 형성하거나, 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막인 보호막(46)을 형성한다.

다음으로, 상기 보호막(46)을 제 3 마스크 공정으로 패턴하여, 상기 드레인 전극(42)의 일부를 노출하는 드레인 콘택홀(48)과, 상기 금속패턴(28)의 측면을 노출하는 스토리지 콘택홀(50)과, 상기 게이트 패드(10)와 데이터 패드(36)의 일부를 노출하는 게이트 패드 콘택홀(52)과 데이터 패드 콘택홀(54)을 형성한다.
연속하여, 도 3g와 4g와 5g에 도시한 바와 같이, 상기 보호막(46)의 상부에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함한 투명 도전성 금속물질 중 선택된 하나를 증착하고 제 4 마스크 공정으로 패턴하여, 상기 드레인 전극(42)과 접촉하면서 상기 화소영역(P)을 지나 상기 금속패턴(28)과 접촉하는 투명 화소전극(56)과, 상기 게이트 패드전극(10)과 접촉하는 게이트 패드 전극단자(58)와 상기 데이터 패드전극(36)과 접촉하는 데이터 패드 전극단자(60)를 형성한다.
전술한 바와 같은 공정으로 종래의 방법에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 4 마스크 공정을 더욱 단순화하여 개선된 공정 수율을 확보하고 재료비를 절감하기 위해 안출된 것으로, 본 발명에 따른 어레이기판 제조방법은 슬릿 마스크를 사용하는 동시에, 기판의 상부에 구성하는 보호막을 프린팅 방식으로 형성하는 방법을 이용한 3 마스크 공정으로 액정표시장치용 어레이기판을 제작하여 공정 수율을 개선하고자 한다.

발명의 구성 및 작용

전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판 제조방법은 기판 상에 스위칭 영역과 화소 영역과 데이터 영역과 스토리지 영역을 정의하는 단계와; 상기 기판 상에 제 1 마스크 공정으로, 끝단에 게이트 패드를 포함하는 게이트 배선과, 게이트 배선에서 소정면적 돌출된 게이트 전극을 형성하는 단계와; 상기 게이트 배선과 게이트 패드가 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층(a-Si:H)과 불순물 비정질 실리콘층(n+a-Si:H)과 제 2 금속층과 PR층을 형성하는 단계와; 상기 PR층이 형성된 기판의 상부에 투과영역과 차단영역과 반투과 영역으로 구성된 마스크를 위치시키고, 상기 반투과영역은 상기 스위칭 영역의 중앙에 대응하여 위치하도록 하는 단계와; 상기 마스크를 통한 노광공정과 현상공정을 진행하여, 상기 화소영역과 데이터 영역과 스위칭 영역과 스토리지 영역의 상부에 포토레지스트 패턴을 형성하되, 상기 스위칭 영역의 상부에는 서로 다른 두께의 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스터 패턴 사이로 노출된 제 2 금속층과, 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 순차적으로 식각하여, 상기 스위칭 영역에는 소스/드레인 전극패턴과, 상기 데이터 영역에는 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 스토리지 영역에는 아일랜드 형상의 금속패턴과, 상기 소스/드레인 전극패턴의 하부에는 액티브층과 오믹콘택층을 형성하는 동시에 상기 게이트 패드전극을 노출하는 단계와; 상기 포토레지스트 패턴 중 상기 스위칭 영역상부에 서로 다른 두께로 남겨진 포토레지스트 패턴 중 얇은 부분을 제거하여 하부의 소스/드레인전극패턴의 일부를 노출하는 단계와; 상기 노출된 소스/드레인 전극패턴과 그 하부의 불순물 비정질 실리콘층을 식각하여, 서로 이격된 소스전극과 드레인 전극을 형성한 후, 포토레지스트 패턴을 제거하는 단계와; 상기 소스 전극과 드레인 전극이 형성된 기판의 전면에 투명 도전성 금속층을 형성한 후 제 3 마스크 공정으로 패턴하여, 상기 게이트 패드전극과 접촉하는 게이트 패드 전극단자와, 상기 드레인 전극과 접촉하면서 상기 금속패턴과 접촉하는 화소전극과, 상기 데이터 패드 전극과 접촉하는 데이터 패드 전극단자를 형성하는 단계와; 상기 화소전극과 게이트 패드 전극단자와 데이터 패드 전극단자가 형성된 기판의 전면에 제 3 절연막인 무기절연막을 증착하는 단계와; 상기 제 3 절연막이 형성된 기판 중 상기 게이트 패드전극과 데이터 패드전극이 위치하는 영역을 제외한 영역에만 투명한 유기막을 형성하는 단계와; 상기 투명한 유기막 사이로 노출된 제 3 절연막을 식각하여, 상기 게이트 패드 전극단자와 데이터 패드 전극단자를 노출하는 단계를 포함한다.
상기 게이트 배선과 게이트 패드전극과 게이트 전극은 알루미늄을 포함한 이중금속층으로 형성한다.
상기 액티브층과 오믹콘택층은 상기 데이터배선과 데이터 패드의 하부로 연장 형성된다.
상기 마스크에 구성되는 반투과영역은 다수의 슬릿으로 구성되는 것을 특징응로 한다.
상기 무기 절연막은 질화 실리콘(SiN_X)인 것을 특징으로하며, 상기 질화 실리콘을 300°C에서 500Å~1000Å의 두께로 증착하는 것을 특징으로 한다.
상기 투명한 유기막은 프린팅 방식으로 형성하는 것을 특징으로 하며, 대표적으로 폴리 이미드를 예를 들 수 있다.
상기 금속층은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta)등을 포함하는 도전성 금속그룹 중 선택된 하나로 형성하며, 상기 소스/드레인전극 패턴과 그 하부의 불순물 비정질 실리콘층은 건식식각으로 일괄 식각하거나, 습식식각과 건식식각을 순차적으로 진행하여 식각하는 것을 특징으로 한다.
이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
-- 실시예 --
본 발명의 특징은 3 마스크 공정으로 액정표시장치용 어레이기판을 제작하는 것이다.
도 6 본 발명에 따른 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이다.
도시한 바와 같이, 기판(100)상에 게이트배선(112)과 데이터배선(13)이 직교하여 화소영역(P)을 정의하며, 상기 게이트배선(112)과 데이터배선(13)의 직교 점에 스위칭소자인 박막트랜지스터(T)가 위치한다.
상기 게이트 배선(112)의 일 끝단에는 게이트 패드전극(110)을 구성하고, 상기 데이터 배선(134)의 일 끝단에는 데이터 패드전극(136)을 구성하고, 상기 각 패드전극은 아일랜드 형상의 투명전극 패턴인 게이트 패드 전극단자(148)와 데이터 패드 전극단자(150)와 평면적으로 겹쳐 구성한다.

상기 박막트랜지스터(T)는 상기 게이트배선(112)과 연결되어 주사신호를 인가 받는 게이트전극(114)과, 상기 데이터배선(134)과 연결되어 데이터신호를 인가 받는 소스 전극(140) 및 이와는 소정간격 이격된 드레인 전극(142)으로 구성한다.
또한, 상기 게이트전극(114) 상부에 구성되고 상기 소스전극(140)및 드레인전극(142)과 접촉하는 액티브층(132)을 포함한다.
또한, 상기 화소영역(P)상에는 상기 드레인 전극(142)과 접촉하는 투명한 화소전극(146)을 구성하며, 상기 투명한 화소전극(146)의 일부는 상기 게이트배선(112)의 상부로 연장하여 구성한다.
상기 게이트배선(112)의 상부에는 아일랜드 형상의 금속패턴(138)을 구성한다.
이때, 상기 화소전극(146)은 드레인 전극(142)과 평면적으로 직접 접촉하는 동시에, 상기 금속패턴(138)과 직접 접촉하도록 구성한다.
이때, 상기 게이트배선(112)의 일부는 제 1 스토리지 전극의 기능을 하고, 상기 화소전극(146)과 직접 접촉하는 금속층(132)이 제 2 스토리지 전극의 기능을 한다. 따라서, 상기 스토리지 제 1 전극과 상기 스토리지 제 2 전극 사이에 위치한 게이트 절연막(미도시)이 유전체의 역할을 하는 보조 용량부(C)를 구성할 수 있다.
이하, 도 7a 내지 도 7h와 8a 내지 8h와 9a 내지 9h를 참조하여 본 발명에 따른 액정표시장치의 제조공정을 설명한다.
도 7a 내지 7h와 8a 내지 8h와 9a 내지 9h는 도 6의 Ⅷ-Ⅷ`,Ⅸ-Ⅸ`,Ⅹ-Ⅹ`을 따라 절단하여 본 발명의 공정 순서에 따라 도시한 공정 단면도이다.
(도 7a 내지 도 7h는 스위칭 영역과 화소영역과 보조용량 영역의 단면도이고, 도 8a 내지 도 8h는 게이트 패드의 단면도이고, 도 9a 내지 9h는 데이터 패드의 단면도이다)
도 7a와 8a와 9a에 도시한 바와 같이, 기판(100)상에 알루미늄(Al), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr)등의 도전성 금속을 증착하고 패터닝하여, 제 1 마스크 공정으로 게이트배선(112)과 상기 게이트배선에서 일 방향으로 소정면적 돌출 연장된 게이트전극(114)과 게이트 배선(112)의 일 끝단에 게이트 패드(110)를 형성한다.
이때, 능동 행렬 액정 표시장치의 동작에 중요한 게이트 전극(114) 물질은 RC 딜레이(delay)를 작게 하기 위하여 저항이 작은 알루미늄이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock) 형성에 의한 배선 결함문제를 야기시키므로, 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 도시한 바와 같이 적층 구조가 적용된다.
다음으로, 상기 게이트 배선(112)과 게이트 전극(114)과 게이트 패드(116)가 형성된 기판(100)의 전면에 산화 실리콘(SiO_2), 질화 실리콘(SiN_X)등의 무기 절연물질과 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)와 같은 유기절연물질을 증착하여 게이트 절연막(116)을 형성한다.
연속하여, 상기 게이트 절연막(116) 상부에 순수 비정질 실리콘층(a-Si:H)(118)과 불순물 비정질 실리콘층(n+a-Si:H)(120)과 제 2 금속층(124)을 형성한다.
상기 제 2 금속층(124)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta) 등의 도전성 금속 그룹 중 선택된 하나를 증착하여 형성한다.
다음으로, 상기 제 2 금속층(124)이 형성된 기판(100) 상에 화소영역(P)과, 스위칭 영역(T)과 보조 용량영역(S)과 데이터 영역(D)과 게이트 패드 영역(G)을 정의한다.
다음으로, 도 7b와 8b와 9b에 도시한 바와 같이, 상기 제 2 금속층(124)이 형성된 기판(100)의 전면에 포토레지스트(photo-resist: 이하'PR'층 이라 칭함)를 도포하여 PR층(126)을 형성한다.
상기 PR층(126)이 형성된 기판(100)의 상부에 마스크(150)를 위치시킨다.
상기 마스크(150)는 투과영역(A)과 차단영역(B)과 반투과영역(슬릿영역)(C)으로 구성되었으며, 상기 반투과영역(C)은 상기 게이트 전극(114)의 상부에 대응하여 위치하도록 한다.
다음으로, 상기 마스크(150)의 상부로부터 빛을 조사하는 노광공정(exposure)과, 연속된 현상공정(develop)을 진행하여 도 7c와 8c와 9c에 도시한 바와 같이, 상기 스위칭 영역(T)에는 서로 다른 높이로 패턴된 PR패턴(126)이 형성되고, 상기 보조용량 영역(S)과 데이터 영역(D)에도 각각 PR패턴(126)이 형성된다.
연속하여, 다음으로, 도 7d와 8d와 9d에 도시한 바와 같이, 상기 패턴된 PR층(126)사이로 노출된 제 2 금속층(도 7c의 124)을 습식식각 방식으로 식각한 후, 하부의 불순물 비정질 실리콘층(도 7c의 12O)과 순수 비정질 실리콘층(도 7의 128)을 건식식각을 통해 제거하는 공정을 진행하여, 상기 스위칭 영역(S)과 데이터 영역(D)에는 소스/드레인전극 패턴(128), 소스/드레인 전극패턴(128)에서 연장된 데이터 배선(134)과, 데이터 배선의 일 끝단에 데이터 패드(136)를 형성한다.
동시에, 상기 게이트 배선(112)의 일부 상부에는 아일랜드 형상의 금속패턴(138)을 형성한다.
상기 패턴된 순수 비정질 실리콘층과 불순물 비정질 실리콘층은 상기 소스/드레인 전극패턴(128)의 하부에서 상기 데이터배선(134)과 데이터 패드전극(136)의 하부로 연장된 제 1 패턴(135)과, 상기 금속패턴(138)의 하부에 아일랜드 형상으로 구성된 제 2 패턴(129)으로 형성된다.
이때, 상기 스위칭 영역(T)에 구성된 제 1 패턴 중 하부에 구성된 순수 비정질 실리콘층을 액티브층(132)이라 하고, 액티브층(132)의 상부에 구성된 불순물 비정질 실리콘층을 오믹 콘택층(130)이라 하다.
연속하여, 상기 패턴된 PR층(126)사이로 사이로 노출된 제 1 절여막인 게이트 절연막(116)을 식각하는 공정을 진행한다.
다음으로, 도 7e와 8e와 9e에 도시한 바와 같이, 상기 스위칭 영역(T)에 채널(CH)을 형성하기 위한 이전 공정으로, 상기 채널의 상부에 형성된 PR층을 제거하기 위한 애싱공정(ashing processing)을 진행한다.

상기 애싱 공정을 진행하게 되면, 상기 게이트 전극(114) 상부영역(E)에 부분 노광되었던 얇은 PR층이 제거되는 동시에, 상기 각 PR패턴(126)의 주변(F)이 깍여 나가 하부의 금속패턴(128,138,136)이 노출된다.
연속하여, 상기 PR패턴(126)의 주변으로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층을 건식식각을 통해 제거하는 공정을 진행하여 하부의 순수 비정질 실리콘층을 노출하는 공정을 진행한다.
이때, 패턴된 PR층(126)사이로 노출된 금속층이 몰리브덴(Mo)일 경우에는 전술한 바와 같이, 건식식각으로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층을 한꺼번에 제거하는 것이 가능하나, 상기 금속층이 크롬(Cr)일 경우에는 상기 PR 패턴 사이로 노출된 금속층을 먼저 습식식각을 통해 제거한 후, 연속하여 건식식각으로 그 하부의 불순물 비정질 실리콘층을 제거하는 공정을 진행한다.
이와 같은 공정을 통해, 도 7f와 8f와 9f에 도시한 바와 같이, 상기 스위칭 영역(T)에서는 상기 소스/드레인 전극패턴이 다시 한번 패턴되어, 서로 이격된 소스 전극(140)과 드레인 전극(142)이 구성되며, 서로 이격된 사이로 액티브층(132)이 노출되는 결과를 얻을 수 있다.
이상과 같이 제 2 마스크 공정을 통해, 액티브층(132)과 소스 및 드레인전극(140,142)과 데이터 배선(134)과 데이터 패드(136)를 형성할 수 있다.
상기 제 2 마스크 공정으로 소스 및 드레인 전극 등이 형성된 기판의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속물질을 증착한 후 패턴하여, 상기 드레인 전극(142)과 접촉하면서 화소영역(P)을 지나 금속패턴(138)과 접촉하는 투명한 화소전극(146)과, 상기 게이트 패드전극(110)과 평면적으로 겹쳐 형성되는 게이트 패드 전극단자(148)와, 상기 데이터 패드 전극(136)과 평면적으로 겹쳐 형성되는 아일랜드 형상의 데이터 패드 전극단자(150)를 형성한다.
연속하여, 상기 투명전극(146,148,150)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_X)과 산화실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막인 보호막(152)을 약 300약℃ 부근에서 500Å~1000Å의 두께로 형성한다.
이때, 상기 비정질 상태의 투명전극(146,148,150)이 결정질 상태로 특성이 바뀌게 된다. 상기 제 2 절연막(152)은 액티브층(132)과 직접 접촉하는 층으로 유기막에 비해 액티브층과의 계면특성이 양호한 성질을 갖는다.
다음으로, 도 7g와 8g와 9g에 도시한 바와 같이, 상기 보호막(152)이 형성된 기판(100)의 중 상기 데이터 패드 영역(D)과 게이트 패드 영역(G)을 제외한 영역에만 투명한 유기막(154)을 프린팅(printing) 방식으로 형성한다.
상기 투명 유기막은 대표적으로 폴리이미드(polyimide)를 예를 들 수 있다.
연속하여, 상기 투명 유기막 사이로 노출된 보호막(152)을 건식식각하게 되면, 도 7h와 8h와 9h에 도시한 바와 같이, 상기 게이트 패드 단자전극(148)과 데이터 패드 단자전극(150)이 노출되는 결과를 얻을 수 있다.
이때, 상기 게이트 패드 영역(G)과 데이터 패드 영역(D)을 제외한 나머지 영역(S,T,P)은 상기 제 2 보호막(154)이 존재하며, 보호막의 상부에 러빙공정을 진행하여 배향막으로도 사용할 수 있다.
이상, 전술한 바와 같은 3마스크 공정으로 본 발명에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

본 발명에 따른 3마스크 공정으로 어레이기판을 제작하게 되면, 재료비를 절감과 함께 공정시간을 단축 할 수 있을 뿐 아니라, 다수의 공정 중 발생하는 공정 오차를 최대할 줄일 수 있기 때문에 공정수율을 개선할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판 상에 스위칭 영역과 화소 영역과 데이터 영역과 스토리지 영역을 정의하는 단계와;
상기 기판 상에 제 1 마스크 공정으로, 끝단에 게이트 패드를 포함하는 게이트 배선과, 게이트 배선에서 소정면적 돌출된 게이트 전극을 형성하는 단계와;
상기 게이트 배선과 게이트 패드가 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층(a-Si:H)과 불순물 비정질 실리콘층(n+a-Si:H)과 제 2 금속층과 PR층을 형성하는 단계와;
상기 PR층이 형성된 기판의 상부에 투과영역과 차단영역과 반투과 영역으로 구성된 마스크를 위치시키고, 상기 반투과영역은 상기 스위칭 영역의 중앙에 대응하여 위치하도록 하는 단계와;
상기 마스크를 통한 노광공정과 현상공정을 진행하여, 상기 화소영역과 데이터 영역과 스위칭 영역과 스토리지 영역의 상부에 포토레지스트 패턴을 형성하되, 상기 스위칭 영역의 상부에는 서로 다른 두께의 포토레지스트 패턴을 형성하는 단계와;
상기 포토레지스터 패턴 사이로 노출된 제 2 금속층과, 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 순차적으로 식각하여, 상기 스위칭 영역에는 소스/드레인 전극패턴과, 상기 데이터 영역에는 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 스토리지 영역에는 아일랜드 형상의 금속패 턴과, 상기 소스/드레인 전극패턴의 하부에는 액티브층과 오믹콘택층을 형성하는 동시에 상기 게이트 패드전극을 노출하는 단계와;
상기 포토레지스트 패턴 중 상기 스위칭 영역상부에 서로 다른 두께로 남겨진 포토레지스트 패턴 중 얇은 부분을 제거하여 하부의 소스/드레인전극패턴의 일부를 노출하는 단계와;
상기 노출된 소스/드레인 전극패턴과 그 하부의 불순물 비정질 실리콘층을 식각하여, 서로 이격된 소스전극과 드레인 전극을 형성한 후, 포토레지스트 패턴을 제거하는 단계와;

상기 소스 전극과 드레인 전극이 형성된 기판의 전면에 투명 도전성 금속층을 형성한 후 제 3 마스크 공정으로 패턴하여, 상기 게이트 패드전극과 접촉하는 게이트 패드 전극단자와, 상기 드레인 전극과 접촉하면서 상기 금속패턴과 접촉하는 화소전극과, 상기 데이터 패드 전극과 접촉하는 데이터 패드 전극단자를 형성하는 단계와;
상기 화소전극과 게이트 패드 전극단자와 데이터 패드 전극단자가 형성된 기판의 전면에 제 3 절연막인 무기절연막을 증착하는 단계와;
상기 제 3 절연막이 형성된 기판 중 상기 게이트 패드전극과 데이터 패드전극이 위치하는 영역을 제외한 영역에만 투명한 유기막을 형성하는 단계와;
상기 투명한 유기막 사이로 노출된 제 3 절연막을 식각하여, 상기 게이트 패드 전극단자와 데이터 패드 전극단자를 노출하는 단계를
포함하는 액정표시장치용 어레이기판 제조방법.

청구항 2.
제 1 항에 있어서,
상기 게이트 배선과 게이트 패드전극과 게이트 전극은 알루미늄을 포함한 이중금속층인 액정표시장치용 어레이기판 제조방법.

청구항 3.
제 1 항에 있어서,
상기 액티브층과 오믹콘택층은 상기 데이터배선과 데이터 패드의 하부로 연장형성된 액정표시장치용 어레이기판 제조방법.

청구항 4.
제 1 항에 있어서,
상기 마스크에 구성되는 반투과영역은 다수의 슬릿이 구성된 액정표시장치용 어레이기판 제조방법

청구항 5.
제 1 항에 있어서,
상기 포토레지스트는 현상 공정 중 노광된 부분이 제거되는 특성을 가진 포지티브형인 액정표시장치용 어레이기판 제조방법.

청구항 6.
제 1 항에 있어서,
상기 무기 절연막은 질화 실리콘(SiN_X)인 액정표시장치용 어레이기판 제조방법.

청구항 7.
제 6 항에 있어서,
상기 무기 절연막은 300℃에서 500Å~1000Å의 두께로 증착된 액정표시장치용 어레이기판 제조방법.

청구항 8.
제 1 항에 있어서,
상기 투명한 유기막은 프린팅 방식으로 형성되는 액정표시장치용 어레이기판 제조방법.

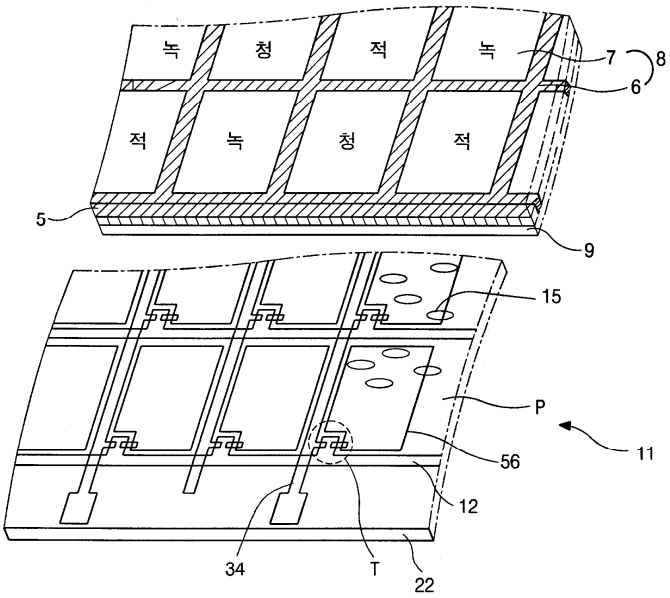
청구항 9.
제 8 항에 있어서,
상기 투명 유기막은 폴리 이미드인 액정표시장치용 어레기판 제조방법.

청구항 10.
제 1 항에 있어서,
상기 금속층은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta)등을 포함하는 도전성 금속그룹 중 선택된 하나로 형성하는 액정표시장치용 어레이기판 제조방법.

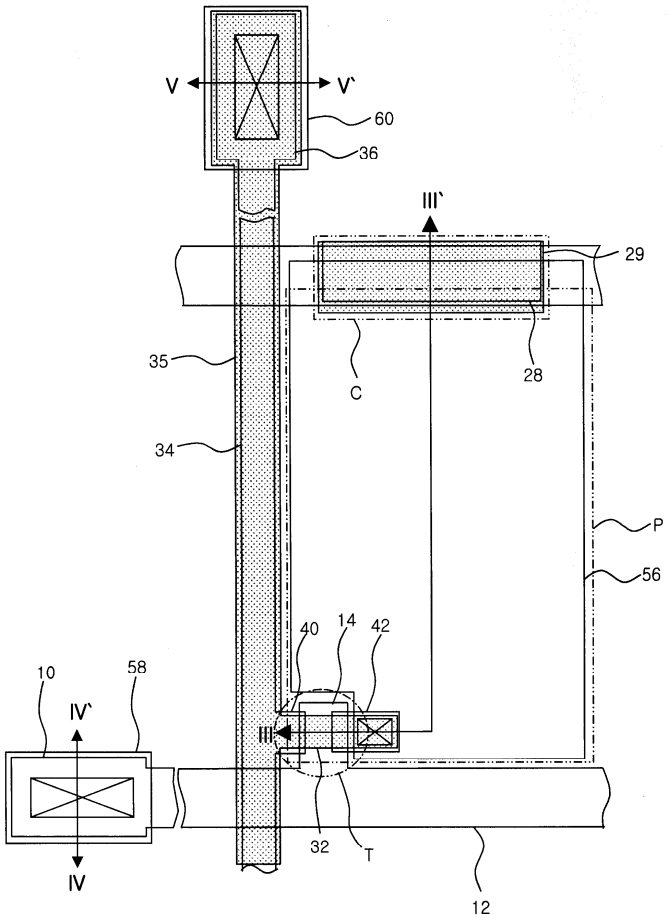
청구항 11.
제 1 항에 있어서,
상기 소스/드레인전극 패턴과 그 하부의 불순물 비정질 실리콘층은 건식식각으로 일괄 식각하거나, 습식식각과 건식식각을 순차적으로 진행하여 식각하는 액정표시장치용 어레이기판 제조방법.

도면

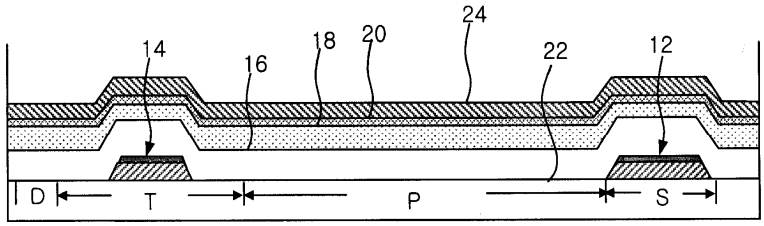
도면1


녹
청
적
녹
적
녹
청
적
7
8
6
5
9
15
P
11
56
12
34
T
22

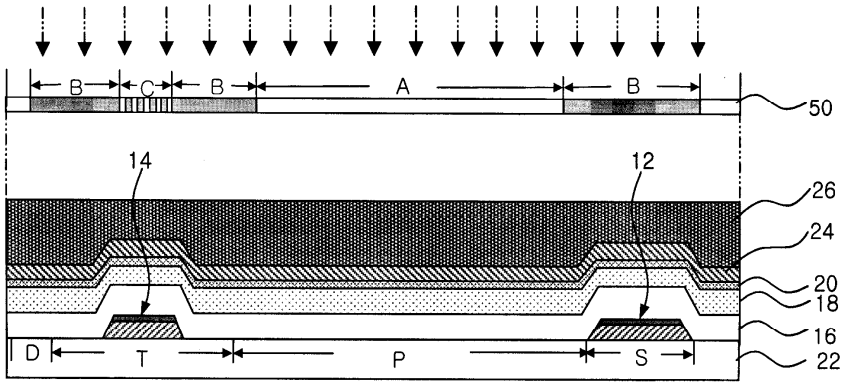
도면2


V
V`
60
36
III`
29
35
C
28
34
P
56
40
14
42
10
58
IV`
III
IV
32
T
12

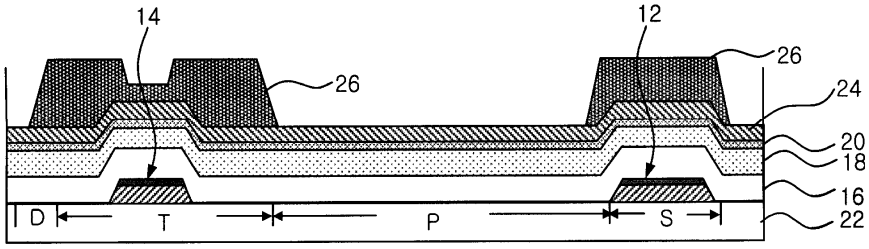
도면3a



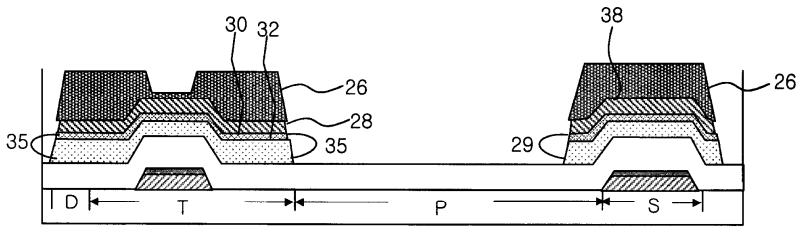
도면3b



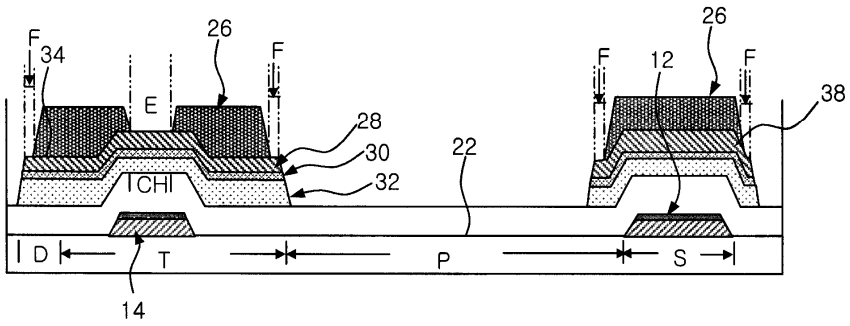
도면3c



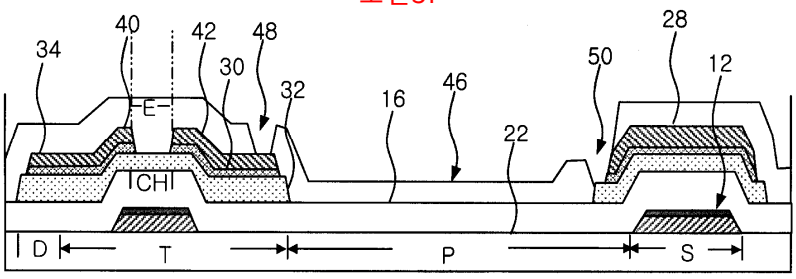
도면3d



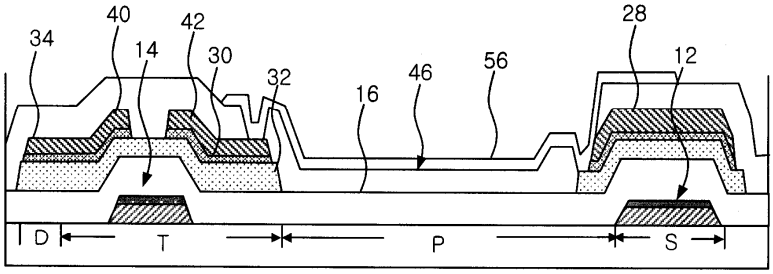
도면3e



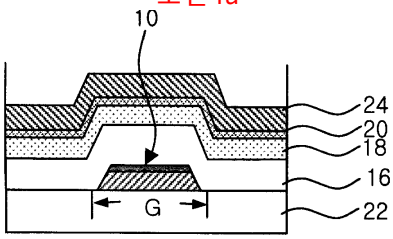
도면3f



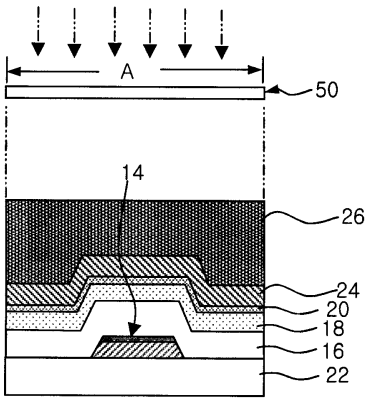
도면3g



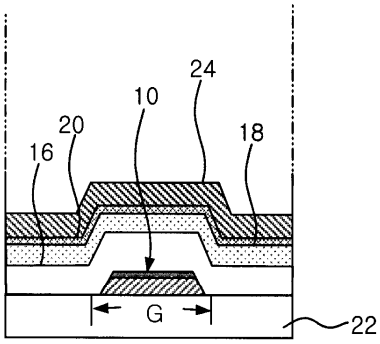
도면4a



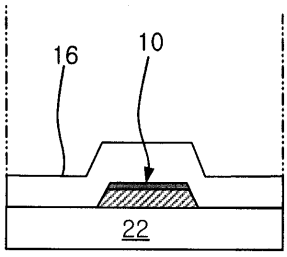
도면4b



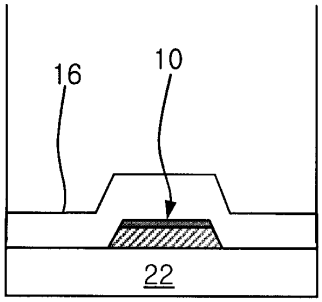
도면4c



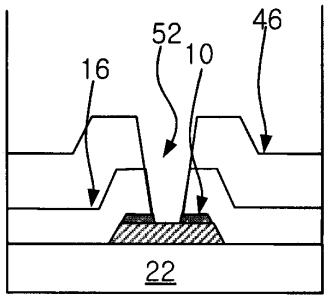
도면4d



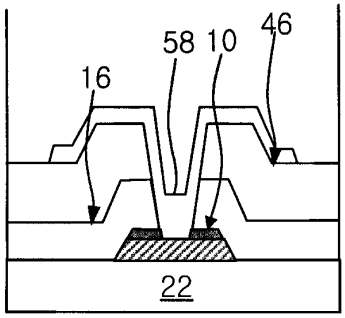
도면4e



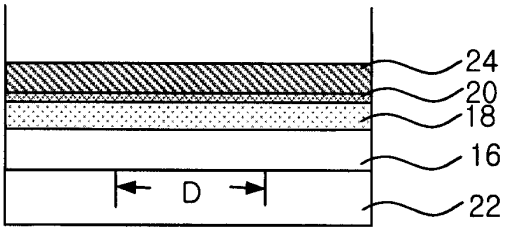
도면4f



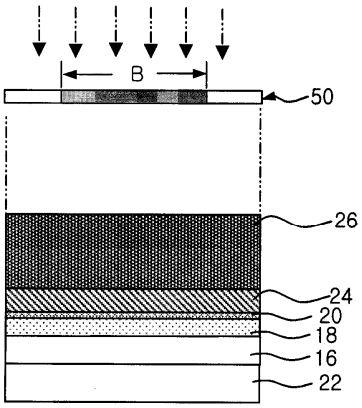
도면4g



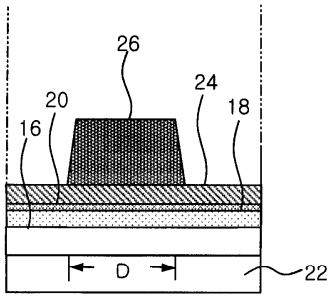
도면5a



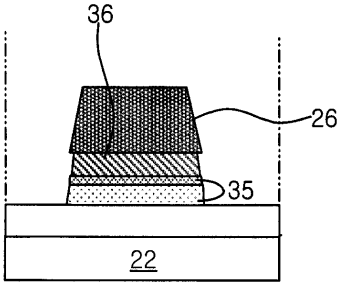
도면5b



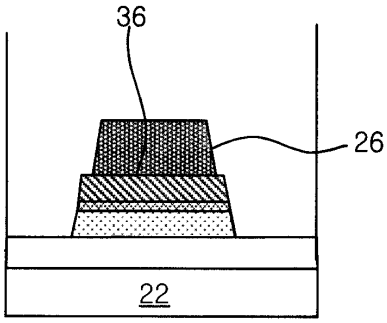
도면5c



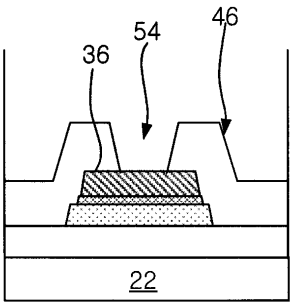
도면5d



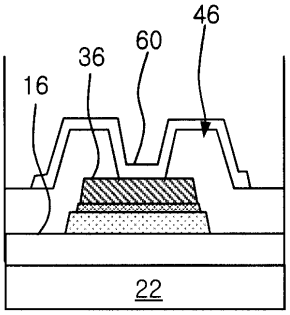
도면5e



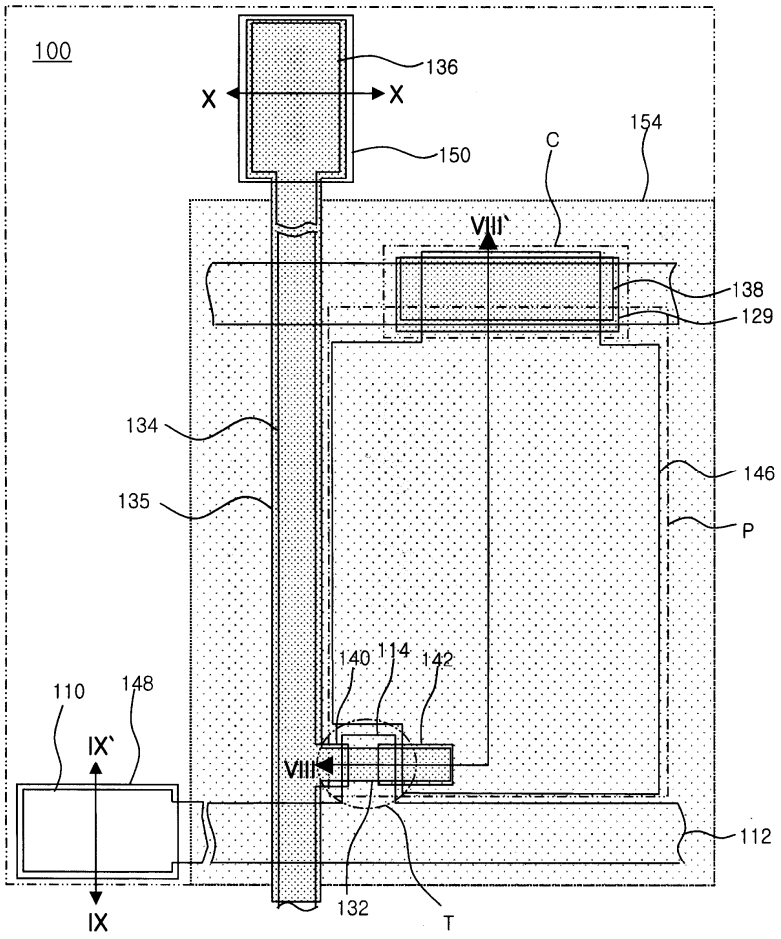
도면5f



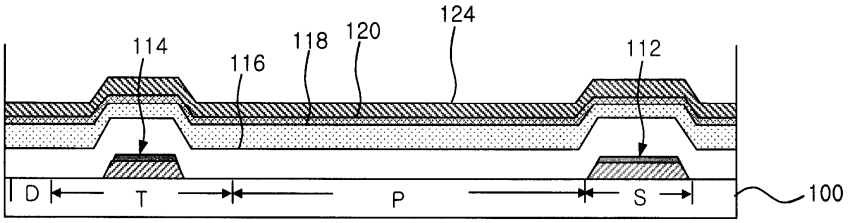
도면5g



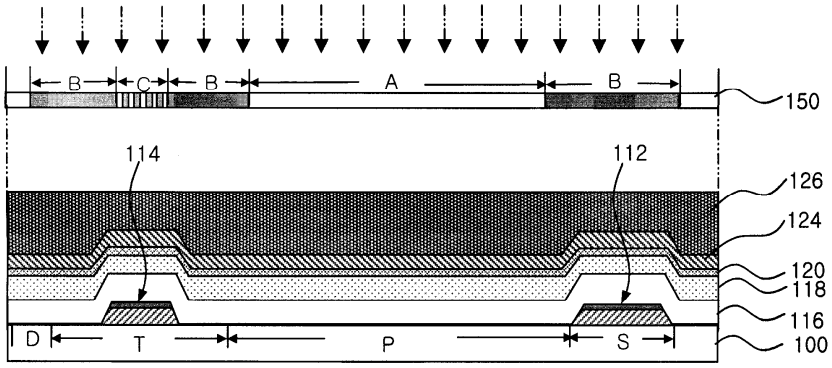
도면6



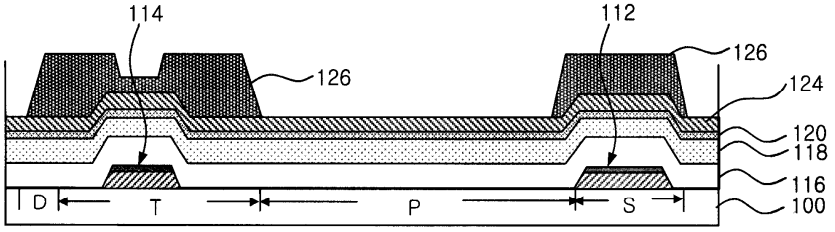
도면7a



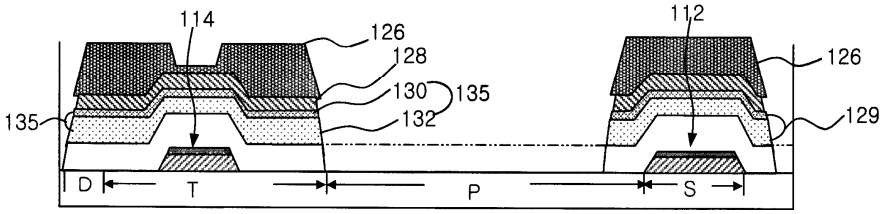
도면7b



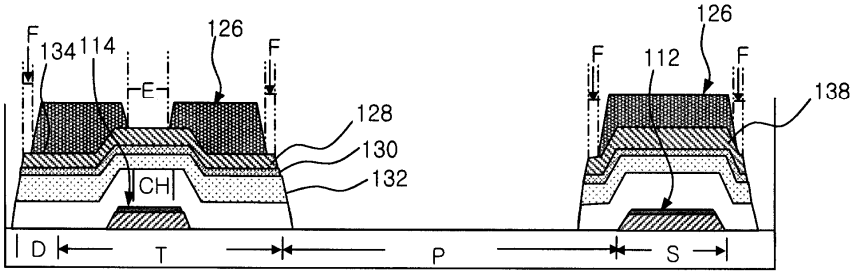
도면7c



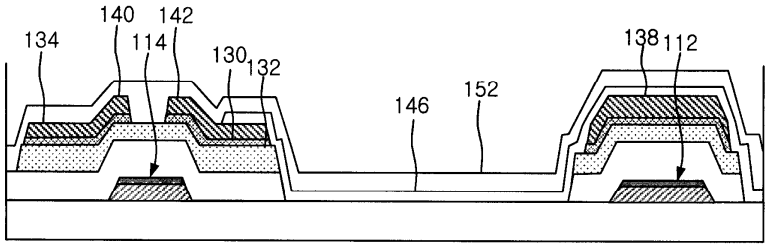
도면7d



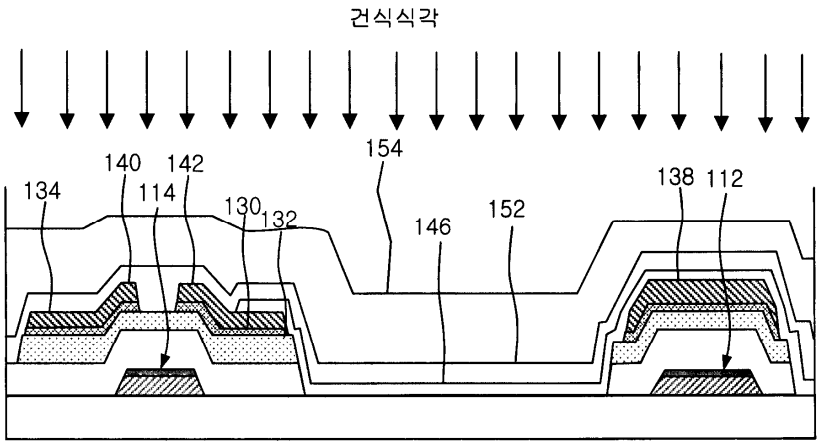
도면7e



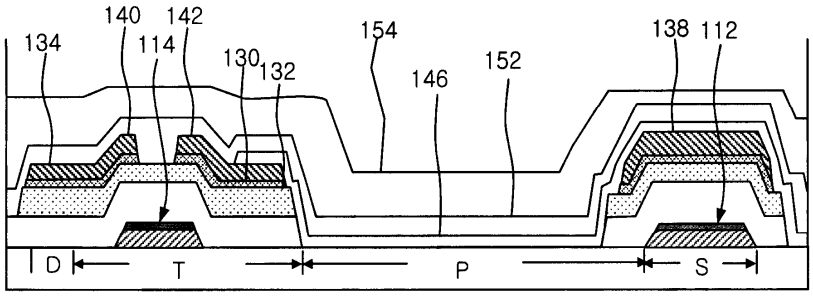
도면7f



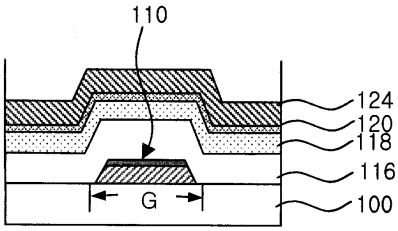
도면7g



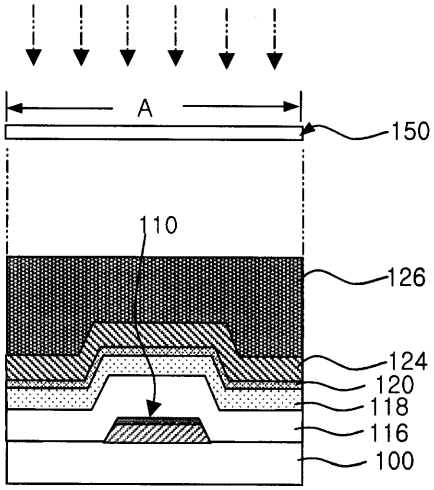
도면7h



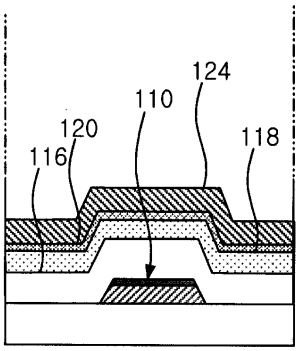
도면8a



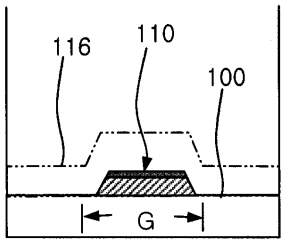
도면8b



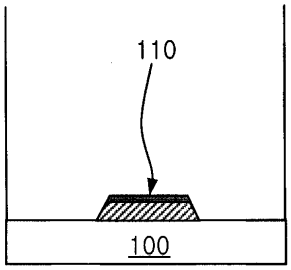
도면8c



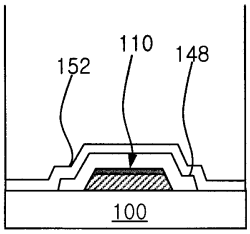
도면8d



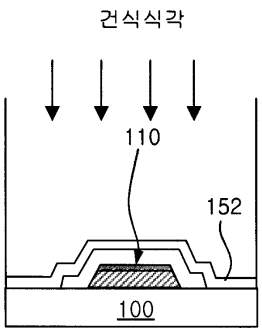
도면8e



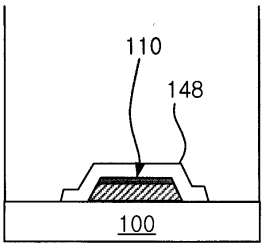
도면8f



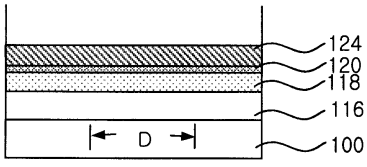
도면8g



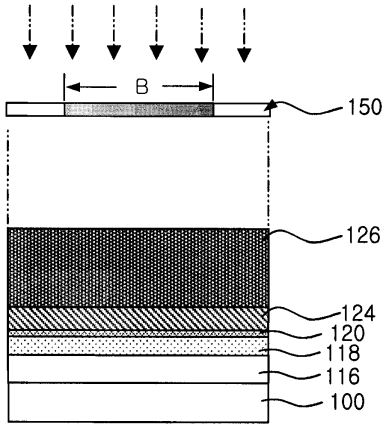
도면8h



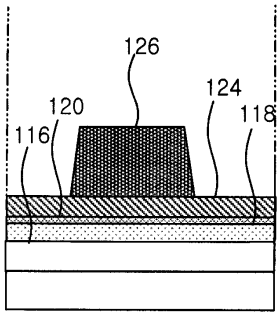
도면9a



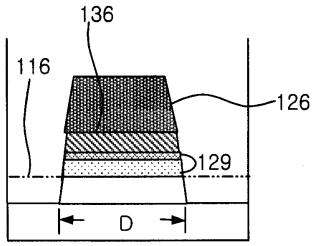
도면9b



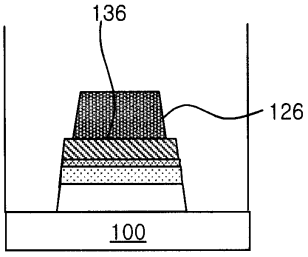
도면9c



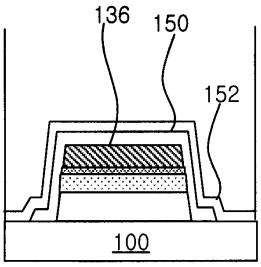
도면9d



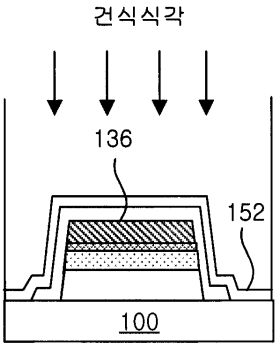
도면9e



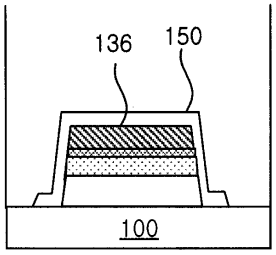
도면9f



도면9g



도면9h



专利名称(译)	制造用于液晶显示器的阵列基板的方法		
公开(公告)号	KR100436181B1	公开(公告)日	2004-06-12
申请号	KR1020020020724	申请日	2002-04-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM BYOUNGHO		
发明人	LIM,BYOUNGHO		
IPC分类号	G02F1/1333 G02F1/1362 G09F9/30 H01L21/336 G09F9/00 H01L29/786 G02F1/1368		
CPC分类号	G02F2001/136236 G02F1/1362 G02F1/13458 G02F1/136227		
代理人(译)	贞媛KI		
其他公开文献	KR1020030082144A		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，尤其涉及液晶显示器件阵列基板的制作方法。本发明涉及使用狭缝掩模的衍射曝光工艺。并且在称为最终工艺的钝化工艺中形成开关元件，在必要区域上形成保护膜，进入不是掩模工艺的印刷方法。接着，在保护膜和栅极焊盘电极端子之间蚀刻暴露的绝缘层，并暴露数据焊盘电极端子。以这种方式，可以用下侧和3掩模工艺制造用于液晶显示器的阵列基板。另外材料成本可以缩短，工艺时间可以缩短。由于最小化可在多个过程之间产生的过程误差，因此可以提高产量。