(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0062265
(43) 공개일자 2008년07월03일

(51) Int. Cl.
G02F 1/1343 (2006.01)
(21) 출원번호 10-2006-0137829
(22) 출원일자 2006년12월29일
심사청구일자 2008년03월14일

(71) 출원인
엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
최일만
대구 북구 산격1동 993-14 15/3
김태형
서울 강서구 화곡동 985-29(4/8)
이민직
대구 동구 신천동 556-1 신천주공APT 107/803
(74) 대리인
특허법인네이트

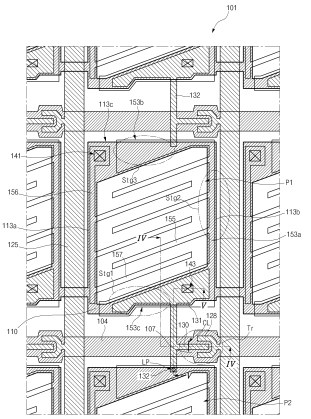
전체 청구항 수 : 총 10 항

(54) 횡전계형 액정표시장치용 어레이 기판

(57) 요 약

본 발명은, 기판 상에 일 방향으로 형성된 게이트 배선 및 이와 연결된 게이트 전극과; 상기 게이트 배선과 이격하며 나란하게 형성된 공통배선; 상기 게이트 배선 및 전극과 공통배선 상부로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층 및 상기 반도체층 상부로 서로 이격하며 형성된 소스 및 드레인 전극과; 상기 게이트 절연막 위로 상기 드레인 전극에서 이웃한 화소영역까지 연장되는 리페어 패턴과; 상기 데이터 배선과 소스 및 드레인 전극과 리페어 패턴 상부로 형성되며 상기 드레인 전극을 노출시키는 드레인 콘택홀 및 상기 공통배선을 노출시키는 공통 콘택홀을 갖는 보호층과; 상기 보호층 상부로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 연결되며 서로 이격하며 형성된 다수의 화소전극과; 상기 보호층 상부로 상기 공통 콘택홀을 통해 상기 공통배선과 연결되며 상기 다수의 화소전극과 교대하며 형성된 다수의 공통전극과; 상기 보호층 상부로 화소전극과 연결되며 상기 리페어 패턴과 중첩하며 형성된 화소패턴을 포함하는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

기판 상에 일 방향으로 형성된 게이트 배선 및 이와 연결된 게이트 전극과;

상기 게이트 배선과 이격하며 나란하게 형성된 공통배선;

상기 게이트 배선 및 전극과 공통배선 상부로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층 및 상기 반도체층 상부로 서로 이격하며 형성된 소스 및 드레인 전극과;

상기 게이트 절연막 위로 상기 드레인 전극에서 이웃한 화소영역까지 연장되는 리페어 패턴과;

상기 데이터 배선과 소스 및 드레인 전극과 리페어 패턴 상부로 형성되며 상기 드레인 전극을 노출시키는 드레인 콘택홀 및 상기 공통배선을 노출시키는 공통 콘택홀을 갖는 보호층과;

상기 보호층 상부로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 연결되며 서로 이격하며 형성된 다수의 화소전극과;

상기 보호층 상부로 상기 공통 콘택홀을 통해 상기 공통배선과 연결되며 상기 다수의 화소전극과 교대하며 형성된 다수의 공통전극과;

상기 보호층 상부로 화소전극과 연결되며 상기 리페어 패턴과 중첩하며 형성된 화소패턴

을 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 리페어 패턴은 상기 게이트 전극을 관통하며 이웃한 화소영역까지 연장되는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 3

기판 상에 일 방향으로 형성된 게이트 배선 및 이와 연결된 게이트 전극과;

상기 게이트 배선과 이격하며 나란하게 형성된 공통배선;

상기 게이트 배선 및 전극과 공통배선 상부로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층 및 상기 반도체층 상부로 서로 이격하며 형성된 소스 및 드레인 전극과;

상기 게이트 절연막 위로 형성된 제 1 리페어 패턴과;

상기 데이터 배선과 소스 및 드레인 전극과 제 1 리페어 패턴 상부로 형성되며 상기 드레인 전극을 노출시키는 드레인 콘택홀 및 상기 공통배선을 노출시키는 공통 콘택홀을 갖는 보호층과;

상기 보호층 상부로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 연결되며 서로 이격하며 형성된 다수의 화소전극과;

상기 보호층 상부로 상기 공통 콘택홀을 통해 상기 공통배선과 연결되며 상기 다수의 화소전극과 교대하며 형성된 다수의 공통전극과;

상기 보호층 상부로 이웃한 화소영역 내의 상기 화소전극과 연결되며 상기 제 1 리페어 패턴과 중첩하며 형성된 제 2 리페어 패턴

을 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 4

제 3 항에 있어서,

상기 제 1 리페어 패턴은 상기 드레인 전극과 연결되며 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 5

제 3 항에 있어서,

상기 제 2 리페어 패턴은 상기 게이트 배선을 관통하여 이웃한 화소영역으로 연장하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 6

제 3 항에 있어서,

상기 제 1 리페어 패턴은 상기 공통배선과 상기 게이트 배선 사이의 이격한 영역에 아일랜드 형태로 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 7

제 6 항에 있어서,

상기 보호층 상부에 상기 제 1 리페어 패턴과 중첩하며 상기 제 1 리페어 패턴이 형성된 동일한 화소영역 내에 형성된 상기 화소전극과 연결되는 제 3 리페어 패턴을 더욱 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 8

제 1 항, 제 3 항 및 제 7 항 중 어느 하나의 항에 있어서,

상기 공통배선에서 분기하여 상기 화소영역 내측으로 상기 데이터 배선과 나란하게 형성된 제 1, 2 공통전극 연결패턴과;

상기 제 1, 2 공통전극 연결패턴의 끝단을 연결하는 제 3 공통전극 연결패턴과;

상기 다수의 화소전극의 일끝단을 연결하는 제 1 화소패턴

을 더욱 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 제 1 화소패턴의 양끝단으로부터 절곡되어 상기 게이트 배선 및 공통배선과 나란하게 각각 형성된 제 2 및 제 3 화소패턴을 더욱 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 10

제 9 항에 있어서,

상기 제 3 화소패턴과 상기 공통배선, 상기 제 1 화소패턴과 제 2 공통전극, 상기 제 2 화소패턴과 3 공통전극 연결패턴은 서로 중첩하여 형성되어 각각 제 1, 2 및 제 3 스토리지 커패시터를 형성하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<25> 본 발명은 액정표시장치용 어레이 기판에 관한 것으로 특히, 리페어 패턴을 포함한 액정표시장치용 어레이 기판과 그 제조방법에 관한 것이다.

<26> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

<27> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상을 표현하게 된다.

<28> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(상부기판)과 화소전극이 형성된 어레이 기판(하부기판)과, 상부 및 하부기판 사이에 충진된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

<29> 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 이하, 도 1을 참조하여 액정표시장치를 개략적으로 설명한다.

<30> 도 1은 종래의 액정표시장치를 개략적으로 도시한 분해사시도이다.

<31> 도시한 바와 같이, 일반적인 액정표시장치는 액정층(70)을 사이에 두고 어레이 기판(10)과 컬러필터 기판(80)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기판(10)은 그 상면으로 종횡 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(13)과 데이터 배선(30)을 포함하며, 이들 두 배선(13, 30)의 교차지점에는 스위칭 소자인 박막트랜지스터(Tr)가 구비되어 각 화소영역(P)에 마련된 화소전극(60)과 일대일 대응 접속되어 있다.

<32> 또한, 상기 어레이 기판(10)과 마주보는 상부의 컬러필터 기판(80)은 이의 배면으로 상기 게이트 배선(13)과 데이터 배선(30) 그리고 박막트랜지스터(Tr) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하는 격자 형상의 블랙매트릭스(85)가 형성되어 있으며, 상기 블랙매트릭스(85)의 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적, 녹, 청색 컬러필터 패턴(89a, 89b, 89c)이 형성되어 있으며, 상기 블랙매트릭스(85)와 적, 녹, 청색 컬러필터 패턴(89) 하부로 전면에 걸쳐 투명한 공통전극(92)이 마련되어 있다.

<33> 그리고, 상기 어레이 기판(10)과 컬러필터 기판(80)의 각 외부면에는 편광축과 평행한 빛만을 투과시키는 제 1, 2 편광판(미도시)이 위치하고, 상기 제 1 편광판(미도시) 하부에는 별도의 광원인 백라이트(back light)(미도시)가 배치되어 있다.

<34> 도 2는 종래의 액정표시장치용 어레이 기판의 일부를 개략적으로 도시한 평면도이다.

<35> 도시한 바와 같이, 액정표시장치용 어레이 기판(10)에는 서로 소정 간격 이격하며 일방향으로 연장하는 다수의 게이트 배선(13)이 형성되어 있으며, 도면에 나타나지 않았지만, 상기 게이트 배선(13)의 일끝단에는 외부의 구동회로기판(미도시)과 연결하기 위한 게이트 패드(미도시)가 형성되어 있다.

<36> 또한, 상기 게이트 배선(13)과 교차하여 화소영역(P)을 정의하는 다수의 데이터 배선(30)이 타방향으로 연장 형성되고 있으며, 이때, 상기 각 데이터 배선(30)의 일 끝단에도 외부의 구동회로기판(미도시)과 연결하기 위한 데이터 패드(미도시)가 형성되어 있다.

<37> 또한, 상기 각각의 게이트 배선(13)과 데이터 배선(30)의 교차지점에는 게이트 전극(15)과 반도체층(23)과 소스전극(33) 및 드레인 전극(36)을 포함하는 박막트랜지스터(Tr)가 구성되어 있으며, 상기 각 게이트 배선(13)과 중첩하며 화소전극(60)에 다음 신호가 인가될 때까지 현재 인가된 전압을 유지시키기 위한 스토리지 캐패시터(StgC)가 형성되어 있다.

<38> 전술한 구성을 갖는 액정표시장치용 어레이 기판(10)은 매우 많은 공정 단계를 거쳐 형성되고 있는데, 이렇게 많은 단계의 공정을 진행하는 도중 정전기 등이 발생하거나 또는 이물이 상기 게이트 및 데이터 배선(13, 30) 또는 박막트랜지스터(Tr)에 부착되거나 또는 쇼트 불량이 발생한 경우, 리페어 공정을 진행하여 상기 화소전극과 연결된 박막트랜지스터의 드레인 전극을 절단함으로써 신호전압이 인가되지 않도록 함으로써 상기 화소영역을 암점(노말리 블랙모드 인 경우)화하거나 또는 휘점(노말리 화이트인 경우)화하고 있다.

<39> 이렇게 불량화소 발생 시 화소영역을 암점화 또는 휘점화하는 것은 통상적으로 액정표시장치에는 그 크기별, 해상도별로 적게는 수만에서 많게는 수 천만개의 화소가 형성되고 있으며, 이러한 수만 내지 수천만의 화소 전체

가 모두 정상 동작을 하도록 어레이 기판을 제조하는 데에는 실패비용이 너무 커 제조 비용이 상승하게 되므로 어느 한도 범위 내에서는 불량화소가 발생하더라도 양품이 되기 때문이다.

<40> 전술한 바와 같이, 화소영역에 신호전압을 인가되지 않도록 처리하는 리페어 방법은, 노말리 블랙 모드로 동작하는 경우, 매우 환한 화상을 표시하는 경우 암점화된 화소영역이 눈에 확 띄는 현상이 발생하며, 반대로 노말리 화이트인 경우, 어두운 화면이 표시되었을 시, 휘점화된 화소에 의해 마치 빛샘 불량처럼 주변보다 환한 휘도로써 표시되는 바, 사용자의 눈에 확 띄게 됨으로써 표시품질에 좋지 영향을 주고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

<41> 상술한 문제를 해결하고자 본 발명에 따른 액정표시장치용 어레이 기판은, 화소불량 시 암점화 또는 휘점화화하지 않고, 그 하부에 위치하는 화소영역에 인가되는 화상신호를 인가 받을 수 있는 리페어 패턴을 구비하고 화소불량 발생 시 이를 이용하여 리페어 공정을 진행함으로써 불량이 발생한 화소를 그 하부에 위치한 화소와 동일한 동작을 하도록 하여 암점 및 휘점 등의 불량화소가 없는 표시품질이 향상된 액정표시장치를 제공하는 것을 그 목적으로 한다.

<42>

발명의 구성 및 작용

<43> 전술한 목적을 달성하기 위한 본 발명의 제 1 특징에 따른 횡전계형 액정표시장치용 어레이 기판은, 기판 상에 일 방향으로 형성된 게이트 배선 및 이와 연결된 게이트 전극과; 상기 게이트 배선과 이격하며 나란하게 형성된 공통배선; 상기 게이트 배선 및 전극과 공통배선 상부로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층 및 상기 반도체층 상부로 서로 이격하며 형성된 소스 및 드레인 전극과; 상기 게이트 절연막 위로 상기 드레인 전극에서 이웃한 화소영역까지 연장되는 리페어 패턴과; 상기 데이터 배선과 소스 및 드레인 전극과 리페어 패턴 상부로 형성되며 상기 드레인 전극을 노출시키는 드레인 콘택홀 및 상기 공통배선을 노출시키는 공통 콘택홀을 갖는 보호층과; 상기 보호층 상부로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 연결되며 서로 이격하며 형성된 다수의 화소전극과; 상기 보호층 상부로 상기 공통 콘택홀을 통해 상기 공통배선과 연결되며 상기 다수의 화소전극과 교대하며 형성된 다수의 공통전극과; 상기 보호층 상부로 화소전극과 연결되며 상기 리페어 패턴과 중첩하며 형성된 화소패턴을 포함한다.

<44> 이때, 상기 리페어 패턴은 상기 게이트 전극을 관통하며 이웃한 화소영역까지 연장되는 것이 특징이다.

<45> 본 발명의 제 2 특징에 따른 횡전계형 액정표시장치용 어레이 기판은, 기판 상에 일 방향으로 형성된 게이트 배선 및 이와 연결된 게이트 전극과; 상기 게이트 배선과 이격하며 나란하게 형성된 공통배선; 상기 게이트 배선 및 전극과 공통배선 상부로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층 및 상기 반도체층 상부로 서로 이격하며 형성된 소스 및 드레인 전극과; 상기 게이트 절연막 위로 형성된 제 1 리페어 패턴과; 상기 데이터 배선과 소스 및 드레인 전극과 제 1 리페어 패턴 상부로 형성되며 상기 드레인 전극을 노출시키는 드레인 콘택홀 및 상기 공통배선을 노출시키는 공통 콘택홀을 갖는 보호층과; 상기 보호층 상부로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 연결되며 서로 이격하며 형성된 다수의 화소전극과; 상기 보호층 상부로 상기 공통 콘택홀을 통해 상기 공통배선과 연결되며 상기 다수의 화소전극과 교대하며 형성된 다수의 공통전극과; 상기 보호층 상부로 이웃한 화소영역 내의 상기 화소전극과 연결되며 상기 제 1 리페어 패턴과 중첩하며 형성된 제 2 리페어 패턴을 포함한다.

<46> 이때, 상기 제 1 리페어 패턴은 상기 드레인 전극과 연결되며 형성되며, 상기 제 2 리페어 패턴은 상기 게이트 배선을 관통하여 이웃한 화소영역으로 연장하는 것이 특징이다.

<47> 또한, 상기 제 1 리페어 패턴은 상기 공통배선과 상기 게이트 배선 사이의 이격한 영역에 아일랜드 형태로 형성된 것이 특징이며, 상기 보호층 상부에 상기 제 1 리페어 패턴과 중첩하며 상기 제 1 리페어 패턴이 형성된 동일한 화소영역 내에 형성된 상기 화소전극과 연결되는 제 3 리페어 패턴을 더욱 포함한다.

<48> 본 발명의 제 1, 2 특징에 따른 횡전계형 액정표시장치용 어레이 기판에 있어서, 상기 공통배선에서 분기하여 상기 화소영역 내측으로 상기 데이터 배선과 나란하게 형성된 제 1, 2 공통전극 연결패턴과; 상기 제 1, 2 공통전극 연결패턴의 끝단을 연결하는 제 3 공통전극 연결패턴과; 상기 다수의 화소전극의 일끝단을 연결하는 제 1

화소패턴을 더욱 포함하며, 상기 제 1 화소패턴의 양끝단으로부터 절곡되어 상기 게이트 배선 및 공통배선과 나란하게 각각 형성된 제 2 및 제 3 화소패턴을 더욱 포함하며, 또한 상기 제 3 화소패턴과 상기 공통배선, 상기 제 1 화소패턴과 제 2 공통전극, 상기 제 2 화소패턴과 3 공통전극 연결패턴은 서로 중첩하여 형성되어 각각 제 1, 2 및 제 3 스토리지 커패시터를 형성하는 것이 특징이다.

<49> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

<50> 본 발명에 따른 액정표시장치용 어레이 기판은, 공통전극과 화소전극이 모두 어레이 기판에 형성되는 황전계형 액정표시장치용 어레이 기판이며, 이때 불량발생시 불량이 발생한 화소영역에 인접한 화소영역 내의 화소전극과 상기 불량이 발생한 화소영역의 화소전극을 전기적으로 연결시킬 수 있는 리페어 패턴을 구비하고 있다는 것이다.

<51> 이렇게 횡전계형 액정표시장치용 어레이 기판을 제안하는 이유는, 종래와 같이 공통전극과 화소전극이 각각 서로 마주하는 기판에 각각 형성됨으로써 상하로 걸리는 전기장에 의해 액정을 구동하는 방식 즉, 트위스트 네마틱 모드 액정표시장치는 투과율과 개구율 등의 특성이 우수하지만 시야각 특성이 우수하지 못한 단점을 가지고 있기 때문에 이러한 시야각 저하의 단점을 극복하기 위해 화소전극과 공통전극이 모두 하나의 기판에 형성되어 횡전계에 의해 액정을 구동시킴으로써 시야각 특성이 우수한 액정표시장치를 제공하기 위함이다.

<52> <제 1 실시예>

<53> 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판의 일부를 개략적으로 도시한 평면도이다.

<54> 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판(101)은 평행하게 일 방향으로 연장하는 게이트 배선(104)과, 상기 게이트 배선(104)과 교차하여 화소영역(P)을 정의하며 데이터 배선(125)이 형성되어 있으며, 상기 게이트 배선(104)과 동일한 방향으로 상기 게이트 배선(104)과 근접하여 공통배선(110)이 형성되어 있다,

<55> 또한, 화소영역에는 상기 공통배선(110)에서 분기하여 상기 데이터 배선(125)과 동일한 방향으로 분기하는 제 1 및 제 2 공통전극 연결패턴(113a, 113b)이 형성되고 있으며 이들 제 1 및 제 2 공통전극 연결패턴(113a, 113b)을 끝단은 제 3 공통전극 연결패턴(113c)에 의해 연결됨으로써 상기 제 1 내지 3 공통전극 연결패턴(113a, 113b, 113c)은 상기 공통배선(110)과 더불어 상기 화소영역의 내측을 두르는 형태를 갖는 것이 특징이다.

<56> 한편, 상기 화소영역(P)에 있어서는 상기 게이트 배선(104)과 데이터 배선(125)과 연결되며 스위칭 소자로서 게이트 전극(107)과, 게이트 절연막(미도시)과, 반도체층(미도시)과, 서로 이격하는 소스 및 드레인 전극(128, 130)으로 구성되는 박막트랜지스터(Tr)가 형성되어 있다.

<57> 또한, 하나의 화소영역(P)에 있어서는, 상기 박막트랜지스터(Tr)의 드레인 전극(130)과 연결되며, 투명 도전성 물질로써 서로 이격하는 다수의 화소전극(155)이 형성되어 있다. 이때 상기 다수의 화소전극(155)은 제 1 화소패턴(153a)에서 분기하는 형태로 형성되고 있으며, 또한, 상기 제 1 화소패턴(153a)은 그 양끝단이 각각 절곡되어 연장하여 제 2 및 제 3 화소패턴(153b, 153c)을 이루고 있으며, 이때 이들 제 2 및 제 3 화소패턴(153b, 153c)은 상기 제 3 공통전극 연결패턴(113b) 및 공통배선(110)과 중첩하도록 형성되고 있는 것이 특징이다.

<58> 이때, 상기 제 3 화소패턴(153c)은 상기 드레인 전극(130)과 연결된 스토리지 전극(131)과 드레인 콘택홀(143)을 통해 접촉하며 형성됨으로써 상기 드레인 전극(130)을 통해 인가된 신호전압이 상기 다수의 화소전극(155)으로 인가되게 된다. 한편, 상기 공통배선(110)과 제 2, 3 공통전극 연결패턴(113b, 113c) 및 이들과 각각 중첩하는 제 3 화소패턴(153c)과 제 1, 2 화소패턴(153b, 153c)은 각각 제 1 및 2, 3 스토리지 커패시터(Stg1, Stg2, Stg3)를 이루게 된다.

<59> 또한, 상기 1 공통전극 연결패턴(113a)과 공통 콘택홀(141)을 통해 접촉하며, 투명 도전성 물질로 이루어진 제 4 공통전극 연결패턴(156)이 상기 제 1 공통전극 연결패턴(113a)과 중첩하며 형성되고 있으며, 이러한 제 4 공통전극 연결패턴(153)에서 분기하여 다수의 공통전극(157)이 상기 다수의 서로 이격하는 화소전극(155)과 교대하며 나란하게 형성되고 있다.

<60> 이때 상기 다수의 공통전극(157)과 화소전극(155)은 동일한 층에 투명 도전성 물질로써 형성되고 있는 것이 특징이며, 도면에 있어서는 이들 전극은(157, 155) 상기 게이트 배선(104)과 소정의 각도를 가지며 형성되고 있는 것을 보이고 있지만, 상기 게이트 배선(104)과 나란하게 형성될 수도 있다.

<61> 한편, 이러한 구성을 갖는 횡전계형 액정표시장치용 어레이 기판(101)에 있어서, 가장 특징적은 부분은 리페어

패턴(132)에 있다.

<62> 본 발명의 제 1 실시예에 따른 리페어 패턴(132)은, 스위칭 영역(TrA)에 형성된 상기 드레인 전극(130)에서 분기하여 상기 드레인 전극(130)을 포함하여 구성되는 상기 박막트랜지스터(Tr)를 스위칭 소자로 이용하는 화소영역(이를 제 1 화소영역이라 칭함)(P1) 이외의 이의 하부에 위치하는 화소영역(이를 제 2 화소영역이라 칭함)(P2) 내부로 연장하여 상기 제 2 화소영역(P2) 내의 화소전극(155) 더욱 정확히는 제 2 화소패턴(153b)과 그 일끝단이 중첩하도록 형성되고 있는 것이 특징이다.

<63> 이때 상기 제 1 화소영역(P)의 드레인 전극(130)과 동일한 층 동일한 물질로 이와 연결되며 형성되는 상기 리페어 패턴(132)과 상기 제 2 화소영역(P2) 내에 형성되는 상기 제 2 화소패턴(153b)은 보호층을 사이에 두고 서로 다른 층에 위치하게 되는 바, 이를 리페어하여 통전시키기 전에는 서로 전기적으로 연결되지 않는 구성을 갖는 것이 특징이다.

<64> 이러한 구성을 갖는 횡전계형 액정표시장치용 어레이 기판(101)에 있어서, 이물 등의 개입으로 특히 제 1 화소영역(P1) 내의 박막트랜지스터(Tr)의 작동 불량이 발생한 경우, 확실한 전기적 단절을 위해 게이트 배선(104) 상에 위치하며 상기 소스 전극과 마주하는 드레인 전극(130) 부분을 점선으로 도시한 절단선(CL)을 따라 레이저를 조사하여 절단한 후, 상기 제 1 화소영역(P1)으로부터 제 2 화소영역(P2)까지 연장 형성된 상기 리페어 패턴(132)과 그 상부에 위치하는 상기 제 2 화소영역(P2)의 제 2 화소패턴(153b)을 레이저를 조사하여 도통시킴으로써 상기 제 2 화소영역(P2)내의 화소전극(155)으로 인가되는 신호전압이 상기 리페어 패턴(132)을 통해 상기 불량이 발생한 제 1 화소영역(P1)의 내의 상기 드레인 전극(130)을 통해 최종적으로 상기 제 1 화소영역(P1)의 화소전극(155)으로 인가되게 된다.

<65> 따라서, 상기 화소불량이 발생한 제 1 화소영역(P1)은 그 하부에 위치한 제 2 화소영역과 동일한 화상을 표시하게 됨으로써 주변의 화소영역과 거의 유사한 색 및 그레이 레벨을 표시하게 되는 바, 사용자는 어두운 화상이 표시되든 아니면 밝은 화상이 표시되든 관계없이 불량을 인지하지 못함으로써 표시품질을 향상시키게 된다.

<66> 다음, 전술한 평면구조를 갖는 횡전계형 액정표시장치용 어레이 기판의 단면도를 참조하여 그 단면 구조에 대해 설명한다. 설명의 편의를 위해 각 화소영역(P1, P2)내 박막트랜지스터(Tr)가 형성되는 영역을 스위칭 영역(TrA) 이라 정의한다.

<67> 도 4와 도 5는 도 3을 각각 절단선 Ⅳ-Ⅳ, Ⅴ-Ⅴ를 따라 절단한 단면도이다.

<68> 도시한 바와 같이, 기판(101) 상에 게이트 배선(104)이 형성되어 있으며, 각 화소영역(P1, P2)의 스위칭 영역(TrA)에는 상기 게이트 배선(104)과 연결되며 게이트 전극(107)이 형성되어 있으며, 상기 게이트 배선(104)과 소정간격 이격하여 공통배선(110)이 형성되어 있으며, 상기 공통배선(110)과 연결되며 제 1 내지 제 3 공통전극 연결패턴(미도시, 미도시, 113c)이 형성되어 있다.

<69> 다음, 상기 게이트 배선(104)과 게이트 전극(107) 및 공통배선(110)과 제 1 내지 제 3 공통전극 연결패턴(미도시, 미도시, 113c) 위로 무기절연물질로써 게이트 절연막(115)이 전면에 형성되어 있다.

<70> 또한, 상기 게이트 절연막(115) 위로 상기 스위칭 영역(TrA)에는 순수 비정질 실리콘으로 이루어진 액티브층(120a)과, 상기 액티브층(120a) 위로 서로 이격하는 불순물 비정질 실리콘으로 이루어진 오믹콘택층(120b)으로 구성된 반도체층(120)이 형성되어 있으며, 상기 서로 이격한 오믹콘택층(120b) 위로 서로 이격하며 소스 및 드레인 전극(128, 130)이 형성되어 있다.

<71> 또한 상기 게이트 절연막(115) 상부에는 상기 드레인 전극(130)과 연결되며 동일한 물질로 이웃한 화소영역(P2)까지 연장하는 리페어 패턴(132)이 형성되어 있으며, 또한, 상기 게이트 절연막(115) 위로 상기 소스 전극(128)과 연결되며 하부의 게이트 배선(104)과 교차하여 각 화소영역(P1, P2)을 정의하며 데이터 배선(미도시)이 형성되어 있다.

<72> 또한 상기 게이트 절연막(미도시) 상부로 상기 공통배선(110)과 중첩하는 제 1 스토리지 영역에는 상기 공통배선(110)을 제 1 스토리지 전극으로 그리고 상기 공통배선(110)과 중첩하며 형성된 드레인 전극(130) 일부분을 제 2 스토리지 전극(131)으로 하여 제 1 스토리지 커패시터(StgC1)를 형성하고 있다.

<73> 이때, 상기 데이터 배선(미도시)과 리페어 패턴(132) 하부에는 이들 배선(미도시) 및 리페어 패턴(132)과 동일한 형태를 가지며 상기 반도체층(120)을 이루는 동일한 물질로써 반도체 패턴(121)이 형성되어 있다. 이는 반도체 물질층과 금속층을 동시에 패터닝하여 제작함에 기인하며, 반도체 물질층과 상기 금속층을 각각 별도의 마스

크로 패터닝하였을 경우 상기 반도체 패턴(121)은 형성되지 않는다.

<74> 다음, 상기 데이터 배선(미도시)과 소스 및 드레인 전극(128, 130)과 리페어 패턴(132)과 제 2 스토리지 전극(131) 위로 전면에 보호층(140)이 형성되어 있으며, 이때, 상기 보호층(140)은 상기 드레인 전극(130) 더욱 정확히는 제 2 스토리지 전극(131) 일부를 노출시키는 드레인 콘택홀(143)과, 상기 제 1 공통전극 연결패턴(미도시) 일부를 노출시키는 공통 콘택홀(미도시)이 형성되어 있는 것이 특징이다.

<75> 다음, 상기 드레인 콘택홀(143) 및 공통 콘택홀(미도시)을 갖는 보호층(140) 위로 투명 도전성 물질로써 화소영역(P1, P2)별로 상기 제 2, 3 공통전극 연결패턴(미도시)과 각각 중첩하며 서로 연결되는 제 1, 2 화소패턴(미도시, 153b)이 형성되고 있다. 이때, 상기 제 2 화소패턴(153b)은 이웃한 화소영역으로부터 연장 형성된 상기 리페어 패턴(132)과 상기 보호층(140)을 사이에 두고 중첩하며 형성되고 있는 것이 특징이다.

<76> 또한, 상기 보호층(140) 위로는 상기 제 1 화소패턴(미도시)에서 분기하여 다수의 서로 이격하는 화소전극(155)이 형성되고 있으며, 상기 제 1 화소패턴(미도시)과 연결되며 제 3 화소패턴(153c)이 형성되고 있다. 이때 상기 제 3 화소패턴(153c)은 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(130)과 연결된 제 2 스토리지 전극(131)과 접촉하고 있으며, 동시에 상기 공통배선(110)과 중첩하며 형성되고 있다.

<77> 또한, 상기 보호층(140) 위로는 상기 제 1 공통전극 연결패턴(미도시)과 중첩하며 상기 화소전극(155)을 형성한 동일한 물질로써 제 4 공통전극 연결패턴(미도시)이 형성되고 있으며, 상기 제 4 공통전극 연결패턴(미도시)은 상기 공통 콘택홀(미도시)을 통해 상기 제 1 공통전극 연결패턴(미도시)과 접촉하고 있다.

<78> 전술한 바와 같이 횡전계형 액정표시장치용 어레이 기판(101)을 제조함으로써, 도 3, 4, 5를 참조하면, 제 1 화소영역(P1)에 불량이 발생할 경우, 리페어 공정을 진행함으로써 상기 불량이 발생한 화소영역(P1) 내의 다수의 화소전극(155)과 전기적으로 연결된 제 3 화소패턴(153c)과 상기 드레인 콘택홀(143)을 통해 전기적으로 연결된 드레인 전극(133)을 레이저로써 점선으로 표시한 절단선(CL)을 따라 절단하고, 이웃한 제 2 화소영역(P2) 내의 제 2 화소패턴(153b)과 상기 리페어 패턴(132)이 중첩된 영역(LP)에 레이저를 조사하여 상기 제 2 화소영역(P2)의 제 2 화소패턴(153b)과 상기 리페어 패턴(132)을 도통시킴으로써 상기 불량일 발생한 제 1 화소영역(P1) 내의 화소전극(155)이 상기 제 1 화소영역(155) 하측에 위치한 제 2 화소영역(P2)과 동일한 구동을 하도록 하는 것이 본 발명의 특징적인 것이 된다.

<79> <제 2 실시예>

<80> 전술한 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 경우, 스위칭 영역에 있어 드레인 전극이 상기 게이트 배선과 나란한 방향으로 형성됨으로써 즉 상기 드레인 전극이 데이터 배선과 수직하는 방향으로 형성됨으로써 상기 드레인 전극 끝단이 상하로 절곡되어 각각 제 3 화소전극 패턴과 중첩되는 드레인 전극 부분과, 이웃한 화소영역으로 연장하여 이웃한 화소영역 내의 제 2 화소패턴과 각각 중첩하는 리페어 패턴을 형성하는 구조가 되고 있지만, 상기 드레인 전극이 상기 데이터 배선과 나란한 방향으로 형성될 경우, 상기 드레인 전극과 연결되는 리페어 패턴을 형성하기 어렵게 된다.

<81> 따라서, 본 발명의 제 2 실시예에서는 드레인 전극이 데이터 배선과 나란하게 형성되는 것을 특징으로 하는 박막트랜지스터를 구비한 횡전계형 액정표시장치용 어레이 기판에 대해 리페어 패턴을 형성한 것을 제안한다.

<82> 도 6은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 일부를 개략적으로 도시한 평면도이다. 이때, 각 화소영역 내부 구조는 전술한 제 1 실시예와 동일하므로 이에 대한 설명은 생략하며 차별점이 있는 리페어 패턴이 형성되는 부분 위주로 설명한다. 또한 도면 부호에 있어서 동일한 구성요소에 대해서는 제 1 실시예의 구성요소에 100을 더하여 부여하였다.

<83> 본 발명의 제 2 실시예에 있어서는, 박막트랜지스터(Tr)에 있어 서로 마주하는 소스 전극과 드레인 전극(228, 230)의 이격영역에 대응하는 채널영역이, "U"자 형태를 갖도록 구성함으로써 즉 데이터 배선(225)과 연결되는 소스 전극(228)을 "U"형태로 형성하고, 상기 "U"형태의 소스 전극(228)의 개구부에 드레인 전극(230)이 위치하게 됨으로써 상기 드레인 전극(230)을 상하로 연장시킬 수 없는 구조가 됨을 알 수 있다.

<84> 따라서, 제 2 실시예에 있어서는 상기 드레인 전극(230)을 연장하는 형태의 리페어 패턴을 형성하지 않고, 제 1 화소영역(P1) 내의 상기 드레인 전극(230) 중 공통배선(210)과 중첩하여 제 1 스토리지 커패시터(StgC1)를 이루는 제 2 스토리지 전극(231)에서 상기 드레인 전극(230)과 나란하게 상기 공통배선(210)과 게이트 배선(204) 사이의 이격영역까지 연장하여 형성된 형태로써 제 1 리페어 패턴(233)을 형성하고, 상기 제 2 화소영역(P2)에 다수의 화소전극(255)과 연결되며 제 3 공통전극 연결패턴(113c)과 중첩함으로써 제 2 스토리지 커패시터(StgC2)

를 형성하는 제 2 화소패턴(253b) 일부가 배선의 형태로써 상기 제 1 화소영역(P1)까지 연장하여 상기 제 1 리페어 패턴(233)과 그 일끝단이 중첩하도록 하는 제 2 리페어 패턴(254)을 형성한 것을 특징으로 하고 있다.

<85> 이때, 상기 도 6을 절단선 Ⅶ-Ⅶ를 따라 절단한 부분에 대한 단면도인 도 7을 참조하면, 상기 제 1 화소영역(P1) 내의 드레인 전극(230)과 연결된 제 1 스토리지 커패시터(StgC1)의 제 2 스토리지 전극(231)과 연결된 제 1 리페어 패턴(233)은 게이트 절연막(215) 상에 형성되고 있으며, 상기 제 1 리페어 패턴(233)과 중첩하는 제 2 리페어 패턴(254)은 보호층(240) 상부에 형성됨으로서, 상기 제 1, 2 리페어(233, 254) 패턴은 보호층(240)을 사이에 두고 중첩하며 형성되고 있음을 알 수 있다.

<86> 따라서, 이들 제 1, 2 리페어 패턴(233, 254)은 화소 불량이 발생하지 않을 경우, 서로 전기적으로 연결되지 않는 상태가 되며, 만약 제 1 화소영역(P1)에서 화소불량이 발생하였을 경우, 상기 공통배선(210)과 게이트 배선(204) 사이에 위치한 드레인 전극(230) 부분을 점선으로 표시한 절단선(CL)을 따라 레이저로 절단하고, 상기 제 1, 2 리페어 패턴(233, 254)이 중첩 형성된 영역(LP)에 레이저를 조사하여 형성된 제 1, 2 리페어 패턴(233, 254)을 도통시킴으로써 제 1 실시예와 동일하게 제 2 화소영역(P2)내의 화소전극(255)에 인가되는 신호전압이 상기 제 1 화소영역(P1) 내의 화소전극(255)으로 동일하게 인가됨으로써 상기 제 2 화소영역(P2)과 동일한 구동을 하게 됨을 알 수 있다.

<87> <제 3 실시예>

<88> 도 8은 본 발명의 제 3 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 일부를 개략적으로 도시한 평면도이며 도 9는 도 8을 절단선 Ⅸ-Ⅸ을 따라 절단한 부분에 대한 단면도이다. 이때, 화소영역 내부 구조는 전술한 제 2 실시예와 동일하므로 이에 대한 설명은 생략하며 차별점이 있는 리페어 패턴이 형성되는 부분 위주로 설명한다. 또한, 도면 부호에 있어서 동일한 구성요소에 대해서는 제 2 실시예의 구성요소에 100을 더하여 부여하였다.

<89> 본 발명의 제 3 실시예의 경우, 전술한 제 2 실시예와 차별점이 있는 부분은 리페어 패턴이 모두 3영역으로 이루어지고 있는 구조에 있다.

<90> 제 1 화소영역(P1) 내의 게이트 배선(304)과 공통배선(310) 사이의 이격영역에 데이터 배선(325) 또는 소스 및 드레인 전극(328, 330)이 형성된 동일한 층에 동일한 물질로 상기 드레인 전극(330) 또는 제 2 스토리지 전극(331)과 연결되지 않고 아일랜드 형태로 제 1 리페어 패턴(333)이 형성되어 있으며, 이러한 제 1 리페어 패턴(333)의 일끝단과 중첩하며 상기 제 1 화소영역(P1) 내의 상기 제 3 화소패턴(353c)과 연결되는 제 2 리페어 패턴(354a)이 형성되고 있으며, 상기 제 1 리페어 패턴(333)의 타 끝단과 중첩하며 상기 제 2 화소영역(P) 내의 제 2 화소패턴(353b)과 연결되는 제 3 리페어 패턴(354b)이 형성되고 있는 것이 특징이다.

<91> 단면구조를 살펴보면, 게이트 절연막(315) 상에 상기 소스 및 드레인 전극(328, 330)을 형성한 동일한 물질로써 상기 제 1 리페어 패턴(333)이 형성되어 있으며, 그 위로 보호층(340)이 형성되고 있다.

<92> 또한, 상기 보호층(340) 상부로 상기 제 1 리페어 패턴(333)과 각각 중첩하며 서로 소정간격 이격하며 제 1 화소영역(P1) 내의 제 3 화소패턴(353c)과 연결된 제 2 리페어 패턴(354a)과 상기 제 2 화소영역(P2) 내의 제 2 화소패턴(353b)과 연결된 제 3 리페어 패턴(354b)이 형성되어 있다.

<93> 이러한 구성을 갖는 제 3 실시예에 따른 횡전계형 액정표시장치용 어레이 기판(301)의 경우, 만약 제 1 화소영역(P1)에서 화소불량이 발생하였을 경우, 도시한 바와같이 상기 공통배선(310)과 게이트 배선(304) 사이에 위치한 드레인 전극(330) 부분을 점선으로 표시한 절단선(CL)을 따라 레이저로 절단하고, 상기 제 1 및 2 리페어 패턴(333, 354a)이 중첩된 영역(LP1)과 상기 제 1 및 제 3 리페어 패턴(333, 354b)이 중첩 형성된 영역(LP2)에 각각 레이저를 조사하여 상기 제 1 및 2 리페어 패턴(333, 354a)과 제 1 및 제 3 리페어 패턴(333, 354b)을 각각 도통시킴으로써 제 1 실시예와 동일하게 제 2 화소영역(P2)내의 화소전극(355)에 인가되는 신호전압이 상기 제 1 화소영역(P1) 내의 화소전극(355)으로 동일하게 인가됨으로써 상기 제 2 화소영역(P2)과 동일한 구동을 하게 된다.

<94> 이후에는 간단히 전술한 제 1 내지 제 3 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 방법에 대해 도면없이 간단히 설명한다.

<95> 설명의 편의를 위해 화소영역내 박막트랜지스터가 형성되는 영역을 스위칭 영역, 스토리지 커패시터가 형성될 영역을 스토리지 영역이라 정의한다.

<96> 우선, 투명한 절연기판 상에 금속물질을 전면에 증착하여 금속물질층을 형성한 한 후, 포토레지스트의 도포, 마

스크를 이용한 노광, 포토레지스트의 현상, 포토레지스트 사이로 노출된 금속물질층의 식각 등을 포함하는 마스크 공정을 진행하여 상기 금속물질층을 패터닝함으로써 일방향으로 연장하는 게이트 배선과, 스위칭 영역(TrA)에 있어서는 상기 게이트 배선과 연결된 게이트 배선을 형성한다.

<97> 또한, 동 마스크 공정에 의해 상기 게이트 배선과 소정간격 이격하는 공통배선과, 상기 공통배선에서 분기한 제 1, 2 공통전극 연결패턴 및 이들 두 패턴의 끝단을 연결하는 제 3 공통전극 연결패턴을 형성한다.

<98> 이후 상기 게이트 배선, 게이트 전극), 공통배선 및 제 1 내지 제 3 공통전극 연결패턴 위로 전면에 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 게이트 절연막을 형성한다.

<99> 다음, 상기 게이트 절연막 위로 전면에 순수 비정질 실리콘과 불순물 비정질 실리콘과 제 2 금속층을 형성하고 이를 회절노광 또는 하프톤 노광을 실시하여 패터닝함으로써 상기 게이트 배선과 교차하는 데이터 배선을 형성하고, 동시에 스위칭 영역에 있어서는 상기 데이터 배선과 연결되는 소스 전극과, 상기 소스 전극과 이격하는 드레인 전극을 형성한다. 이때 상기 소스 및 드레인 전극 하부에는 불순물 비정질 실리콘의 서로 이격하는 오믹콘택층과 그 하부로 연결된 상태의 순수 비정질 실리콘의 액티브층으로 이루어진 반도체층을 형성한다.

<100> 또한, 상기 게이트 절연막 위로는 상기 소스 및 드레인 전극과 동일한 물질로 이루어진 (제 1)리페어 패턴을 형성한다. 이때 상기 (제 1)리페어 패턴은 제 1, 2 실시예에서는 상기 드레인 전극 자체 또는 상기 드레인 전극과 연결된 형태의 제 2 스토리지 전극을 이웃한 화소영역 내의 제 2 화소패턴이 형성될 영역까지 연장하여 형성(제 1 실시예의 경우)하거나 또는 상기 공통배선과 게이트 배선간의 이격영역까지 연장하도록 형성(제 2 실시예의 경우)하거나 또는 상기 공통배선과 게이트 배선간의 이격영역에 아일랜드 형태로 형성(제 3 실시예의 경우)한다. 이때 상기 데이트 배선과 상기 (제 1)리페어 패턴 하부에는 상기 반도체층과 동일한 물질로 이루어진 이중층 구조의 반도체 패턴이 형성될 수 있다.

<101> 이후, 상기 데이터 배선과 소스 및 드레인 전극과 (제 1)리페어 패턴 위로 전면에 보호층을 형성하고, 이를 패터닝함으로써 상기 드레인 전극 더욱 정확히는 상기 드레인 전극과 연결된 제 1 스토리지 커패시터의 제 2 스토리지 전극을 노출시키는 드레인 콘택홀과, 상기 제 1 공통배선 콘택홀을 형성한다.

<102> 이후, 상기 보호층 위로 투명 도전성 물질층을 형성하고 이를 패터닝함으로써 상기 드레인 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 제 3 화소패턴과 상기 제 3 화소패턴과 연결되며 상기 제 2 공통전극 연결패턴과 중첩하는 제 1 화소패턴 및 이와 연결되며 상기 제 3 공통전극 연결패턴과 중첩하는 제 2 화소패턴 및 상기 제 1 화소패턴에서 분기한 다수의 화소전극을 형성한다.

<103> 이때 상기 제 2 화소패턴은 제 1 실시예의 경우 이웃한 화소영역에서 연장된 드레인 전극과 중첩하게 됨으로써 화소불량 발생시 리페어 할 수 있는 상태가 된다.

<104> 또한, 동시에 상기 보호층 위로 상기 공통 콘택홀을 통해 상기 제 1 공통전극 연결패턴과 접촉하며 이와 중첩하는 제 4 공통전극 연결패턴과, 상기 제 3 공통전극 연결패턴에서 분기하며 상기 다수의 화소전극과 나란하게 교대하는 다수의 공통전극을 형성한다.

<105> 또한 동시에 상기 보호층 위로 상기 (제 1)리페어 패턴의 일끝단과 중첩하도록 이웃한 화소영역의 상기 제 2 화소패턴 일부를 연장 형성함으로써 본 발명의 제 2 실시예에 따른 어레이 기판을 완성하게 되며, 동시에 제 3 실시예의 경우, 아일랜드 형상의 제 1 리페어 패턴에 대해 상기 이웃한 화소영역의 제 2 화소패턴 일부를 연장하여 상기 제 1 리페어 패턴의 일끝단과 중첩하도록 형성한 후, 상기 제 3 화소패턴의 일부를 연장하여 상기 제 1 리페어 패턴의 타끝단과 중첩하도록 형성함으로써 완성할 수 있다.

발명의 효과

<106> 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은 화소의 불량 발생 시, 리페어 패턴에 의해 그 하부에 위치하는 화소영역의 화소전극과 상기 불량이 발생한 화소영역의 화소전극을 전기적으로 연결될 수 있는 구조를 가지므로 불량이 발생한 화소영역이 그 하측에 위치한 화소영역와 동일한 구동을 하도록 함으로써 불량 화소를 암점화시키는 종래의 횡전계형 액정표시장치용 어레이 기판 대비 표시품질을 향상시키는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 종래의 액정표시장치를 개략적으로 도시한 분해사시도.

<2> 도 2는 종래의 액정표시장치용 어레이 기판의 일부를 개략적으로 도시한 평면도.

<3> 도 3은 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 일부를 개략적으로 도시한 평면도.

<4> 도 4는 도 3을 절단선 Ⅳ-Ⅳ를 따라 절단한 단면도.

<5> 도 5는 도 3을 절단선 Ⅴ-Ⅴ를 따라 절단한 단면도.

<6> 도 6은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 일부를 개략적으로 도시한 평면도.

<7> 도 7은 도 6을 절단선 Ⅶ-Ⅶ를 따라 절단한 단면도.

<8> 도 8은 본 발명의 제 3 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 일부를 개략적으로 도시한 평면도.

<9> 도 9는 도 8을 절단선 Ⅸ-Ⅸ를 따라 절단한 단면도.

<10> <도면의 주요부분에 대한 간단한 설명>

<11> 101 : 어레이 기판 104 : 게이트 배선

<12> 107 : 게이트 전극 110 : 공통배선

<13> 113a, 113b, 113c : 제 1, 2, 3 공통전극 연결패턴

<14> 125 : 데이터 배선 128 : 소스 전극

<15> 130 : 드레인 전극 131 : 제 2 스토리지 전극

<16> 132 : 리페어 패턴 141 : 공통 콘택홀

<17> 143 : 드레인 콘택홀 153a, 153b, 153c : 제 1, 2, 3 화소패턴

<18> 155 : 화소전극 156 : 제 4 공통전극 연결패턴

<19> 157 : 공통전극

<20> CL : 화소불량 시 레이저에 의한 절단선

<21> LP : 불량시 레이저에 의한 도통 포인트

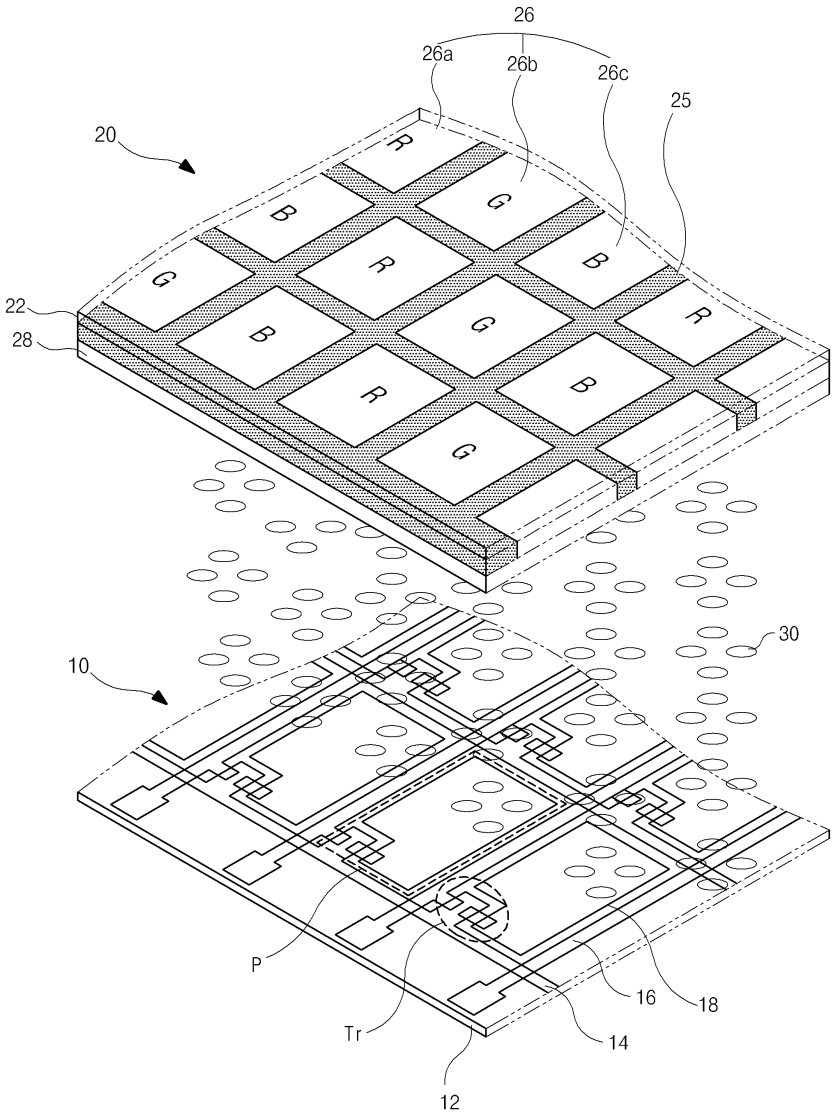
<22> P1, P2 : 제 1, 2 화소영역

<23> StgC1, StgC1, StgC1 : 제 1, 2, 3 스토리지 커패시터

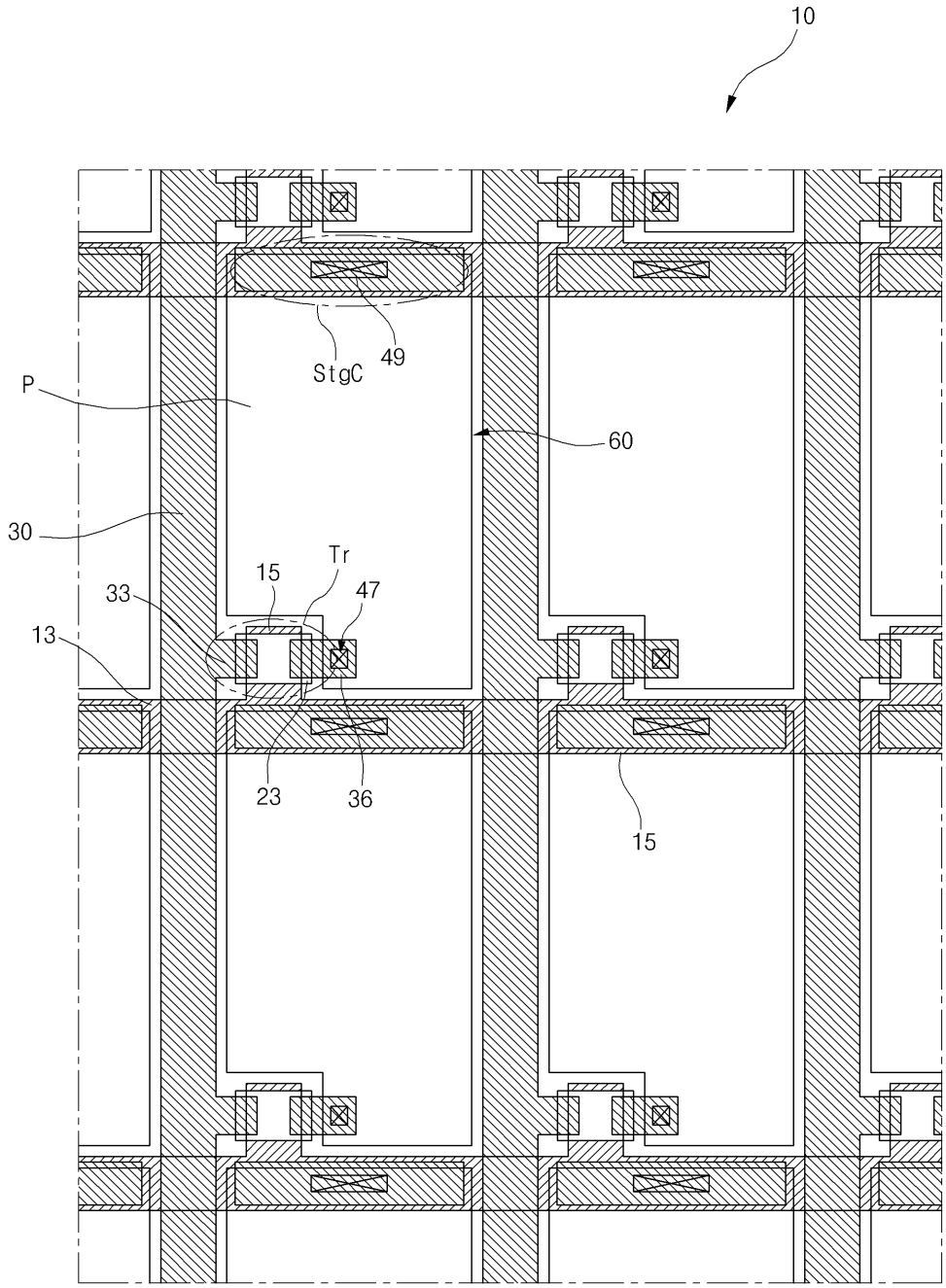
<24> Tr : 박막트랜지스터

도면

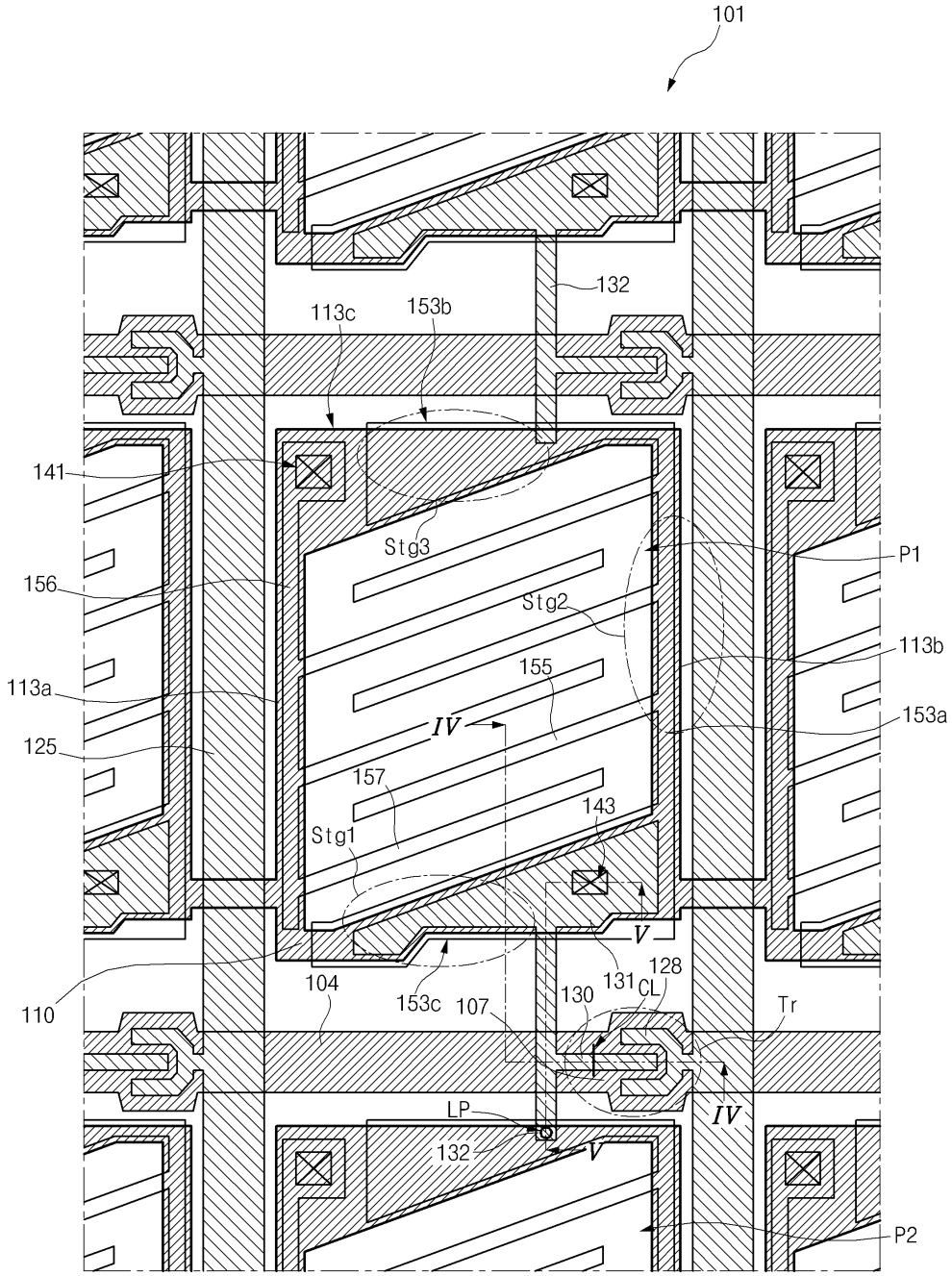
도면1



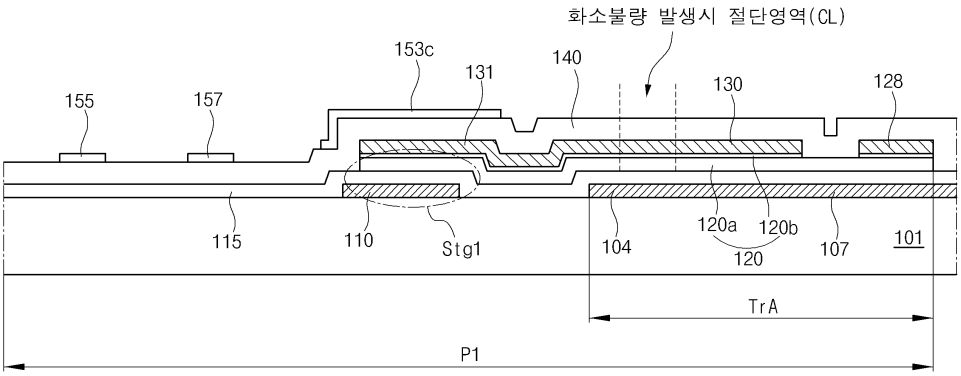
도면2



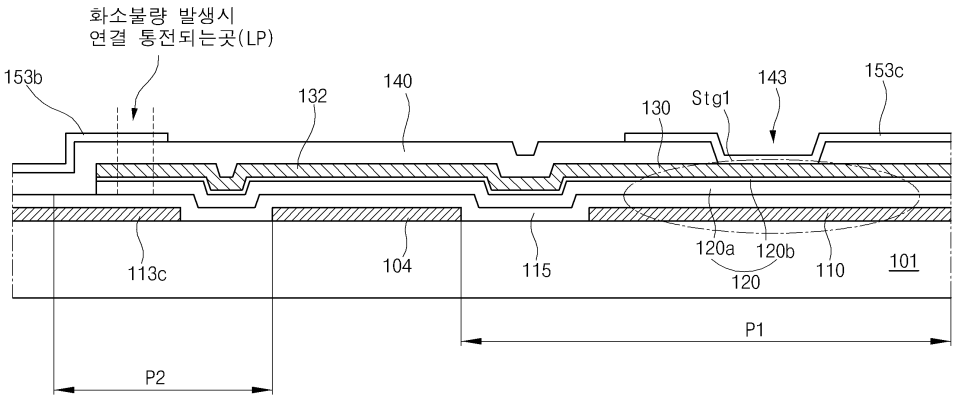
도면3


101
132
113c
153b
141
Stg3
P1
156
Stg2
113b
155
113a
IV
153a
125
157
143
Stg1
V
128
131
CL
104
153c
107
130
Tr
110
LP
IV
132
V
P2

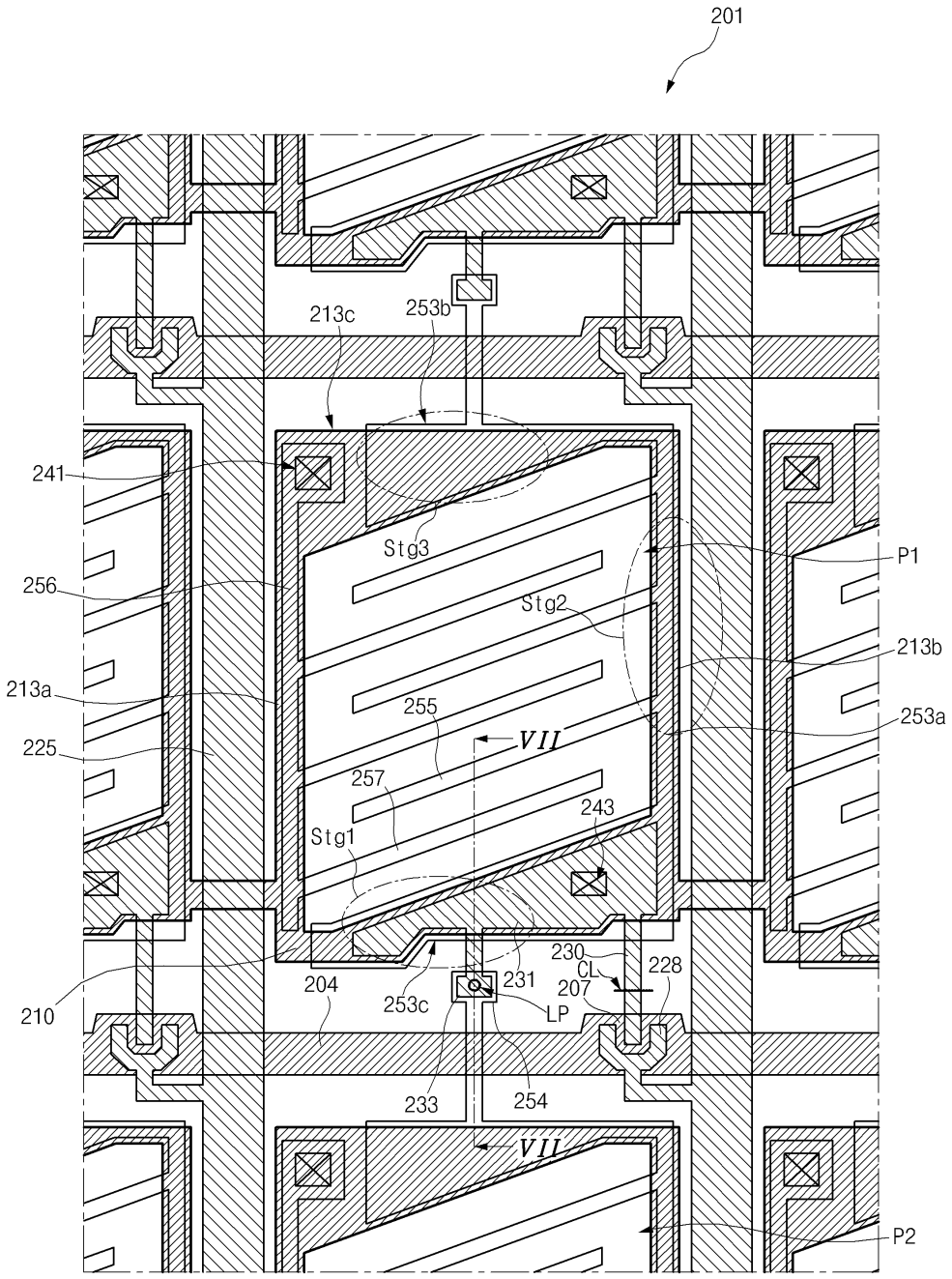
도면4


화소불량 발생시 절단영역(CL)
153c
131
140
130
128
155
157
115
110
Stg1
104
120a
120b
120
107
101
TrA
P1

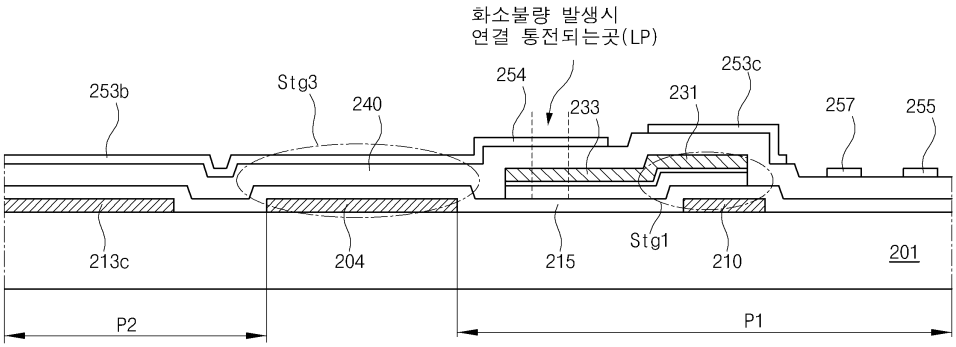
도면5


화소불량 발생시
연결 통전되는곳(LP)
153b
132
140
130
Stg1
143
153c
113c
104
115
120a
120b
120
110
101
P1
P2

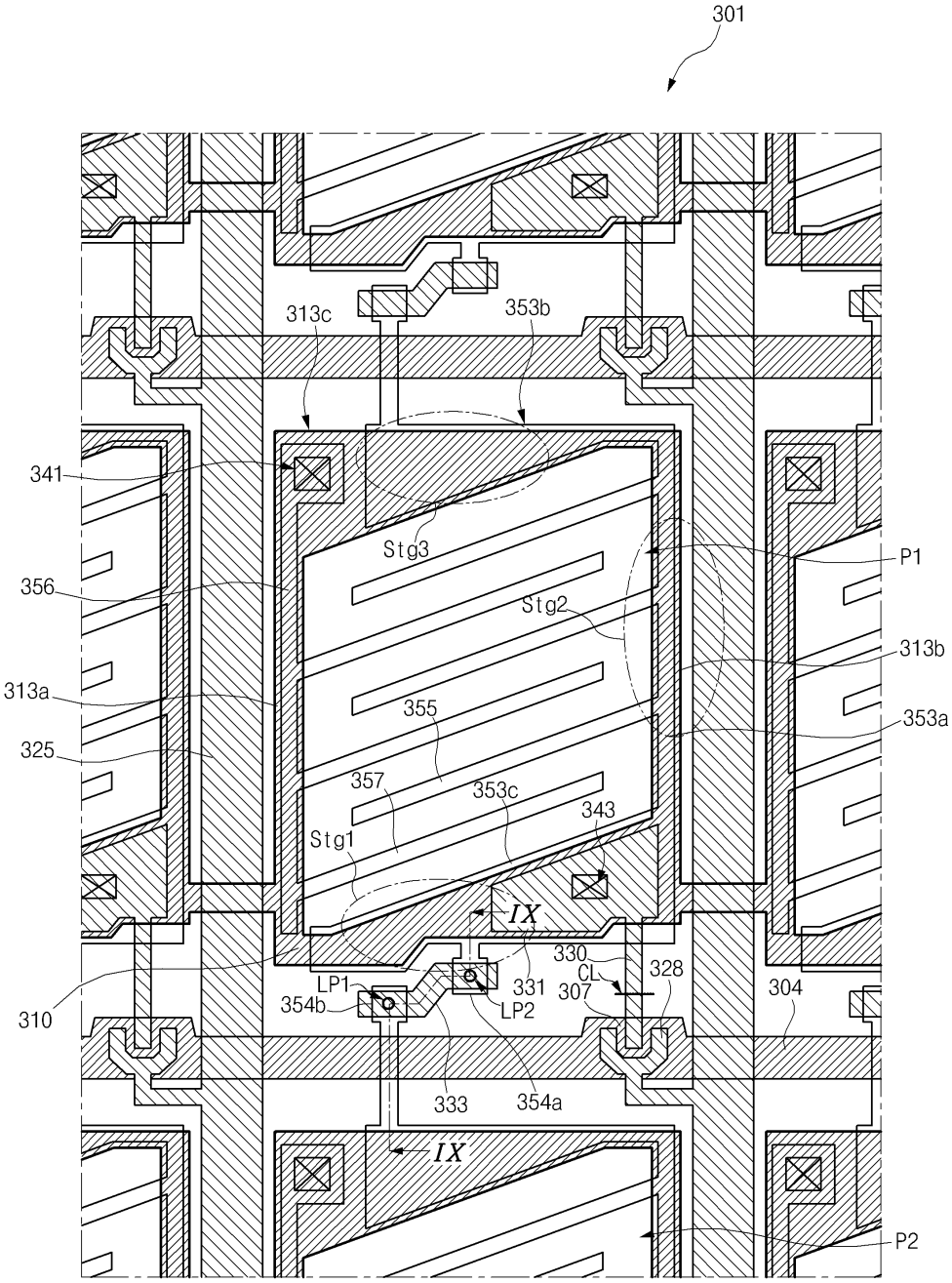
도면6


201
213c
253b
241
Stg3
P1
256
Stg2
213b
213a
255
253a
VII
225
257
243
Stg1
230
CL
228
210
204
231
207
253c
LP
233
254
VII
P2

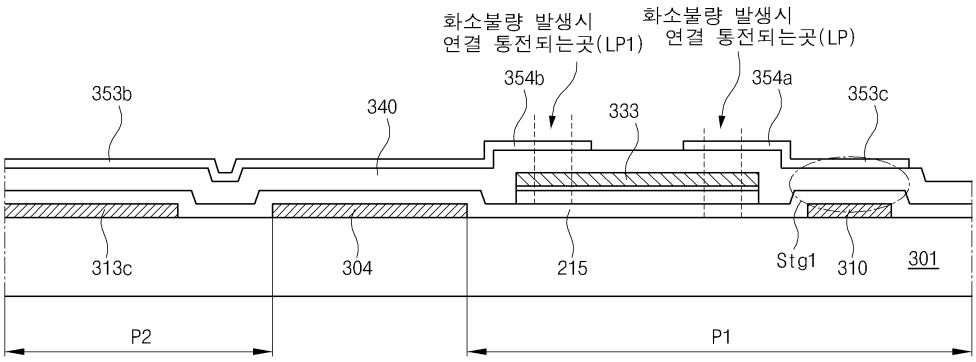
도면7


화소불량 발생시
연결 통전되는곳(LP)
253b
Stg3
240
254
233
231
253c
257
255
213c
204
215
Stg1
210
201
P2
P1

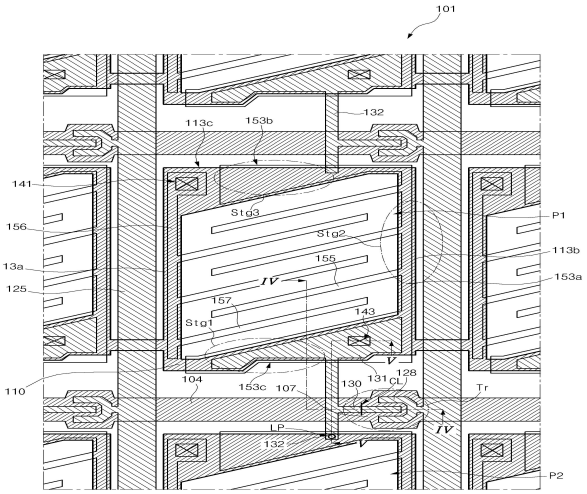
도면8


301
313c
353b
341
Stg3
P1
356
Stg2
313b
313a
355
353a
325
357
353c
343
Stg1
IX
330
CL
328
LP1
331
307
304
310
354b
LP2
333
354a
IX
P2

도면9


화소불량 발생시
연결 통전되는곳(LP1)
화소불량 발생시
연결 통전되는곳(LP)
353b
340
354b
333
354a
353c
313c
304
215
Stg1
310
301
P2
P1

专利名称(译)	一种用于横向电场型液晶显示器件的阵列基板		
公开(公告)号	KR1020080062265A	公开(公告)日	2008-07-03
申请号	KR1020060137829	申请日	2006-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI IL MAN 최일만 KIM TAE HYEUNG 김태형 LEE MIN JIC 이민직		
发明人	최일만 김태형 이민직		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136259 G02F1/134363		
其他公开文献	KR100947273B1		
外部链接	Espacenet		

摘要(译)

本发明涉及基板上的单向方向。并且，在与多个像素电极交替的同时形成多个公共电极，同时连接到具有暴露漏极接触孔的公共接触孔的保护层和暴露漏极电极同时形成有修复图案的公共线通过源极和漏极延伸到向上与漏极电极相邻的像素区域：形成栅极绝缘层，同时在半导体层和半导体层的顶部彼此分离，该数据线形成于数据线：与栅极布线向上交叉并形成公共线：栅极布线，其对准形成电极和公共线从形成的栅极布线和栅极电极分离的上部：与其连接的栅极布线限定像素区域，栅极绝缘层向上对应于栅极电极并形成数据线，源极，漏极和修复图案上部部分，多个像素电极：它们在彼此分开的同时通过漏极接触孔与保护层上部连接而保护层上部通过公共接触孔连接到保护层上部到公共线阵列提供了一种横向电场型模式的基板，包括在与保护层上部连接到像素电极的同时与修复图案重叠的同时形成的像素图案。