



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.  
*G02F 1/133* (2006.01)

(11) 공개번호 10-2007-0074826  
(43) 공개일자 2007년07월18일

(21) 출원번호 10-2006-0002843  
(22) 출원일자 2006년01월10일  
심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 강신택  
경기 용인시 상현동 성원3차상떼빌 230-1801  
안병재  
서울 관악구 신림7동 673-73  
이종혁  
서울 영등포구 당산동2가 현대아파트 102-1802  
김유진  
충남 아산시 탕정면 명암리 크리스탈 타운 비취동 610호  
김범준  
서울 서초구 양재동 82-13 (16/2)

(74) 대리인 남승희

전체 청구항 수 : 총 26 항

**(54) 게이트 드라이버와 이를 구비한 박막 트랜지스터 기판 및 액정 표시 장치**

**(57) 요약**

본 발명은 콘택 불량을 방지할 수 있는 구조를 갖는 비정질 실리콘 TFT를 이용한 게이트 드라이버에 관한 것으로서, 액정 패널 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 액정 패널의 일 측 상에 내장된 게이트 드라이버로서, 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하며, 복수의 스테이지 각각은, 제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로와, 게이트 오프 신호를 출력 단자에 제공하기 위한 풀다운 회로와, 제1 제어 신호에 따라 풀업 회로를 구동시키는 풀업 구동 회로 및 제2 제어 신호에 따라 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며, 스테이지는 복수의 스위칭 소자를 포함하며, 제1 클럭 신호, 제2 클럭 신호, 제1 제어 신호 또는 제2 제어 신호가 인가되는 신호 라인과 스위칭 소자가 전기적으로 연결되는 노드들 중 소정 노드는 복수의 콘택을 포함하는 것을 특징으로 하는 게이트 드라이버와 이를 구비한 박막 트랜지스터 기판 및 액정 표시 장치가 제공된다.

**내포도**

도 5

**특허청구의 범위**

## 청구항 1.

액정 패널 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 상기 액정 패널의 일 측 상에 내장된 게이트 드라이버로서, 상기 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하며,

상기 복수의 스테이지 각각은,

제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로; 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며,

상기 스테이지는 복수의 스위칭 소자를 포함하며, 상기 제1 클럭 신호, 제2 클럭 신호, 제1 제어 신호 또는 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드들 중 적어도 하나의 노드는 복수의 콘택을 포함하는 것을 특징으로 하는 게이트 드라이버.

## 청구항 2.

제1항에 있어서,

상기 스위칭 소자는 비정질 실리콘으로 이루어진 활성층을 포함하는 박막 트랜지스터인 것을 특징으로 하는 게이트 드라이버.

## 청구항 3.

제1항에 있어서,

상기 복수의 콘택을 포함하는 노드는 상기 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드인 것을 특징으로 하는 게이트 드라이버.

## 청구항 4.

제3항에 있어서,

상기 제2 제어 신호는 이전 스테이지의 게이트 구동 신호인 것을 특징으로 하는 게이트 드라이버.

## 청구항 5.

제1항에 있어서,

상기 콘택은 투명 도전체를 포함하는 것을 특징으로 하는 게이트 드라이버.

## 청구항 6.

제5항에 있어서,

상기 콘택은 ITO(Indium Tin Oxide)를 포함하는 것을 특징으로 하는 게이트 드라이버.

**청구항 7.**

액정 패널 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 상기 액정 패널의 일 측 상에 내장된 게이트 드라이버로서, 상기 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하며,

상기 복수의 스테이지 각각은,

제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로; 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며,

상기 스테이지는 복수의 스위칭 소자 및 상기 복수의 스위칭 소자 중 소정 스위칭 소자에 연결된 리던던트 스위칭 소자를 포함하는 것을 특징으로 하는 게이트 드라이버.

**청구항 8.**

제7항에 있어서,

상기 리던던트 스위칭 소자는 상기 풀다운 구동 회로에 포함된 적어도 하나의 스위칭 소자에 연결된 것을 특징으로 하는 게이트 드라이버.

**청구항 9.**

제7항에 있어서,

상기 제1 클럭 신호, 제2 클럭 신호, 제1 제어 신호 또는 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드들 중 소정 노드는 복수의 콘택을 포함하는 것을 특징으로 하는 게이트 드라이버.

**청구항 10.**

제7항에 있어서,

상기 스위칭 소자는 비정질 실리콘으로 이루어진 활성층을 포함하는 박막 트랜지스터인 것을 특징으로 하는 게이트 드라이버.

**청구항 11.**

제9항에 있어서,

상기 복수의 콘택을 포함하는 노드는 상기 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드인 것을 특징으로 하는 게이트 드라이버.

**청구항 12.**

제11항에 있어서,

상기 제2 제어 신호는 이전 스테이지의 게이트 구동 신호인 것을 특징으로 하는 게이트 드라이버.

### 청구항 13.

제9항에 있어서,

상기 콘택은 투명 도전체를 포함하는 것을 특징으로 하는 게이트 드라이버.

### 청구항 14.

제13항에 있어서,

상기 콘택은 ITO(Indium Tin Oxide)를 포함하는 것을 특징으로 하는 게이트 드라이버.

### 청구항 15.

액정에 신호전압을 인가하고 차단하는 스위칭 소자인 박막 트랜지스터와, 상기 박막 트랜지스터에 인가된 신호전압을 액정에 가해주기 위한 화소 전극 및 상기 화소 전극에 인가된 신호전압을 일정시간 이상 유지시켜주는 스토리지 커패시터를 포함한 화소가 매트릭스 형태로 배열된 기판 및

상기 기판 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 상기 기판의 일 측 상에 내장된 게이트 드라이버를 포함하며, 상기 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하고, 상기 복수의 스테이지 각각은,

제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로; 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며,

상기 스테이지는 복수의 스위칭 소자를 포함하며, 상기 제1 클럭 신호, 제2 클럭 신호, 제1 제어 신호 또는 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드들 중 적어도 하나의 노드는 복수의 콘택을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 16.

제15항에 있어서,

상기 복수의 콘택을 포함하는 노드는 상기 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드인 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 17.

제16항에 있어서,

상기 제2 제어 신호는 이전 스테이지의 게이트 구동 신호인 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 18.

제15항에 있어서,

상기 화소의 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 19.

액정에 신호전압을 인가하고 차단하는 스위칭 소자인 박막 트랜지스터와, 상기 박막 트랜지스터에 인가된 신호전압을 액정에 가해주기 위한 화소 전극 및 상기 화소 전극에 인가된 신호전압을 일정시간 이상 유지시켜주는 스토리지 커패시터를 포함한 화소가 매트릭스 형태로 배열된 기판 및

상기 기판 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 상기 기판의 일 측 상에 내장된 게이트 드라이버를 포함하며, 상기 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하며, 상기 복수의 스테이지 각각은,

제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로; 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며,

상기 스테이지는 복수의 스위칭 소자 및 상기 복수의 스위칭 소자 중 소정 스위칭 소자에 연결된 리던던트 스위칭 소자를 포함하는 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 20.

제19항에 있어서,

상기 리던던트 스위칭 소자는 상기 풀다운 구동 회로에 포함된 적어도 하나의 스위칭 소자에 연결된 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 21.

제19항에 있어서,

상기 제1 클럭 신호, 제2 클럭 신호, 제1 제어 신호 또는 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드들 중 소정 노드는 복수의 콘택을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 22.

제21항에 있어서,

상기 복수의 콘택을 포함하는 노드는 상기 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드인 것을 특징으로 하는 박막 트랜지스터 기판.

### 청구항 23.

제22항에 있어서,

상기 제2 제어 신호는 이전 스테이지의 게이트 구동 신호인 것을 특징으로 하는 박막 트랜지스터 기판.

## 청구항 24.

제19항에 있어서,

상기 화소의 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터 기판.

## 청구항 25.

액정에 신호전압을 인가하고 차단하는 스위칭 소자인 박막 트랜지스터와, 상기 박막 트랜지스터에 인가된 신호전압을 액정에 가해주기 위한 화소 전극 및 상기 화소 전극에 인가된 신호전압을 일정시간 이상 유지시켜주는 스토리지 커패시터를 포함한 화소가 매트릭스 형태로 배열된 기판과,

상기 기판 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 상기 기판의 일 측 상에 내장된 게이트 드라이버를 포함한 박막 트랜지스터 기판 및

컬러 필터 및 상기 액정에 전압을 인가하기 위한 공통 전극을 포함하는 컬러 필터 기판을 포함하며,

상기 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하고, 상기 복수의 스테이지 각각은,

제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로; 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며,

상기 스테이지는 복수의 스위칭 소자를 포함하며, 상기 제1 클럭 신호, 제2 클럭 신호, 제1 제어 신호 또는 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드들 중 적어도 하나의 노드는 복수의 콘택을 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 26.

액정에 신호전압을 인가하고 차단하는 스위칭 소자인 박막 트랜지스터와, 상기 박막 트랜지스터에 인가된 신호전압을 액정에 가해주기 위한 화소 전극 및 상기 화소 전극에 인가된 신호전압을 일정시간 이상 유지시켜주는 스토리지 커패시터를 포함한 화소가 매트릭스 형태로 배열된 기판과,

상기 기판 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 상기 기판의 일 측 상에 내장된 게이트 드라이버를 포함한 박막 트랜지스터 기판 및

컬러 필터 및 상기 액정에 전압을 인가하기 위한 공통 전극을 포함하는 컬러 필터 기판을 포함하며,

상기 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하며, 상기 복수의 스테이지 각각은,

제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로; 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며,

상기 스테이지는 복수의 스위칭 소자 및 상기 복수의 스위칭 소자 중 소정 스위칭 소자에 연결된 리던던트 스위칭 소자를 포함하는 것을 특징으로 하는 액정 표시 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 게이트 드라이버와 이를 구비한 박막 트랜지스터 기판 및 액정 표시 장치에 관한 것으로, 보다 상세하게는 비정질 실리콘 박막 트랜지스터를 이용한 게이트 드라이버의 콘택 불량을 방지할 수 있는 구조를 구비한 게이트 드라이버와 이를 구비한 박막 트랜지스터 기판 및 액정 표시 장치에 관한 것이다.

액정 표시 장치는 종래의 CRT(Cathode Ray Tube)와 비교하여 소형, 경량화 및 대화면화의 장점을 갖고 있어, 이의 개발이 활발히 이루어지고 있으며, 랩탑형 컴퓨터뿐만 아니라 데스크탑형 컴퓨터의 모니터, 대형 표시장치 및 이동통신 단말기의 디스플레이장치에도 사용되고 있어 그의 사용범위가 급속도로 확대되고 있으며, 이러한 액정 표시 장치는 매트릭스 형태로 배열된 다수의 제어용 스위치들에 인가되는 영상신호에 따라 광의 투과량이 조절되어 액정 표시 장치의 패널에 원하는 화상을 표시한다.

한편, 액정 표시 장치는 비정질 실리콘 박막 트랜지스터(이하 TFT 라함) 액정 표시 장치와 폴리 실리콘 박막 트랜지스터 액정 표시 장치로 구분된다. 비정질 실리콘 TFT는 TFT의 주요 특성인 이동도가 폴리 실리콘 TFT보다 100 내지 200배 정도 낮으나, 대면적에서 소자제작이 간단하며, 소자 특성은 낮지만 균일한 특성을 보이며, 화소의 스위칭 소자로서 비정질 실리콘 TFT 정도면 충분하기 때문에, 액정 표시 장치는 주로 비정질 실리콘 TFT로 제작한다. 반면, 폴리 실리콘 TFT는 비정질 실리콘 TFT가 가질 수 없는 높은 이동도와 소자 특성을 보인다. 비정질 실리콘 TFT 액정 표시 장치의 경우 액정 패널에서 화소부만 제작하고, 나중에 구동 회로를 TAB(Tape Automated Bonding)이나 COG(Chip On Glass)로 연결시키며 반하여, 폴리 실리콘 TFT 액정 표시 장치에서는 화소부를 제작할 때, 데이터 구동 회로와 게이트 드라이버를 동시에 집적하여, 별도의 구동 회로가 필요치 않게 된다. 한편, 최근에는 비정질 실리콘 기술의 발달로 인하여 비정질 실리콘 TFT를 이용한 게이트 드라이버를 액정 패널에 내장하는 기술이 개발되었다.

도 1은 일반적인 게이트 드라이버가 내장된 액정 패널의 개략 구성도이다. 상기 도 1을 참조하면, 상기 액정 패널(100)은 데이터 라인을 구동하기 위한 소스 드라이버(110)와 게이트 라인을 구동하기 위한 게이트 드라이버(120)를 포함한다. 상기 게이트 드라이버(120)는 외부 클럭 신호와 게이트 라인을 연결하는 스위칭 소자인 TFT와 이를 제어하는 회로로 구성되는데, 상기 TFT는 비정질 실리콘 TFT를 이용하여, 기판 상에 내장함으로써, 외부 부품을 감소시킨다.

도 2는 게이트 드라이버의 구조를 설명하기 위한 개략 구성도이다. 상기 도 2를 참조하면, 상기 게이트 드라이버는 클럭 신호(CKV)와 반전 클럭 신호(CKVB)에 응답하여, 게이트 라인(G1, G2, G3, G4)을 순차적으로 턴 온 시키기 위한 복수개의 종속 연결된 스테이지(SR1, SR2, SR3, SR4)로 구성된 쉬프트 레지스터를 포함한다. 개시 신호(STV)가 제1 스테이지(SR1)를 구동시키면, 제1 스테이지는 클럭 신호(CKV)에 응답하여, 제1 게이트 라인(G1)을 턴 온 시킨다. 턴 온된 제1 게이트 라인(G1)은 제2 스테이지(SR2)를 구동시키고, 제2 스테이지는 반전 클럭 신호(CKVB)에 응답하여 제2 게이트 라인(G2)을 턴 온 시킨다. 턴 온 된 제2 게이트 라인(G2)은 제3 스테이지(SR3)를 구동시킴과 동시에 제1 스테이지(SR1)를 턴 오프시킨다. 이와 같은 방식으로 게이트 라인들은 순차적으로 턴 온 된다.

이러한 게이트 드라이버가 내장된 기판을 고온 다습한 조건 예를 들면, 섭씨 60도, 습도 95%에서 500 내지 1000 시간 동안 신뢰성 평가를 수행할 경우, 상기 게이트 드라이버를 구성하는 회로 배선 노드들을 전기적으로 연결시키는 콘택들 중 일부 콘택들은 수분 침투로 인하여 부식되어, 변색 및 박리되어, 노드간의 전기적 연결이 제대로 이루어지지 않게 된다. 그 결과, 액정 패널의 게이트 라인에 게이트 구동 신호가 제대로 인가되지 못하여 디스플레이 불량이 발생하게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명이 이루고자 하는 기술적 과제는 게이트 드라이버가 내장된 기판을 고온 다습한 조건에서 사용하더라도, 수분 침투로 인하여 발생하는 콘택의 변색 및 박리로 인한 콘택 불량을 방지할 수 있는 구조를 갖는 게이트 드라이버와 이를 구비한 박막 트랜지스터 기판 및 액정 표시 장치를 제공하기 위한 것이다.

## 발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 액정 패널 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 상기 액정 패널의 일 측 상에 내장된 게이트 드라이버로서, 상기 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하며, 상기 복수의 스테이지 각각은, 제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로; 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며, 상기 스테이지는 복수의 스위칭 소자를 포함하며, 상기 제1 클럭 신호, 제2 클럭 신호, 제1 제어 신호 또는 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드들 중 소정 노드는 복수의 콘택을 포함하는 것을 특징으로 하는 게이트 드라이버가 제공된다.

상기 스위칭 소자는 비정질 실리콘으로 이루어진 활성층을 포함하는 박막 트랜지스터인 것을 특징으로 한다.

상기 복수의 콘택을 포함하는 노드에 인가되는 전류는 나머지 노드에 인가되는 전류보다 큰 것을 특징으로 한다.

상기 복수의 콘택을 포함하는 노드는 상기 제2 제어 신호가 인가되는 신호 라인과 상기 스위칭 소자가 전기적으로 연결되는 노드인 것을 특징으로 한다.

상기 제2 제어 신호는 이전 스테이지의 게이트 구동 신호인 것을 특징으로 한다.

상기 콘택은 투명 도전체를 포함하는 것을 특징으로 한다.

상기 콘택은 ITO(Indium Tin Oxide)를 포함하는 것을 특징으로 한다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, 액정 패널 상에 형성된 복수의 게이트 라인을 구동하기 위하여, 상기 액정 패널의 일 측 상에 내장된 게이트 드라이버로서, 상기 게이트 드라이버는 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터를 포함하며, 상기 복수의 스테이지 각각은, 제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로; 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하며, 상기 스테이지는 복수의 스위칭 소자 및 상기 복수의 스위칭 소자 중 소정 스위칭 소자에 연결된 리던던트 스위칭 소자를 포함하는 것을 특징으로 하는 게이트 드라이버가 제공된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

도 3a는 종래 기술에 따른 게이트 드라이버의 개략적인 회로도이며, 도 3b는 게이트 드라이버 노드들의 전류 측정값을 나타낸 그래프이다.

상기 도 3a에는 쉬프트 레지스터를 구성하는 복수개의 종속 연결된 스테이지 중 개별 스테이지의 개략적인 회로도가 도시되며, 상기 스테이지는 복수개의 비정질 실리콘 TFT( $TFT_1 \sim TFT_7$ )와 커페시터(C)로 구성된다. 이때, 신호 입력 단자 예를 들면, 클럭 신호(CKV), 반전 클럭 신호(CKVB), 전단의 캐리신호( $CR_{(n-1)}$ ) 등을 인가하기 위한 신호 라인들은 비정질 실리콘 TFT의 게이트 전극과 동일 평면 상에 형성되기 때문에, 이러한 신호 라인들을 비정질 실리콘 TFT의 소스/드레인 전극과 전기적으로 연결시키기 위하여, 다수의 콘택들이 형성된다.

한편, 상기 도 3a에 도시된 스테이지가 종속 연결되어 구성된 쉬프트 레지스트를 구비한 게이트 드라이버를 내장한 기판의 신뢰성 평가 시, 일부 콘택에서만 콘택 불량이 나타나는 이유를 검출하기 위하여, 게이트 드라이버의 각 노드에 흐르는 전류를 측정하였다. 상기 도 3a에는 신호 라인과 비정질 실리콘 TFT가 연결되는 노드 및 TFT 상호간 연결되는 노드가 표시되며, 상기 노드에서는 콘택에 의해서 서로 전기적으로 연결된다.

상기 도 3b에는 각 노드에 흐르는 전류를 측정한 그래프가 도시된다. 제1 노드( $N_1$ ) 및 제2 노드( $N_2$ )에 흐르는 전류는 약 75 마이크로암페어 정도로, 다른 노드들 예를 들면 제3 노드 및 제4 노드( $N_3, N_4$ )에 비하여 약 2배 이상 높은 전류가 흐른다. 이때, 제2 노드( $N_2$ )는 전단의 캐리신호( $CR_{(n-1)}$ ) 입력 단자와 비정질 실리콘 TFT<sub>6</sub>가 전기적으로 연결되는 노드이다.

한편, 비정질 실리콘 TFT를 이용한 게이트 드라이버가 내장된 기판을 고온 다습한 조건에서 신뢰성 평가를 수행하면, 상기에서 살펴본 바와 같이, 높은 전류가 흐르는 노드 즉, 제1 노드( $N_1$ ) 및 제2 노드( $N_2$ )에 연결된 콘택들만 부식되어, 변색 및 박리된다. 그 이유는 상기 콘택들에 수분 침투로 인한 변색 시, 다른 노드에 비하여 높은 전류가 흐르기 때문에, 그 만큼 높은 열이 발생하고, 그 열로 인하여 부식된 콘택이 박리되는 것이다.

따라서, 이와 같이 높은 전류가 흐르는 노드들에 연결된 콘택들이 부식으로 인하여 변색 및 박리되더라도, 상기 노드들의 전기적 연결이 끊어지지 않도록 하는 것이 중요한데. 이를 위하여 본 발명에서는 상기 노드에 연결된 콘택을 단일로 구성하는 것이 아니라, 적어도 2개 이상의 콘택을 구성하여, 이 중 하나의 콘택이 부식으로 인하여 변색 및 박리되더라도, 나머지 콘택에 의해서 노드의 전기적 연결이 끊어지지 않도록 한다. 이와 같은 콘택 불량을 방지할 수 있는 구조를 갖는 게이트 드라이버를 이하의 실시예들을 참조하여 더욱 상세히 살펴본다.

도 4는 본 발명에 따른 게이트 드라이버의 쉬프트 레지스터의 기능 블록도이다.

도 4를 참조하면, 게이트 구동 신호( $G_1, G_2, \dots, G_n$ )를 출력하는 게이트 드라이버(500)는 쉬프트 레지스터를 포함하며, 상기 쉬프트 레지스터는 복수의 스테이지들(SRC1, SRC2, ..., SRCn)를 포함한다. 상기 스테이지들(SRC1, SRC2, ..., SRCn) 각각은 S-R(Set-Reset) 래치와 앤드 게이트로 구성된다. S-R 래치는 전단의 캐리 신호 즉, 게이트 출력 신호에 의해 세트되고, 다음 단 캐리 신호 즉, 게이트 출력 신호에 의해 리셋된다. 상기 래치가 세트 상태이고, 클럭 신호가 하이 신호일 때, 게이트 구동 신호가 출력된다.

홀수 번째 스테이지들(SRC1, SRC3,...)에는 제1 클럭 신호(CKV)가 제공되고, 짝수 번째 스테이지들(SRC2, SRC4,...)에는 제2 클럭 신호(CKVB)가 제공된다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 서로 반대되는 위상을 가진다. 각 스테이지의 출력단자( $G_n$ )가 다음 스테이지의 입력 단자와 이전 스테이지의 입력 단자에 각각 연결된다.

제1 스테이지( $SRC_1$ )는 개시 신호(STV)를 제공 받아 제1 게이트 라인을 선택하는 제1 게이트 구동 신호( $G_1$ )를 출력한다. 또한, 상기 제1 게이트 구동 신호( $G_1$ )는 제2 스테이지( $SRC_2$ )의 입력 단자로 인가되며, 제2 스테이지( $SRC_2$ )는 상기 신호들과 함께 이전 스테이지로부터 제공되는 제1 게이트 구동 신호( $G_1$ )와 제3 게이트 구동 신호( $G_3$ )를 제공 받아 제2 게이트 라인을 선택하는 제2 게이트 신호( $G_2$ )를 출력한다. 상기와 같은 방식으로  $n$ 번째 스테이지( $SRC_n$ )는 제 $n$  게이트 구동 신호( $G_n$ )를 출력단자를 통해 출력한다. 한편, 상기와 같이 종속 연결된 복수의 스테이지로 구성된 쉬프트 레지스터를 포함한 게이트 드라이버는 비정질 실리콘 TFT를 이용하여 액정 표시 장치의 하부 기판 즉, 박막 트랜지스터 기판의 일 측 상에 내장된다.

도 5는 본 발명의 일 실시예에 따른 게이트 드라이버의 개략적인 회로도이다.

상기 도 5를 참조하면, 쉬프트 레지스터의 각 스테이지는 풀업 회로(510), 풀다운 회로(520), 풀업 구동 회로(530), 풀다운 구동 회로(540) 및 인버터(550)를 포함한다.

상기 풀업 회로(510)은 클럭 신호(CKV) 또는 이와 반대 위상을 갖는 클럭 반전 신호(CKVB)를 출력 단자( $G_n$ )에 제공한다. 본 실시예에서, 상기 풀업 회로(510)은 TFT<sub>1</sub>을 포함하며, 상기 TFT<sub>1</sub>은 클럭 신호(CKV) 입력 단자와 연결되어, 게이트 구동 신호를 출력한다.

상기 풀업 회로(510)은 상기 풀업 구동 회로(530)에 의해서 구동되는데, 상기 풀업 구동 회로(530)은 TFT<sub>4</sub> 와 커패시터(C)로 구성된다. 상기 커패시터(C)는 T<sub>1</sub> 노드와 출력 단자( $G_n$ )간에 연결되며, 상기 TFT<sub>4</sub>는 전단의 캐리 신호 즉, 전단의 게이트 구동 신호가 입력되는 제어 신호 입력 단자( $CR_{(n-1)}$ )와 연결된다. 상기 제어 신호 입력 단자( $CR_{(n-1)}$ )에 하이 신호가 입력되면, 상기 커패시터(C)에 전하가 충전되어, 상기 TFT<sub>1</sub>이 턴 온되어, 클럭 신호(CKV)가 출력 단자( $G_n$ )로 출력되어, 게이트 라인 상에 연결된 모든 비정질 TFT를 턴 온 시키게 된다.

상기 풀다운 회로(520)은 출력 단자( $G_n$ )에 게이트 오프 신호를 출력하며, 상기 풀다운 구동 회로(540)에 의해서 구동된다.

상기 풀다운 회로(520)은 TFT<sub>2</sub> 및 TFT<sub>3</sub>을 포함하며, 상기 TFT<sub>2</sub>는 게이트 오프 신호가 입력되는 게이트 오프 신호 입력 단자(V<sub>SS</sub>)와 연결되며, 다음 단 게이트 구동 신호(G<sub>n+1</sub>)가 입력되면, 게이트 구동 신호를 게이트 오프 신호로 방전시키며, 상기 TFT<sub>3</sub>는 클록 신호(CKV)에 의해 동기되어, 게이트 오프 신호 레벨을 유지시킨다.

상기 풀다운 구동 회로(540)은 풀다운 회로(520)을 구동하며, 4개의 TFT(TFT<sub>5</sub>, TFT<sub>9</sub>, TFT<sub>10</sub>, TFT<sub>11</sub>)로 구성된다. 상기 TFT<sub>5</sub>는 클럭 반전 신호(CKVB)에 의해 동기되어, 게이트 오프 신호 레벨을 유지시키며, TFT<sub>9</sub>은 게이트 구동 신호를 게이트 오프 신호로 방전시키며, TFT<sub>10</sub> 및 TFT<sub>11</sub>는 각각 클럭 신호(CKV)와 클럭 반전 신호(CKVB)에 의해서, T<sub>1</sub> 노드를 오프 레벨로 유지시킨다. 상기 인버터(550)는 상기 TFT<sub>3</sub>를 구동시키기 위한 것으로서, 4개의 TFT (TFT<sub>7</sub>, TFT<sub>8</sub>, TFT<sub>12</sub>, TFT<sub>13</sub>)를 포함한다.

한편, 상기에서 살펴본 바와 같이, 타 노드에 흐르는 전류에 비하여, 높은 전류가 흐르는 제1 노드(N<sub>1</sub>) 및 제2 노드(N<sub>2</sub>) 중 본 실시예에서는 제2 노드(N<sub>2</sub>)를 2개의 콘택(CNT<sub>1</sub>, CNT<sub>2</sub>)으로 연결시킨다. 콘택의 개수가 이에 한정되는 것은 아니며, 2개 이상의 콘택으로 연결시킬 수도 있다.

또한, 본 실시예에서는 제2 노드(N<sub>2</sub>) 즉, 전단의 게이트 구동 신호가 입력되는 제어 신호 입력 단자(CR<sub>(n-1)</sub>)와 TFT<sub>11</sub> 간의 노드를 2개의 콘택으로 연결시키는 것을 설명하고 있으나, 다른 노드에도 2개 이상의 콘택을 형성시킬 수도 있다. 이때, 콘택은 ITO와 같은 투명 도전체를 사용하는 것이 바람직하다.

상기에서 살펴본 바와 같이, 높은 전류가 흐르는 노드에 콘택을 적어도 2개 이상 형성함으로써, 이 중 하나의 콘택이 수분 침투로 인하여, 변색 및 박리되어, 콘택 불량이 발생하더라도, 나머지 여분의 콘택에 의해서 노드가 연결되기 때문에, 정상적으로 게이트 구동 신호를 출력할 수 있게 된다.

도 6은 도 5에 도시된 콘택의 개략적인 단면도이다. 상기 도 6에는 상기 제어 신호 입력 단자(CR<sub>(n-1)</sub>)와 TFT<sub>11</sub> 간의 노드 간에 형성된 2개의 콘택(CNT<sub>1</sub>, CNT<sub>2</sub>)의 개략적인 단면도가 도시된다.

기판(610) 상에 제1 도전성막을 형성한 다음 감광막 마스크를 이용한 패터닝 공정을 통해 게이트 전극(620) 및 제어 신호 입력 단자(CR<sub>(n-1)</sub>)와 연결되는 신호 라인(625)이 형성된다.

그 상부에, 게이트 절연막(630), 활성층(640) 및 오믹 접촉층(650)을 순차적으로 형성한 다음, 감광막 마스크 패턴을 이용한 식각공정을 실시하여 박막 트랜지스터의 활성영역을 형성한다. 이때, 활성층(640)으로는 액정 패널 상의 TFT의 활성층과 동일한 재료인 비정질 실리콘층을 사용하고, 오믹 접촉층(650)으로는 실리사이드 또는 N형 불순물이 고농도로 도핑된 비정질 실리콘층을 사용한다.

다음으로, 전면에 제2 도전성막을 형성한 다음, 이를 감광막 마스크 패턴을 이용한 식각공정을 실시하여 소스 및 드레인 전극(660, 665) 및 소스 라인을 형성된다.

그 상부에, 절연막(670)이 형성되며, 상기 드레인 전극(665) 상부의 절연막 일부가 제거되어, 콘택홀이 형성되고, 상기 제어 신호 입력 단자(CR<sub>(n-1)</sub>)와 연결되는 신호 라인(625) 상의 게이트 절연막(630)과 절연막(670)의 일부가 제거되어 2개의 콘택홀이 형성된다. 그 상부에 도전성층(680)이 형성되어, 이중 콘택(CNT<sub>1</sub>, CNT<sub>2</sub>)을 형성하게 된다. 이때, 상기 도전성층(680)은 투명 도전체 예를 들면 ITO(Indium Tin Oxide) 등이 사용될 수 있다.

도 7은 본 발명의 다른 실시예에 따른 게이트 드라이버의 개략적인 회로도이다.

상기 도 7에는 본 발명의 다른 실시예에 따른 상기 쉬프트 레지스터의 각 스테이지에 대한 개략적인 회로도가 도시되는데, 상기 도 5의 실시예와 비교하여, 소정의 TFT에 추가적인 리던던트 TFT를 연결한다는 점이 상이하며, 임의의 노드에 복수개의 콘택을 형성함으로써, 콘택 불량을 방지하는 구조는 거의 유사하므로, 이하에서는 상이한 부분에 대해서만 설명한다.

상기 도 7을 참조하면, 쉬프트 레지스터의 각 스테이지는 풀업 회로(510), 풀다운 회로(520), 풀업 구동 회로(530), 풀다운 구동 회로(540) 및 인버터(550)를 포함한다.

상기 풀다운 구동 회로(540)은 풀다운 회로(520)을 구동하며, 4개의 TFT( $TFT_5, TFT_9, TFT_{10}, TFT_{11-1}$ )와 1개의 리던던트 TFT( $TFT_{11-2}$ )로 구성된다. 상기  $TFT_5$ 는 클럭 반전 신호(CKVB)에 의해 동기되어, 게이트 오프 신호 레벨을 유지시키며,  $TFT_9$ 은 게이트 구동 신호를 게이트 오프 신호로 방전시키며,  $TFT_{10}$  및  $TFT_{11-1}$ 는 각각 클럭 신호(CKV)와 클럭 반전 신호(CKVB)에 의해서,  $T_1$  노드를 오프 레벨로 유지시킨다. 또한, 상기 리던던트 TFT( $TFT_{11-2}$ )는 상기  $TFT_{11-1}$ 가 불량되는 경우를 대비하여,  $TFT_{11-1}$ 에 연결된다. 그 결과, 상기 TFT중 어느 하나의 TFT가 콘택 불량으로 구동되지 않더라도, 나머지 TFT에 동작될 수 있다.

한편, 상기에서 살펴본 바와 같이, 타 노드에 흐르는 전류에 비하여, 높은 전류가 흐르는 제1 노드( $N_1$ ) 및 제2 노드( $N_2$ ) 중 본 실시예에서는 제2 노드( $N_2$ )를 2개의 콘택( $CNT_1, CNT_2$ )으로 연결시킨다. 콘택의 개수가 이에 한정되는 것은 아니며, 2개 이상의 콘택으로 연결시킬 수도 있다.

도 8은 본 발명에 따른 게이트 드라이버를 구비한 액정 표시 장치의 개략적인 단면도이다.

상기 도 8을 참조하면, 상기 액정 표시 장치의 컬러 필터 기판(110)에는 순차적으로 블랙 매트릭스(320)와 컬러 필터(300) 및 공통 전극(280)이 형성된다.

상기 블랙 매트릭스(320)는 컬러 필터와 화소 사이에 형성되어 새어 나오는 빛을 차광시키며, 상기 컬러 필터(300)는 세 가지 기본 색(적색, 녹색, 청색)의 염료나 안료를 포함하는 수지 필름으로 형성되며, 상기 공통 전극(280)은 투명한 전기 전도체인 ITO 등으로 형성된 전극으로서, 액정셀에 전압을 인가한다.

박막 트랜지스터 기판(10)에는 액정에 신호 전압을 인가하고 차단하는 스위칭 소자인 박막 트랜지스터(240), 투명하고 전기 전도성을 갖는 ITO로 형성되어, 박막 트랜지스터에 인가된 신호 전압을 액정셀에 가해주는 화소 전극(220)과, 상기 화소 전극에 인가된 신호 전압을 일정시간 이상 유지시켜주는 스토리지 커패시터(미도시)가 형성된다. 상기 컬러 필터 기판(110)과 박막 트랜지스터 기판(10)의 최상층에는 폴리아미드로 구성된 얇은 유기막으로서, 액정을 배향하기 위한 배향막(400)이 형성되며, 상기 컬러 필터 기판(110)과 박막 트랜지스터 기판(10) 사이의 공간을 확보하기 위한 스페이서(260)가 상기 컬러 필터 기판과 박막 트랜지스터 기판 사이에 배치되며, 스페이서에 의해 마련된 공간에 액정층(260)이 주입된다. 실 패턴(40)은 상기 기판의 주변부에 형성되어, 상기 컬러 필터 기판과 박막 트랜지스터 기판을 접착시킨다.

한편, 상기 박막 트랜지스터 기판의 일 측 상부에는 상기 박막 트랜지스터(240)를 턴 온 또는 턴 오프하기 위한 게이트 구동 신호를 출력하기 위한 게이트 드라이버(500)가 내장된다. 상기 게이트 드라이버(500) 내에 포함된 스위칭 소자인 박막 트랜지스터 역시 상기 화소 내에 포함된 박막 트랜지스터와 동일한 비정질 실리콘 TFT로 구성되므로, 동일한 제조 공정으로 제조가 가능하여, 폴리 실리콘 TFT를 이용하는 경우보다 제조 공정이 훨씬 단순화된다. 또한, 상기에서 살펴본 바와 같이, 상기 게이트 드라이버의 노드들 중 전류가 많이 흐르는 노드에 연결되는 콘택은 단일 콘택이 아닌 이중 콘택으로 구성하여, 둘 중 어느 하나의 콘택이 박리되더라도, 게이트 구동 신호를 출력하는데 지장이 없도록 한다.

이러한 액정 표시 장치의 구동 원리를 살펴보면, 상기 게이트 드라이버(500)로부터 1 프레임에 대한 각 게이트 라인이 선택되고, 선택된 게이트 라인에는 게이트 구동 신호가 인가되면, 박막 트랜지스터(240)에 위치하는 게이트 전극에 게이트 구동 신호가 인가되어, 선택된 게이트 라인에 위치하는 박막 트랜지스터의 채널은 열리게 되며, 이 때, 소스 드라이버(미도시)에서는 영상 정보에 따른 화상 신호 전압을 데이터 라인에 전달하게 되며, 데이터 라인에 전달된 신호 전압은 열려진 박막 트랜지스터를 통하여 액정 캐퍼시터와 스토리지 캐퍼시터에 충전된다. 박막 트랜지스터 채널이 닫히게 되면, 액정 캐퍼시터와 스토리지 캐퍼시터에 충전된 전압은 유지되며, 전압 충전을 위해 구성된 스토리지 캐퍼시터에 의해 화소에는 충전된 전압이 다음 번 프레임까지 유지된다.

이상에서 설명한 것은 본 발명에 따른 게이트 드라이버와 이를 구비한 박막 트랜지스터 기판 및 액정 표시 장치의 예시적인 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이, 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

## 발명의 효과

전술한 바와 같이 본 발명에 따르면, 소정 노드에 연결된 콘택을 적어도 2개 이상의 콘택으로 구성함으로써, 이 중 하나의 콘택이 부식으로 인하여 변색 및 박리되더라도, 나머지 콘택에 의해서 노드를 연결하여, 콘택 불량을 방지할 수 있게 된다.

## 도면의 간단한 설명

도 1은 일반적인 게이트 드라이버가 내장된 액정 패널의 개략 구성도이다.

도 2는 게이트 드라이버의 구조를 설명하기 위한 개략 구성도이다.

도 3a는 종래 기술에 따른 게이트 드라이버의 개략적인 회로도이며, 도 3b는 게이트 드라이버 노드들의 전류 측정값을 나타낸 그래프이다.

도 4는 본 발명에 따른 게이트 드라이버의 쉬프트 레지스터의 기능 블록도이다.

도 5는 본 발명의 일 실시예에 따른 게이트 드라이버의 개략적인 회로도이다.

도 6은 도 5에 도시된 콘택의 개략적인 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 게이트 드라이버의 개략적인 회로도이다.

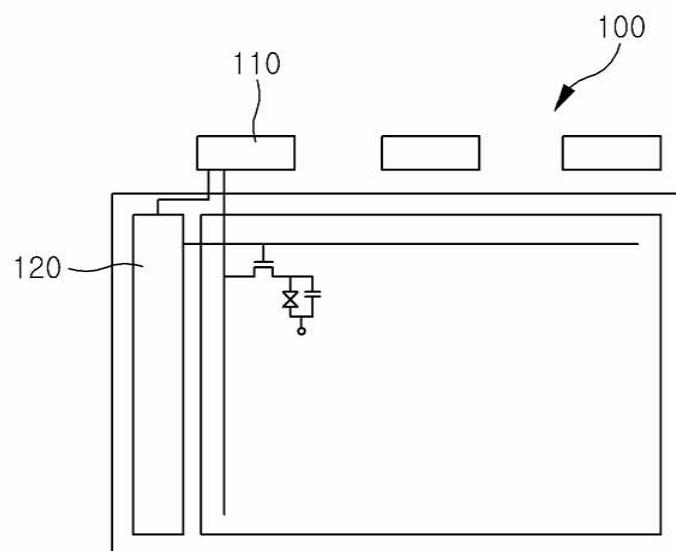
도 8은 본 발명에 따른 게이트 드라이버를 구비한 액정 표시 장치의 개략적인 단면도이다.

\*도면의 주요 부분에 대한 부호의 설명\*

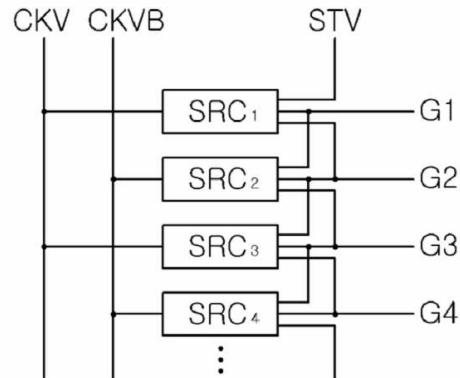
500; 게이트 드라이버

## 도면

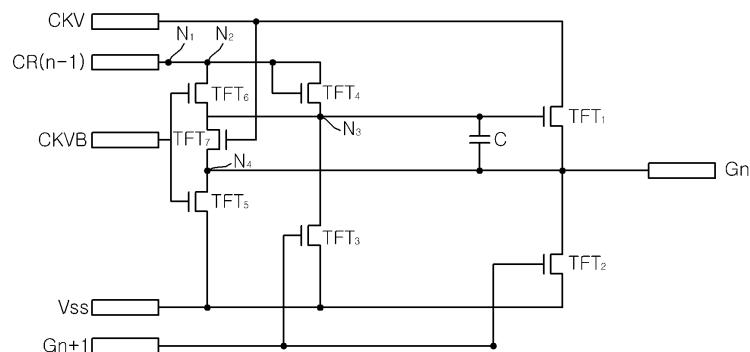
도면1



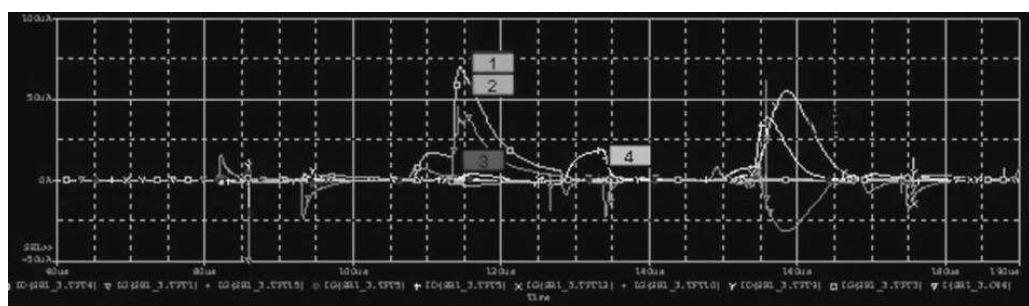
도면2



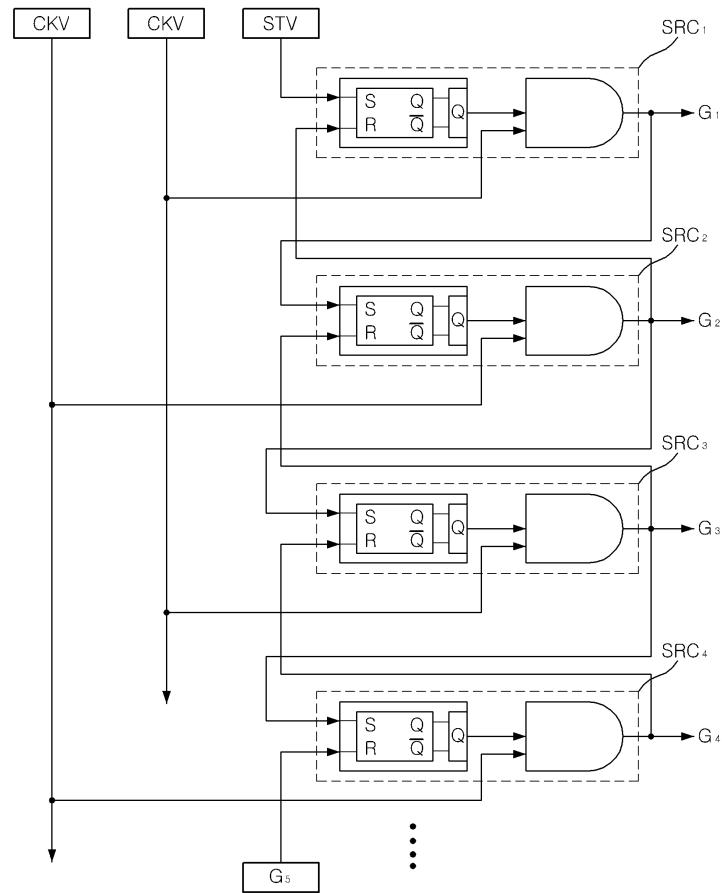
도면3a



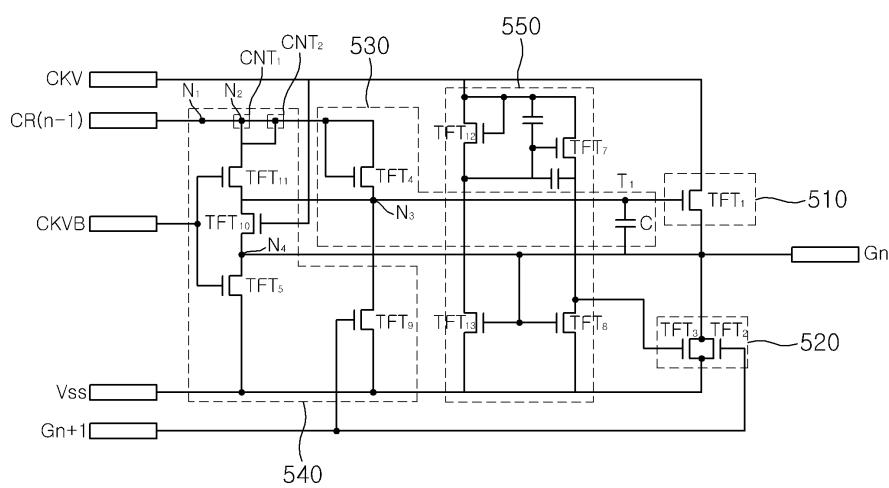
도면3b



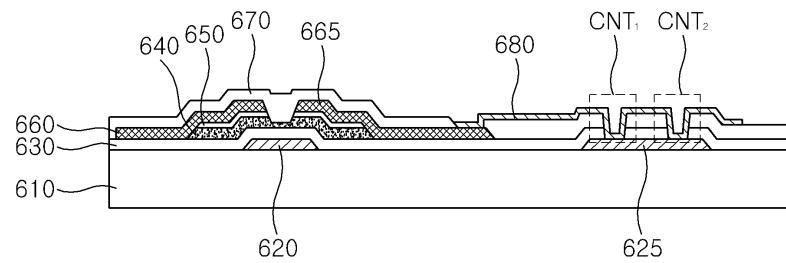
도면4



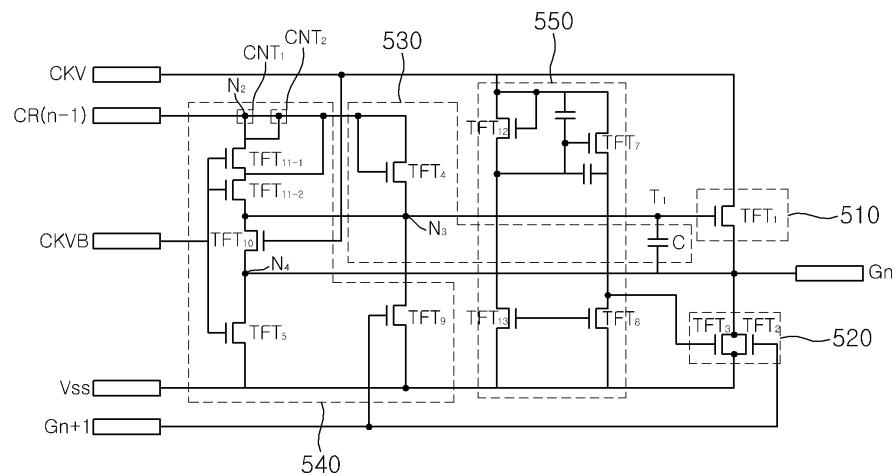
도면5



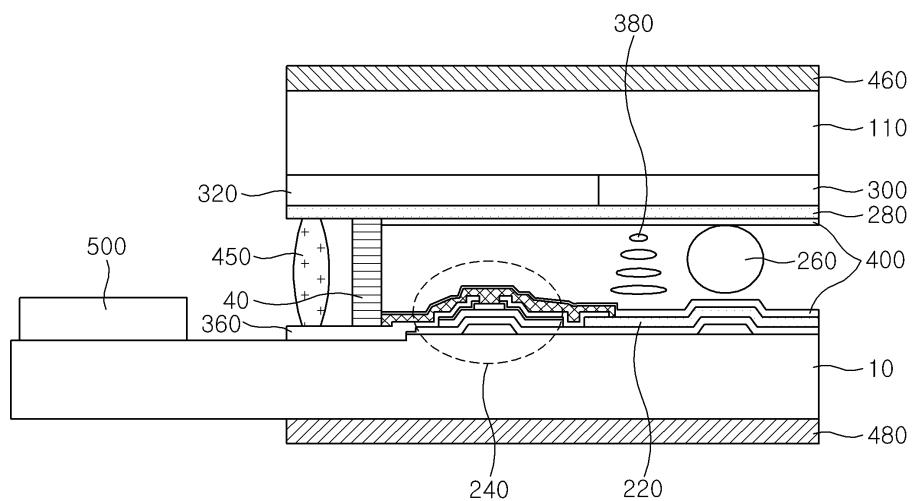
도면6



도면7



도면8



专利名称(译)	栅极驱动器，薄膜晶体管基板和具有该栅极驱动器的液晶显示装置		
公开(公告)号	<a href="#">KR1020070074826A</a>	公开(公告)日	2007-07-18
申请号	KR1020060002843	申请日	2006-01-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KANG SHIN TACK 강신택 AHN BYEONG JAE 안병재 LEE JONG HYUK 이종혁 KIM YU JIN 김유진 KIM BEOM JUN 김범준		
发明人	강신택 안병재 이종혁 김유진 김범준		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3677		
其他公开文献	KR101115026B1		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明提供信号线中的预定节点，其中第一时钟信号，第二时钟信号和第一控制信号或第二控制信号被施加级包括多个开关元件，多级包括上拉电路，用于提供栅极驱动信号根据第一和第二时钟信号和下拉电路输出到输出端，用于向输出端提供栅极截止信号，上拉驱动电路根据第一控制驱动上拉电路信号和完全向下驱动电路根据第二控制信号驱动下拉电路，栅极驱动器包括移位寄存器，该移位寄存器包括输出栅极驱动信号的多级，它是安装在液晶面板一侧的栅极驱动器如上所述，本发明涉及栅极驱动器，其形成多条栅极线，该结构能够防止接触失效驱动g非晶硅TFT具有在液晶面板上，并且开关元件在其中电连接的节点是包括栅极驱动器的栅极驱动器，并且包括该栅极驱动器的薄膜晶体管基板和液晶显示多个触点。非晶硅，栅极驱动器，接触，腐蚀，保护。

