



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0068921
(43) 공개일자 2007년07월02일

(21) 출원번호 10-2005-0131011
(22) 출원일자 2005년12월27일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이정일
서울 금천구 독산4동 186-2 중앙맨션 205호
양준영
경기도 부천시 원미구 상1동 행복한마을 서해아파트 2407동1303호
오재영
경기도 의왕시 내손1동 포일아파트 101동 210호

(74) 대리인 박장원

전체 청구항 수 : 총 14 항

(54) 액정표시장치의 제조방법

(57) 요약

본 발명의 액정표시장치의 제조방법은 회절노광을 이용하여 액티브패턴과 소오스/드레인전극을 형성할 때 상기 소오스/드레인전극 패터닝시 액티브패턴의 돌출부를 함께 제거함으로써 웨이브 노이즈(wave noise)를 방지하여 화질을 향상시키는 동시에 마스크수를 감소시켜 제조공정을 단순화하며 제조비용을 절감하기 위한 것으로, 제 1 기판 및 상기 제 1 기판과 대향하여 합착되는 제 2 기판을 제공하는 단계; 상기 제 1 기판에 게이트전극과 게이트라인을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하며, 상기 게이트전극 상부에 액티브패턴과 소오스/드레인전극 및 데이터라인을 형성하되, 상기 소오스/드레인전극 식각시 그 하부의 액티브패턴 측면을 상기 소오스/드레인전극 형태대로 패터닝하는 단계; 상기 제 1 기판 위에 제 2 절연막을 형성하며, 상기 제 2 절연막의 일부 영역을 제거하여 상기 드레인전극의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계; 상기 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판 사이에 액정층을 형성하는 단계를 포함한다.

대표도

도 4d

특허청구의 범위

청구항 1.

제 1 기판 및 상기 제 1 기판과 대향하여 합착되는 제 2 기판을 제공하는 단계;

상기 제 1 기판에 게이트전극과 게이트라인을 형성하는 단계;

상기 제 1 기판 위에 제 1 절연막을 형성하며, 상기 게이트전극 상부에 액티브패턴과 소오스/드레인전극 및 데이터라인을 형성하되, 상기 소오스/드레인전극 식각시 그 하부의 액티브패턴 측면을 상기 소오스/드레인전극 형태대로 패터닝하는 단계;

상기 제 1 기판 위에 제 2 절연막을 형성하며, 상기 제 2 절연막의 일부 영역을 제거하여 상기 드레인전극의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계;

상기 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및

상기 제 1 기판과 제 2 기판 사이에 액정층을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 액티브패턴과 소오스/드레인전극 및 데이터라인을 형성하는 단계는

상기 제 1 기판 위에 제 1 절연막, 비정질 실리콘 박막, n^+ 비정질 실리콘 박막 및 도전막을 형성하는 단계;

상기 게이트전극 상부의 제 1 영역에 제 1 두께를 갖는 제 1 감광막패턴을 형성하며 상기 제 1 영역 좌우의 제 2 영역에 제 2 두께를 갖는 제 2 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴과 제 2 감광막패턴을 마스크로 하여 상기 비정질 실리콘 박막과 n^+ 비정질 실리콘 박막 및 도전막을 선택적으로 제거함으로써, 상기 제 1 영역과 제 2 영역에 상기 비정질 실리콘 박막과 n^+ 비정질 실리콘 박막으로 이루어진 비정질 실리콘 박막패턴과 n^+ 비정질 실리콘 박막패턴을 형성하며, 상기 비정질 실리콘 박막패턴 위에 상기 도전막으로 이루어진 도전막패턴을 형성하는 단계;

상기 제 1 감광막패턴을 제거하는 동시에 상기 제 2 감광막패턴의 일부를 제거하여 제 3 두께의 제 3 감광막패턴을 형성하는 단계;

상기 제 3 감광막패턴을 마스크로 하여 상기 도전막패턴을 선택적으로 제거함으로써 상기 도전막으로 이루어진 소오스전극과 드레인전극을 형성하는 단계; 및

상기 제 3 감광막패턴을 마스크로 하여 상기 제 1 영역의 n^+ 비정질 실리콘 박막패턴을 제거하여 상기 액티브패턴과 소오스/드레인전극 사이를 오믹-콘택시키는 오믹-콘택층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3.

제 2 항에 있어서, 상기 비정질 실리콘 박막패턴과 n^+ 비정질 실리콘 박막패턴 및 도전막패턴을 형성하는 단계는

상기 제 1 감광막패턴과 제 2 감광막패턴을 마스크로 상기 도전막을 습식각하여 도전막패턴을 형성하는 단계; 및

상기 제 1 감광막패턴과 제 2 감광막패턴을 마스크로 상기 비정질 실리콘 박막과 n^+ 비정질 실리콘 박막을 건식각하여 비정질 실리콘 박막패턴과 n^+ 비정질 실리콘 박막패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4.

제 3 항에 있어서, 상기 도전막패턴은 상기 제 1 감광막패턴과 제 2 감광막패턴보다 좁은 폭으로 패터닝되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5.

제 3 항에 있어서, 상기 비정질 실리콘 박막패턴과 n+ 비정질 실리콘 박막패턴은 상기 제 1 감광막패턴 및 제 2 감광막패턴과 동일한 형태로 패터닝되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6.

제 2 항에 있어서, 상기 제 3 감광막패턴은 상기 제 2 감광막패턴보다 폭이 좁은 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7.

제 2 항에 있어서, 상기 제 3 감광막패턴을 마스크로 상기 도전막패턴을 습식식각하여 소오스전극과 드레인전극을 형성할 때 상기 도전막패턴 하부의 비정질 실리콘 박막패턴과 n+ 비정질 실리콘 박막패턴의 측면을 상기 소오스/드레인전극과 동일한 형태로 패터닝하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8.

제 2 항에 있어서, 상기 도전막은 몰리브덴이나 몰리브덴 합금으로 이루어진 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9.

제 7 항에 있어서, 상기 습식식각은 식각가스로 Cl_2 와 O_2 가 혼합된 가스를 사용하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10.

제 9 항에 있어서, 상기 Cl_2 와 O_2 는 1:0.5~4의 비율로 혼합하여 사용하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11.

제 2 항에 있어서, 상기 제 1 감광막패턴과 제 2 감광막패턴을 형성하는 단계는

상기 도전막 위에 감광막을 형성하는 단계;

광을 모두 투과시키는 제 1 투과영역과 광의 일부만 투과시키는 제 2 투과영역 및 광을 차단하는 차단영역이 마련된 회절 마스크를 통해 상기 감광막에 빛을 조사하는 단계; 및

상기 회절마스크를 통해 빛이 조사된 감광막을 현상하여 상기 제 1 도전막 위에 감광막패턴을 형성하되, 상기 게이트전극 상부의 제 1 영역에 제 1 두께를 갖는 제 1 감광막패턴을 형성하며 상기 제 1 영역 좌우의 제 2 영역에 제 2 두께를 갖는 제 2 감광막패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12.

제 11 항에 있어서, 포지티브 타입의 감광막을 사용하는 경우에는 상기 회절마스크의 제 2 투과영역은 액티브패턴의 채널 영역에 적용되며 상기 차단영역은 소오스/드레인영역에 적용되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13.

제 11 항에 있어서, 상기 회절마스크는 광의 일부만 투과시키는 제 2 투과영역에 회절패턴이 형성되어 상기 액티브패턴의 채널영역 위에 상기 제 2 두께보다 얇은 제 1 두께의 제 1 감광막패턴을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14.

제 1 항에 있어서, 상기 화소전극은 전단 게이트라인의 일부와 중첩되어 상기 제 1 절연막을 사이에 두고 스토리지 커패시터를 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 동시에 화질을 향상시킨 액정표시장치의 제조방법에 관한 것이다.

최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

상기 액정표시장치는 크게 제 1 기판인 컬러필터(color filter) 기판과 제 2 기판인 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

이때, 상기 액정표시장치의 스위칭소자로는 일반적으로 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하며, 상기 박막 트랜지스터의 채널층으로는 비정질 실리콘(amorphous silicon) 박막을 사용한다.

상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기판의 제작에 다수의 마스크공정(즉, 포토리소그래피(photolithography)공정)를 필요로 하므로 생산성 면에서 상기 마스크공정의 수를 줄이는 방법이 요구되어지고 있다.

이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.

도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.

도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.

또한, 상기 어레이 기판(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.

이와 같이 구성된 상기 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 두 기판(5, 10)의 합착은 상기 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착기(미도시)를 통해 이루어진다.

도 2a 내지 도 2e는 도 1에 도시된 액정표시장치에 있어서, 어레이 기판의 제조공정을 순차적으로 나타내는 단면도이다.

도 2a에 도시된 바와 같이, 기판(10) 위에 포토리소그래피공정(제 1 마스크공정)을 이용하여 도전성 금속물질로 이루어진 게이트전극(21)을 형성한다.

다음으로, 도 2b에 도시된 바와 같이, 상기 게이트전극(21)이 형성된 기판(10) 전면(全面)에 차례대로 제 1 절연막(15A)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 패터닝함으로써 상기 게이트전극(21) 위에 비정질 실리콘 박막으로 이루어진 액티브패턴(24)을 형성한다.

이때, 상기 액티브패턴(24) 위에는 액티브패턴(24)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막 패턴(25)이 형성되게 된다.

이후, 도 2c에 도시된 바와 같이, 상기 기판(10) 전면(全面)에 도전성 금속물질을 증착한 후 포토리소그래피공정(제 3 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 액티브패턴(24) 상부에 소오스전극(22)과 드레인전극(23)을 형성한다. 이때, 상기 액티브패턴(24) 위에 형성되어 있는 n+ 비정질 실리콘 박막 패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(24)과 소오스/드레인전극(22, 23) 사이에서 오믹-콘택(ohmic contact)층(25')을 형성하게 된다.

다음으로, 도 2d에 도시된 바와 같이, 상기 소오스전극(22)과 드레인전극(23)이 형성된 기판(10) 전면(全面)에 제 2 절연막(15B)을 증착한 후, 포토리소그래피공정(제 4 마스크공정)을 통해 상기 제 2 절연막(15B)의 일부 영역을 제거하여 상기 드레인전극(23)의 일부를 노출시키는 콘택홀(40)을 형성한다.

마지막으로, 도 2e에 도시된 바와 같이, 투명한 도전성 금속물질을 기판(10) 전면(全面)에 증착한 후 포토리소그래피공정(제 5 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 콘택홀(40)을 통해 드레인전극(23)과 전기적으로 접속하는 화소전극(18)을 형성한다.

상기에 설명된 바와 같이 박막 트랜지스터를 포함하는 어레이 기판의 제조에는 게이트전극, 액티브패턴, 소오스/드레인전극, 콘택홀 및 화소전극 등을 패터닝하는데 총 5번의 포토리소그래피공정을 필요로 한다.

상기 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기판 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광 및 현상공정 등 다수의 공정으로 이루어져 있다. 그 결과 다수의 포토리소그래피공정은 생산수율을 떨어뜨리며 형성된 박막 트랜지스터에 결함이 발생될 확률을 높게 하는 등 많은 문제점이 있다.

특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 박막 트랜지스터의 제조에 사용되는 마스크수를 감소시킨 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.

본 발명의 다른 목적은 웨이브 노이즈 불량을 해결하여 소자 신뢰성과 화질을 향상시킨 액정표시장치 및 그 제조방법을 제공하는데 있다.

본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성

상기한 목적을 달성하기 위하여, 본 발명의 액정표시장치의 제조방법은 제 1 기판 및 상기 제 1 기판과 대향하여 합착되는 제 2 기판을 제공하는 단계; 상기 제 1 기판에 게이트전극과 게이트라인을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하며, 상기 게이트전극 상부에 액티브패턴과 소오스/드레인전극 및 데이터라인을 형성하되, 상기 소오스/드레인전극 식각시 그 하부의 액티브패턴 측면을 상기 소오스/드레인전극 형태대로 패터닝하는 단계; 상기 제 1 기판 위에 제 2 절연막을 형성하며, 상기 제 2 절연막의 일부 영역을 제거하여 상기 드레인전극의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계; 상기 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판 사이에 액정층을 형성하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 제조방법의 바람직한 실시예를 상세히 설명한다.

도 3은 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도로써, 실제의 어레이 기판에는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 mxn 번째의 화소를 나타내고 있다.

도면에 도시된 바와 같이, 어레이 기판(110)에는 상기 기판(110) 위에 종횡으로 배열되어 mxn번째 화소영역을 정의하는 n번째 게이트라인(116n)과 m번째 데이터라인(117m)이 형성되어 있다. 상기 n번째 게이트라인(116n)과 m번째 데이터라인(117m)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 박막 트랜지스터에 연결되어 컬러필터 기판(미도시)의 공통전극과 함께 액정(미도시)을 구동시키는 화소전극(118)이 형성되어 있다.

상기 박막 트랜지스터는 상기 n번째 게이트라인(116n)의 일부를 구성하는 게이트전극(121), 상기 m번째 데이터라인(117m)에 연결된 소오스전극(122) 및 상기 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 게이트전극(121)과 소오스/드레인전극(122, 123)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널(conductive channel)을 형성하는 액티브패턴(미도시)을 포함한다.

이때, 상기 소오스전극(122)의 일부는 상기 m번째 데이터라인(117m)과 연결되어 상기 m번째 데이터라인(117m)의 일부를 구성하며, 상기 드레인전극(123)의 일부는 상기 화소영역 쪽으로 연장되어 제 2 절연막(미도시)에 형성된 콘택홀(140)을 통해 상기 화소전극(118)과 전기적으로 접속하게 된다.

이때, 전단 게이트라인인 n-1번째 게이트라인(116n-1)의 일부는 상기 제 1 절연막을 사이에 두고 그 상부의 화소전극(118)의 일부와 중첩되어 스토리지 커패시터(Cst)를 형성하게 된다. 상기 스토리지 커패시터(storage capacitor)(Cst)는 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 한다. 즉, 상기 어레이 기판(110)의 화소전극(118)은 컬러필터 기판의 공통전극과 함께 액정 커패시터를 이루는데, 일반적으로 상기 액정 커패시터에 인가된 전압은 다음 신호가 들어올 때까지 유지되지 못하고 누설되어 사라진다. 따라서, 인가된 전압을 유지하기 위해서는 스토리지 커패시터(Cst)를 액정 커패시터에 연결해서 사용해야 한다.

이러한 스토리지 커패시터(Cst)는 신호 유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가진다.

이와 같이 구성된 본 실시예의 어레이 기관(110)은 회절노광을 이용하여 액티브패턴과 소오스/드레인전극(122, 123)을 형성함으로써 총 4번의 마스크공정을 통해 제작할 수 있으며, 상기 소오스/드레인전극(122, 123) 패터닝시 액티브패턴의 돌출부를 함께 제거함으로써 웨이브 노이즈를 방지할 수 있게 되는데, 이를 다음의 액정표시장치의 제조공정을 통해 상세히 설명한다.

도 4a 내지 도 4d는 도 3에 도시된 어레이 기관의 IIIa-IIIa'선에 따른 제조공정을 순차적으로 나타내는 단면도이다.

도 4a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기관(110)에 게이트전극(121)과 게이트라인(116n-1)을 형성한다. 이때, 상기 게이트라인(116n-1)은 해당화소에 대한 전단의 게이트라인 즉, n-1번째 게이트라인(116n-1)을 의미하며, 해당화소의 게이트라인, 즉 n번째 게이트라인(116n)도 상기 n-1번째 게이트라인(116n-1)과 동일한 방식으로 형성된다.

이때, 상기 게이트전극(121)과 n-1번째 게이트라인(116n-1)은 제 1 도전막을 기관(110) 전면에 증착한 후 포토리소그래피 공정(제 1 마스크공정)을 통해 패터닝하여 형성하게 된다.

여기서, 상기 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 게이트전극(121)과 n-1번째 게이트라인(116n-1)은 상기 저저항 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수도 있다.

다음으로, 도 4b에 도시된 바와 같이, 상기 게이트전극(121)과 n-1번째 게이트라인(116n-1)이 형성된 기관(110) 전면에 차례대로 제 1 절연막(115A), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 증착한 후, 포토리소그래피 공정(제 2 마스크공정)을 이용하여 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 패터닝함으로써 상기 게이트전극(121) 상부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(124")을 형성하는 동시에 상기 제 2 도전막으로 이루어진 소오스전극(122)과 드레인전극(123)을 형성한다.

상기 액티브패턴(124") 위에는 상기 n+ 비정질 실리콘 박막으로 이루어지며, 상기 소오스/드레인전극(122, 123)과 동일한 형태로 패터닝되어 그 하부의 액티브패턴(124")의 소정영역과 상기 소오스/드레인전극(122, 123)을 오믹-콘택시키는 오믹-콘택층(125")이 형성되게 된다. 이때, 상기 소오스전극(122)의 일부는 실질적으로 상기 n번째 게이트라인과 교차하여 해당 화소영역을 정의하는 m번째 게이트라인(117m)을 구성하게 된다.

이와 같이 본 실시예에서는 회절노광을 이용한 한번의 마스크공정(제 2 마스크공정)으로 액티브패턴(124")과 소오스/드레인전극(122, 123)을 동시에 형성하게 되는데, 이하 도면을 참조하여 상기 제 2 마스크공정을 상세히 설명한다.

도 5a 내지 도 5f는 도 4b에 있어서 액티브패턴과 소오스/드레인전극을 동시에 형성하는 과정을 구체적으로 나타내는 단면도로써, 본 실시예의 제 2 마스크공정을 순차적으로 나타내고 있다.

도 5a에 도시된 바와 같이, 상기 게이트전극(121)과 n-1번째 게이트라인(116n-1)이 형성된 기관(110) 전면에 차례대로 제 1 절연막(115A), 비정질 실리콘 박막(124), n+ 비정질 실리콘 박막(125) 및 제 2 도전막(130)을 증착한다.

이때, 상기 제 2 도전막(130)으로 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다.

이후, 상기 기관(110) 전면에 포토레지스트와 같은 감광성물질로 이루어진 감광막(170)을 형성한 후 본 실시예의 회절마스크(180)를 통해 상기 감광막(170)에 선택적으로 광을 조사한다.

이때, 본 실시예에 사용한 회절마스크(180)에는 조사된 광을 모두 투과시키는 투과영역(I)과 슬릿패턴이 적용되어 광의 일부만 투과시키고 일부는 차단하는 슬릿영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 회절마스크(180)를 투과한 빛만이 감광막(170)에 조사되게 된다.

이어서, 상기 회절마스크(180)를 통해 노광된 감광막(170)을 현상하고 나면, 도 5b에 도시된 바와 같이, 상기 차단영역(III)과 슬릿영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 감광막패턴(170A~170C)들이 남아있게 되고, 모든 광이 투과된 투과영역(I)에는 감광막이 완전히 제거되어 제 2 도전막(130) 표면이 노출되게 된다.

이때, 상기 차단영역(III)을 통해 형성된 제 1 감광막패턴(170A)과 제 2 감광막패턴(170B)은 슬릿영역(II)에 형성된 제 3 감광막패턴(170C)보다 두껍게 형성된다. 또한, 상기 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.

다음으로, 도 5c에 도시된 바와 같이, 상기와 같이 형성된 감광막패턴(170A~170C)들을 마스크로 하여 그 하부에 형성된 제 2 도전막을 패터닝하게 되면, 상기 기판(110) 위에 상기 제 2 도전막으로 이루어진 제 2 도전막패턴(130')이 형성되게 된다.

본 실시예는 상기 제 2 도전막의 식각으로 습식(wet)식각을 이용하게 되며, 이때 상기 제 2 도전막패턴(130')은 그 상부의 감광막패턴(170A~170C)들보다 폭이 줄어든 형태로 패터닝되게 된다.

이후, 도 5d에 도시된 바와 같이, 상기의 감광막패턴(170A~170C)들을 마스크로 하여 상기 제 2 도전막패턴(130') 하부의 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 제거하게 되면, 상기 게이트전극(121) 상부의 소정영역에 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어진 비정질 실리콘 박막패턴(124')과 n+ 비정질 실리콘 박막패턴(125')이 형성되게 된다.

이때, 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막의 식각에는 건식(dry)식각을 이용하게 되며, 상기 비정질 실리콘 박막패턴(124')과 n+ 비정질 실리콘 박막패턴(125')은 그 상부의 감광막패턴(170A~170C)들과 동일한 형태로 패터닝되게 된다. 그 결과 상기 비정질 실리콘 박막패턴(124')과 n+ 비정질 실리콘 박막패턴(125')은 그 상부의 제 2 도전막패턴(130')에 비해 그 측면이 일부 돌출한 돌출부(P)를 가지게 된다.

그리고, 상기 감광막패턴(170A~170C)들의 일부를 제거하는 애싱공정을 진행하게 되면, 도 5e에 도시된 바와 같이, 상기 비정질 실리콘 박막패턴(124')의 소정영역 상부, 즉 회절노광이 적용된 슬릿영역(II)의 제 3 감광막패턴이 완전히 제거되어 상기 제 2 도전막패턴(130') 표면이 노출되게 된다.

이때, 상기 제 1 감광막패턴과 제 2 감광막패턴은 상기 제 3 감광막패턴의 두께만큼이 제거된 제 4 감광막패턴(170A')과 제 5 감광막패턴(170B')으로 상기 차단영역(III)에 대응하는 소정영역에만 남아있게 된다.

이후, 도 5f에 도시된 바와 같이, 상기 남아있는 제 4 감광막패턴(170A')과 제 5 감광막패턴(170B')을 마스크로 하여 상기 비정질 실리콘 박막패턴(124')의 소정영역(즉, 채널영역) 상부의 제 2 도전막패턴을 선택적으로 식각하게 되면, 상기 게이트전극(121) 상부에 상기 제 2 도전막으로 이루어진 소오스전극(122)과 드레인전극(123)이 형성되게 된다. 이때, 상기 소오스전극(122)의 일부는 일방향으로 연장되어 m번째 데이터라인(117m)의 일부를 구성하게 된다.

상기 제 2 도전막패턴의 식각으로 건식식각을 이용하며, 이때 상기 제 2 도전막패턴의 식각시 상기 제 2 도전막패턴 하부의 비정질 실리콘 박막패턴과 n+ 비정질 실리콘 박막패턴의 돌출부도 함께 식각되게 된다.

이때, 본 실시예는 상기 제 2 도전막패턴과 상기 비정질 실리콘 박막패턴 및 n+ 비정질 실리콘 박막패턴을 동시에 식각시킬 수 있는 식각가스를 사용하게 되며, 예를 들어 상기 제 2 도전막으로 몰리브덴이나 몰리브덴 합금을 사용하는 경우에는 식각가스로 Cl_2 와 O_2 가 혼합된 가스를 사용할 수 있다. 상기 Cl_2 와 O_2 는 1:0.5~4의 비율로 혼합하여 사용할 수 있으며, 식각시 챔버 내 압력은 100~1000mT(Torr)로 유지하고 플라즈마 파워는 0.1~0.5W(watt)/cm²로 할 수 있다.

이후, 상기 제 4 감광막패턴(170A')과 제 5 감광막패턴(170B')을 마스크로 하여 상기 채널영역 상부의 n+ 비정질 실리콘 박막패턴을 선택적으로 식각함으로써, 상기 게이트전극(121) 상부에 상기 비정질 실리콘 박막패턴으로 이루어진 액티브패턴(124'')을 형성한다. 상기 액티브패턴(124'')은 그 상부의 소오스/드레인전극(122, 123)과 동일한 형태의 측면을 가지게 되며, 이때 전술한 소오스/드레인전극(122, 123) 패터닝시 상기 비정질 실리콘 박막패턴과 n+ 비정질 실리콘 박막패턴의 돌출부가 식각되지 않고 일부 남아 있는 경우에도 상기 n+ 비정질 실리콘 박막패턴의 패터닝시 완전히 제거되게 된다.

이때, 상기 액티브패턴(124'') 위에 형성되어 있는 n+ 비정질 실리콘 박막 패턴은 패터닝되어 상기 액티브패턴(124'')과 소오스/드레인전극(122, 123) 사이를 오믹-콘택시키는 오믹-콘택층(125'')을 형성하게 된다.

일반적으로 회절노광을 이용하여 액티브패턴과 소오스/드레인전극을 동시에 패터닝하는 경우에는 도 6에 도시된 바와 같이, 소오스/드레인전극(222, 223) 하부의 액티브패턴(224')의 측면이 상기 소오스/드레인전극(222, 223)에 비해 돌출하도록 패터닝되게 되며, 상기 돌출된 돌출부(P')로 인해 웨이브 노이즈가 발생하게 되어 화질저하의 요인이 되고 있었다. 참고로, 도면부호 217은 데이터라인을 나타내며 도면부호 221과 225"은 게이트전극과 오믹-콘택층을 나타낸다.

그러나, 도 4b에 도시된 바와 같이, 본 실시예는 소오스/드레인전극(122, 123)을 구성하는 제 2 도전막을 식각할 때 상기 제 2 도전막과 비정질 실리콘 박막을 함께 식각시킬 수 있는 식각가스를 사용함으로써 상기 액티브패턴(124")의 돌출부를 제거할 수 있게 된다.

그리고, 도 4c에 도시된 바와 같이, 상기 소오스전극(122)과 드레인전극(123)이 형성된 기판(110) 전면에 제 2 절연막(115B)을 증착한 후, 포토리소그래피공정(제 3 마스크공정)을 통해 상기 제 2 절연막(115B)의 일부 영역을 제거하여 상기 드레인전극(123)의 일부를 노출시키는 콘택홀(140)을 형성한다.

이후, 도 4d에 도시된 바와 같이, 투명한 도전물질을 기판(110) 전면에 증착한 후 포토리소그래피공정(제 4 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 콘택홀(140)을 통해 드레인전극(123)과 전기적으로 접속하는 화소전극(118)을 형성한다.

이때, 상기 투명한 도전물질은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 도전물질을 포함한다.

또한, 상기 해당 화소전극(118)의 일부는 n-1번째 게이트라인(116n-1)의 일부와 중첩되도록 형성되어 그 하부의 제 1 절연막(115A)을 사이에 두고 상기 n-1번째 게이트라인(116n-1)과 함께 스토리지 커패시터(Cst)(도 3 참조)를 형성하게 된다.

이와 같이 구성된 상기 어레이 기판(110)은 화상표시 영역의 외곽에 형성된 실런트(미도시)에 의해 컬러필터 기판(미도시)과 대향하도록 합착되어 액정표시패널을 구성하며, 상기 어레이 기판(110)과 컬러필터 기판의 합착은 상기 어레이 기판(110)과 컬러필터 기판에 형성된 합착키(미도시)를 통해 이루어진다.

본 실시예는 채널층으로 비정질 실리콘 박막을 이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 채널층으로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터에도 적용된다.

또한, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 예를 들면 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 제조방법은 회절노광을 이용하여 액티브패턴과 소오스/드레인전극을 동시에 패터닝함으로써 박막 트랜지스터 제조에 사용되는 마스크수를 줄여 제조공정 및 비용을 절감시키는 효과를 제공한다.

또한, 본 발명에 따른 액정표시장치의 제조방법은 상기 소오스/드레인전극을 패터닝할 때 액티브패턴의 측면 돌출부를 함께 제거하도록 함으로써 웨이브 노이즈를 방지할 수 있게 된다. 그 결과 화질이 향상되는 동시에 불량 제거를 통한 수율이 향상되는 효과를 제공한다.

도면의 간단한 설명

도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도.

도 2a 내지 도 2e는 도 1에 도시된 액정표시장치에 있어서, 어레이 기판의 제조공정을 순차적으로 나타내는 단면도.

도 3은 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

도 4a 내지 도 4d는 도 3에 도시된 어레이 기판의 IIIa-IIIa'선에 따른 제조공정을 순차적으로 나타내는 단면도.

도 5a 내지 도 5f는 도 4b에 도시된 본 실시예의 제 2 마스크공정을 구체적으로 나타내는 단면도.

도 6은 일반적인 4마스크공정을 통해 제작한 박막 트랜지스터 구조를 나타내는 단면도.

**** 도면의 주요부분에 대한 부호의 설명 ****

110 : 어레이 기판 116n-1, 116n : 게이트라인

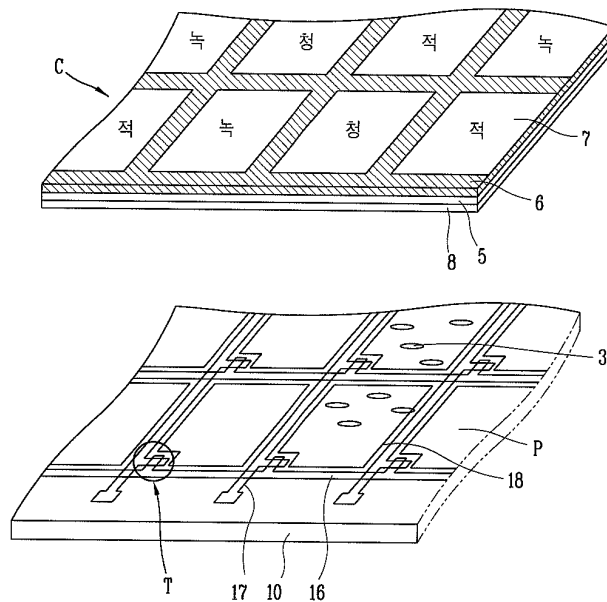
117m, 117m+1 : 데이터라인 118 : 화소전극

121 : 게이트전극 122 : 소오스전극

123 : 드레인전극 124" : 액티브패턴

도면

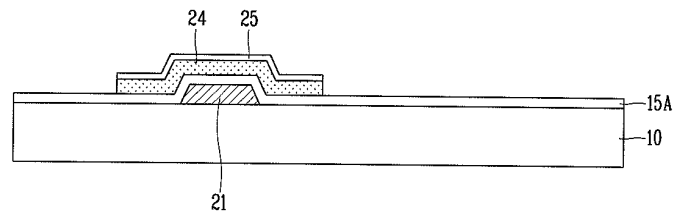
도면1



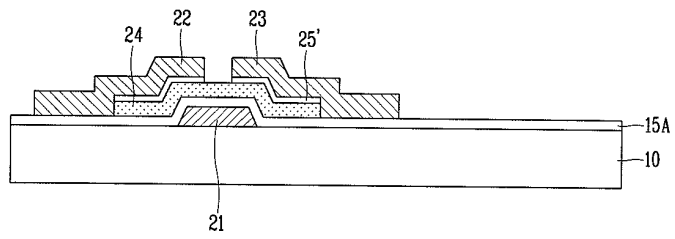
도면2a



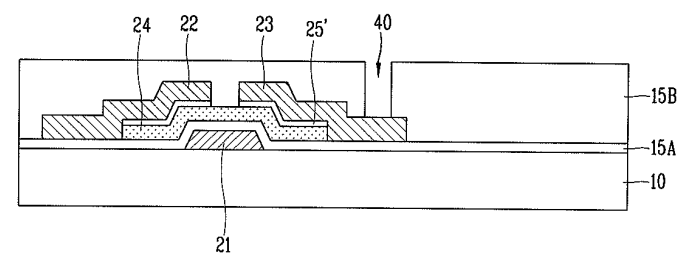
도면2b



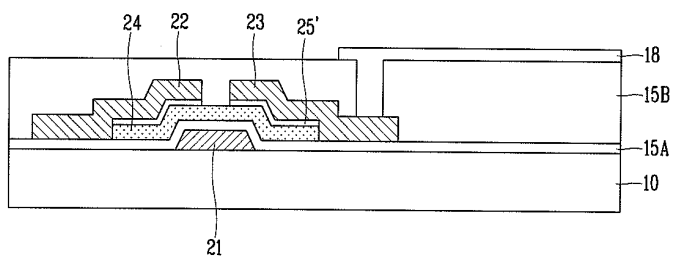
도면2c



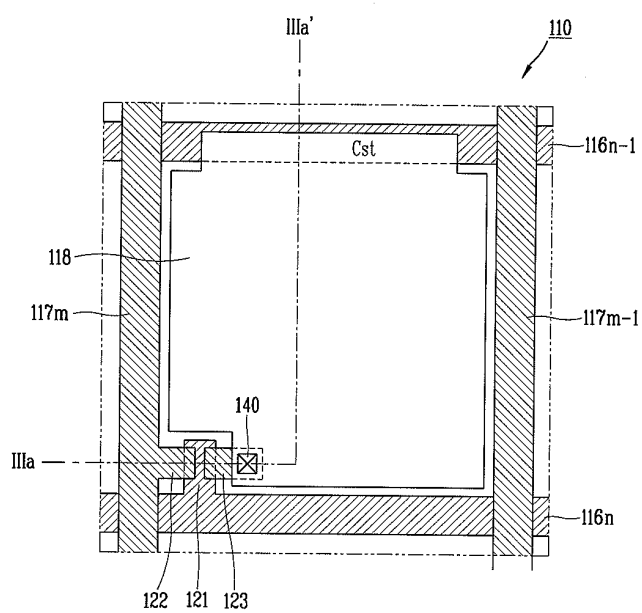
도면2d



도면2e



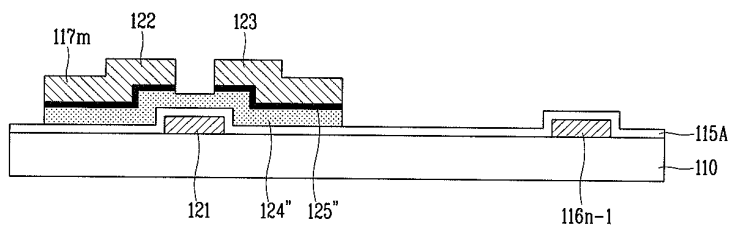
도면3



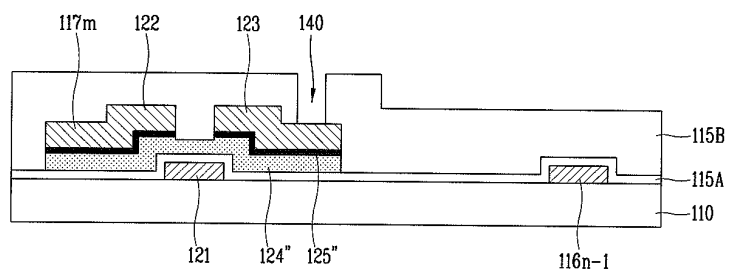
도면4a



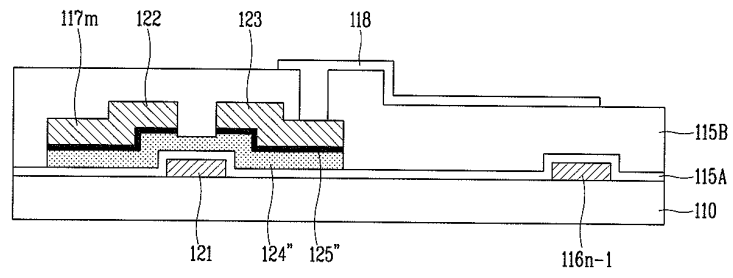
도면4b



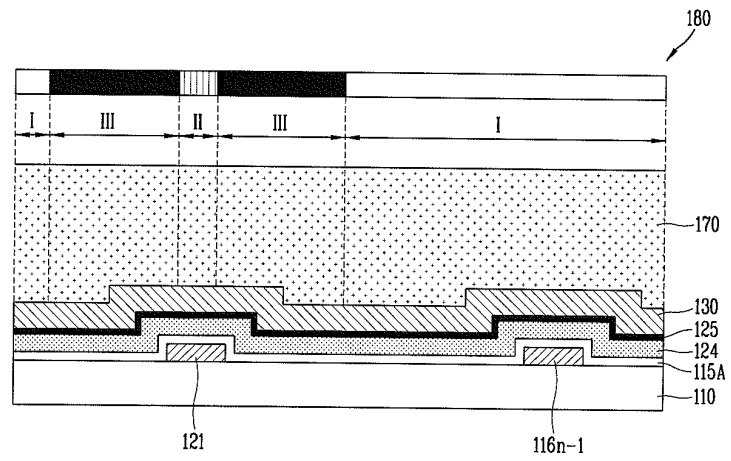
도면4c



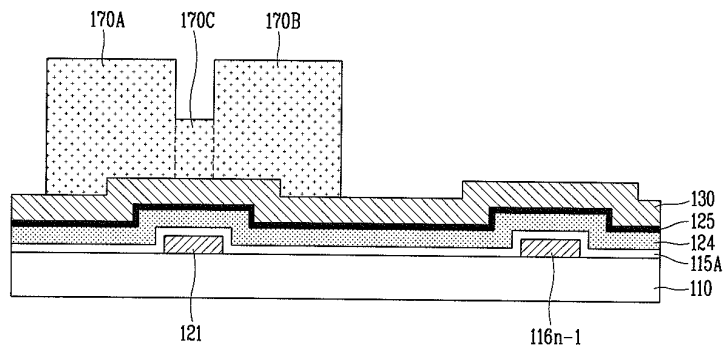
도면4d



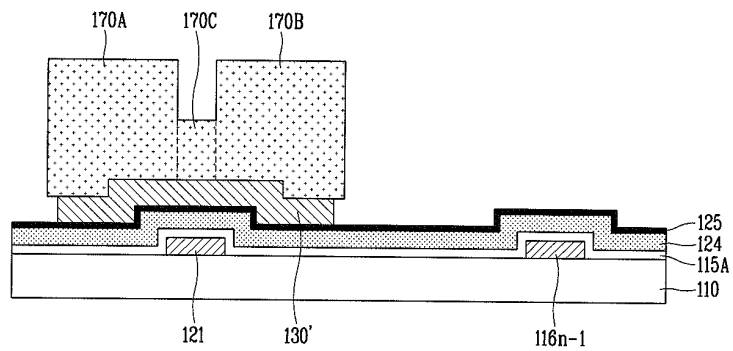
도면5a



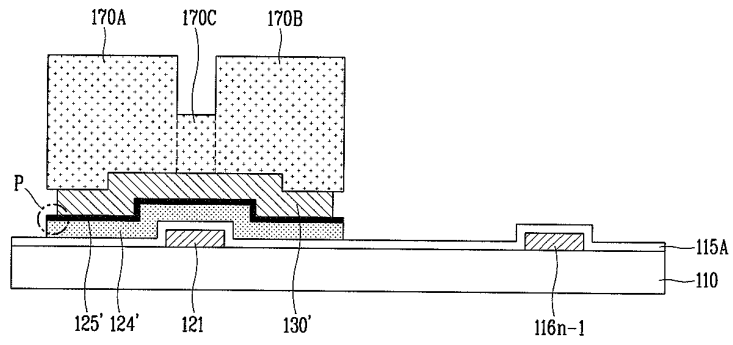
도면5b



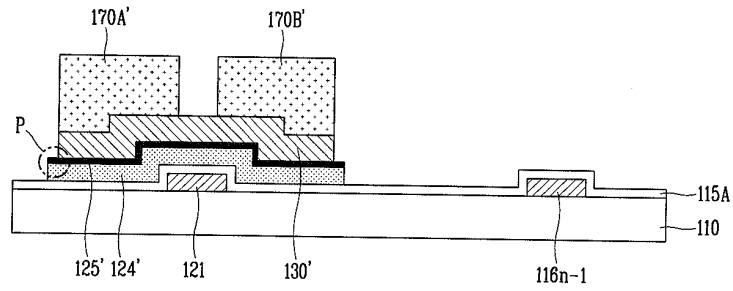
도면5c



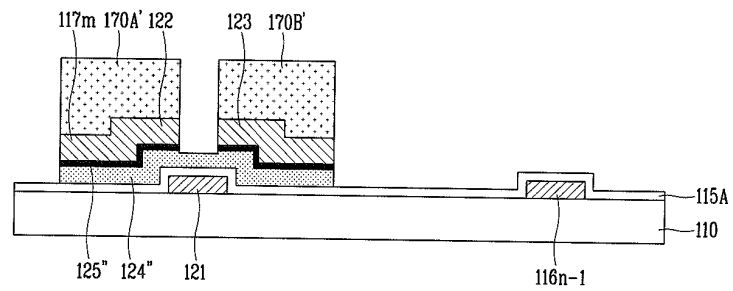
도면5d



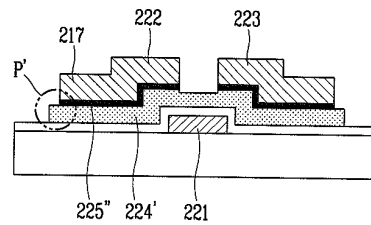
도면5e



도면5f



도면6



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR1020070068921A	公开(公告)日	2007-07-02
申请号	KR1020050131011	申请日	2005-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JUNG IL 이정일 YANG JOON YOUNG 양준영 OH JAE YOUNG 오재영		
发明人	이정일 양준영 오재영		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136227 G02F1/13458 G02F1/1368 G02F2001/13625 G02F2201/123		
代理人(译)	박장원		
其他公开文献	KR101206286B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种制造LCD（液晶显示器）的方法，通过使用衍射曝光同时对有源图案和源极和漏极电极进行图案化，从而减少用于制造薄膜晶体管的掩模数量。组织：第一基板提供（110）和第二基板。在第一基板上形成栅电极（121）和栅极线（116n-1）。在第一基板上形成第一绝缘层（115A）。在栅电极上形成有源图案（124），源电极和漏电极（122,123）以及数据线（117m），使得有源层被图案化为与源电极和漏电极相同的形状。在第一基板上形成第二绝缘层（115B）并选择性地去除第二绝缘层以形成暴露漏电极的一部分的第一接触孔。形成通过第一接触孔连接到漏电极的像素电极（118）。在第一和第二基板之间形成液晶层。©KIPO 2007

