



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0132415
G02F 1/136 (2006.01) (43) 공개일자 2006년12월21일

(21) 출원번호 10-2005-0052752
(22) 출원일자 2005년06월18일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 손원소
경북 구미시 상모동 우방신세계타운 109동 1305호
(74) 대리인 박장원

전체 청구항 수 : 총 13 항

(54) 박막 트랜지스터 및 액정표시소자의 제조방법

(57) 요약

본 발명은 박막 트랜지스터 내의 결함(defect)을 줄이고, 소자의 신뢰성을 향상시킬 수 있는 박막 트랜지스터 및 이를 이용한 액정표시장치의 제조방법에 관한 것으로, 본 발명에 따른 박막 트랜지스터의 제조방법은, 제 1 영역과 제 2 영역으로 구분되는 기판을 제공하는 단계; 상기 기판의 제 1 영역과 제 2 영역에 액티브패턴을 형성하는 단계; 상기 액티브패턴에 저농도 불순물 이온을 도핑하는 단계; 상기 기판 위에 제 1 절연막을 형성하는 단계; 상기 도핑된 저농도 불순물을 활성화하는 단계; 상기 액티브패턴 상부에 저저항 도전물질로 게이트전극을 형성하는 단계; n+ 불순물 이온을 도핑하여 상기 제 1 영역의 액티브패턴에 N 타입의 소오스/드레인영역을 형성하는 단계; p+ 불순물 이온을 도핑하여 상기 제 2 영역의 액티브패턴에 P 타입의 소오스/드레인영역을 형성하는 단계; 상기 기판 위에 제 2 절연막을 형성하는 단계; 및 상기 제 1 영역에 상기 N 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 제 2 영역에 상기 P 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계를 포함하여 이루어진다.

대표도

도 2b

특허청구의 범위

청구항 1.

- 제 1 영역과 제 2 영역으로 구분되는 기판을 제공하는 단계;
- 상기 기판의 제 1 영역과 제 2 영역에 액티브패턴을 형성하는 단계;
- 상기 액티브패턴에 저농도 불순물 이온을 도핑하는 단계;

상기 기관 위에 제 1 절연막을 형성하는 단계;

상기 도핑된 저농도 불순물을 활성화하는 단계;

상기 액티브패턴 상부에 저저항 도전물질로 게이트전극을 형성하는 단계;

n+ 불순물 이온을 도핑하여 상기 제 1 영역의 액티브패턴에 N 타입의 소오스/드레인영역을 형성하는 단계;

p+ 불순물 이온을 도핑하여 상기 제 2 영역의 액티브패턴에 P 타입의 소오스/드레인영역을 형성하는 단계;

상기 기관 위에 제 2 절연막을 형성하는 단계; 및

상기 제 1 영역에 상기 N 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 제 2 영역에 상기 P 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 기관의 최하층에 버퍼층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 3.

제 1 항에 있어서, 상기 액티브패턴을 형성하는 단계는,

상기 기관상에 비정질 실리콘을 형성하는 단계; 및

상기 비정질 실리콘을 결정화하는 단계를 포함하여 이루어짐을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 4.

제 1 항에 있어서, 상기 저농도 불순물 이온은 인(P) 또는 비소(As)의 n- 불순물 이온이거나, 또는 붕소(B)의 p- 불순물 이온임을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 5.

제 4 항에 있어서, 상기 저농도 불순물 이온의 도핑량은 $1^{-12} \sim 5^{-12}/\text{cm}^2$ 의 범위에서 정해짐을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 6.

제 5 항에 있어서, 상기 도핑된 저농도 불순물을 활성화하는 단계는 $600^\circ\text{C} \sim 700^\circ\text{C}$ 의 온도범위에서 열처리되어 진행됨을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 7.

제 1 항에 있어서, 상기 게이트전극은 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 및 니켈 합금(Ni alloy)로 구성된 군에서 선택된 적어도 하나의 물질인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 8.

제 1 항에 있어서, 상기 게이트전극을 형성한 이후, 상기 기판 전면에 n- 불순물 이온을 도핑하여 액티브패턴의 소정영역에 n- 도핑영역을 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 9.

제 1 항에 있어서, 상기 N 타입의 소오스/드레인영역을 형성하는 단계는 상기 제 1 영역의 게이트전극을 덮으며 상기 제 2 영역 전체를 가리도록 감광막패턴을 형성하는 단계 및 상기 감광막패턴을 마스크로 기판 전면에 n+ 불순물 이온을 도핑하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 10.

제 1 항에 있어서, 상기 P 타입의 소오스/드레인영역을 형성하는 단계는 상기 제 1 영역 전체를 가리도록 감광막패턴을 형성하는 단계 및 상기 감광막패턴을 마스크로 기판 전면에 p+ 불순물 이온을 도핑하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 11.

제 1 항에 있어서, 상기 제 2 절연막을 형성한 후, 상기 제 2 절연막과 제 1 절연막의 일부 영역을 제거하여, 상기 제 1 영역에 N 타입 소오스영역의 일부를 노출시키는 제 1 콘택홀과 드레인영역의 일부를 노출시키는 제 2 콘택홀을 형성하며, 상기 제 2 영역에 P 타입 소오스영역의 일부를 노출시키는 제 3 콘택홀과 드레인영역의 일부를 노출시키는 제 4 콘택홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 12.

제 11 항에 있어서, 상기 제 1 콘택홀을 통해 상기 N 타입의 소오스영역과 소오스전극이 전기적으로 접속하고 상기 제 2 콘택홀을 통해 상기 N 타입의 드레인영역과 드레인전극이 전기적으로 접속하며, 상기 제 3 콘택홀을 통해 상기 P 타입의 소오스영역과 소오스전극이 전기적으로 접속하고 상기 제 4 콘택홀을 통해 상기 P 타입의 드레인영역과 드레인전극이 전기적으로 접속하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 13.

화소부 및 제 1 영역과 제 2 영역으로 이루어진 구동회로부로 구분되는 기판을 제공하는 단계;

상기 기판의 화소부와 구동회로부에 액티브패턴을 형성하는 단계;

상기 액티브패턴에 저농도 불순물을 도핑하는 단계;

상기 기판 위에 제 1 절연막을 형성하는 단계;

상기 도핑된 저농도 불순물을 활성화하는 단계;

상기 액티브패턴 상부에 저저항 도전물질로 게이트전극을 형성하는 단계;

n+ 불순물 이온을 도핑하여 상기 화소부와 구동회로부의 제 1 영역의 액티브패턴에 N 타입의 소오스/드레인영역을 형성하는 단계;

p+ 불순물 이온을 도핑하여 상기 구동회로부의 제 2 영역의 액티브패턴에 P 타입의 소오스/드레인영역을 형성하는 단계;

상기 기판 위에 제 2 절연막을 형성하는 단계; 및

상기 화소부와 구동회로부의 제 1 영역에 상기 N 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 구동회로부의 제 2 영역에 상기 P 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계를 포함하는 액정표시소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 액정표시장치의 제조방법에 관한 것으로, 특히, 박막 트랜지스터 내의 결함(defect)을 줄이고, 소자의 신뢰성을 향상시킬 수 있는 박막 트랜지스터 및 이를 이용한 액정표시장치의 제조방법에 관한 것이다.

최근의 정보화 사회에서 디스플레이는 시각정보 전달매체로서 그 중요성이 더 한층 강조되고 있으며, 향후 주요한 위치를 점하기 위해서는 저소비전력화, 박형화, 경량화, 고화질화 등의 요건을 충족시켜야 한다. 현재 평판 디스플레이(Flat Panel Display; FPD)의 주력 제품인 액정표시장치(Liquid Crystal Display; LCD)는 디스플레이의 이러한 조건들을 만족시킬 수 있는 성능뿐만 아니라 양산성까지 갖추었기 때문에, 이를 이용한 각종 신제품 창출이 급속도로 이루어지고 있으며 기존의 브라운관(Cathode Ray Tube; CRT)을 점진적으로 대체할 수 있는 핵심부품 산업으로서 자리 잡았다.

일반적으로, 액정표시장치는 매트릭스(matrix) 형태로 배열된 액정셀들에 화상정보에 따른 데이터신호를 개별적으로 공급하여, 상기 액정셀들의 광투과율을 조절함으로써 원하는 화상을 표시할 수 있도록 한 표시장치이다.

상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.

비정질 실리콘 박막 트랜지스터 기술은 1979년 영국의 LeComber 등에 의하여 개념이 확립되어 1986년에 3" 액정 휴대용 텔레비전으로써 실용화되었고 최근에는 50" 이상의 대면적 박막 트랜지스터 액정표시장치가 개발되었다. 특히, 상기 비정질 실리콘 박막 트랜지스터는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문에 활발히 이용되고 있다.

그러나, 상기 비정질 실리콘 박막 트랜지스터의 전기적 이동도($\sim 1\text{cm}^2/\text{Vsec}$)로는 1MHz 이상의 고속 동작을 요구하는 주 변회로에 이용하는 데는 한계가 있다. 이에 따라 전계효과 이동도(field effect mobility)가 상기 비정질 실리콘 박막 트랜지스터에 비해 큰 다결정 실리콘(Polycrystalline Silicon; poly-Si) 박막 트랜지스터를 이용하여 유리기판 위에 화소부와 구동회로부를 동시에 집적하는 연구가 활발히 진행되고 있다.

다결정 실리콘 박막 트랜지스터 기술은 1982년에 액정 컬러 텔레비전이 개발된 이후로 캠코더 등의 소형 모듈에 적용하고 있으며, 낮은 감광도와 높은 전계효과 이동도를 가지고 있어 구동회로를 기판에 직접 제작할 수 있다는 장점이 있다.

이동도의 증가는 구동 화소수를 결정하는 구동회로부의 동작 주파수를 향상시킬 수 있으며 이로 인한 표시장치의 고정세 화가 용이해진다. 또한, 화소부의 신호 전압의 충전 시간의 감소로 전달 신호의 왜곡이 줄어들어 화질 향상을 기대할 수 있다.

또한, 다결정 실리콘 박막 트랜지스터는 높은 구동 전압(~25V)을 갖는 비정질 실리콘 박막 트랜지스터에 비해 10V 미만에서 구동이 가능하므로 전력 소모를 감소시킬 수 있다는 장점이 있다.

도 1은 이러한 다결정 실리콘 박막 트랜지스터가 사용된 일반적인 액정표시장치의 어레이 기판의 일부를 나타내는 평면도이다.

실제의 액정표시장치에서는 N개의 게이트 라인과 M개의 데이터 라인이 교차하여 N×M개의 단위 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 단지 하나의 단위 화소만을 나타내었다.

도면에 도시된 바와 같이, 상기 어레이 기판(10)은 단위 화소에 형성된 화소전극(18), 상기 기판(10) 위에 종횡으로 배열된 게이트 라인(16)과 데이터 라인(17), 그리고 상기 게이트 라인(16)과 데이터 라인(17)의 교차영역에 형성된 스위칭소자인 박막트랜지스터로 이루어진다.

상기 박막트랜지스터는 게이트 라인(16)에 연결된 게이트전극(21), 데이터 라인(17)에 연결된 소오스 전극(22) 및 화소전극(18)에 연결된 드레인 전극(23)으로 구성된다. 또한, 상기 박막트랜지스터는 게이트전극(21)과 소오스/드레인 전극(22, 23)의 절연을 위한 제 1 절연막(미도시)과 제 2 절연막(미도시) 및 상기 게이트전극(21)에 공급되는 게이트 전압에 의해 소오스 전극(22)과 드레인 전극(23) 간에 전도채널(conductive channel)을 형성하는 다결정 실리콘의 액티브층(24)을 포함한다.

이 때, 상기 제 1 절연막과 제 2 절연막에 형성된 제 1 콘택홀(40a)을 통해 상기 소오스 전극(22)은 액티브층(24)의 소오스 영역과 전기적으로 접속하며 상기 드레인 전극(23)은 액티브층(24)의 드레인영역과 전기적으로 접속하게 된다. 또한, 상기 드레인 전극(23) 위에는 제 2 콘택홀(40b)이 형성된 제 3 절연막(미도시)이 있어, 상기 제 2 콘택홀(40b)을 통해 상기 드레인 전극(23)과 화소전극(18)이 전기적으로 접속되게 된다.

한편, 도면에 도시하지는 않았지만, 어레이 기판의 외곽부에는 게이트 구동회로부 및 데이터 구동회로부가 각각 형성되어, 화소부 내의 게이트 라인들 및 데이터 라인들에 주사신호와 화상정보를 공급함으로써, 각각의 단위 화소들을 구동시킨다.

이때, 상기 데이터 구동회로부와 게이트 구동회로부는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(Complementary Metal Oxide Semiconductor) 구조의 다결정 실리콘 박막 트랜지스터를 사용하게 된다.

참고로, 상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막 트랜지스터에 사용되는 MOS 구조로 된 집적회로의 일종으로 N 채널 박막 트랜지스터와 P 채널박막 트랜지스터를 모두 필요로 하며 속도와 밀도의 특성은 NMOS와 PMOS의 중간 형태를 나타낸다.

그런데, 상기와 같이, 다결정 실리콘을 전도 채널로 사용하는 다양한 박막트랜지스터들에 있어서, 다결정 실리콘의 결정 경계(grain boundary)에 존재하는 땀글링 본드(dangling bond)들은 누설 전류를 증가시키고, 소자 동작 시에 전자가 포획(trap)되어 전위 장벽이 형성되게 함으로써, 온전류의 손실을 발생시키는 문제를 유발하였다.

따라서, 이와 같은 현상을 방지하기 위해, 다결정 실리콘으로 이루어진 액티브층 상부에 수소 플라즈마 처리된 게이트 절연막을 증착하고, 이후 400℃ 정도의 온도에서 수소화 열처리를 진행함으로써, 수소 이온들이 다결정 실리콘 내부로 확산되게 하고, 상기 다결정 실리콘 내부의 땀글링 본드와 결합하게 함으로써, 누설 전류를 감소시키고, 온전류를 증가시키고자 하는 시도가 있었다. 하지만, 이 경우 박막 트랜지스터 소자가 지속적으로 동작하거나, 전류의 흐름량이 많을 때, 결합력이 약한 수소 원자들이 결합을 끊고 빠져나와 박막 트랜지스터가 열화되는 경향을 보였다.

발명이 이루고자 하는 기술적 과제

따라서, 상기와 같은 문제점을 해결하기 위해, 본 발명은 수소보다 강한 결합력을 갖는 불순물 이온들과 다결정 실리콘 내의 땀글링 본드들을 결합시킴으로써, 다결정 실리콘의 결함(defect)를 최소화하고, 소자의 신뢰성을 향상시킬 수 있는 박막 트랜지스터의 제조방법을 제공함을 목적으로 한다.

본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성

따라서, 상기와 같은 목적을 이루기 위해 본 발명에 따른 박막 트랜지스터의 제조방법은 제 1 영역과 제 2 영역으로 구분되는 기판을 제공하는 단계; 상기 기판의 제 1 영역과 제 2 영역에 액티브패턴을 형성하는 단계; 상기 액티브패턴에 저농도 불순물 이온을 도핑하는 단계; 상기 기판 위에 제 1 절연막을 형성하는 단계; 상기 도핑된 저농도 불순물을 활성화하는 단계; 상기 액티브패턴 상부에 저저항 도전물질로 게이트전극을 형성하는 단계; n+ 불순물 이온을 도핑하여 상기 제 1 영역의 액티브패턴에 N 타입의 소오스/드레인영역을 형성하는 단계; p+ 불순물 이온을 도핑하여 상기 제 2 영역의 액티브패턴에 P 타입의 소오스/드레인영역을 형성하는 단계; 상기 기판 위에 제 2 절연막을 형성하는 단계; 및 상기 제 1 영역에 상기 N 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 제 2 영역에 상기 P 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계를 포함하여 이루어진다.

그리고, 본 발명에 따른 액정표시소자의 제조방법은, 화소부 및 제 1 영역과 제 2 영역으로 이루어진 구동회로부로 구분되는 기판을 제공하는 단계; 상기 기판의 화소부와 구동회로부에 액티브패턴을 형성하는 단계; 상기 액티브패턴에 저농도 불순물을 도핑하는 단계; 상기 기판 위에 제 1 절연막을 형성하는 단계; 상기 도핑된 저농도 불순물을 활성화하는 단계; 상기 액티브패턴 상부에 저저항 도전물질로 게이트전극을 형성하는 단계; n+ 불순물 이온을 도핑하여 상기 화소부와 구동회로부의 제 1 영역의 액티브패턴에 N 타입의 소오스/드레인영역을 형성하는 단계; p+ 불순물 이온을 도핑하여 상기 구동회로부의 제 2 영역의 액티브패턴에 P 타입의 소오스/드레인영역을 형성하는 단계; 상기 기판 위에 제 2 절연막을 형성하는 단계; 및 상기 화소부와 구동회로부의 제 1 영역에 상기 N 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 구동회로부의 제 2 영역에 상기 P 타입 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극을 형성하는 단계를 포함하여 이루어진다.

또한, 본 발명의 액정표시장치는 제 1 영역과 제 2 영역 및 화소부로 구분되는 기판, 상기 기판의 제 1 영역과 화소부상에 저저항 도전물질로 이루어진 게이트전극, N 타입 액티브패턴 및 소오스/드레인전극으로 이루어진 N 타입 박막 트랜지스터 및 상기 제 1 영역의 게이트전극, 액티브패턴 및 소오스/드레인전극의 각각에 대응하는 제 2 영역상에 저저항 도전물질로 이루어진 게이트전극, P 타입 액티브패턴 및 소오스/드레인전극으로 이루어진 P 타입 박막 트랜지스터를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법의 바람직한 실시예를 자세히 설명한다.

도 2a 내지 도 2i는 본 발명의 일실시예에 따른 액정표시장치 용 박막 트랜지스터의 제조공정을 순차적으로 나타내는 단면도이다.

이때, 일반적으로 화소부에 형성되는 박막 트랜지스터는 N 타입 또는 P 타입 모두 가능하며 구동회로부에는 N 타입 박막 트랜지스터와 P 타입 박막 트랜지스터가 모두 형성되어 CMOS 형태를 이루게 되나, 도면에는 편의상 N 타입 박막 트랜지스터와 함께 P 타입 박막 트랜지스터를 제작하는 방법을 예를 들어 나타내고 있다.

이때, 도면의 좌측에는 N 타입 박막 트랜지스터를 제작하는 방법을 나타내고 있으며, 도면의 우측에는 P 타입 박막 트랜지스터를 제작하는 방법을 나타내고 있다.

도 2a에 도시된 바와 같이, 유리, 석영과 같은 투명한 절연 물질로 이루어진 기판(110) 위에 실리콘산화막으로 구성되는 버퍼층(buffer layer, 111)을 형성한다.

상기 버퍼층(111)은 기판(110) 내에 존재하는 나트륨(natrium; Na) 등의 불순물이 결정화과정 진행 중에 상부층으로 침투하는 것을 차단하는 역할을 한다.

그리고, 상기 버퍼층(111)이 형성된 기판(110)의 N 타입 박막 트랜지스터영역 및 P 타입 박막 트랜지스터영역에 각각 다결정 실리콘으로 이루어진 액티브패턴(124N, 124P)을 형성한다.

상기 액티브패턴(124N, 124P)은 기판(110) 전면에 비정질 실리콘 박막을 증착한 다음 레이저 어닐링 등의 결정화방법을 이용하여 결정화하여 다결정 실리콘 박막을 형성하게 된다. 그후, 포토리소그래피공정(제 1 마스크공정)을 거쳐 상기 결정화된 다결정 실리콘 박막을 패터닝함으로써 N 타입 박막 트랜지스터영역 및 P 타입 박막 트랜지스터영역에 각각 액티브패턴(124N, 124P)을 형성하게 된다.

상기 포토리소그래피공정은 마스크에 그려진 패턴(pattern)을 박막이 증착된 기판 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상 공정으로 이루어져 있다.

이때, 비정질 실리콘 박막을 증착하는 대표적인 방법으로는 저압 화학기상증착(Low Pressure Chemical Vapor Deposition; LPCVD)방법과 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)방법이 있다. 상기 플라즈마 화학기상증착방법으로 비정질 실리콘 박막을 증착할 경우에는 증착시 기판의 온도에 따라 다소 차이는 있으나 약 20% 내외의 수소 원자가 상기 비정질 실리콘 박막 내에 포함되게 된다. 따라서, 상기 플라즈마 화학기상증착방법으로 비정질 실리콘 박막을 증착하는 경우에는 상기 박막 내에 존재하는 수소 원자들을 외부로 배출시키는 탈수소화(dehydrogenation)공정을 진행할 필요가 있다.

이때, 상기 비정질 실리콘 박막의 결정화로 여러 가지 결정화 방식을 이용할 수 있으며, 레이저를 이용하는 레이저 어닐링 방법을 이용하는 경우에는 펄스(pulse) 형태의 레이저를 이용한 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA)방법이 주로 이용되나, 그레인(grain)을 수평방향으로 성장시켜 결정화특성을 획기적으로 향상시킨 순차적 수평결정화(Sequential Lateral Solidification; SLS)방법을 이용할 수도 있다.

상기 순차적 수평결정화는 그레인이 액상(liquid phase) 실리콘과 고상(solid phase) 실리콘의 경계면에서 상기 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 것으로, 레이저 에너지의 크기와 레이저빔의 조사범위를 적절하게 조절하여 그레인을 소정의 길이만큼 측면 성장시킴으로써 실리콘 그레인의 크기를 향상시킬 수 있는 결정화 방법이다.

다음은 상기의 결정화 단계 이후, 액티브패턴(124N, 124P) 내부에 발생하는 땀글링본드들을 제거하기 위해, 도 2b에 도시된 바와 같이, 액티브패턴(124N, 124P)의 상부로 저농도의 불순물 이온을 도핑하는 단계이다.

이때, 사용되는 도펀트 용 불순물 이온은 도면에 도시된 바와 같이, 인(P) 또는 비소(As)의 n- 불순물 이온이 될 수 있고, 또는 붕소(B)의 p- 불순물 이온이 될 수도 있다. 그리고, 상기 저농도 불순물 이온의 도핑량은 $1^{-12} \sim 5^{-12}$ atoms/cm²의 범위에서 정해질 수 있다.

실질적으로 다결정 실리콘의 내부에는 어떠한 원자와도 결합하지 않는 상태의 땀글링본드들이 형성된다. 땀글링본드는 결정 경계(grain boundary) 영역에서 결합손이 빈 상태로 존재하기 때문에, 누설 전류를 증가시키고, 소자 동작 시에는 전자를 포획하여 전위 장벽을 형성함으로써, 온 전류의 손실을 발생시키는 문제를 야기한다.

따라서, 본 발명은 전도 채널인 다결정 실리콘 내 결정 경계에 존재하는 땀글링본드들을 제거하기 위해, 인(P), 비소(As) 또는 붕소(B) 등의 저농도 불순물 이온을 상기 액티브패턴에 주입하여, 땀글링본드와 불순물 이온들이 우선적으로 결합하도록 함으로써, 포획 준위를 없애고, 누설 전류를 줄여, 온전류로 개선하도록 한다.

다음으로, 도 2c에 도시된 바와 같이, 상기 액티브패턴(124N, 124P)이 형성된 기판(110) 전면에 게이트절연막인 제 1 절연막(115A)을 형성하고, 상기 기판(110)을 600°C ~ 700°C의 온도로 열처리함으로써, 액티브패턴(124N, 124P)에 도핑된 저농도 불순물 이온을 활성화시킨다.

이때, 도핑된 저농도의 n- 불순물 이온들은 열공정에 의해 액티브패턴(124N, 124P)로 확산되어 땀글링본드들과 결합하게 되어, 채널영역 내의 땀글링본드들을 제거한다.

이후, 도 2d에 도시한 바와 같이, 상기 제 1 절연막(115A)이 형성된 기판(110)의 소정영역(즉, 액티브패턴(124N, 124P) 상부에 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 및 니켈 합금(Ni alloy)로 구성된 저저항 도전물질 군에서 선택된 적어도 하나의 물질을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 게이트전극(121N, 121P)을 형성한다.

다음으로, 도 2e에 도시된 바와 같이, 게이트전극(121N, 121P)이 형성된 기판(110) 전면에서 저농도의 n- 불순물 이온을 도핑하여 N 타입 박막 트랜지스터 및 P 타입 박막 트랜지스터의 액티브패턴(124N, 124P)에 각각 n- 도핑영역(124N', 124P')을 형성한다.

이때, 상기 게이트전극(121N, 121P)이 마스크가 되어 상기 게이트전극(121N, 121P)으로 가려진 액티브패턴(124N, 124P)의 중앙영역(124NC, 124PC)을 제외한 좌우의 소정영역에 n- 도핑영역(124N', 124P')이 형성되게 된다.

한편, 본 단계에서 n- 불순물 이온은 이전 단계에서 덩글링본드를 제거하기 위해 도핑했던 n-불순물 이온보다는 높은 농도로 주입된다.

다음으로, N 타입 박막 트랜지스터를 제작하기 위해(즉, N 타입 박막 트랜지스터의 액티브패턴(124N)에 N 타입 소오스/드레인영역을 형성하기 위해) 도 2f에 도시된 바와 같이, N 타입 박막 트랜지스터영역의 일부 및 P 타입 박막 트랜지스터영역 전체를 포토레지스트와 같은 감광막패턴(170A, 170B)으로 가린 뒤(제 4 마스크공정), 기판(110) 전면에 고농도의 n+ 불순물 이온을 도핑한다.

이와 같이 상기 N 타입 박막 트랜지스터의 일부, 즉 게이트전극(121N)을 포함하는 소정영역을 제 1 감광막패턴(170A)으로 가린 상태에서 n+ 불순물 이온을 주입함으로써, 상기 N 타입 박막 트랜지스터의 액티브패턴(124N)의 소정영역에 저항성 접촉층인 N 타입 소오스/드레인영역(124NS, 124ND)을 형성하게 된다.

이때, 상기 N 타입 박막 트랜지스터의 소오스영역(124NS)과 드레인영역(124ND) 사이에는 상기 소오스영역(124NS)으로부터 차례대로 엘디디영역(Lightly Doped Drain; LDD)(124NL), 채널영역(124NC) 및 엘디디영역(124NL)이 정의되게 된다. 즉, N 타입 박막 트랜지스터의 엘디디영역(124NL)은 n- 도핑영역으로 상기 소오스영역(124NS)과 채널영역(124NC) 사이 및 상기 드레인영역(124ND)과 채널영역(124NC) 사이에 정의되게 된다. 상기 엘디디영역(124NL)은 N 타입 박막 트랜지스터의 오프상태에서의 누설전류를 감소시키는 역할을 한다.

이때, 상기 N 타입 박막 트랜지스터의 게이트전극(121N)과 제 1 감광막패턴(170A)은 N 타입 액티브패턴(124N)의 채널영역(124NC)에 도펀트가 침투하는 것을 방지하는 이온-스타퍼의 역할을 하게 된다.

상기, N 타입 박막 트랜지스터의 소오스영역(124NS)과 드레인영역(124ND)은 전자를 공여(供與)할 수 있는 인(P) 등의 5족 원소를 주입하여 형성하게 된다.

그리고, P 타입 박막 트랜지스터를 제작하기 위해 도 2g에 도시된 바와 같이, N 타입 박막 트랜지스터영역 전체를 제 3 감광막패턴(170C)으로 가린 뒤(제 5 마스크공정), 기판(110) 전면에 고농도의 p+ 불순물 이온을 도핑하여 P 타입 박막 트랜지스터의 액티브패턴(124P)의 소정영역에 P 타입의 소오스영역(124PS)과 드레인영역(124PD)을 형성한다.

이때, 상기 n- 도핑공정에 의해 형성된 P 타입 박막 트랜지스터의 n- 도핑영역(124P')은 고농도의 p+ 이온 도핑에 의해 p+ 도핑영역, 즉 P 타입 소오스영역(124PS)과 드레인영역(124PD)으로 바뀌게 된다. 이때, 상기 P 타입 박막 트랜지스터의 게이트전극(121P, 121'P)은 P 타입 액티브패턴(124P)의 채널영역(124PC)에 도펀트가 침투하는 것을 방지하는 이온-스타퍼의 역할을 하게 된다.

이때, P 타입 박막 트랜지스터의 소오스/드레인영역(124PS, 124PD)은 전공(hole)을 공여할 수 있는 붕소(B) 등의 3족 원소를 주입하여 형성하게 된다.

이때, 본 실시예에서는 먼저 N 도핑을 실시하여 N 타입 박막 트랜지스터를 제작한 후 P 도핑을 실시하여 P 타입 박막 트랜지스터를 제작하는 순서로 진행하는 것을 예를 들어 나타내고 있으나, 상기 N 도핑과 P 도핑 순서를 바꾸어서 공정을 진행하여도 무방하다.

다음으로, 도 2h에 도시된 바와 같이, 상기 기판(110) 전면에 층간절연막인 제 2 절연막(115B)을 형성한 후, 포토리소그래피공정(제 6 마스크공정)을 이용하여 상기 제 2 절연막(115B)과 제 1 절연막(115A)을 선택적으로 패터닝함으로써 N 타입 박막 트랜지스터의 소오스영역(124NS)의 일부를 노출시키는 제 1 콘택홀(140NA) 및 드레인영역(124ND)의 일부를 노출시키는 제 2 콘택홀(140NB)을 형성하며, P 타입 박막 트랜지스터의 소오스영역(124PS)의 일부를 노출시키는 제 3 콘택홀(140PA) 및 드레인영역(124PD)의 일부를 노출시키는 제 4 콘택홀(140PB)을 형성한다.

상기 제 2 절연막(115B)은 실리콘산화막 또는 실리콘질화막과 같은 무기절연막으로 구성할 수 있으며, 고개구율을 구현하기 위해 유전율이 낮은 벤조사이클로부텐(Benzocyclobutene; BCB) 또는 아크릴(Acryl)과 같은 유기절연막으로 형성할 수도 있다.

그리고, 도 2i에 도시된 바와 같이, 포토리소그래피공정(제 7 마스크공정)을 통해 상기 N 타입 박막 트랜지스터영역에 상기 제 1 콘택홀(140NA)을 통해 N 타입 소오스영역(124NS)과 전기적으로 접속하는 소오스전극(122N) 및 상기 제 2 콘택

홀(140NB)을 통해 드레인영역(124ND)과 전기적으로 접속하는 드레인전극(123N)을 형성하며, 상기 P 타입 박막 트랜지스터영역에 상기 제 3 콘택홀(140PA)을 통해 P 타입 소오스영역(124PS)과 전기적으로 접속하는 소오스전극(122P) 및 상기 제 4 콘택홀(140PB)을 통해 드레인영역(124PD)과 전기적으로 접속하는 드레인전극(123P)을 형성한다.

상기한 바와 같이, 본 발명에서는 액티브패턴의 결정화 이후, 저농도의 불순물 이온을 도핑하고, 게이트전극 형성 이전에 열처리를 진행하여, 상기 저농도의 불순물 이온을 활성화시킴으로써, 다결정 실리콘 내의 뎅글링본드들을 효과적으로 제거하고, 결과적으로, 박막 트랜지스터의 전기적 이동도를 상승시키고, S-factor는 감소시키며, HDCS(High Drain Current Stress)를 증가시켜, 소자의 신뢰성을 크게 향상시킬 수 있다.

상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

상술한 바와 같이, 본 발명은 수소보다 강한 결합력을 갖는 불순물 이온들과 다결정 실리콘 내의 뎅글링 본드들을 결합시킴으로써, 다결정 실리콘의 결함(defect)을 최소화하고, 소자의 신뢰성을 향상시킬 수 있는 박막 트랜지스터 및 이를 이용한 액정표시장치의 제조방법을 제공함을 목적으로 한다.

도면의 간단한 설명

도 1은 다결정 박막 트랜지스터가 사용된 일반적인 액정표시장치의 단위 화소를 나타낸 평면도.

도 2a ~ 2i는 본 발명의 실시예에 따른 박막트랜지스터의 제조방법을 순차적으로 나타낸 공정단면도.

도면의 주요 부호에 대한 설명

110, 210 : 어레이 기판

121N, 221N, 121P, 221P : 게이트전극

122N, 222N, 122P, 222P : 소오스전극

123N, 223N, 123P, 223P : 드레인전극

124NC, 224NC, 124PC, 224PC : 채널영역

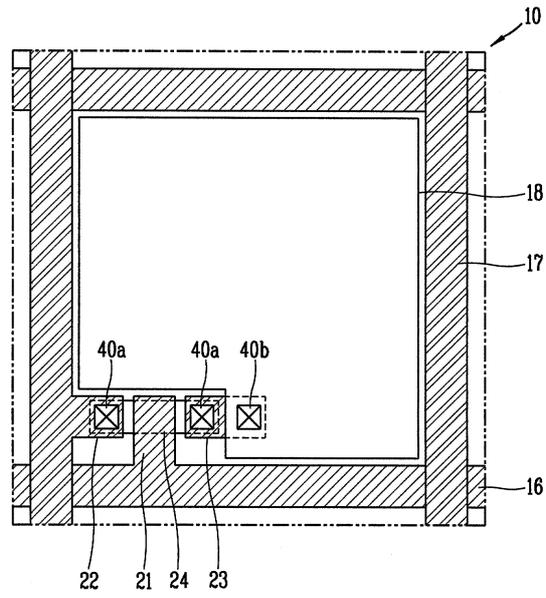
124ND, 224ND, 124PD, 224PD : 드레인영역

124NL, 224NL : 엘디디영역

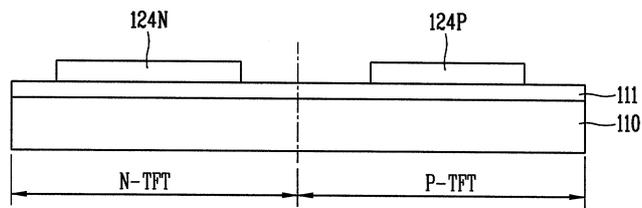
124NS, 224NS, 124PS, 224PS : 소오스영역

도면

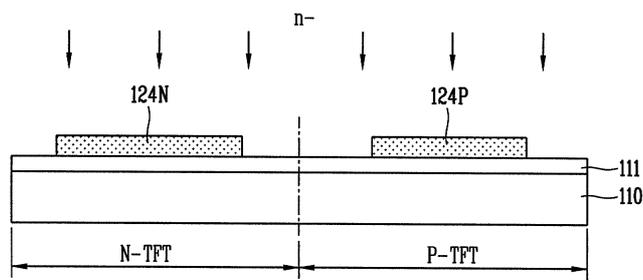
도면1



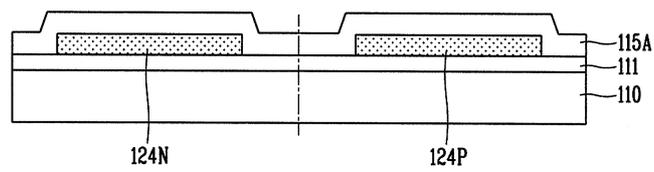
도면2a



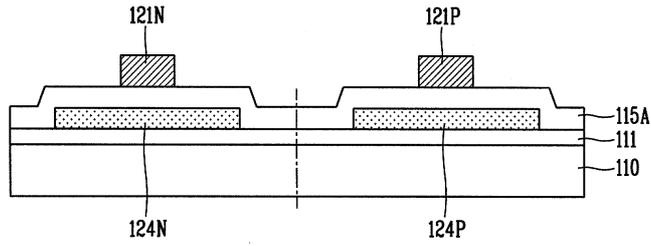
도면2b



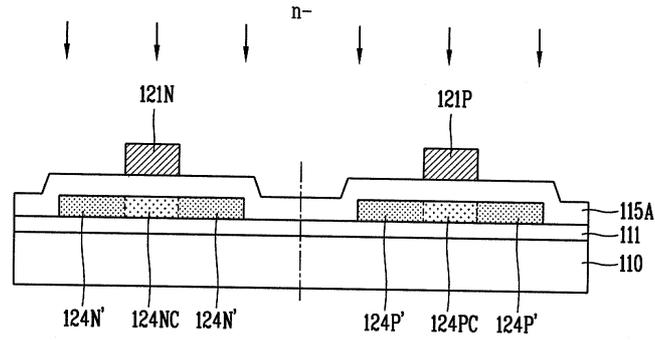
도면2c



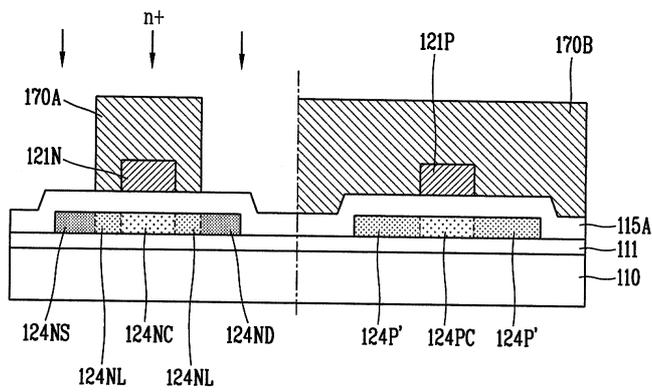
도면2d



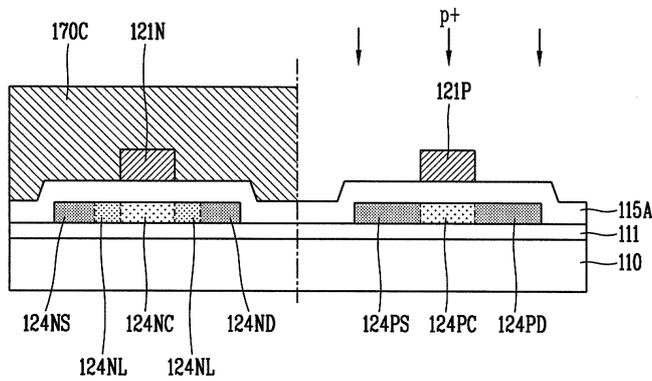
도면2e



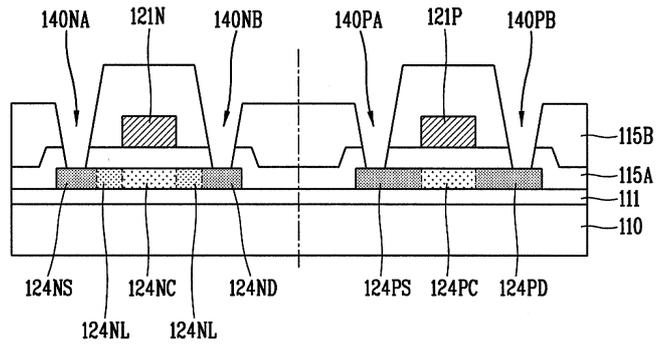
도면2f



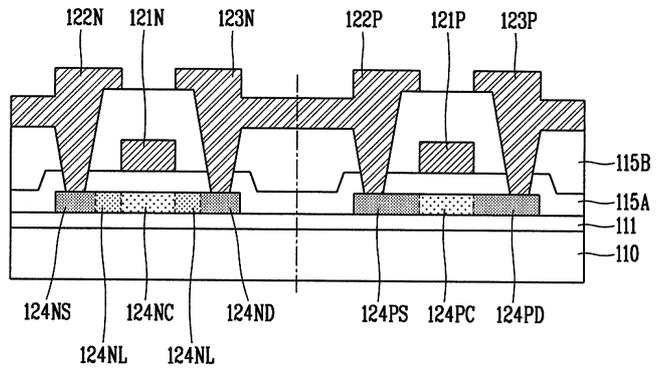
도면2g



도면2h



도면2i



专利名称(译)	薄膜晶体管 and 液晶显示元件的制造方法		
公开(公告)号	KR1020060132415A	公开(公告)日	2006-12-21
申请号	KR1020050052752	申请日	2005-06-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SON WON SO		
发明人	SON,WON SO		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1259 G02F1/1362 H01L27/1222		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明涉及薄膜晶体管和提高薄膜晶体管内的变形(缺陷)的装置的可靠性,以及使用该薄膜晶体管制造液晶显示装置的方法。并且根据本发明的薄膜晶体管制造方法是在步骤的上部形成低电阻导电材料的步骤:有源图案激活栅电极:形成N型源极/漏极区的步骤在第一区域的有源图案中掺杂n+杂质离子:在第二部分的有源图案中形成P型源/漏区的步骤,掺杂p+杂质离子:形成第二绝缘层的步骤上衬底:和与N型源极/漏极区域电连接到第一区域的源/漏电极形成有源图案的步骤:在有源图案中掺杂低浓度杂质离子的步骤:形成有源图案的步骤基板上的第一绝缘层:如上所述的掺杂轻掺杂漏极注入在第一区域和第二部分中形成,该第二区域提供分类为第一区域和第二部分的基板:基板形成源的步骤/漏电极,其与P型源极/漏极区域电连接到第二部分。薄膜晶体管,畸形,悬空键,杂质,掺杂,液晶显示。

