

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0112043
(43) 공개일자 2006년10월31일

(21) 출원번호 10-2005-0034412
(22) 출원일자 2005년04월26일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김동규
경기도 용인시 풍덕천2동 삼성5차아파트 523동 1305호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치

요약

본 발명은 액정 표시 장치에 관한 것으로, 이 장치는 행렬 형태로 배열되어 있으며 제1 및 제2 부화소를 포함하는 복수의 화소, 제1 및 제2 부화소에 연결되어 있으며 게이트 신호를 전달하는 복수의 게이트선, 게이트선과 교차하고 제1 및 제2 부화소에 각각 연결되어 있으며 제1 및 제2 데이터 전압을 각각 전달하는 복수의 제1 및 제2 데이터선, 그리고 제1 및 제2 데이터 전압을 제1 및 제2 데이터선에 각각 인가하는 데이터 구동부를 포함한다. 이때, 제1 데이터 전압과 제2 데이터 전압의 극성은 동일하다. 본 발명에 의하면 하나의 화소를 한 쌍의 부화소로 분할하고, 각 부화소에 별개의 데이터 전압을 인가함으로써 시인성을 향상시킬 수 있다.

대표도

도 1

색인어

액정 표시 장치, 데이터선, 데이터 전압, 화소 전극, 부화소 전극, 게이트선

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 부화소에 대한 등가 회로도이다.

도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 공통 전극 표시판의 배치도이다.

도 6은 도 4의 박막 트랜지스터 표시판과 도 5의 공통 전극 표시판으로 이루어진 액정 표시판 조립체의 배치도이다.

도 7a 및 도 7b는 각각 도 6에 도시한 액정 표시판 조립체를 VIIa-VIIa선 및 VIIb-VIIb선을 따라 잘라 도시한 단면도이다.

도 8a 및 도 8b는 본 발명의 한 실시예에 따른 액정 표시 장치에서의 구동부 반전 및 겉보기 반전을 나타낸 개략도이다.

도 9는 본 발명의 한 실시예에 따른 액정 표시 장치의 각종 신호의 타이밍도이다.

도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 12는 도 11에 도시한 박막 트랜지스터 표시판을 XII-XII선을 따라 잘라 도시한 단면도이다.

도 13a 및 도 13b는 본 발명의 다른 실시예에 따른 액정 표시 장치에서의 구동부 반전 및 겉보기 반전을 나타낸 개략도이다.

도 14는 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 15는 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 16a 및 도 16b는 본 발명의 다른 실시예에 따른 액정 표시 장치에서의 구동부 반전 및 겉보기 반전을 나타낸 개략도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다. 이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임별로, 행별로, 또는 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시킨다.

액정 표시 장치 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로는 전계 생성 전극에 절개부를 형성하는 방법과 전계 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부와 돌기로 액정 분자가 기우는 방향을 결정할 수 있으므로, 이를 사용하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.

그러나 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어진다. 예를 들어, 절개부가 구비된 PVA(patterned vertically aligned) 방식의 액정 표시 장치의 경우에는 측면으로 갈수록 영상이 밝아져서, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발생한다.

이러한 현상을 개선하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 부화소를 용량성 결합시킨 후 한 쪽 부화소에는 직접 전압을 인가하고 다른 쪽 부화소에는 용량성 결합에 의한 전압 하강을 일으켜 두 부화소의 전압을 달리 함으로써 투과율을 다르게 하는 방법이 제시되었다.

그러나 이러한 방법은 두 부화소의 투과율을 원하는 수준으로 정확하게 맞출 수 없고, 특히 색상에 따라 광투과율이 다르므로 각 색상에 대한 전압 배합을 달리 하여야 함에도 불구하고 이를 행할 수 없다. 또한 용량성 결합을 위한 도전체의 추가 등으로 인한 개구율의 저하가 나타나고 용량성 결합에 의한 전압 강하로 인하여 투과율이 감소한다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는 측면 시인성을 개선하면서도 투과율이 감소되지 않는 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 액정 표시 장치는, 행렬 형태로 배열되어 있으며, 제1 및 제2 부화소를 포함하는 복수의 화소, 상기 제1 및 제2 부화소에 연결되어 있으며 게이트 신호를 전달하는 복수의 게이트선, 상기 게이트선과 교차하고, 상기 제1 및 제2 부화소에 각각 연결되어 있으며 제1 및 제2 데이터 전압을 각각 전달하는 복수의 제1 및 제2 데이터선, 그리고 상기 제1 및 제2 데이터 전압을 상기 제1 및 제2 데이터선에 각각 인가하는 데이터 구동부를 포함하며, 상기 제1 데이터 전압과 상기 제2 데이터 전압의 극성을 동일하다.

상기 제1 및 제2 데이터선은 상기 화소의 양단에 각각 위치할 수 있다.

상기 복수의 제1 및 제2 데이터선은 차례로 상기 데이터 구동부에 연결될 수 있다.

상기 데이터 구동부는 두 개의 출력 단자 단위로 극성을 바꾸어 상기 제1 및 제2 데이터 전압을 내보낼 수 있다.

이웃한 화소 사이에 위치하는 복수 쌍의 제1 및 제2 데이터선 중 적어도 한 쌍의 제1 및 제2 데이터선이 교차하여 상기 데이터 구동부에 연결될 수 있다.

상기 데이터 구동부는 출력 단자마다 극성을 바꾸어 상기 제1 및 제2 데이터 전압을 내보낼 수 있다.

상기 데이터 구동부는 상기 제1 및 제2 데이터선에 각각 연결되어 있는 제1 및 제2 데이터 구동부를 포함할 수 있다.

상기 화소는 상기 제1 및 제2 데이터 구동부 사이에 위치할 수 있다.

상기 제1 및 제2 데이터 구동부는 출력 단자마다 극성을 바꾸어 상기 제1 및 제2 데이터 전압을 각각 내보낼 수 있다.

이웃한 화소 사이에 위치하는 제1 및 제2 데이터선에 각각 인가되는 제1 및 제2 데이터 전압의 극성은 반대일 수 있다.

각 제1 및 제2 데이터선을 따라 각각 흐르는 제1 및 제2 데이터 전압의 극성은 동일할 수 있다.

이웃한 게이트선에 인가되는 게이트 온 전압은 중첩할 수 있다.

상기 게이트 온 전압의 인가 시간은 1수평 주기보다 길 수 있다.

각 제1 및 제2 데이터선을 따라 각각 흐르는 제1 및 제2 데이터 전압의 극성은 화소행마다 반전될 수 있다.

상기 제1 데이터 전압과 상기 제2 데이터 전압의 크기는 서로 다르고 하나의 영상 정보로부터 얻어질 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 액정 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이며, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 부화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400)와 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_n , D_1-D_{2m})과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 3에 도시한 구조로 볼 때, 액정 표시판 조립체(300)는 서로 마주 보는 박막 트랜지스터 표시판(100) 및 공통 전극 표시판(200)과 둘 사이에 들어 있는 액정층(3)을 포함한다.

표시 신호선(G_1-G_n , D_1-D_{2m})은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 데이터선(D_1-D_{2m})을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_{2m})은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다. 한 쌍의 데이터선(D_1-D_{2m})이 하나의 화소(PX) 양측에 배치되어 있다.

도 2에는 표시 신호선과 한 화소(PX)의 등가 회로가 나타나 있는데, 도면 부호 GL로 나타낸 게이트선과 도면 부호 DLa, DLb로 나타낸 데이터선 이외에도 표시 신호선은 게이트선(GL)과 거의 나란하게 뻗은 유지 전극선(SL)을 더 포함한다.

각 화소(PX)는 한 쌍의 부화소(PXa, PXb)를 포함하며, 각 부화소(PXa/PXb)는 해당 게이트선(GL) 및 데이터선(DLa/DLb)에 연결되어 있는 스위칭 소자(Qa/Qb)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LCa}/C_{LCb}) 및 유지 축전기(storage capacitor)(C_{STa}/C_{STb})를 포함한다. 유지 축전기(C_{STa}, C_{STb})는 필요에 따라 생략할 수 있다.

도 3을 참고하면, 각 부화소(PXa, PXb)의 스위칭 소자(Q)는 박막 트랜지스터 표시판(100)에 구비되어 있는 박막 트랜지스터 등으로 이루어지며, 각각 게이트선(GL)에 연결되어 있는 제어 단자, 데이터선(DL)에 연결되어 있는 입력 단자, 그리고 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있는 출력 단자를 가지는 삼단자 소자이다.

액정 축전기(C_{LC})는 박막 트랜지스터 표시판(100)의 부화소 전극(PE)과 공통 전극 표시판(200)의 공통 전극(CE)을 두 단자로 하며 두 전극(PE, CE) 사이의 액정층(3)은 유전체로서 기능한다. 부화소 전극(PE)은 스위칭 소자(Q)에 연결되며 공통 전극(CE)은 공통 전극 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 3에서와는 달리 공통 전극(CE)이 박막 트랜지스터 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(PE, CE) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

액정 축전기(C_{LC})의 보조적인 역할을 하는 유지 축전기(C_{ST})는 박막 트랜지스터 표시판(100)에 구비된 유지 전극선(SL)과 부화소 전극(PE)이 절연체를 사이에 두고 중첩되어 이루어지며 유지 전극선(SL)에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{ST})는 부화소 전극(PE)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소가 원색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 원색을 표시하게(시간 분할) 하여 이를 원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다.

원색의 예로는 적색, 녹색 및 청색을 들 수 있다. 도 3은 공간 분할의 한 예로서 각 화소가 공통 전극 표시판(200)의 영역에 원색 중 하나를 나타내는 색필터(CF)를 구비함을 보여주고 있다. 도 3과는 달리 색필터(CF)는 박막 트랜지스터 표시판(100)의 부화소 전극(PE)의 위 또는 아래에 형성할 수도 있다.

다시 도 1을 참고하면, 계조 전압 생성부(800)는 부화소(PXa, PXb)의 투과율과 관련된 두 벌의 복수 계조 전압을 생성한다. 두 벌 중 한 벌은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.

케이트 구동부(400)는 액정 표시판 조립체(300)의 케이트선(G_1-G_n)에 연결되어 외부로부터의 케이트 온 전압(Von)과 케이트 오프 전압(Voff)의 조합으로 이루어진 케이트 신호를 케이트선(G_1-G_n)에 인가한다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_{2m})에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 신호로서 부화소(PXa, PXb)에 인가한다.

케이트 구동부(400) 또는 데이터 구동부(500)는 하나 이상의 구동 접적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착될 수도 있다. 이와는 달리, 케이트 구동부(400) 또는 데이터 구동부(500)가 액정 표시판 조립체(300)에 접적될 수도 있다.

신호 제어부(600)는 케이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.

그러면, 이러한 액정 표시판 조립체의 한 예에 대하여 도 4 내지 도 7b를 참고하여 상세하게 설명한다.

도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이고, 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 공통 전극 표시판의 배치도이며, 도 6은 도 4의 박막 트랜지스터 표시판과 도 5의 공통 전극 표시판으로 이루어진 액정 표시판 조립체의 배치도이다. 도 7a 및 도 7b는 각각 도 6에 도시한 액정 표시판 조립체를 VIIa-VIIa선 및 VIIb-VIIb선을 따라 잘라 도시한 단면도이다.

본 발명의 한 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(100)과 이와 마주보는 공통 전극 표시판(200), 그리고 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.

먼저, 도 4, 도 6, 도 7a 및 도 7b를 참고로 하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다.

투명한 유리 등으로 이루어진 절연 기판(110) 위에 복수의 케이트선(gate line)(121)과 복수의 유지 전극선(storage electrode lines)(131)이 형성되어 있다.

케이트선(121)은 주로 가로 방향으로 뻗어 있고 서로 분리되어 있으며, 케이트 신호를 전달한다. 각 케이트선(121)은 복수의 케이트 전극(gate electrode)(124a, 124b)을 이루는 복수의 돌출부와 다른 층 또는 외부 구동 회로와의 연결을 위하여 면적이 넓은 끝 부분(129)을 포함한다.

유지 전극선(131)은 주로 가로 방향으로 뻗어 있으며, 유지 전극(133a, 133b)을 이루는 복수의 돌출부를 포함한다. 유지 전극(133a)은 직사각형이고 유지 전극선(131)에 대칭이며, 유지 전극(133b)은 유지 전극선(131)으로부터 세로 방향으로 연장되어 돌출해 있으며 이로부터 더 연장되어 있는 연장부를 포함한다. 유지 전극선(131)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(common electrode)(270)에 인가되는 공통 전압(Vcom) 따위의 소정의 전압이 인가된다.

케이트선(121)과 유지 전극선(131)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 만들어질 수 있다. 그러나 케이트선(121)과 유지 전극선(131)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 케이트선(121)과 유지 전극선(131)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 케이트선(121)과 유지 전극선(131)은 이외에도 다양한 금속과 도전체로 만들어질 수 있다.

또한 게이트선(121) 및 유지 전극선(131)의 측면은 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 약 30-80°인 것이 바람직하다.

게이트선(121) 및 유지 전극선(131) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 이루어진 복수의 선형 반도체(151a, 151b)가 형성되어 있다. 선형 반도체(151a, 151b)는 주로 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(projection)(154a, 154b)가 각각 게이트 전극(124a, 124b)을 향하여 뻗어 나와 있다.

반도체(151a, 151b) 위에는 실리사이드(silicide) 또는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161a, 161b, 165a, 165b)가 형성되어 있다. 선형 저항성 접촉 부재(161a, 161b)는 각각 복수의 돌출부(163a, 163b)를 가지고 있으며, 이 돌출부(163a, 163b)와 섬형 저항성 접촉 부재(165a, 165b)는 각각 쌍을 이루어 반도체(151a, 151b)의 돌출부(154a, 154b) 위에 각각 위치한다.

반도체(151a, 151b)와 저항성 접촉 부재(161a, 161b, 165a, 165b)의 측면 역시 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 30-80°이다.

저항성 접촉 부재(161a, 161b, 165a, 165b) 및 게이트 절연막(140) 위에는 복수 쌍의 제1 및 제2 데이터선(data line)(171a, 171b)과 복수 쌍의 제1 및 제2 드레인 전극(drain electrode)(175a, 175b)이 형성되어 있다.

데이터선(171a, 171b)은 주로 세로 방향으로 뻗어 게이트선(121) 및 유지 전극선(131)과 교차하며 데이터 전압(data voltage)을 전달한다. 데이터선(171a, 171b)은 각각 게이트 전극(124a, 124b)을 향하여 뻗은 복수의 소스 전극(source electrode)(173a, 173b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 폭이 확장되어 있는 끝 부분(179a, 179b)을 포함한다.

드레인 전극(175a, 175b)은 데이터선(171a, 171b)과 분리되어 있고 각각 게이트 전극(124a, 124b)을 중심으로 소스 전극(173a, 173b)과 마주 본다. 제1 및 제2 드레인 전극(175a, 175b)은 각각 반도체(151a, 151b)의 돌출부(154a, 154b) 위에 위치한 막대형 끝 부분에서 출발하며 유지 전극(133a, 133b)과 각각 중첩하는 면적이 넓은 확장부(177a, 177b)를 가지며, 막대형 끝 부분은 U자형으로 구부러진 소스 전극(173a, 173b)으로 일부 둘러싸여 있다.

제1/제2 게이트 전극(124a/124b), 제1/제2 소스 전극(173a/173b) 및 제1/제2 드레인 전극(175a/175b)은 반도체(151a/151b)의 돌출부(154a/154b)와 함께 제1/제2 박막 트랜지스터(thin film transistor, TFT)(Qa/Qb)를 이루며, 박막 트랜지스터(Qa/Qb)의 채널(channel)은 제1/제2 소스 전극(173a/173b)과 제1/제2 드레인 전극(175a/175b) 사이의 반도체(154a/154b)에 형성된다.

데이터선(171a, 171b) 및 드레인 전극(175a, 175b)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 하부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(1175a, 175b)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

데이터선(171a, 171b) 및 드레인 전극(175a, 175b)도 게이트선(121) 및 유지 전극선(131)과 마찬가지로 그 측면이 약 30-80°의 각도로 각각 경사져 있다.

한편 바로 인접한 두 데이터선(171a, 171b) 사이의 간격은 제조 공정 능력과 수율을 고려한 최소 간격을 유지하여 데이터선(171a, 171b) 수의 증가로 인한 개구율 감소를 최소로 한다.

저항성 접촉 부재(161a, 161b, 165a, 165b)는 그 하부의 반도체(151a, 151b)와 그 상부의 데이터선(171a, 171b) 및 드레인 전극(175a, 175b) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형 반도체(151a, 151b)는 데이터선(171a, 171b)과 드레인 전극(175a, 175b) 및 그 아래의 저항성 접촉 부재(161a, 161b, 165a, 165b)와 거의 동일한 모양을 가진다. 그러나 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이에 가리지 않고 노출된 부분을 가지고 있다.

데이터선(171a, 171b) 및 드레인 전극(175a, 175b)과 노출된 반도체(151a, 151b) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라스마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막의 표면은 평탄할 수 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(151a, 151b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171a, 171b)의 끝 부분(179a, 179b) 및 드레인 전극(175a, 175b)의 확장부(177a, 177b)를 각각 드러내는 복수의 접촉 구멍(contact hole)(182a, 182b, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

보호막(180) 위에는 제1 및 제2 부화소 전극(subpixel electrode)(191a, 191b)을 포함하는 복수의 화소 전극(pixel electrode)(191)과 차폐 전극(shielding electrode)(88) 및 복수의 접촉 보조 부재(contact assistant)(81, 82a, 82b)가 형성되어 있다. 이들은 ITO 또는 IZO 따위의 투명 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 이루어진다.

제1/제2 부화소 전극(191a/191b)은 접촉 구멍(185a/185b)을 통하여 제1/제2 드레인 전극(175a/175b)과 물리적·전기적으로 연결되어 제1/제2 드레인 전극(175a/175b)으로부터 데이터 전압을 인가 받는다. 한 쌍의 부화소 전극(191a, 191b)에는 하나의 입력 영상 신호에 대하여 미리 설정되어 있는 서로 다른 데이터 전압이 인가되는데, 그 크기는 부화소 전극(191a, 191b)의 크기 및 모양에 따라 설정될 수 있다. 부화소 전극(191a, 191b)의 면적은 서로 다를 수 있다. 한 예로 제2 부화소 전극(191b)은 제1 부화소 전극(191a)에 비하여 높은 전압을 인가 받으며, 제1 부화소 전극(191a)보다 면적이 작다.

데이터 전압이 인가된 부화소 전극(191a, 191b)은 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191a/191b, 270) 사이의 액정층(3)의 액정 분자들의 배열을 결정한다.

또한 앞서 설명했듯이, 각 부화소 전극(191a, 191b)과 공통 전극(270)은 액정 축전기(C_{LCa} , C_{LCb})를 이루어 박막 트랜지스터(Q_a , Q_b)가 턴 오프된 후에도 인가된 전압을 유지하며, 전압 유지 능력을 강화하기 위하여 액정 축전기(C_{LCa} , C_{LCb})와 병렬로 연결된 유지 축전기(C_{STAa} , C_{STAb})는 제1 및 제2 부화소 전극(191a, 191b) 및 이에 연결되어 있는 드레인 전극(175a, 175b)의 확장부(177a, 177b)와 유지 전극(133a, 133b)의 중첩 등으로 만들어진다.

각 화소 전극(191)은 그 바깥 경계가 대략 사각형 형태이고 오른쪽 모퉁이에서 모짜기되어 있으며, 모짜기된 빗변은 게이트선(121)에 대하여 약 45도의 각도를 이룬다.

하나의 화소 전극(191)을 이루는 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)은 간극(gap)(93)을 사이에 두고 서로 맞물려 있다. 제1 부화소 전극(191a)은 회전한 등변 사다리꼴로서, 유지 전극(133a) 부근에 위치한 왼쪽 변과 그 맞은편의 오른쪽 변, 그리고 게이트선(121)과 대략 45°를 이루는 위쪽 빗변 및 아래쪽 빗변을 가진다. 제2 부화소 전극(191b)은 제1 부화소 전극(191a)의 빗변과 마주보는 한 쌍의 사다리꼴부와 제1 부화소 전극(191a)의 오른쪽 변과 마주보는 세로부를 포함한다. 따라서 제1 부화소 전극(191a)과 제2 부화소 전극(191b) 사이의 간극(93)은 대략 균일한 너비를 가지며 게이트선(121)과 약 45°를 이루는 상부 및 하부 사선부(93a, 93b)와 실질적으로 균일한 너비를 가지는 세로부(93c)를 포함한다. 이 하에서는 설명의 편의를 위하여 간극(93)도 절개부라고 표현한다.

화소 전극(191)은 중앙 절개부(91, 92), 상부 절개부(93a, 94a) 및 하부 절개부(93b, 94b)를 가지며, 화소 전극(191)은 이들 절개부(91, 92, 93a, 93b, 94a, 94b)에 의하여 복수의 영역으로 분할된다. 절개부(91, 92, 93a, 93b, 94a, 94b)는 유지 전극선(131)에 대하여 거의 반전 대칭(inversion symmetry)을 이루고 있다.

상부 및 하부 절개부(93a, 93b, 94a, 94b)는 대략 화소 전극(191)의 왼쪽 변에서부터 오른쪽 변으로 비스듬하게 뻗어 있으며, 화소 전극(191)을 가로 방향으로 이등분하는 유지 전극선(131)을 중심으로 상반부와 하반부에 각각 위치하고 있다. 상부 및 하부 절개부(93a, 93b, 94a, 94b)는 게이트선(121)에 대하여 약 45도의 각도를 이루며 서로 수직하게 뻗어 있으며, 중앙 절개부(91, 92)는 상부 절개부(93a, 94a)와 하부 절개부(93b, 94b)에 각각 거의 평행한 한 쌍의 분지로 이루어져 있다. 중앙 절개부(91, 92)는 중앙에서 가로 방향으로 뻗은 가로부를 가진다.

따라서, 화소 전극(191)의 상반부와 하반부는 절개부(91, 92, 93a, 93b, 94a, 94b)에 의하여 각각 네 개의 영역으로 나누어진다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극(191)의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라진다.

화소 전극(191)은 이웃하는 게이트선(121)과 중첩되어 개구율(aperture ratio)을 높이고 있다.

차폐 전극(88)은 데이터선(171a, 171b)을 따라 뻗어 있는 세로부와 게이트선(121)을 따라 뻗어 있는 가로부를 포함하고 있는데, 세로부는 데이터선(171a, 171b)을 완전히 덮고 있으며, 가로부는 게이트선(121)의 경계선 안에 위치한다. 차폐 전극(88)은 보호막(180) 및 게이트 절연막(140)의 접촉 구멍(도시하지 않음)을 통하여 유지 전극선(131)에 연결되거나, 공통 전압(Vcom)을 박막 트랜지스터 표시판(100)에서 공통 전극 표시판(200)으로 전달하는 단락점(short point)(도시하지 않음)에 연결될 수도 있다.

차폐 전극(88)은 공통 전압(Vcom)을 인가 받으며 데이터선(171a, 171b)과 화소 전극(191) 사이 및 데이터선(171a, 171b)과 공통 전극(270) 사이에서 형성되는 전계를 차단하여 화소 전극(191)의 전압 왜곡 및 데이터선(171a, 171b)이 전달하는 데이터 전압의 신호 지연이 줄어든다.

또한, 화소 전극(191)과 차폐 전극(88)의 단락을 방지하기 위하여 이들 사이에 거리를 두어야 하므로, 화소 전극(191)이 데이터선(171a, 171b)으로부터 더 멀어져 이들 사이의 기생 용량이 줄어든다. 더욱이, 액정층(3)의 유전율(permittivity)이 보호막(180)의 유전율보다 높기 때문에, 데이터선(171a, 171b)과 차폐 전극(88) 사이의 기생 용량이 차폐 전극(88)이 없을 때 데이터선(171a, 171b)과 공통 전극(270) 사이의 기생 용량에 비하여 작다.

뿐만 아니라, 화소 전극(191)과 차폐 전극(88)이 동일한 층으로 만들어지기 때문에 이들 사이의 거리가 일정하게 유지되며 이에 따라 이들 사이의 기생 용량이 일정하다. 이때, 개구율 감소가 최소가 되도록 차폐 전극(88)과 화소 전극(191) 사이의 거리를 최소로 하는 것이 바람직하다.

그러나 필요에 따라 이러한 차폐 전극(88)은 생략될 수도 있다.

접촉 보조 부재(81, 82a, 82b)는 접촉 구멍(181, 182a, 182b)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171a, 171b)의 끝 부분(179a, 179b)과 각각 연결된다. 접촉 보조 부재(81, 82a, 82b)는 게이트선(121)의 노출된 끝 부분(129) 및 데이터선(171a, 171b)의 노출된 끝 부분(179a, 179b)과 외부 장치와의 접착성을 보완하고 이들을 보호하는 역할을 한다.

도 1에 도시한 게이트 구동부(400) 또는 데이터 구동부(500)가 박막 트랜지스터 표시판(100)에 접적되는 경우에는 게이트선(121) 또는 데이터선(171a, 171b)이 연장되어 이들과 직접 연결될 수 있고 이 경우에는 접촉 보조 부재(81, 82a, 82b)가 게이트선(121) 또는 데이터선(171a, 171b)과 이들 구동부(400, 500)를 연결하는 등에 사용될 수 있다.

화소 전극(191), 접촉 보조 부재(81, 82a, 82b) 및 보호막(180) 위에는 액정층(3)을 배향하는 배향막(11)이 도포되어 있다. 배향막(11)은 수평 배향막일 수 있다.

다음, 도 5 내지 도 7a를 참고로 하여, 공통 전극 표시판(200)에 대하여 설명한다.

투명한 유리 등으로 이루어진 절연 기판(210) 위에 빛샘을 방지하기 위한 블랙 매트릭스라고 하는 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(191)과 마주보며 화소 전극(191)과 거의 동일한 모양을 가지는 복수의 개구부를 가지고 있다. 이와는 달리 차광 부재(220)는 데이터선(171a, 171b)에 대응하는 부분과 박막 트랜지스터(Qa, Qb)에 대응하는 부분으로 이루어질 수도 있다. 그러나 차광 부재(220)는 화소 전극(191)과 박막 트랜지스터(Qa, Qb) 부근에서의 빛샘을 차단하기 위하여 다양한 모양을 가질 수 있다.

기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 위치하며, 화소 전극(191)을 따라서 세로 방향으로 길게 뻗을 수 있다. 색필터(230)는 적색, 녹색 및 청색 등의 원색 중 하나를 표시할 수 있다.

색필터(230) 및 차광 부재(220) 위에는 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공하기 위한 덮개막(250)이 형성되어 있다.

덮개막(250)의 위에는 ITO, IZO 등의 투명한 도전체 따위로 이루어진 공통 전극(270)이 형성되어 있다.

공통 전극(270)은 복수 벌의 절개부(71-74b) 집합을 가진다.

한 벌의 절개부(71-74b)는 하나의 화소 전극(191)과 마주 보며 중앙 절개부(71, 72), 상부 절개부(73a, 74a) 및 하부 절개부(73b, 74b)를 포함한다. 절개부(71-74b)는 인접한 화소 전극(191)의 절개부(91-94b) 사이 및 가장자리 절개부(94a, 94b)와 화소 전극(191)의 빗변 사이에 배치되어 있다. 또한, 각 절개부(71-74b)는 화소 전극(191)의 절개부(91-94b)와 평행하게 뻗은 적어도 하나의 사선부를 포함한다.

하부 및 상부 절개부(73a-74b)는 대략 화소 전극(191)의 오른쪽 변에서 아래쪽 또는 위쪽 변을 향하여 뻗은 사선부, 그리고 사선부의 각 끝에서부터 화소 전극(191)의 변을 따라 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 가로부 및 세로부를 포함한다.

중앙 절개부(71)는 대략 화소 전극(191)의 왼쪽 변에서부터 가로로 뻗은 중앙 가로부, 이 중앙 가로부의 끝에서 중앙 가로부와 빗각을 이루며 화소 전극(191)의 왼쪽 변을 향하여 뻗은 한 쌍의 사선부, 그리고 사선부의 각 끝에서부터 화소 전극(191)의 왼쪽 변을 따라 왼쪽 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 종단 세로부를 포함한다. 중앙 절개부(72)는 대략 화소 전극(191)의 오른쪽 변을 따라 오른쪽 변과 중첩하면서 뻗어 있는 세로부, 세로부의 각 끝에서 화소 전극(191)의 왼쪽 변을 향하여 뻗은 한 쌍의 사선부, 그리고 사선부의 각 끝에서부터 화소 전극(191)의 왼쪽 변을 따라 왼쪽 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 종단 세로부를 포함한다.

절개부(71-74b)의 사선부에는 삼각형 모양의 노치(notch)가 형성되어 있다. 이러한 노치는 사각형, 사다리꼴 또는 반원형의 모양을 가질 수도 있으며, 불록하게 또는 오목하게 이루어질 수 있다. 이러한 노치는 절개부(71-74b)에 대응하는 영역 경계에 위치하는 액정 분자(3)의 배열 방향을 결정해준다.

절개부(71-74b)의 수효는 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71-74b)와 중첩하여 절개부(71-74b) 부근의 빛샘을 차단할 수 있다.

공통 전극(270)과 차폐 전극(88)에 동일한 공통 전압이 인가되므로 둘 사이에는 전계가 거의 없다. 따라서 공통 전극(270)과 차폐 전극(88) 사이에 위치한 액정 분자들은 초기 수직 배향 상태를 그대로 유지하므로 이 부분에 입사된 빛은 투과되지 못하고 차단된다.

공통 전극(270) 및 덮개막(250) 위에는 액정층(3)을 배향하는 배향막(21)이 도포되어 있다. 배향막(21)은 수평 배향막일 수 있다.

표시판(100, 200)의 바깥 면에는 편광판(12, 22)이 구비되어 있는데, 두 편광판(12, 22)의 투과축은 직교하며 이중 한 투과축(또는 흡수축)은 가로 방향과 나란하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광판(12, 22) 중 하나가 생략될 수 있다.

액정층(3)은 음의 유전율 이방성을 가지며 액정층(3)의 액정 분자(310)는 전계가 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다.

공통 전극(270)에 공통 전압을 인가하고 화소 전극(191)에 데이터 전압을 인가하면 표시판(100, 200)의 표면에 거의 수직인 전계가 생성된다. 전극(191, 270)의 절개부(91-94b, 71-74b)는 이러한 전계를 왜곡하여 절개부(91-94b, 71-74b)의 변에 대하여 수직한 수평 성분을 만들어낸다.

이에 따라 전계는 표시판(100, 200)의 표면에 수직인 방향에 대하여 기울어진 방향을 가리킨다. 액정 분자들은 전계에 응답하여 그 장축이 전계의 방향에 수직을 이루도록 방향을 바꾸고자 하는데, 이때 절개부(91-94b, 71-74b) 및 화소 전극(191)의 변 부근의 전계는 액정 분자의 장축 방향과 나란하지 않고 일정 각도를 이루므로 액정 분자의 장축 방향과 전계가 이루는 평면 상에서 이동 거리가 짧은 방향으로 액정 분자들이 회전한다. 따라서 하나의 절개부 집합(91-94b, 71-74b)과 화소 전극(191)의 변은 화소 전극(191) 위에 위치한 액정층(3) 부분을 액정 분자들이 기울어지는 방향이 다른 복수의 도메인으로 나누며, 이에 따라 기준 시야각이 확대된다.

적어도 하나의 절개부(91-94b, 71-74b)는 돌기나 함몰부로 대체할 수 있으며, 절개부(91-94b, 71-74b)의 모양 및 배치는 변형될 수 있다.

그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.

다시 도 1을 참조하면 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다. 여기에서 영상 신호의 변환은 실험 등에 의하여 미리 정해져서 루프 테이블(도시하지 않음)에 기억되어 있는 사상(mapping)을 통하여 이루어지거나 신호 제어부(600)의 연산을 통하여 이루어진다.

게이트 제어 신호(CONT1)는 게이트 온 전압(Von)의 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 시기를 제어하는 게이트 클록 신호(CPV) 및 게이트 온 전압(Von)의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.

데이터 제어 신호(CONT2)는 한 행의 부화소(PXa, PXb)에 대한 데이터의 전송을 알리는 수평 동기 시작 신호(STH)와 데이터 선(D₁-D_{2m})에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 포함한다.

데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 부화소(PXa, PXb)에 대한 영상 데이터(DAT)를 차례로 입력받아 시프트시키고, 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 아날로그 데이터 전압으로 변환한 후, 이를 해당 데이터 선(D₁-D_{2m})에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트 선(G₁-G_n)에 차례로 인가하여 이 게이트 선(G₁-G_n)에 연결된 스위칭 소자(Qa, Qb)를 턴 온시키며, 이에 따라 데이터 선(D₁-D_{2m})에 인가된 데이터 전압이 턴 온된 스위칭 소자(Qa, Qb)를 통하여 해당 부화소(PXa, PXb)에 인가된다.

부화소(PXa, PXb)에 인가된 데이터 전압과 공통 전압(Vcom)의 차이는 각 액정 축전기(C_{LCa}, C_{LCb})의 충전 전압, 즉 부화소 전압으로서 나타난다. 액정 분자들은 부화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광판(12, 22)에 의하여 빛의 투과율 변화로 나타난다.

하나의 입력 영상 데이터는 한 쌍의 출력 영상 데이터로 변환되고 이들은 한 쌍의 부화소(PXa, PXb)에 서로 다른 투과율을 부여한다. 따라서 두 부화소(PXa, PXb)는 서로 다른 감마 곡선을 나타내며 한 화소(PX)의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다. 또한 앞서 설명한 바와 같이 상대적으로 높은 데이터 전압을 인가 받는 제2 부화소 전극(191b)의 면적을 제1 부화소 전극(191a)의 면적보다 작게 함으로써 측면에서의 합성 감마 곡선의 왜곡을 작게 할 수 있다.

1 수평 주기(또는 "1H")[수평 동기 신호(Hsync), 데이터 인에이블 신호(DE)의 한 주기]가 지나면 데이터 구동부(500)와 게이트 구동부(400)는 다음 행의 부화소(PXa, PXb)에 대하여 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G_1-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 부화소(PXa, PXb)에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 부화소(PXa, PXb)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전").

한편 프레임 반전 외에도 데이터 구동부(500)는 한 프레임 내에서 이웃하는 데이터선(D_1-D_{2m})을 타고 내려가는 데이터 전압의 극성을 반전시키며 이에 따라 데이터 전압을 인가 받은 부화소 전압의 극성 역시 변화한다. 그런데 데이터 구동부(500)와 데이터선(D_1-D_{2m})의 연결 관계에 따라 데이터 구동부(500)에서의 극성 반전 패턴과 액정 표시판 조립체(300)의 화면에 나타나는 부화소 전압의 극성 반전 패턴이 다르게 나타난다. 아래에서는 데이터 구동부(500)에서의 반전을 "구동부 반전(driver inversion)"이라고 하고, 화면에 나타나는 반전을 "겉보기 반전(apparent inversion)"이라 한다. 또한 설명의 편의를 위하여 "부화소(PXa, PXb)에서의 부화소 전압의 극성"을 "부화소(PXa, PXb)의 극성" 또한 화소(PX)에서의 화소 전압의 극성"을 "화소(PX)의 극성"이라 줄여서 표현한다.

그리면 본 실시예에 따른 액정 표시 장치에서의 구동부 반전 및 겉보기 반전에 대하여 도 8a 내지 도 9를 참고로 하여 좀더 상세하게 설명한다.

도 8a 및 도 8b는 본 발명의 한 실시예에 따른 액정 표시 장치에서의 구동부 반전 및 겉보기 반전을 나타낸 개략도이고, 도 9는 본 발명의 한 실시예에 따른 액정 표시 장치의 각종 신호의 타이밍도이다.

도 8a 및 도 8b를 참조하면, 데이터 구동부(500)는 데이터 구동 IC(541)로 구현되어 있으며, 데이터 구동 IC(541)의 출력 단자(Y_1-Y_{2m})는 각각 액정 표시판 조립체(300)의 데이터 패드부(50)를 통하여 데이터선(D_1-D_{2m})에 연결되어 있다.

데이터 구동 IC(541)는 두 개의 출력 단자(Y_1-Y_{2m})마다 극성이 반전된 데이터 전압을 내보내고, 이에 따라 한 쌍의 부화소(PXa, PXb)에 연결되어 있는 두 데이터선(예를 들면, D_1 과 D_2)에 흐르는 데이터 전압의 극성은 동일하며 하나의 화소(PX)를 이루는 한 쌍의 부화소(PXa, PXb)의 극성은 동일하다. 그러나 인접한 두 화소(PX) 사이에 위치하는 두 데이터선(예를 들면, D_2 와 D_3)에 흐르는 데이터 전압의 극성은 서로 반대가 되어 가로로 인접한 화소(PX)의 극성은 다르다.

도 8a에서, 데이터 구동 IC(541)는 화소행마다 데이터 전압의 극성을 반전시키고, 이에 따라 세로로 인접한 화소(PX)는 반대 극성을 띠게 되어 결국 화소(PX)는 점반전 패턴을 가진다.

한편, 도 8b에서, 데이터 구동 IC(541)는 한 프레임 동안 각 출력 단자(Y_1-Y_{2m})에 동일한 극성의 데이터 전압을 내보내고, 이에 따라 세로로 인접한 화소(PX)의 극성은 동일하게 되어 결국 화소(PX)는 열반전 패턴을 가진다.

만일 본 실시예에서와 달리 하나의 데이터선(D_1-D_{2m})마다 데이터 전압의 극성을 반전시키고 화소행마다 데이터 전압의 극성을 반전시켜 부화소가 점반전 패턴을 가지는 경우 화소행별로 동일한 극성이 나타날 수 있다. 즉, 이 경우 낮은 계조의 영상 데이터를 표시하면 상대적으로 낮은 데이터 전압을 인가 받는 부화소(PXa)의 극성은 화소(PX)의 극성에 영향을 미치지 않고 상대적으로 높은 데이터 전압을 인가 받는 부화소(PXb)의 극성이 화소(PX)의 극성에 영향을 미친다. 따라서 화소(PX)의 실질적인 반전 패턴은 부화소(PXb)의 극성에 의존하여 행반전이 된다. 이와 유사하게, 하나의 데이터선(D_1-D_{2m})마다 데이터 전압의 극성을 반전시키고 한 프레임 동안 한 데이터선에 흐르는 데이터 전압의 극성이 동일하여 부화소가 열반전 패턴을 가지는 경우에는 한 프레임 동안 모든 화소(PX)의 극성은 실질적으로 동일하게 될 수 있다. 따라서 이 두 경우 모두 한 행 또는 한 프레임의 화소(PX)에서 동일 극성이 나타나므로 플리커(flicker)나 크로스토크(crosstalk)가 나타나기 쉽다. 그러나 본 실시예에서와 같이 하나의 화소(PX)를 이루는 한 쌍의 부화소(PXa, PXb)의 극성을 동일하게 하면 전체 화소(PX)가 점반전 또는 열반전 패턴을 가지게 되어 이러한 플리커나 크로스토크를 방지할 수 있다.

일반적으로 게이트 신호는 1H 내에서 데이터 전압(Vdat)이 인가된 후 게이트 온 전압(Von)이 되고 출력 인에이블 신호(OE)가 하이 레벨이 되면 게이트 오프 전압(Voff)이 되며 이웃한 게이트 온 전압(Von)은 중첩하지 않는다.

그러나 도 8b에 도시한 반전 패턴으로 구동하는 경우 한 데이터선을 타고 흐르는 데이터 전압의 극성은 한 프레임 동안 동일하므로 이웃하는 게이트 신호를 중첩시킬 수 있으며, 이에 따라 도 9에 도시한 바와 같이 게이트 신호(Vg_1-Vg_n)의 게이트 온 전압(Von)이 인가되는 시간(이하, 게이트 온 시간이라 함)을 늘릴 수 있다. 즉 해당 화소행의 게이트 온 전압(Von)이 인가되는 시점을 앞당겨 이전 화소행의 1H 구간과 중첩시키거나($\Delta T1$), 출력 인에이블 신호(OE)의 하이 레벨의 폭($\Delta T2$)을 최대한 작게 하거나 출력 인에이블 신호(OE)를 없앤다. 이와 같이 함으로써 게이트 온 시간이 충분히 늘어나면 액정 표시 장치가 고해상도이거나 프레임 주파수가 120Hz라도 구동 마진을 충분히 확보할 수 있다.

데이터 구동부(500)는 복수의 데이터 구동 IC로 구현될 수 있으며 그런 경우에도 구동부 반전 및 겉보기 반전은 동일하다.

그러면 본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 10 내지 도 13b를 참고하여 상세하게 설명한다.

도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 10에 도시한 바와 같이, 본 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(301) 및 이에 연결된 게이트 구동부(400)와 데이터 구동부(501), 데이터 구동부(501)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다. 본 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(301) 및 데이터 구동부(501)를 제외하면 도 1에 도시한 액정 표시 장치와 실질적으로 동일하므로 동일한 부분에 대하여는 설명을 생략하고 차이가 나는 부분에 대하여만 설명한다.

액정 표시판 조립체(301)는 복수의 게이트선(G_1-G_n) 및 복수의 데이터선(D_1-D_{2m})과 이에 연결되어 있는 복수의 화소(PX)를 포함한다.

데이터 구동부(501)는 복수의 출력 단자(Y_1-Y_{2m})를 가진다. 데이터선($D_1, D_4, D_5, D_8, \dots, D_{2m-3}, D_{2m}$)은 각각 데이터 구동부(501)의 출력 단자($Y_1, Y_4, Y_5, Y_8, \dots, Y_{2m-3}, Y_{2m}$)에 연결되어 있고, 데이터선(D_2, D_3)은 교차하여 각각 출력 단자(Y_3, Y_2)에 연결되어 있고, 데이터선(D_6, D_7)도 교차하여 각각 출력 단자(Y_7, Y_6)에 연결되어 있으며, 이하 동일하게 반복된다.

그러면 이러한 액정 표시판 조립체의 한 예에 대하여 도 11 및 도 12를 참고로 하여 상세하게 설명한다.

도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이며, 도 12는 도 11에 도시한 박막 트랜지스터 표시판을 XII-XII선을 따라 잘라 도시한 단면도이다.

도 11에 도시한 본 실시예에 따른 박막 트랜지스터 표시판은 데이터선(171a)의 끝 부분이 위치하는 영역을 제외하면 도 4와 실질적으로 동일하므로 동일한 부분에 대하여는 설명을 생략하고 차이가 나는 부분에 대하여만 설명한다.

게이트 절연막(140) 위에는 수소화 비정질 규소 또는 다결정 규소 등으로 이루어진 복수의 선형 반도체(151a, 151b) 및 섬형 반도체(151c)가 형성되어 있다.

반도체(151a, 151b, 151c) 위에는 실리사이드 또는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉 부재(161a, 161b, 161c, 165a, 165b)가 형성되어 있다.

저항성 접촉 부재(161a, 161b, 161c, 165a, 165b) 및 게이트 절연막(140) 위에는 복수 쌍의 제1 및 제2 데이터선(171a, 171b), 데이터 연장선(171c) 및 복수 쌍의 제1 및 제2 드레인 전극(175a, 175b)이 형성되어 있다.

제1 데이터선(171a)은 제1 게이트 전극(124a)을 향하여 뻗은 복수의 소스 전극(173a)을 포함하며, 두 개 중 어느 하나는 외부 구동 회로와의 접속을 위하여 폭이 확장되어 있는 끝 부분(179a)을 포함하고, 다른 하나는 다른 층과의 접속을 위하여 폭이 확장되어 있는 끝 부분(179e)을 포함한다.

데이터 연장선(171c)도 주로 세로 방향으로 뻗어 있으며, 외부 구동 회로 및 다른 층과의 접속을 위하여 폭이 확장되어 있는 끝 부분(179c, 179d)을 포함한다.

데이터선(171a, 171b), 데이터 연장선(171c) 및 드레인 전극(175a, 175b)과 노출된 반도체(151a, 151b) 부분의 위에는 보호막(180)이 형성되어 있다.

보호막(180)에는 데이터선(171a, 171b)의 끝 부분(179a/179e, 179b) 및 드레인 전극(175a, 175b)의 확장부(177a, 177b)를 각각 드러내는 복수의 접촉 구멍(182a/187a, 182b, 185a, 185b)이 형성되어 있으며, 데이터 연장선(171c)의 끝 부분(179c, 179d)을 각각 드러내는 복수의 접촉 구멍(182c, 187b)이 형성되어 있다. 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

보호막(180) 위에는 제1 및 제2 부화소 전극(191a, 191b)을 포함하는 복수의 화소 전극(191)과 차폐 전극(88), 복수의 접촉 보조 부재(81, 82a, 82b, 82c) 및 복수의 연결 부재(87)가 형성되어 있다. 이들은 ITO 또는 IZO 따위의 투명 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 이루어진다.

연결 부재(87)는 접촉 구멍(187a, 187b)을 통하여 데이터선(171a)과 데이터 연장선(171c)을 연결한다. 따라서 데이터 연장선(171c)에 인가된 데이터 전압은 데이터선(171a)으로 전달된다.

본 실시예에서는 제1 데이터선(171a)이 연결 부재(87)를 통하여 제2 데이터선(171b)을 타고 넘어 외부 구동 회로와 연결되는 것으로 설명하였으나 제2 데이터선(171b)이 제1 데이터선(171a)을 타고 넘어 외부 구동 회로와 연결될 수도 있다.

그러면 이러한 액정 표시 장치에서의 구동부 반전 및 겉보기 반전에 대하여 도 13a 및 도 13b를 참고로 하여 상세하게 설명한다.

도 13a 및 도 13b는 본 발명의 다른 실시예에 따른 액정 표시 장치에서의 구동부 반전 및 겉보기 반전을 나타낸 개략도이다.

도 13a 및 도 13b를 참조하면, 데이터 구동부(501)는 데이터 구동 IC(542)로 구현되어 있으며, 데이터 구동 IC(542)의 출력 단자(Y_1-Y_{2m})는 액정 표시판 조립체(301)의 데이터 패드부(51)를 통하여 데이터선(D_1-D_{2m})에 연결되어 있다. 앞서 설명한 것과 같이 데이터선($D_2, D_3, D_6, D_7, \dots, D_{2m-2}, D_{2m-1}$)은 교차하여 데이터 구동 IC(542)의 해당 출력 단자에 연결되어 있다.

데이터 구동 IC(542)는 하나의 출력 단자(Y_1-Y_{2m})마다 극성이 반전된 데이터 전압을 내보내고, 부분적으로 교차되어 있는 데이터선(D_1-D_{2m})에는 두 개의 데이터선마다 극성이 반전된 데이터 전압이 흐른다. 이에 따라 한 쌍의 부화소(PXa, PXb)에 연결되어 있는 두 데이터선(예를 들면, D_1 과 D_2)에 흐르는 데이터 전압의 극성은 동일하며 하나의 화소(PX)를 이루는 한 쌍의 부화소(PXa, PXb)의 극성은 동일하다. 그러나 인접한 두 화소(PX) 사이에 위치하는 두 데이터선(예를 들면, D_2 와 D_3)에 흐르는 데이터 전압의 극성은 서로 반대가 되어 가로로 인접한 화소(PX)의 극성은 다르다.

도 13a에서, 데이터 구동 IC(542)는 화소 행마다 데이터 전압의 극성을 반전시키고, 이에 따라 세로로 인접한 화소(PX)는 반대 극성을 띠게 되어 결국 화소(PX)는 점반전 패턴을 가진다.

한편, 도 13b에서, 데이터 구동 IC(542)는 한 프레임 동안 각 출력 단자(Y_1-Y_{2m})에 동일한 극성의 데이터 전압을 내보내고, 이에 따라 세로로 인접한 화소(PX)의 극성은 동일하게 되어 결국 화소(PX)는 열반전 패턴을 가진다.

이와 같이 하나의 화소(PX)를 이루는 한 쌍의 부화소(PXa, PXb)의 극성을 동일하게 하면 화소(PX)가 점반전 또는 열반전 패턴을 가지게 되어 플리커나 크로스토크를 방지할 수 있다.

또한 도 13b에 도시한 반전 패턴으로 구동하는 경우 도 9에 도시한 것과 같이 게이트 신호를 중첩하여 게이트 온 시간을 늘릴 수 있다.

앞서 설명한 도 1 내지 도 9의 액정 표시 장치에 대한 많은 특징들이 도 10 내지 도 13b의 액정 표시 장치에도 적용될 수 있다.

그러면 본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 14 내지 도 16b를 참고로 하여 상세하게 설명한다.

도 14는 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 14에 도시한 바와 같이, 본 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(302) 및 이에 연결된 게이트 구동부(400)와 한 쌍의 데이터 구동부(502a, 502b), 데이터 구동부(500a, 502b)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다. 본 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(302) 및 데이터 구동부(502a, 502b)를 제외하면 도 1에 도시한 액정 표시 장치와 실질적으로 동일하므로 동일한 부분에 대하여는 설명을 생략하고 차이가 나는 부분에 대하여만 설명한다.

액정 표시판 조립체(302)는 복수의 게이트선(G_1-G_n) 및 복수의 데이터선(D_1-D_{2m})과 이에 연결되어 있는 복수의 화소(PX)를 포함한다.

한 쌍의 데이터 구동부(502a, 502b)는 각각 액정 표시판 조립체(302)의 상하에 위치하며 홀수 번째 및 짝수 번째 데이터선(D_1-D_{2m})에 각각 연결된다.

그러면 이러한 액정 표시판 조립체의 한 예에 대하여 도 15를 참고로 하여 설명한다.

도 15는 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 15에 도시한 본 실시예에 따른 박막 트랜지스터 표시판은 데이터선(171b)의 끝 부분이 위치하는 영역을 제외하면 도 4와 실질적으로 동일하므로 동일한 부분에 대하여는 설명을 생략하고 차이가 나는 부분에 대하여만 설명한다.

도 15에 도시한 바와 같이, 제1 및 제2 데이터선(171a, 171b)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 폭이 확장되어 있으며 박막 트랜지스터 표시판의 상하 양단에 각각 위치하는 끝 부분(179a, 179b)을 포함한다.

따라서 데이터선(171a, 171b)의 끝 부분(179a, 179b)을 각각 드러내는 접촉 구멍(182a, 182b) 및 접촉 구멍(182a, 182b)을 통하여 데이터선(171a, 171b)의 끝 부분(179a, 179b)과 각각 연결되는 접촉 보조 부재(82a, 82b)도 박막 트랜지스터 표시판의 상하 양단에 각각 위치한다.

그러면 이러한 액정 표시 장치에서의 구동부 반전 및 결보기 반전에 대하여 도 16a 및 도 16b를 참고로 하여 상세하게 설명한다.

도 16a 및 도 16b는 본 발명의 다른 실시예에 따른 액정 표시 장치에서의 구동부 반전 및 결보기 반전을 나타낸 개략도이다.

도 16a 및 도 16b를 참조하면, 한 쌍의 데이터 구동부(502a, 502b)는 상부 및 하부 데이터 구동 IC(543a, 543b)로 구현되어 있으며, 상부 데이터 구동 IC(543a)의 출력 단자(Y_1-Y_m)는 액정 표시판 조립체(302)의 상부 데이터 패드부(52a)를 통하여 데이터선($D_1, D_3, D_5, \dots, D_{2m-1}$)에 연결되어 있고, 하부 데이터 구동 IC(543b)의 출력 단자(Y_1-Y_m)는 액정 표시판 조립체(302)의 하부 데이터 패드부(52b)를 통하여 데이터선($D_2, D_4, D_6, \dots, D_{2m}$)에 연결되어 있다.

각 데이터 구동 IC(543a, 543b)는 하나의 출력 단자(Y_1-Y_m)마다 극성이 반전된 데이터 전압을 내보내며, 데이터선(D_1-D_{2m})에는 두 개의 데이터선마다 극성이 반전된 데이터 전압이 흐른다. 이에 따라 한 쌍의 부화소(PXa, PXb)에 연결되어 있는 두 데이터선(예를 들면, D_1 과 D_2)에 흐르는 데이터 전압의 극성은 동일하며 하나의 화소(PX)를 이루는 한 쌍의 부화소(PXa, PXb)의 극성은 동일하다. 그러나 인접한 두 화소(PX) 사이에 위치하는 두 데이터선(예를 들면, D_2 와 D_3)에 흐르는 데이터 전압의 극성은 서로 반대가 되어 가로로 인접한 화소(PX)의 극성은 다르다.

도 16a에서, 각 데이터 구동 IC(543a, 543b)는 화소마다 데이터 전압의 극성을 반전시키고, 이에 따라 세로로 인접한 화소(PX)는 반대 극성을 띠게 되어 결국 화소(PX)는 점반전 패턴을 가진다.

한편, 도 16b에서, 각 데이터 구동 IC(543a, 543b)는 한 프레임 동안 각 출력 단자(Y_1-Y_m)에 동일한 극성의 데이터 전압을 내보내고, 이에 따라 세로로 인접한 화소(PX)의 극성은 동일하게 되어 결국 화소(PX)는 열반전 패턴을 가진다.

이와 같이 하나의 화소(PX)를 이루는 한 쌍의 부화소(PXa, PXb)의 극성을 동일하게 하면 화소(PX)가 점반전 또는 열반전 패턴을 가지게 되어 플리커나 크로스토크를 방지할 수 있다.

또한 도 16b에 도시한 반전 패턴으로 구동하는 경우 도 9에 도시한 것과 같이 게이트 신호를 중첩하여 게이트 온 시간을 늘릴 수 있다.

앞서 설명한 도 1 내지 도 9의 액정 표시 장치에 대한 많은 특징들이 도 14 내지 도 16b의 액정 표시 장치에도 적용될 수 있다.

발명의 효과

이상에서 기술한 바와 같이, 본 발명에 의하면 하나의 화소는 한 쌍의 부화소로 분할되어 있고, 각 부화소는 서로 다른 두 개의 데이터선에 연결되어 있다. 이로 인해, 두 부화소에 별개의 데이터 전압을 원하는 수준으로 각각 인가할 수 있고, 이에 따라 시인성이 향상된다. 또한 한 쌍의 부화소에 동일한 극성의 데이터 전압을 인가함으로써 플리커 및 크로스토크를 방지할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

(57) 청구의 범위

청구항 1.

행렬 형태로 배열되어 있으며, 제1 및 제2 부화소를 포함하는 복수의 화소,

상기 제1 및 제2 부화소에 연결되어 있으며 게이트 신호를 전달하는 복수의 게이트선,

상기 게이트선과 교차하고, 상기 제1 및 제2 부화소에 각각 연결되어 있으며 제1 및 제2 데이터 전압을 각각 전달하는 복수의 제1 및 제2 데이터선, 그리고

상기 제1 및 제2 데이터 전압을 상기 제1 및 제2 데이터선에 각각 인가하는 데이터 구동부

를 포함하며,

상기 제1 데이터 전압과 상기 제2 데이터 전압의 극성은 동일한

액정 표시 장치.

청구항 2.

제1항에서,

상기 제1 및 제2 데이터선은 상기 화소의 양단에 각각 위치하는 액정 표시 장치.

청구항 3.

제2항에서,

상기 복수의 제1 및 제2 데이터선은 차례로 상기 데이터 구동부에 연결되어 있는 액정 표시 장치.

청구항 4.

제3항에서,

상기 데이터 구동부는 두 개의 출력 단자 단위로 극성을 바꾸어 상기 제1 및 제2 데이터 전압을 내보내는 액정 표시 장치.

청구항 5.

제2항에서,

이웃한 화소 사이에 위치하는 복수 쌍의 제1 및 제2 데이터선 중 적어도 한 쌍의 제1 및 제2 데이터선이 교차하여 상기 데이터 구동부에 연결되어 있는 액정 표시 장치.

청구항 6.

제5항에서,

상기 데이터 구동부는 출력 단자마다 극성을 바꾸어 상기 제1 및 제2 데이터 전압을 내보내는 액정 표시 장치.

청구항 7.

제2항에서,

상기 데이터 구동부는 상기 제1 및 제2 데이터선에 각각 연결되어 있는 제1 및 제2 데이터 구동부를 포함하는 액정 표시 장치.

청구항 8.

제7항에서,

상기 화소는 상기 제1 및 제2 데이터 구동부 사이에 위치하는 액정 표시 장치.

청구항 9.

제8항에서,

상기 제1 및 제2 데이터 구동부는 출력 단자마다 극성을 바꾸어 상기 제1 및 제2 데이터 전압을 각각 내보내는 액정 표시 장치.

청구항 10.

제4항, 제6항 및 제9항 중 어느 한 항에서,

이웃한 화소 사이에 위치하는 제1 및 제2 데이터선에 각각 인가되는 제1 및 제2 데이터 전압의 극성은 반대인 액정 표시 장치.

청구항 11.

제10항에서,

각 제1 및 제2 데이터선을 따라 각각 흐르는 제1 및 제2 데이터 전압의 극성은 동일한 액정 표시 장치.

청구항 12.

제11항에서,

이웃한 케이트선에 인가되는 케이트 온 전압은 중첩하는 액정 표시 장치.

청구항 13.

제12항에서,

상기 케이트 온 전압의 인가 시간은 1수평 주기보다 긴 액정 표시 장치.

청구항 14.

제10항에서,

각 제1 및 제2 데이터선을 따라 각각 흐르는 제1 및 제2 데이터 전압의 극성은 화소행마다 반전되는 액정 표시 장치.

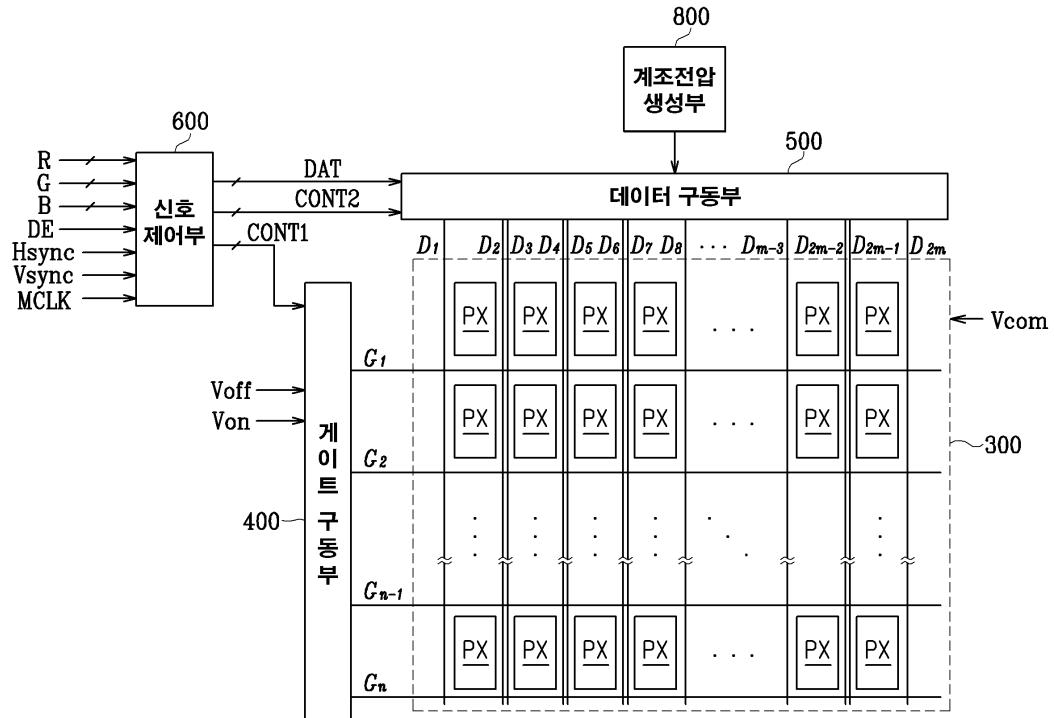
청구항 15.

제1항에서,

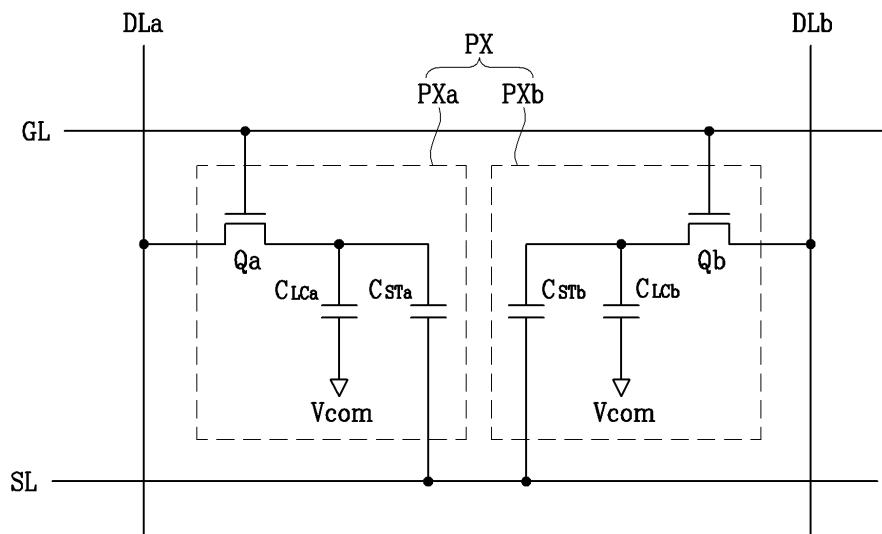
상기 제1 데이터 전압과 상기 제2 데이터 전압의 크기는 서로 다르고 하나의 영상 정보로부터 얻어지는 액정 표시 장치.

도면

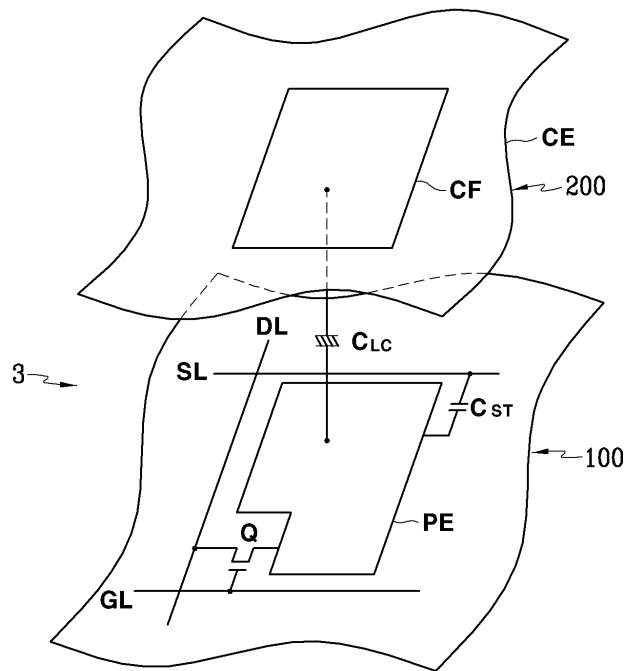
도면1



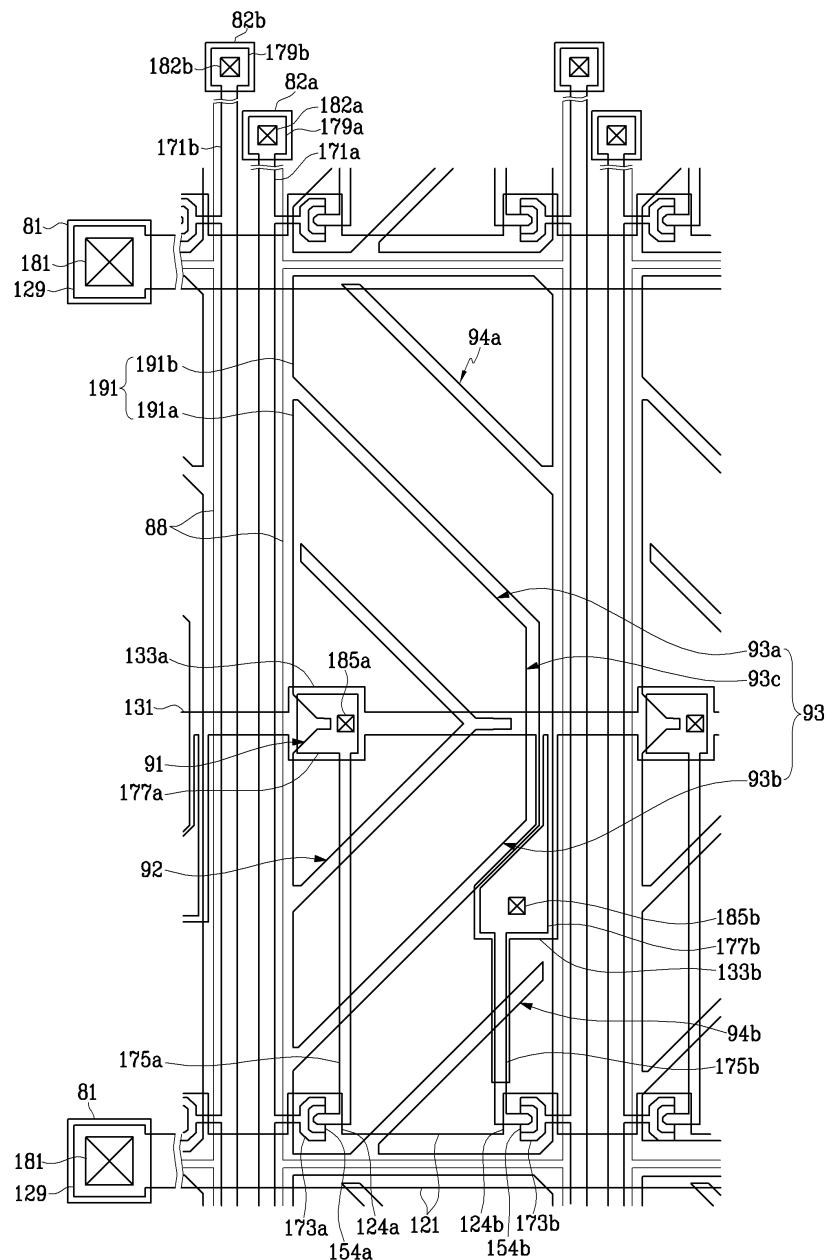
도면2



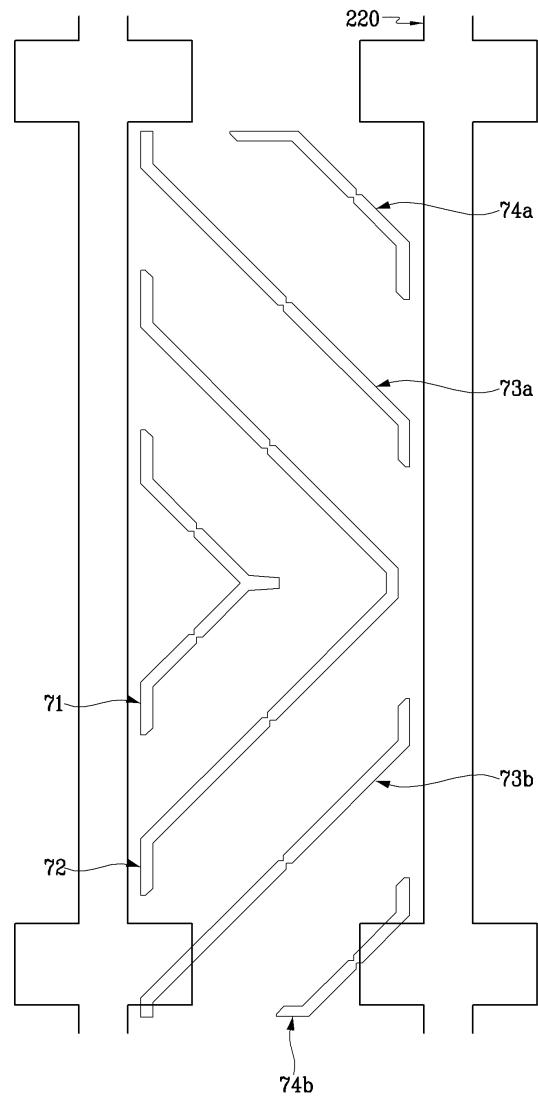
도면3



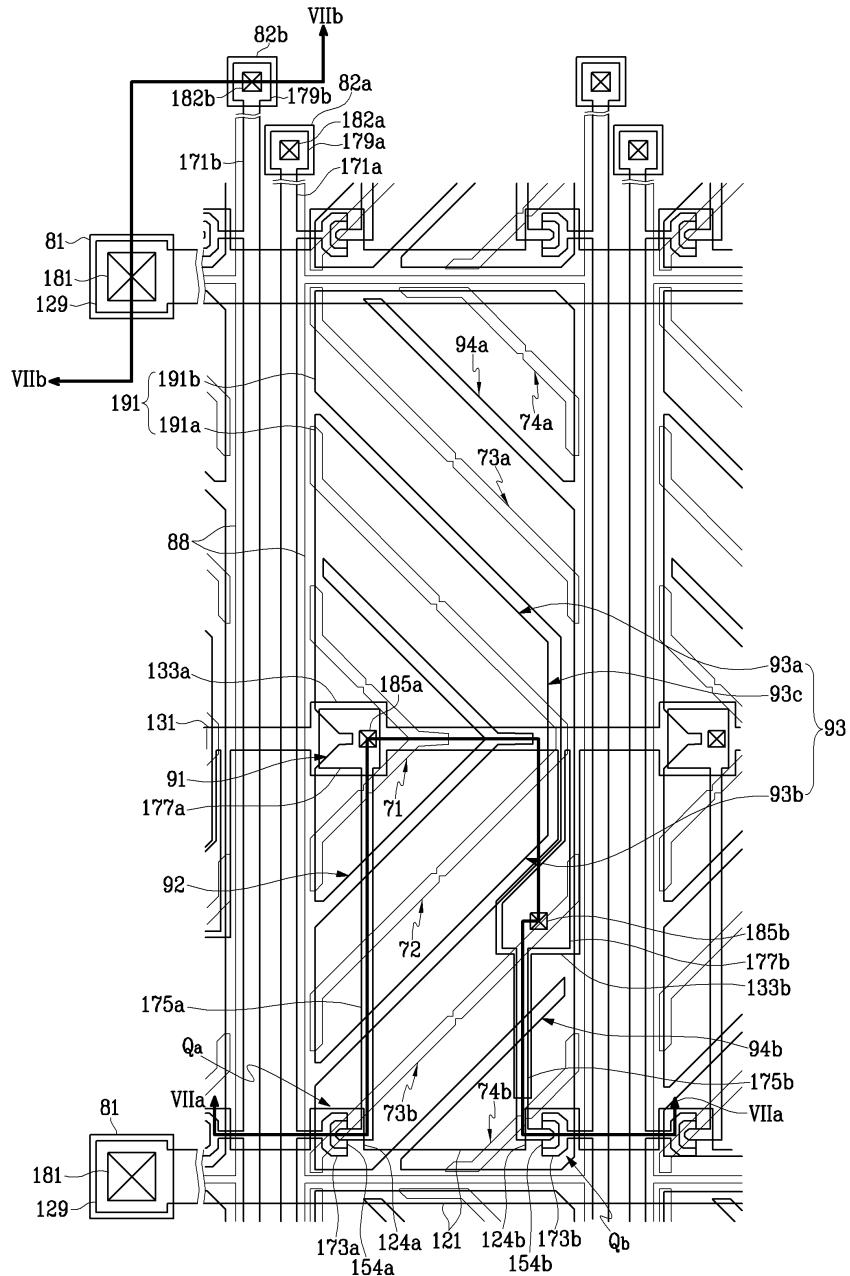
도면4



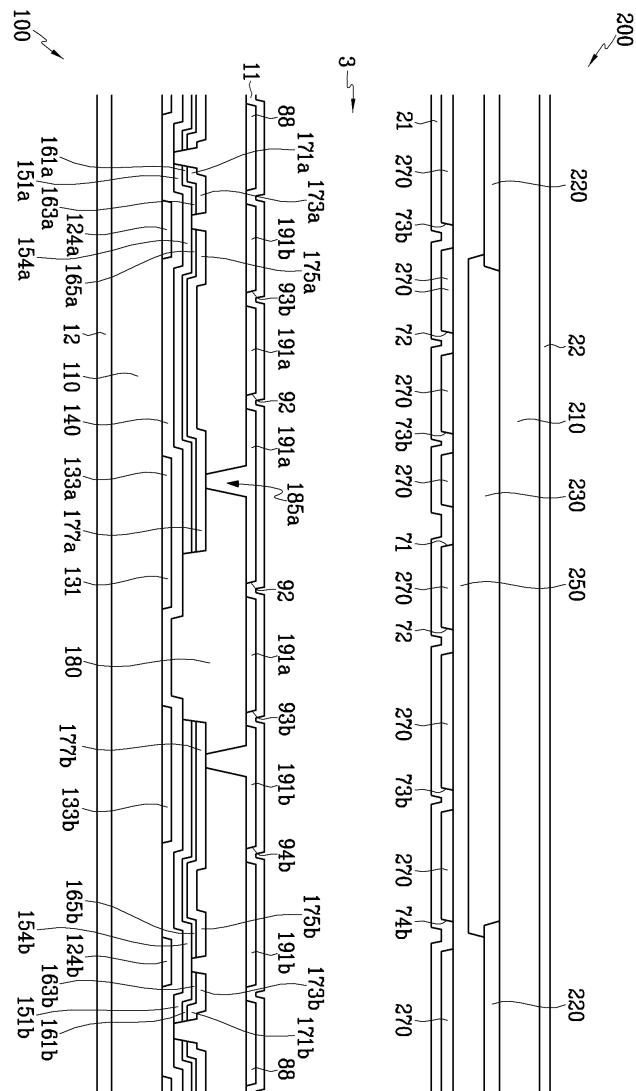
도면5



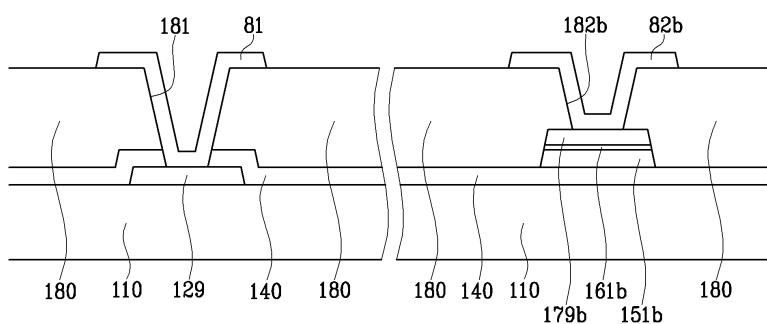
도면6



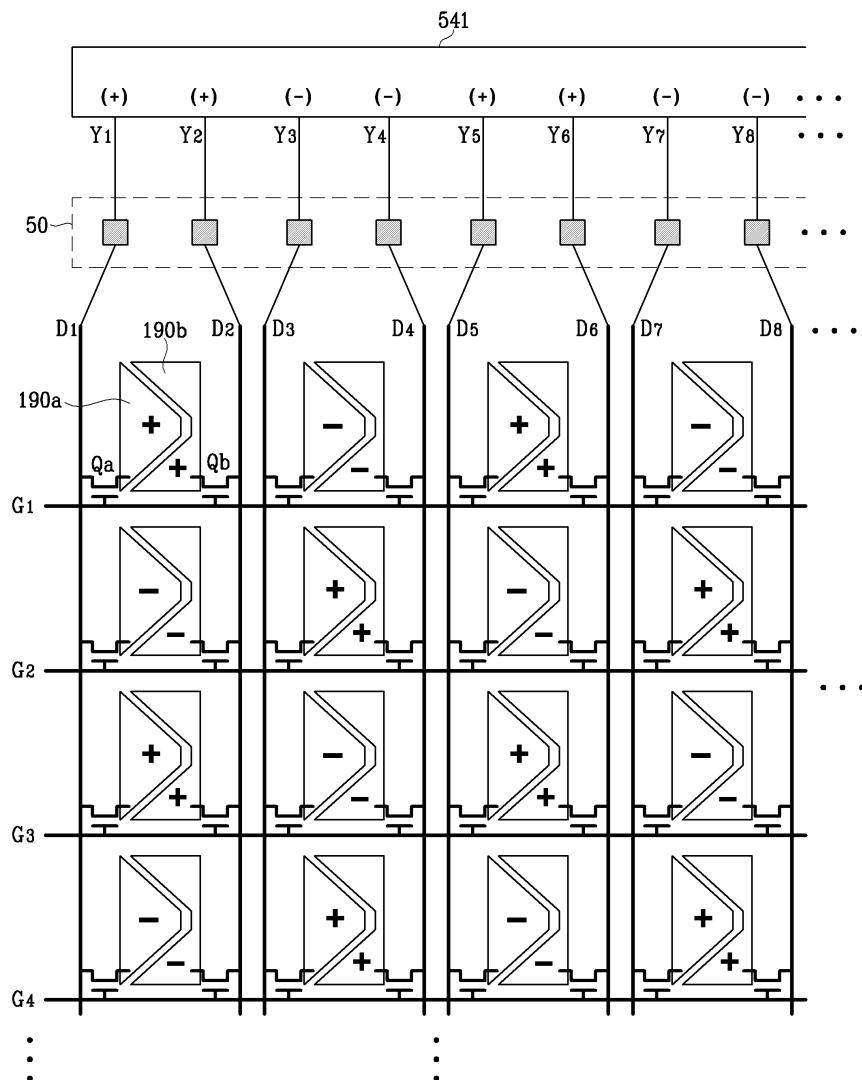
도면7a



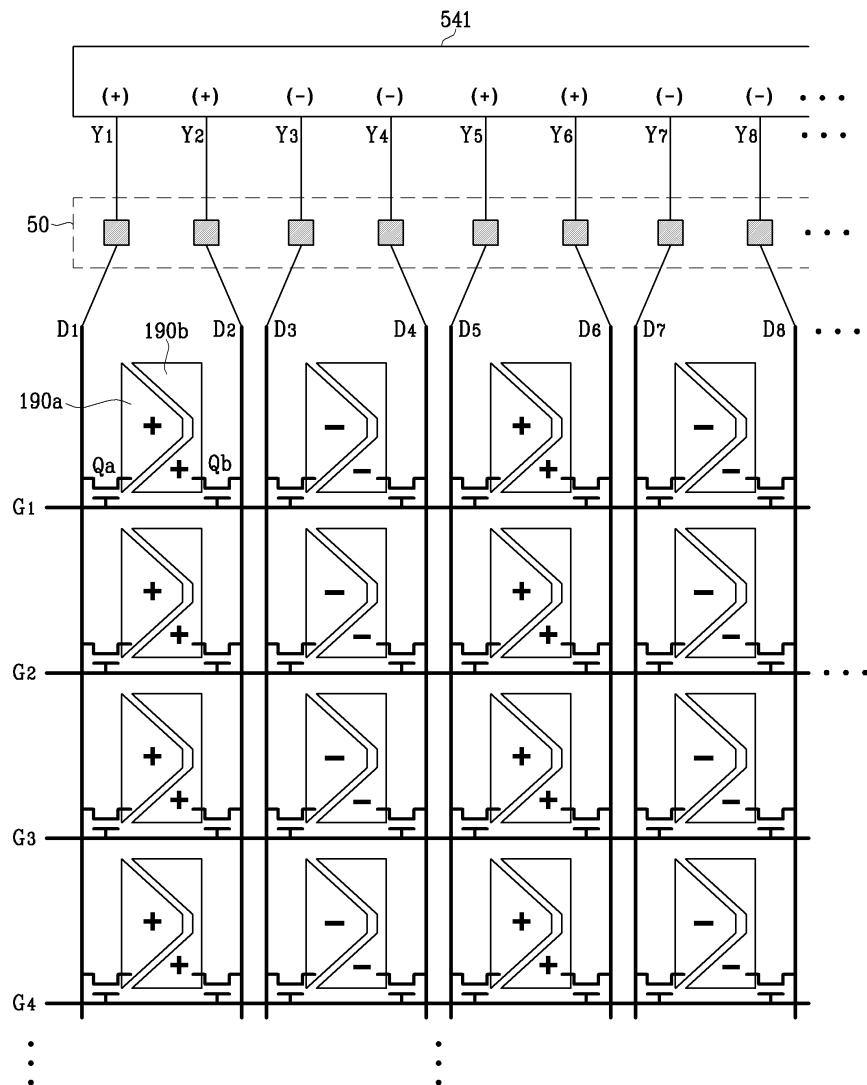
도면7b



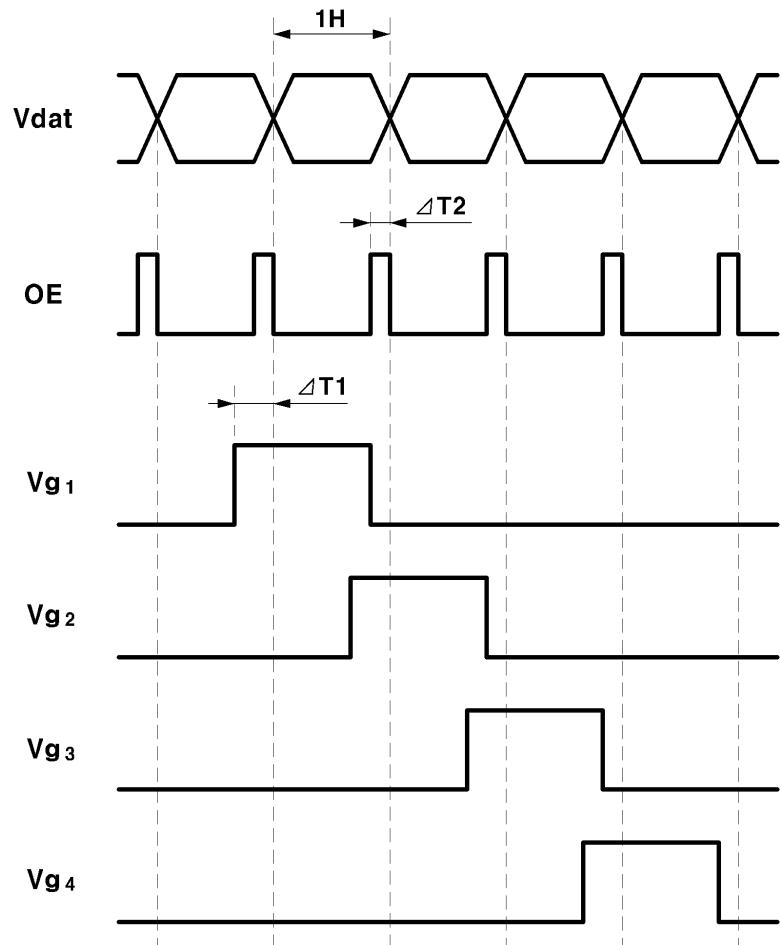
도면8a



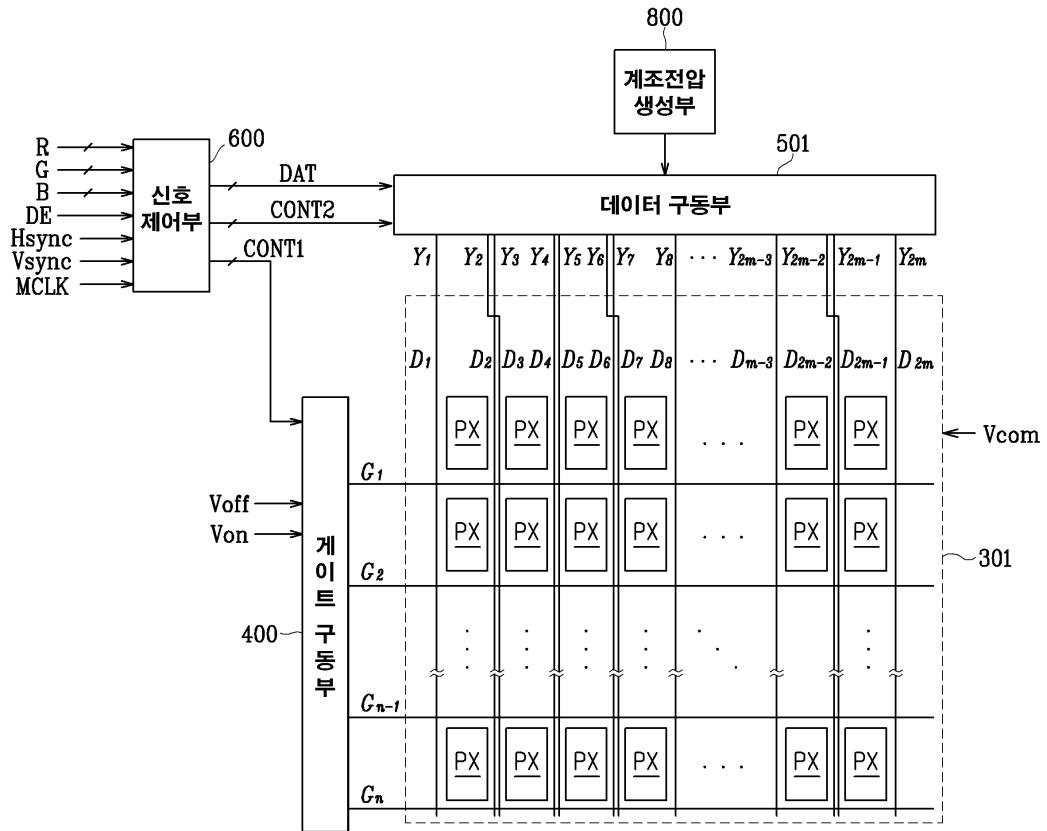
도면8b



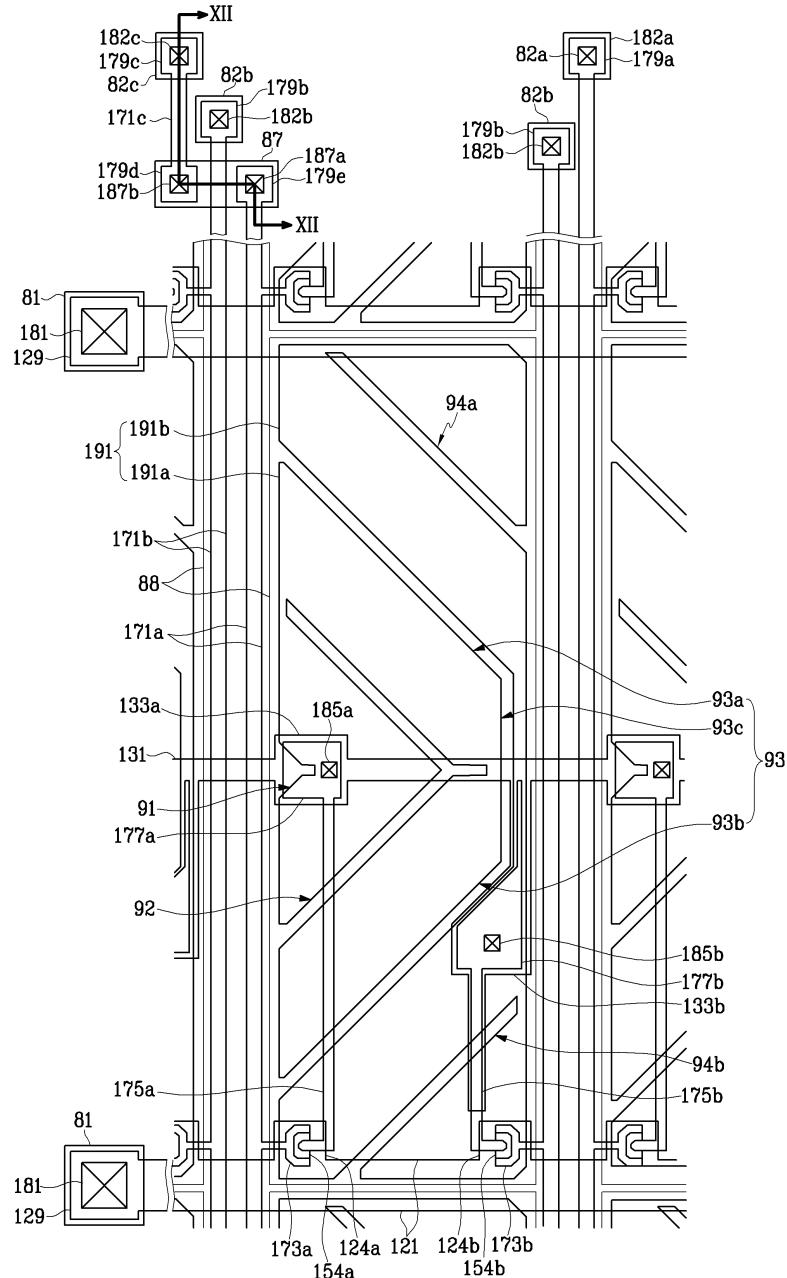
도면9



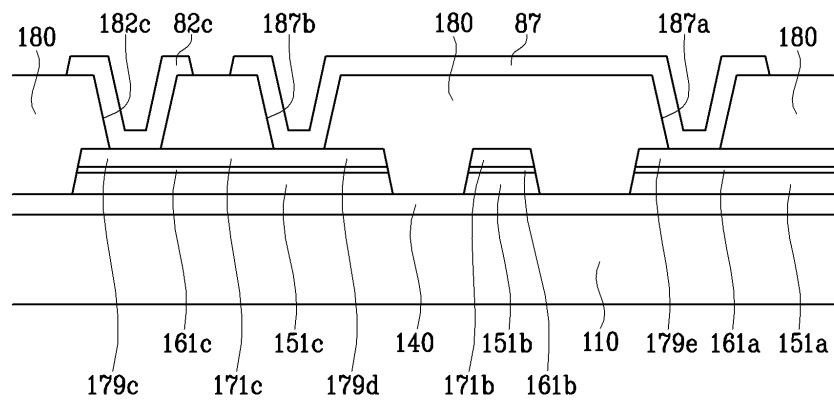
도면10



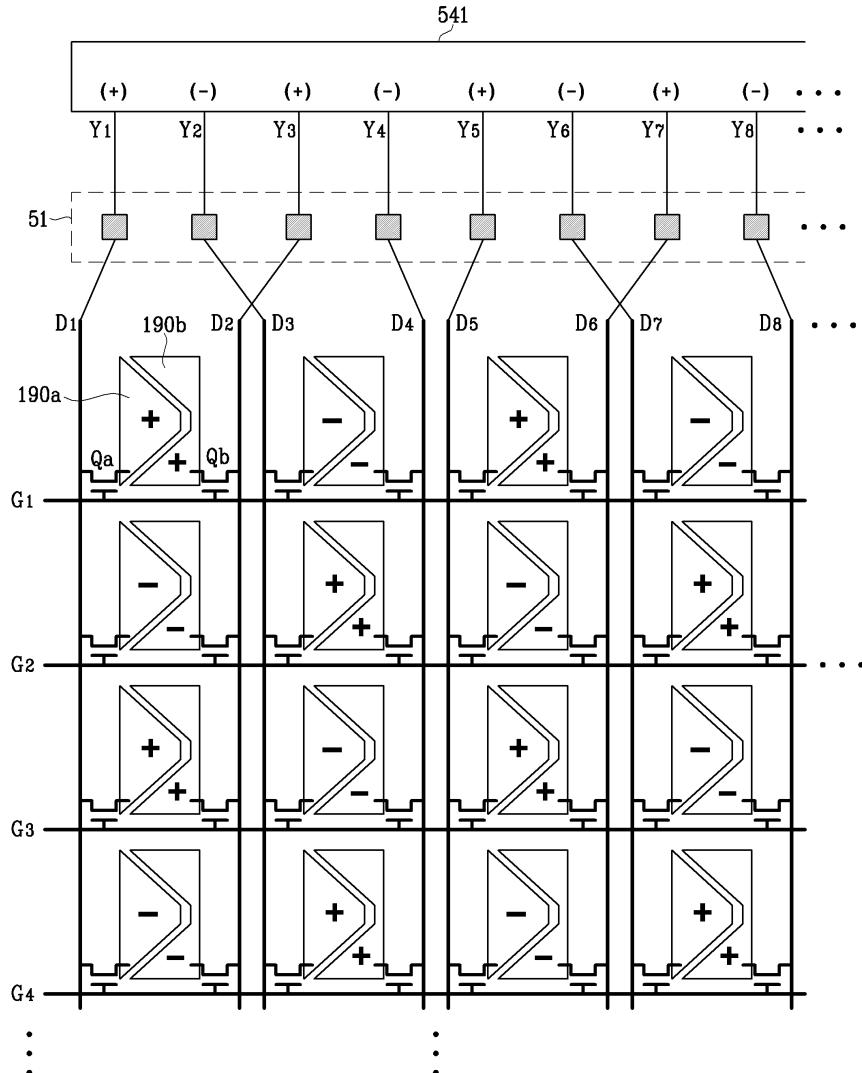
도면11



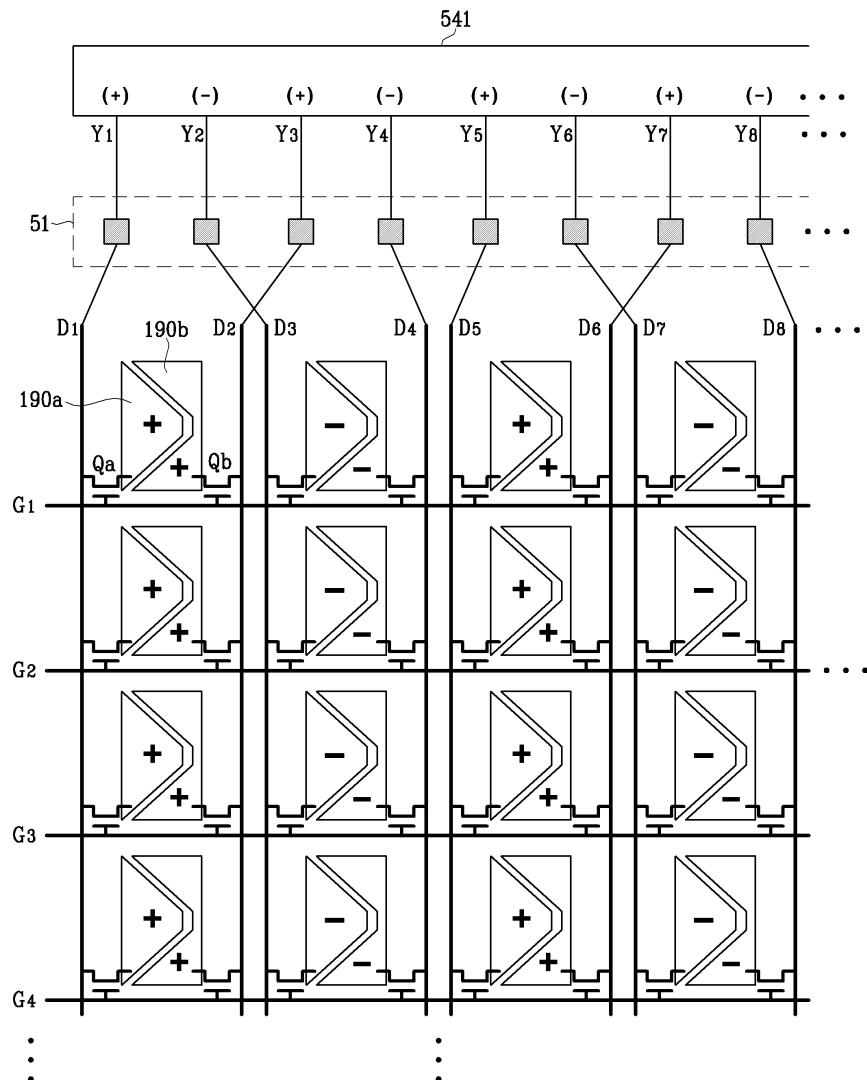
도면12



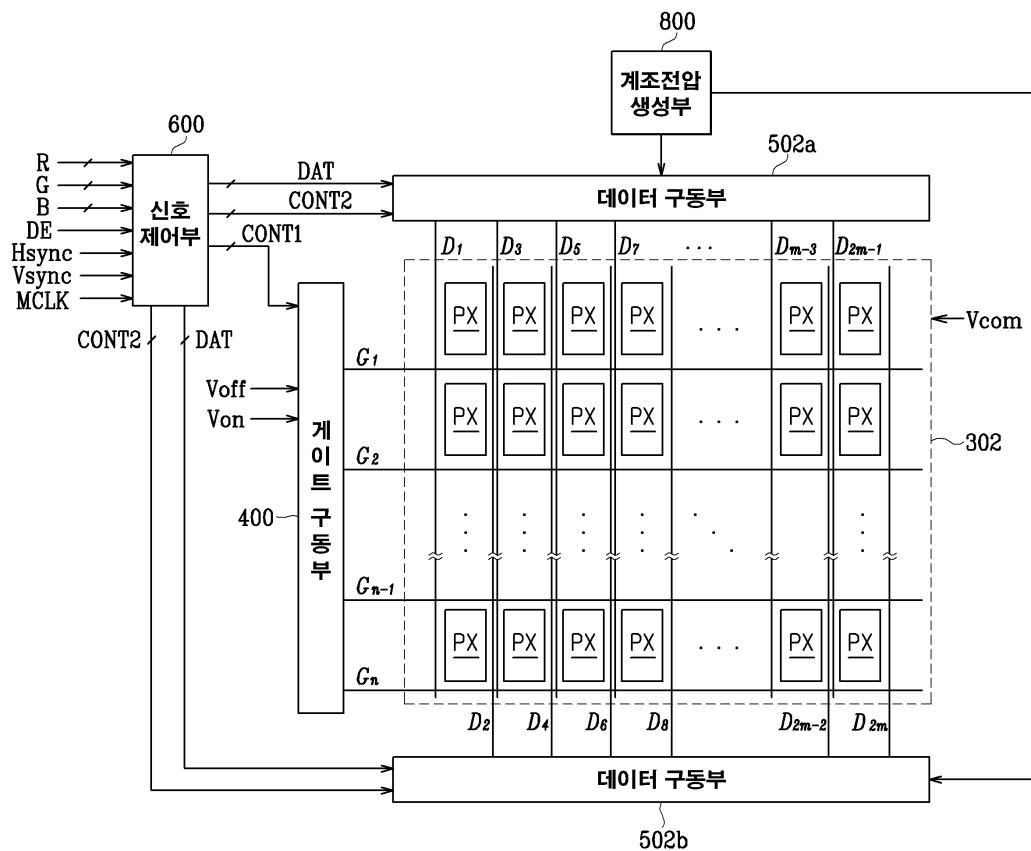
도면13a



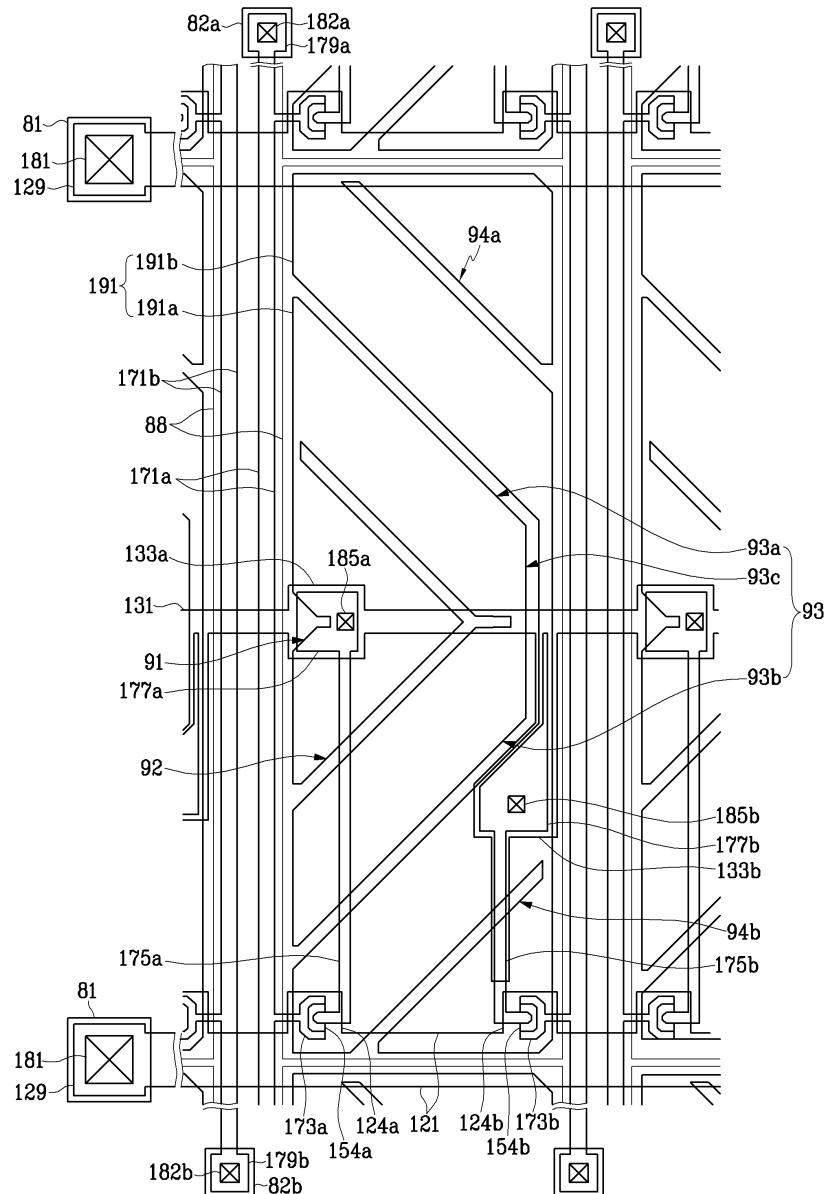
도면13b



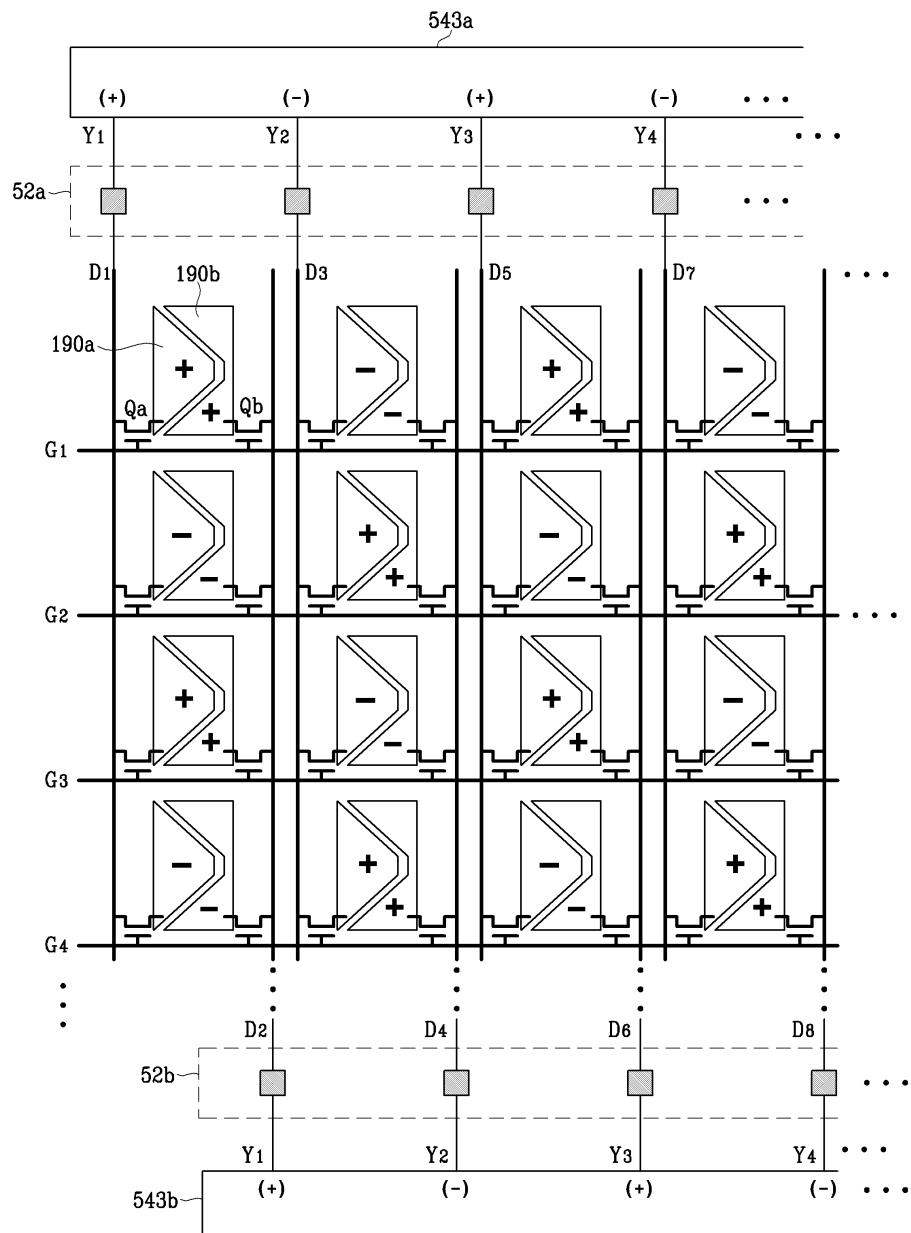
도면14



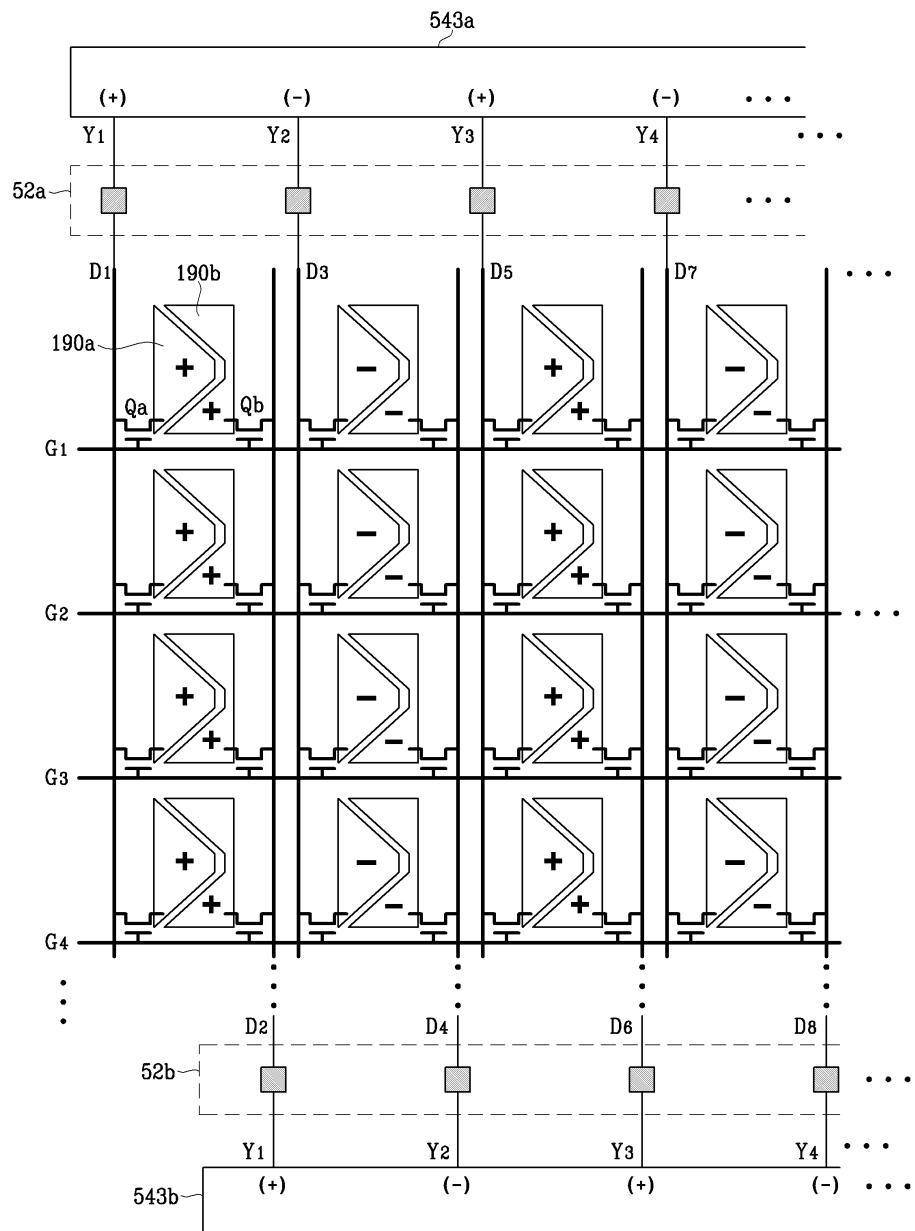
도면15



도면16a



도면16b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060112043A	公开(公告)日	2006-10-31
申请号	KR1020050034412	申请日	2005-04-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM DONG GYU		
发明人	KIM, DONG GYU		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3607 G09G3/3659 G02F1/133512 G02F1/136286 G02F1/1393 G02F1/134336 G09G3/3614		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，该装置包括多个像素，其包括第一和第二子像素，同时被布置到阵列形成多个栅极线，其传输栅极信号，其连接到第一和第二子像素，以及在第一和第二数据线中授权的相应数据驱动器在相应的多个传送的第一和第二数据电压的第一和第二数据线以及第一和第二数据电压它连接到第一和第二子像素的栅极线相交与门线。此时，第二数据电压和第一数据电压的极性相同。根据本发明，一个像素被分成一对子像素。通过授权每个子像素中的单独数据电压可以提高可见性。液晶显示器，数据线，数据电压，像素电极，子像素电极，栅极线。

