

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호

10-2006-0048014

(43) 공개일자

2006년05월18일

(21) 출원번호 10-2005-0041880

(22) 출원일자 2005년05월19일

(30) 우선권주장 JP-P-2004-00150016 2004년05월20일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 야마구찌 사토미
일본 홋카이도 가메다군 나나에쵸 아자나카지마 145반찌가부시끼가이샤 르네사스 기따니쵸 세미컨덕터 내
엔도우 마스히로
일본 홋카이도 가메다군 나나에쵸 아자나카지마 145반찌가부시끼가이샤 르네사스 기따니쵸 세미컨덕터 내
구보 다께히꼬
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤르네사스 테크놀로지 지적재산권 총괄부 내

(74) 대리인 장수길
이중희
구영창

심사청구 : 없음

(54) 액정 표시 구동 장치 및 액정 표시 시스템

요약

DA 변환 회로를 내장하고 디지털 화상 데이터를 아날로그 계조 전압으로 변환하여 컬러 액정 패널의 신호선(소스선)에 인가되는 전압을 출력하는 액정 드라이버(액정 구동용 반도체 집적 회로)의 소형화를 도모한다. 계조 전압으로 변환된 화상 신호를 출력하는 최종단의 출력 앰프(160:AMP1~AMP480)를 복수의 그룹으로 나누고, 화상 데이터를 계조 전압으로 변환하는 DA 변환 회로(160:DAC1~DAC40)를 상기 그룹에 공통의 회로로서 마련하여, 그룹을 절환하면서 DA 변환 회로를 시분할 동작시키고, 상기 최종단의 출력 앰프는 동일색의 화상 신호에 관계되는 것끼리 선택하여 그룹화하고, DA 변환 회로와 출력 앰프 사이에는 셀렉터 기능을 설정하여 DA 변환 회로에서 계조 전압으로 변환된 화상 신호를 원하는 홀드 회로에 배분하도록 했다.

대표도

도 2

색인어

액정 패널, 계조 전압, 감마 보정, 화상 데이터

명세서

도면의 간단한 설명

도 1은 본 발명을 적용한 액정 드라이버 회로의 개략 구성을 도시하는 블록도.

도 2는 도 1의 액정 드라이버 회로 중 디코더부와 샘플 홀드부 및 출력 앰프부를 추출하여 보다 상세한 구성을 도시한 블록도.

도 3은 본 실시예의 액정 드라이버 회로를 복수개 사용한 액정 표시 시스템의 구성예를 도시하는 블록도.

도 4는 도 3의 액정 표시 시스템에서, 각각 조를 이루는 4개의 액정 드라이버 회로의 디코더부로부터 샘플 홀드부에 공급되는 적색 화상 신호의 전송 타이밍을 도시하는 타이밍차트.

도 5는 도 3의 액정 표시 시스템에서, 각각 조를 이루는 4개의 액정 드라이버 회로의 디코더부로부터 샘플 홀드부에 공급되는 녹색 화상 신호의 전송 타이밍을 도시하는 타이밍차트.

도 6은 도 3의 액정 표시 시스템에서, 각각 조를 이루는 4개의 액정 드라이버 회로의 디코더부로부터 샘플 홀드부에 공급되는 청색 화상 신호의 전송 타이밍을 도시하는 타이밍차트.

도 7은 도 3의 액정 표시 시스템에서의 액정 표시 컨트롤러로부터 액정 드라이버 회로에 대하여 공급되는 제어 신호나 클럭의 타이밍을 도시하는 타이밍차트.

도 8은 타이밍 제어부의 구성예를 도시하는 블록도.

도 9는 타이밍 제어부에서 자동 생성되는 래치 클럭의 타이밍을 도시하는 타이밍차트.

도 10은 도 3의 액정 표시 시스템에서의 각종 신호의 타이밍을 도시하는 타이밍차트.

도 11은 샘플 홀드부의 단위 샘플 홀드 회로의 구성예를 도시하는 블록도.

도 12는 샘플 홀드부의 단위 샘플 홀드 회로의 동작 타이밍을 도시하는 타이밍차트.

도 13은 본 실시예의 액정 드라이버 회로를 구성하는 각 회로 블록의 반도체 칩 상에서의 레이아웃의 일례를 도시하는 평면도.

도 14는 도 13의 실시예의 디코더부에서의 DA 변환 회로의 배치를 도시하는 평면도.

도 15는 본 발명에 앞서 검토한 액정 드라이버 회로의 레이아웃을 도시하는 평면도.

도 16은 본 발명에 앞서 검토한 액정 드라이버 회로의 개략 구성을 도시하는 블록도.

<도면의 주요부분에 대한 부호의 설명>

100 액정 표시 구동 장치(액정 드라이버 IC)

110 제1 래치부

120 제2 래치부

- 130 데이터 반전 회로
- 140 래치 위치 지정 회로
- 150 계조 전압 생성 회로
- 160 디코더(셀렉터)부
- 170 샘플 홀드부
- 180 출력 앰프부
- 190 타이밍 제어부
- 200 액정 패널
- 300 주사선 구동 회로(커먼 드라이버)
- 400 액정 표시 컨트롤러
- DRV1~DRV8 액정 드라이버 IC
- MPX1, MPX2 멀티플렉서
- DAC DA 변환 회로
- AMP 출력 앰프
- S/H 샘플 홀드 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 컬러 표시 패널을 구동하는 표시 구동 장치, 컬러 액정 패널을 구동하는 액정 표시 구동 장치, 더 나아가서는, 반도체 집적 회로화된 액정 표시 구동 장치에 적용하기에 유효한 기술에 관한 것으로, 예를 들면, 컬러 액정 표시 패널을 갖는 컬러 텔레비전 시스템의 상기 컬러 액정 표시 패널을 구동하는 액정 표시 구동 장치에 이용하기에 유효한 기술에 관한 것이다.

표시 장치의 하나로서의 액정 표시 장치는, 표시 패널로서의 액정 표시 패널(이하, 액정 패널이라고도 한다)과 표시 제어 장치로서의 액정 표시 제어 장치(액정 컨트롤러)나 그 제어 장치의 제어하에서 액정 표시 패널을 구동하는 표시 구동 장치로서의 액정 표시 구동 장치(액정 표시 드라이버) 등에 의해 구성되어 있다. 액정 패널의 화소 신호가 인가되는 신호선으로서의 소스선을 구동하는 소스 드라이버는, 일반적으로, 도 16에 도시되어 있는 바와 같이, 각 화상 신호 출력 단자(Y1, Y2……Yn)마다 디지털 화상 데이터 신호를 아날로그 전압으로 변환하는 디지털-아날로그(DA) 변환 회로(DAC1, DAC2……DACn)가 마련되어 있다.

또한, 도 16의 드라이버에서는, DA 변환 회로(DAC1, DAC2……DACn)는 정전압 출력용과 부전압 출력용의 것이 교대로 배치되고, 임의의 소스선의 화소의 데이터는 멀티플렉서(MPX1)에 의해, 정전압 출력용 DA 변환 회로(DACi)와 부전압 출력용 DA 변환 회로(DACi+1)에 교대로 입력되어 아날로그 전압으로 변환되어 멀티플렉서(MPX2)를 통하여 소스선에 인가됨으로써, 각 화소의 전극은 교류 구동되어, 액정의 열화가 방지되도록 되어 있다.

발명이 이루고자 하는 기술적 과제

최근에, 액정 표시 장치에서의 화상 데이터는 복수의 화소 데이터로 구성된다. 1개의 화소 데이터는, 1 화소당, 8 비트의 적색 데이터(R)와, 8 비트의 녹색 데이터(G)와, 8 비트의 청색 데이터(B)로 구성되어 있고, 액정 패널의 계조 표시는 각 색(R/G/B)당 256 단계인 것이 많다. 그러나, 액정 표시 장치의 고화질화에 수반하여, 보다 고계조도의 표시를 행할 수 있는 액정 표시 장치가 요구되도록 되어 왔다. 이에 따라, 본 발명자들은, 예를 들면, 1 화소의 화소 데이터를 구성하는 각 색(R/G/B) 데이터를 10 비트로 하고, 각 색(R/G/B)당 1024 단계와 같은 계조 표시를 행할 수 있는 소스 드라이버에 대해 검토했다.

그 결과, 화상 신호 출력 단자(Y_1, Y_2, \dots, Y_n)마다 DA 변환 회로(DAC1, DAC2, ..., DACn)를 마련하는 방식에 있어서는, DA 변환 회로에 계조 전압을 공급하는 배열의 수가 플러스 마이너스 합쳐서 2048개 필요하게 된다. 그 때문에, 계조 전압을 공급하는 배선의 배선 영역의 폭이 넓어지고, 이들 계조 전압을 공급하는 배선(급전선이라고도 한다)의 아래에, DA 변환 회로를 배치했다고 해도, 쓸데없는 스페이스가 생기게 된다. 따라서, 액정 드라이버, 즉, 소스 드라이버가 형성되는 반도체 칩의 사이즈가 커지게 되어, 소스 드라이버의 대폭적인 코스트업으로 이어진다는 과제가 있음을, 발명자들은 인식했다. 이것을 해결하기 위해서는, 소스 드라이버에 탑재하는 DA 변환 회로의 수를 줄이고, DA 변환 회로를 시분할 동작시키면 되지만, 그와 같이 하면 화상 데이터를 입력하고 나서 아날로그 전압으로서 출력되기까지의 시간이 길어지게 된다.

또한, 표시 화면의 대형화나 고정밀화에 수반하여 소스선의 수가 많은 액정 패널이 제공되도록 되었기 때문에, 소스선의 수가 서로 다른 액정 패널이 공존하고 있다. 이들 액정 패널에 공통의 소스 드라이버를 사용할 수 있도록 하기 위해서는, 최대의 소스선의 액정 패널에 맞추어 화상 신호 출력 단자를 마련하는 것도 해결법의 하나이다. 그러나, 그와 같은 소스 드라이버는, 그 칩 사이즈가 극단적으로 커져 버리기 때문에, 효율적인 방법이 아니라는 것도 발명자들은 인식했다.

그래서, 1개의 소스 드라이버가 갖는 화상 신호 출력 단자의 수를 제한하고, 복수의 소스 드라이버를 이용하여 액정 표시 시스템을 구성하는 것을 생각할 수 있다. 이러한 방법은, 소스 드라이버의 칩 사이즈를 작게 하는 측면에서 효율적이다. 그러나, 이 경우, 화상 데이터를 보내는 소스 드라이버를 절환할 때의 타이밍에 주의할 필요가 있다. 그 타이밍이 부정확하면, 화상 데이터를 소스 드라이버에 정확하게 취득되게 할 수 없거나, 화상 데이터를 소스 드라이버에 전송하기 위한 전송 시간이 길어지거나 하는 등의 우려가 발생한다.

본 발명의 목적은, 표시 구동 장치(액정 드라이버, 액정 구동용 반도체 집적 회로)의 소형화를 도모하는 데 있다.

본 발명의 다른 목적은, 복수의 표시 구동 장치(액정 드라이버)를 조합하여 표시 장치(액정 표시 장치)를 구성하는 가능한 표시 구동 장치(액정 드라이버)를 제공하는 데 있다.

본 발명의 또 다른 목적은, 컬러 표시 패널(컬러 액정 패널)의 각 색의 특성에 부합한 감마 보정을 동적으로 행할 수 있는 복수의 표시 구동 장치(액정 드라이버)를 제공하는 데 있다.

본 발명의 또 다른 목적은, 칩 사이즈의 증대를 억제하면서 고계조도의 표시를 행할 수 있는 복수의 표시 구동 장치(액정 드라이버)를 제공하는 데 있다.

본 발명의 상기 및 그 외의 목적과 신규의 특징에 대해서는, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명 중 대표적인 것의 개요를 설명하면, 하기와 같다.

즉, 아날로그 계조 전압으로 변환된 화상 신호를 출력하는 최종단의 출력 앰프를 복수의 그룹으로 나누고, 화상 데이터를 아날로그 계조 전압으로 변환하는 디지털-아날로그(DA) 변환 회로를 상기 그룹에 공통의 회로로서 마련하고, 그룹을 절환하면서 DA 변환 회로를 시분할 동작시킨다. 또한, 상기 최종단의 출력 앰프는 동일색의 화상 신호에 관계되는 것끼리 선택하여 그룹화하고, DA 변환 회로와 출력 앰프 사이에는 셀렉터 기능을 마련하여 DA 변환 회로에서 아날로그 계조 전압으로 변환된 화상 신호를 원하는 출력 앰프에 배분하도록 한 것이다.

상기한 수단에 따르면, DA 변환 회로를 시분할 동작시키기 때문에 DA 변환 회로의 수가 화상 신호 출력 단자의 수보다도 적어도 되어, 표시 구동 장치(액정 드라이버)의 소형화를 도모할 수 있다.

본 발명의 표시 구동 장치(액정 드라이버)를 복수개 조합하여 사용하는 화상 표시 시스템에서는, 임의의 표시 구동 장치(액정 드라이버)에서 DA 변환하고 있는 동안에, 다른 표시 구동 장치(액정 드라이버)에서는 DA 변환된 화상 신호를 출력 앰프로 전송시킬 수 있다. 그 때문에, 화상 데이터를 입력하고 나서 소정의 시간 내에 계조 전압으로서 출력시킬 수 있어, 화상 데이터를 표시 구동 장치(액정 드라이버)에 정확하게 취득되게 할 수 없거나, 데이터 전송 소요 시간이 길어지거나 하는 것을 방지할 수 있다.

또한, 최종단의 출력 앰프는 동일색의 화상 신호에 관계되는 것끼리 선택하여 그룹화하고 있기 때문에, 표시 제어 장치(액정 컨트롤러)는 표시 패널(액정 패널)의 1 라인에 관하여, 동일색의 화상 데이터를 연속해서 전송할 수 있다. 색 데이터의 절환은 1 라인에 R/G/B 각 데이터의 3회로 완료되기 때문에, 색 데이터의 절환시에, 각 색의 계조 전압을 동적으로 변경함으로써 감마 보정을 행하는 것이 가능하게 된다. 그것에 수반되는 지연은 매우 작기 때문에, 데이터 전송 타이밍이나 시스템 구성을 크게 바꾸지 않고 감마 보정을 행할 수 있다.

또한, 본원의 다른 발명은, 화상 데이터를 아날로그 계조 전압으로 변환하는 복수의 DA 변환 회로를, 반도체 칩의 거의 중앙에, 반도체 칩의 길이 방향과 직교하는 방향으로 배열하여 배치하고, DA 변환 회로에 계조 전압을 공급하는 복수의 배선을 반도체 칩의 길이 방향과 직교하는 방향을 따라 배치하도록 한 것이다.

상기한 수단에 따르면, 표시 구동 장치(액정 드라이버)가 1024 계조와 같은 다단계의 화상 신호를 출력하는 것이고, 계조 전압을 공급하는 배선의 영역의 폭이 넓어지는 경우에도, 이들 계조 전압을 공급하는 배선(급전선)의 아래에 DA 변환 회로를 배치했을 때에 쓸데없는 스페이스가 생기지 않고, 이것에 의해 반도체 칩의 사이즈를 저감시킬 수 있다.

이하, 본 발명의 바람직한 실시예를 도면에 기초하여 설명한다.

도 1은, 본 발명을 적용한 액정 드라이버 회로의 개략 구성을 도시한다. 특별히 제한되는 것이 아니지만, 도 1에 도시되어 있는 각 회로 블록은 단결정 실리콘과 같은 1개의 반도체 칩 상에 반도체 집적 회로로서 구성된다. 본 실시예의 액정 드라이버 회로는, 복수의 주사선과 복수의 신호선이 격자 형상으로 배치되고 각 교차점에 화소가 마련되어 있는 도트 매트릭스형의 컬러 액정 패널의 신호선에 인가되는 화상 신호(Y1~Yn)를 출력하는 회로이다.

본 발명에서, 특별히 제한되지 않지만, 1 화소의 화소 데이터는, 적색(R)/녹색(G)/청색(B)의 각 색 데이터가 각각 10 비트로 된 30 비트로 구성되는 것으로서, 이하 실시예가 설명된다.

본 실시예의 액정 드라이버 회로는, 10 비트의 입력 화상 데이터(적색(R)/녹색(G)/청색(B)의 3개 색 데이터 중, 1개의 색 데이터의 10 비트를 나타낸다)(D9~D0)를 순차적으로 취득하는 제1 래치부(110)와, 그 제1 래치부(110)에 취득된 화상 데이터를 일괄해서 전송하는 제2 래치부(120)와, 입력 화상 데이터(D9~D0)가 올 "1"일 때에 화소를 "흑"으로 할지 올 "0"일 때에 화소를 "흑"으로 할지에 부합하여 데이터를 반전시키는 데이터 반전 회로(130)와, 상기 제1 래치부(110)의 어디에 입력 화상 데이터(D9~D0)를 취득하게 할지 지정하는 래치 위치 지정 회로(140)와, 외부로부터 공급되는 계조 전압(V0~V8, V9~V17)을 래더 저항으로 분압하여 정극성 및 부극성 각각 1024 계조의 전압을 생성하는 계조 전압 생성 회로(150)와, 생성된 전압 중으로부터 상기 제2 래치부(120)에 유지되어 있는 화상 데이터에 부합한 전압을 선택함으로써 디지털 신호를 아날로그 계조 전압으로 변환하는 디코더(셀렉터)부(160)와, 변환된 아날로그 전압을 유지하는 샘플 홀드부(170)와, 홀드된 전압에 부합한 화상 신호(Y1~Yn)를 생성하여 출력하는 출력 앰프부(180)와, 외부로부터 입력되는 클럭 신호나 제어 신호에 기초하여 반도체 칩 내부의 회로를 소정의 순서에 따라 동작시키는 내부 제어 신호를 생성하는 타이밍 제어부(190) 등으로 구성된다.

타이밍 제어부(190)에는, 본 실시예의 액정 드라이버 회로를 복수개 시리즈로 접속하여 해당 회로의 출력 수(n개)보다도 많은 신호선을 갖는 액정 패널을 구동하는 시스템을 구성하는 경우에, 소정의 단자(EIO1)의 상태에 부합하여 선두의 액정 드라이버 회로(최초의 화상 데이터가 공급되는 IC)인지의 여부를 판정함과 함께, 해당 회로가 모든 화상 신호(Y1~Yn)를 출력했음을 나타내는 신호를 소정의 단자(EIO2)로부터 출력하는 기능이 마련되어 있다. 구체적으로 설명하면, 선두의 액정 드라이버 회로의 단자(EIO1)를 전원 전압(Vcc)에 고정함과 함께, 전단의 액정 드라이버 회로의 단자(EIO2)를 다음 단의 단자(EIO1)에 접속함으로써, 복수의 액정 드라이버 회로를 순차적으로 화상 데이터 취득 상태로 할 수 있다.

도 2는, 도 1에 도시되어 있는 액정 드라이버 회로 중 디코더부(160)와 샘플 홀드부(170) 및 출력 앰프부(180)를 추출하여 보다 상세하게 구성을 도시한 것이다.

본 실시예에서는, 샘플 홀드부(170) 및 출력 앰프부(180)에 각각 480개의 단위 샘플 홀드 회로(S/H1~S/H480)와 전압 팔로워로서 동작하는 출력 앰프(AMP1~AMP480)가 마련되어 있는 데 반하여, 1/12의 수(40개)의 DA 변환 회로(DAC1~DAC40) 및 전압 팔로워로서 동작하는 앰프가 마련되어 있다. 여기서는, 디코더부(160)를 구성하는 40개의 회로를 편의적으로 DA 변환 회로라고 부르고 있지만, 계조 전압 생성 회로(150)로부터 공급되는 복수의 계조 전압 중으로부터 입력 코드에 부합한 전압을 선택하여 출력시키는 스위치 소자만으로 이루어지는 셀렉터에 의해 디코더부(160)를 구성할 수 있다.

상기 디코더부(160)의 40개의 출력은, 40개의 신호선으로 이루어지는 버스(BUS)를 통하여 상기 480개의 단위 샘플 홀드 회로(S/H1~S/H480) 중 어느 40개에 취득되도록 구성되어 있다. 구체적으로 설명하면, 디코더부(160)에는 동일색의 화상 데이터가 40개 통합하여 입력되도록 되고, 480개의 출력 단자(Y1~Y480) 중, Y1, Y4, Y7.....Y478은 액정 패널의 적색(R) 화소에 접속된 신호선에 대응하여 적색 화상 신호가, Y2, Y5, Y8.....Y479는 액정 패널의 녹색(G) 화소에 접속된 신호선에 대응하여 녹색 화상 신호가, Y3, Y6, Y9.....Y480은 액정 패널의 청색(B) 화소에 접속된 신호선에 대응하여 청색 화상 신호가 각각 출력되도록, 디코더부(160)에서 변환된 40개의 화상 신호는 샘플 홀드 회로(S/H1~S/H480) 중 2개 걸러서 합계 40개의 샘플 홀드 회로에 취득된다.

DA 변환 회로(DAC1.....DAC40)는 정전압 출력용과 부전압 출력용의 것이 교대로 배치되어 있다. 즉, 홀수번째의 DA 변환 회로(DAC1, DAC3.....DAC47)가 정전압을 출력하도록 되면, 짝수번째의 DA 변환 회로(DAC2, DAC4.....DAC48)는 부전압을 출력하도록 된다. 그리고, 임의의 비트의 화상 데이터는 멀티플렉서(MPX1)에 의해, 정전압 출력용 DA 변환 회로(DACi)와 부전압 출력용 DA 변환 회로(DACi+1)에 교대로 입력되어 아날로그 전압으로 변환되고, 샘플 홀드 회로에 전송되어 멀티플렉서(MPX2)를 통하여 출력된다.

이 때, 멀티플렉서(MPX1와 MPX2)는 동일하게 동작한다. 즉, 멀티플렉서(MPX1)가 화상 데이터를 통과시키고 있을 때는 멀티플렉서(MPX2)도 화상 신호를 통과시키고, 멀티플렉서(MPX1)가 화상 데이터를 교차시키고 있을 때는 멀티플렉서(MPX2)도 화상 신호를 교차시키도록 신호 경로를 절환한다. 이것에 의해, 액정 패널의 각 화소의 전극은 정전압과 부전압이 교대로 인가되어 교류 구동되어, 액정의 열화가 방지되도록 되어 있다.

도 3에는, 본 실시예의 액정 드라이버 회로(100)를 복수개 사용하여 1280×768 도트의 컬러 액정 패널(200)을 구동하는 시스템을 구성한 경우의 블록도가 도시되어 있다. 컬러 액정 패널(200)의 라인 방향에는, 8개의 액정 드라이버 회로(DRV1~DRV8)가 배치되고, 이들 액정 드라이버 회로(DRV1~DRV8)가 4개씩 2조로 나뉘어, 각 조의 선두의 액정 드라이버 회로(DRV1, DRV5)의 단자(EIO1)는 전원 전압(Vcc)에 고정됨과 함께, 나머지의 액정 드라이버 회로(DRV2~DRV4, DRV6~8)의 단자(EIO1)에는, 전단의 액정 드라이버 회로의 단자(EIO2)가 전기적으로 결합됨으로써, 4개씩 직렬 형태로 접속되어 있다.

300은 컬러 액정 패널(200)의 커먼선(TFT 패널에서는 게이트선이라고 한다)을 순서대로 선택 레벨로 하는 주사선 구동 회로(커먼 드라이버), 400은 주사선 구동 회로(300)에 대한 타이밍 제어 신호를 생성하거나, 상기 액정 드라이버 회로에 공급하는 화상 데이터(D9~D0)나 액정 드라이버 회로를 제어하는 제어 신호(DSS), 동작 클럭(CL1, CL2)을 생성하는 액정 표시 컨트롤러이다.

액정 표시 컨트롤러(400)는, 2개의 주사선 구동 회로에 대한 화상 데이터(D9~D0)를 동시에 출력하도록 된다. 또한, 본 실시예에서는, 화상 데이터의 전송 개시를 알리는 제어 신호(DSS)나 취득 타이밍을 알리는 클럭(CL2)을 2조의 액정 드라이버 회로(DRV1~DRV4, DRV5~DRV8)에 대하여 각각 별개로 생성하여 공급하도록 구성되어 있지만, 이들 신호는 공통의 신호로서 공급하도록 하는 것도 가능하다.

도 4~도 6에는, 도 3과 같은 액정 표시시스템에서, 각각 조를 이루는 4개의 액정 드라이버 회로(DRV1~DRV4 또는 DRV5~DRV8)의 디코더부(160)로부터 샘플 홀드부(160)로 보내는 화상 신호의 전송 타이밍이 도시되어 있다. 도 4~도 6에서의 시간의 흐름은, 도 4→도 5→도 6이며, 또한 각 도면에서는 먼저 좌측으로부터 우측으로 향하고, 우측단에 도달하면 그 아래의 좌측단으로 향하는 식의 흐름이다.

도 4~도 6으로부터 알 수 있듯이, 본 실시예의 액정 표시 시스템에서는, 먼저 적색의 화상 데이터가 40개씩 16회로 나누어 전송되고 DA 변환되어 홀드된 후, 녹색의 화상 데이터가 40개씩 16회로 나누어 전송되고 DA 변환되어 홀드되고, 그 후, 청색의 화상 데이터가 40개씩 16회로 나누어 전송되고 DA 변환되어 홀드된다.

이것에 의해, 액정 패널의 1 라인의 절반인 640개의 도트에 대한 1920개의 화상 데이터의 전송, 홀드가 행해진다. 그리고, 본 실시예의 액정 표시 시스템에서는, 적색의 화상 데이터의 전송으로부터, 녹색의 화상 데이터의 전송, 또한 청색의 화상 데이터의 전송으로 이동할 때에 약간의 지연 시간을 설정하고, 그 동안에 각 색의 화상의 감마 특성에 부합하여 출력하는 전압을 변화시키는 감마 보정을 동적으로 행하도록 되어 있다. 이와 같이, 본 실시예의 액정 표시 시스템에서는, 비교적 용이하게 감마 보정을 동적으로 행할 수 있는 것은, 적, 녹, 청의 각 색의 화상 데이터가 각각 통합되어 전송되기 때문이다.

컬러 액정 패널의 구성에 부합하여 한쪽 단의 신호선에 대한 화상 데이터로부터 다른 쪽 단의 신호선에 대한 화상 데이터 까지 순서대로 전송하는 방식의 표시 시스템에서는, 적색의 화상 데이터의 전송과, 녹색의 화상 데이터의 전송과, 청색의 화상 데이터의 전송이 반복되거나 혼재하여 전송되기 때문에, 각 색의 화상 데이터의 전송마다 감마 보정을 행해야 한다. 그 때문에, 화상 데이터의 수만큼 감마 보정을 위한 지연 시간을 설정해야 하고, 그와 같이 하면 1 수평 기간 중에 모든 화상 데이터의 전송을 종료할 수 없게 된다.

이에 반하여, 본 실시예의 액정 표시 시스템에서는, 적, 녹, 청의 각 색의 화상 데이터가 각각 통합하여 전송되기 때문에, 1 수평 기간 중에 3회만큼 감마 보정을 위한 지연 시간을 설정해주면 되기 때문에, 1 수평 기간 중에 모든 화상 데이터의 전송을 종료할 수 있다.

또한, 본 실시예의 액정 드라이버 회로에서의 감마 보정은, 도 1의 계조 전압 생성 회로(150)에 외부로부터 공급하는 전압(V0~V8, V9~V17)을 적, 녹, 청의 각 색의 감마 특성에 부합하여 절환해 줌으로써 실현할 수 있다.

도 7에는, 도 3의 액정 표시 시스템에서의 액정 표시 컨트롤러(400)로부터 액정 드라이버 회로(DRV1~DRV4)(DRV5~DRV8에 대해서도 마찬가지)에 대하여 공급되는 데이터 샘플링 개시 제어 신호(DSS)나 데이터의 취득 타이밍 등을 알리는 클럭(CL1, CL2), 화상 데이터(D9~D0), 각 액정 드라이버 회로(DRV1~DRV4)로부터 출력되는 데이터 전송 종료 신호(EIO2)의 타이밍이 도시되어 있다.

이 중, 클럭(CL1)은 1 수평 기간을 나타내는 신호, 제어 신호(DSS)는 각 액정 드라이버 회로(DRV1~DRV4)의 각각의 데이터 샘플링 개시 타이밍을 알리는 신호이며, 1 수평 기간 중에 즉 클럭(CL1)의 1 주기에 4회 제어 신호(DSS)가 상승한다.

한편, CL2는 화상 데이터(D9~D0)의 취득 타이밍을 알리는 클럭이며, 본 실시예에서는 클럭(CL2)의 하강과 상승의 각각에서 화상 데이터를 취득하도록 액정 드라이버 회로가 구성되어 있기 때문에, 1개의 액정 드라이버 회로가 40개의 통합된 화상 데이터를 취득하는 기간 즉 데이터 샘플링 개시 제어 신호(DSS)의 1 주기의 기간에서의 클럭(CL2)의 펄스 수는 20개이다.

또한, 최초의 액정 드라이버 회로(DRV1)가 화상 데이터가 취득을 개시하는 것은, 데이터 샘플링 개시 제어 신호(DSS)가 변화하고 나서 클럭(CL2)의 2 펄스만큼 나중의 시점으로부터 되어 있다. 또한, 각 액정 드라이버 회로가 40개의 화상 데이터를 취득했음을 알리는 신호(EIO2)는, 실제의 최후의 데이터의 취득 타이밍보다도 클럭(CL2)의 2 펄스 전에 상승하도록 되어 있다. 이것에 의해, 액정 드라이버 회로(DRV2~DRV4)는, 화상 데이터를 전단의 드라이버의 데이터 취득 종료로부터 시간 지연 없이 연속해서 취득할 수 있다.

다음으로, 실시예의 액정 드라이버 회로(DRV)의 칩 내부의 동작에 대해 설명한다. 액정 드라이버 회로(DRV)의 내부의 각 회로 블록은, 타이밍 제어부(190)로부터의 제어 신호에 의해 소정의 타이밍에서 동작되고, 타이밍 제어부(190)는 외부로부터 입력되는 클럭 신호나 제어에 기초하여 내부의 회로를 소정의 순서에 따라 동작시키는 내부 제어 신호를 생성한다.

도 8에는, 타이밍 제어부(190)의 구성예가 도시되어 있다. 본 실시예의 타이밍 제어부(190)는, 입력 신호(EIO1)에 기초하여 화상 데이터를 취득하는 초단 래치 회로(110)나 클럭을 계수하는 후술하는 카운터를 동작시킬지 스탠바이 상태로시킬지를 나타내는 제어 신호(STB, CEN) 등을 생성하는 동작 개시 판정 회로(191)와, 1 수평 기간을 나타내는 클럭(CL1)에 기초하여 1 수평 기간 중의 데이터 샘플링 개시 제어 신호(DSS)의 수를 계수하고 샘플 홀드부(170)에 대한 인에이블 신호(SHEN)를 생성하는 DSS 카운터(192)와, 데이터 래치 타이밍을 부여하는 클럭(CL2)을 분주하여 제1 래치부(110)에 취득된 화상 데이터를 일괄해서 제2 래치부(120)에 전송시키는 타이밍을 부여하는 래치 타이밍 신호(DLT)를 생성하는 클럭 제어 회로(193)와, 출력 앰프부(180)에 대하여 LCD 화상 신호의 출력을 허가하는 출력 인에이블 신호(OEN)를 생성하는 LCD 출력 제어 회로(194) 등을 구비한다.

도 1에는 도시되어 있지 않지만, 실시예의 액정 드라이버 회로는, 제2 래치부(120)가 1단계의 래치 회로(121)와 2단계의 래치 회로(122)로 이루어지는 2단 구성으로 되어 있고, 타이밍 제어부(190)는 1단계의 래치 회로(121)와 2단계의 래치 회로(122)를 순차적으로 래치 동작시키는 클럭을 생성하여 공급하도록 되어 있다. 이것에 의해, 1단계의 래치 회로(121)가 마스터 래치로서 동작하고, 2단계의 래치 회로(122)가 슬레이브 래치로서 동작하여, 제2 래치부(120)에 취득된 화상 데이터가 즉시 다음 단의 디코더부(160)에 공급되는 것을 방지할 수 있다.

또한, 타이밍 제어부(190)는, 데이터 샘플링 개시 제어 신호(DSS) 사이의 클럭(CL2)의 수를 계수하는 CL2 카운터(195)나, 1 라인 중 첫회의 DSS 신호 사이의 클럭(CL2)의 수를 유지하는 CL2 수 레지스터(196), 1 라인 중 첫회의 DSS 신호 사이의 클럭(CL2)의 수와 2회째 이후의 DSS 신호 사이의 클럭(CL2)의 수를 비교하는 콤퍼레이터(197), 그 콤퍼레이터(197)의 비교 결과에 기초하여, 외부로부터의 DSS 신호가 첫회의 DSS 신호 사이의 클럭(CL2)의 수보다도 긴 기간 입력되지 않은 경우에, 제2 래치부(120)의 후단의 래치 회로(122)에 대하여 데이터의 래치를 지시하기 위한 클럭 신호(DLC)를 반도체 칩 내부에서 자동적으로 발생하는 래치 클럭 발생 회로(198)를 구비한다.

래치 클럭 발생 회로(198)를 마련한 것은, 본 실시예의 액정 드라이버 회로를 사용하여 감마 보정을 행하는 표시 시스템에서는, 도 9에 도시하는 바와 같이, 각 색의 화상 데이터의 전송 기간에 감마 보정을 위한 여유 기간(Ta)을 설정하기 위해 DSS 신호를 조금 지연하여 입력시키는 경우가 있기 때문에, DSS 신호에만 기초하여 래치 회로(122)에 대한 래치 클럭 신호(DLC)를 생성하면, 래치의 타이밍이 지연되어 버리기 때문이다.

또한, 본 실시예의 타이밍 제어 회로에서는, CL2 카운터(195)가 소정 수(16 클럭)를 계수한 시점에서 다음 단의 액정 드라이버 회로에 대한 EIO2 신호를 상승시키도록 할 수 있다. 이것에 의해, 다음 단의 액정 드라이버 회로가 이 신호를 EIO1 단자에 받도록 접속을 해둠으로써, 복수의 액정 드라이버 회로를 사용한 표시 시스템에서, 액정 표시 컨트롤러는 각 드라이버에 대하여 독자적인 개시 신호를 보내지 않고, 연속한 화상 데이터의 전송이 가능하게 된다. 그 때문에, 표시 시스템의 설계자의 부담을 경감할 수 있다.

도 10에는, 실시예의 액정 드라이버 회로를 8개 사용하여 4개씩 쌍으로 하여 순서대로 화상 데이터를 전송함으로써 액정 패널에의 컬러 표시를 행하게 하는 도 3과 같은 액정 표시 시스템에서의 액정 드라이버 회로(DRV1~DRV4)(DRV5~DRV8에 대해서도 마찬가지로)에 대하여 공급되는 데이터 샘플링 개시 제어 신호(DSS)나 클럭(CL1)의 타이밍과, 각 액정 드라이버 회로(DRV1~DRV4) 내에서 생성되는 클럭 인에이블 신호(CEN)와, 샘플 홀드 인에이블 신호(SHEN)와, 다음 단의 액정 드라이버 회로에 대한 EIO2 신호의 타이밍이 도시되어 있다.

도 11에는, 샘플 홀드부(170)의 단위 샘플 홀드 회로의 구성예가, 도 12에는 그 동작 타이밍이 도시되어 있다.

본 실시예의 단위 샘플 홀드 회로는, 디코더부(160)에서 DA 변환된 전압을 유지하기 위한 1조의 홀드 용량(CH1, CH2)과, 입력측의 앰프(AMPi)의 출력 단자와 상기 홀드 용량(CH1, CH2)의 한쪽의 단자가 각각 접속된 노드(N1, N2) 사이에 접속된 한쌍의 스위치(SW11, SW12)와, 상기 노드(N1, N2)와 출력측의 앰프(AMPo)의 입력 단자 사이에 접속된 한쌍의 스위치(SW21, SW22)에 의해 구성되어 있다. 도 2의 앰프(AMP1~AMP480)가 도 11의 앰프(AMPo)에 상당한다.

상기 한쌍의 스위치(SW11, SW12)는 제어 신호(EN11, EN12)에 의해 온/오프 됨과 함께, 스위치(SW21, SW22)는 제어 신호(EN21, EN22)에 의해 온/오프 된다. 그리고, 스위치 SW11이 온 상태로 될 때는 SW22가 온 상태로 되고, 스위치 SW12가 온 상태로 될 때는 SW21이 온 상태로 되도록 제어 신호(EN11, EN12, EN21, EN22)에 의해 제어된다. 또한, 스위치 SW11과 SW21은 동시에 온 상태로 되지 않도록, 또한 스위치 SW12와 SW22도 동시에 온 상태로 되지 않도록, 샘플 홀드 인에이블 신호(SHEN)에 기초하여 각각의 제어 신호(EN11, EN12, EN21, EN22)가 생성된다.

본 실시예의 단위 샘플 홀드 회로는, 스위치(SW11)가 온 상태로 되면 스위치(SW21)가 오프 상태로 되어, 홀드 용량(CH1)에 디코더부(160)에서 DA 변환된 전압(화상 신호)이 샘플링된다. 이 때, 반대측의 홀드 용량(CH2)은 스위치(SW22)가 온 상태로 되고 스위치(SW12)가 오프 상태로 됨으로써, 직전에 샘플링한 전압을 출력하는 상태로 된다.

홀드 용량(CH1)에 입력 전압이 샘플링 되면, 스위치(SW11)가 오프 상태로 되고 스위치(SW12)가 온 상태로 됨으로써, 샘플링한 전압을 출력하는 상태로 된다. 이 때, 반대측의 홀드 용량(CH2)은 스위치(SW12)가 온 상태로 되고, 스위치(SW22)가 오프 상태로 되어, 디코더부(160)에서 DA 변환된 전압으로 충전되어 샘플링을 행하도록 된다.

상기한 바와 같은 동작을 반복함으로써, 1조의 홀드 용량(CH1과 CH2)이 샘플링 상태와 홀드 상태를 교대로 반복하고, 디코더부(160)로부터 출력된 전압(화상 신호)이 연속해서 화상 신호가 샘플링되어, 차례로 출력된다.

도 13에는, 본 실시예의 액정 드라이버 회로를 구성하는 각 회로 블록의 반도체 칩상에서의 레이아웃의 일례가 도시되어 있다. 도 13에서, 도 2에 도시되어 있는 회로와 동일한 회로에는 동일한 부호가 부여되어 있다.

도 13으로부터 알 수 있듯이, 본 실시예의 액정 드라이버 IC에서는, 반도체 칩의 거의 중앙에, 정전압을 출력하는 DA 변환 회로(POS-DAC)와 부전압을 출력하는 DA 변환 회로(NEG-DAC)가 반도체 칩의 길이 방향으로 나란히 배치되고, 그 상측에 멀티플렉서(MPX)가, 또한 하방에 랜덤 로직으로 이루어지는 타이밍 제어 회로(190) 및 저항 래더로 이루어지는 계조 전압 생성 회로(150)(TG&RL)가 배치되어 있다. 그리고, 이들 회로의 좌우에는, 대칭적으로, 위부터 순서대로, 멀티플렉서(MPX2), 출력 앰프(AMP), 샘플 홀드 회로(S/H)가 배치되고, 또한 이들과 동일한 회로가 상하 대칭적으로, 샘플 홀드 회로(S/H), 출력 앰프(AMP), 멀티플렉서(MPX2)의 순으로 배치되어 있다.

또한, 정전압을 출력하는 DA 변환 회로(POS-DAC)와 부전압을 출력하는 DA 변환 회로(NEG-DAC)는, 도 14에 도시하는 바와 같이, 각각 20개의 단위 DA 변환 회로(DAC1~DAC20)가 반도체 칩의 길이 방향과 직교하는 방향으로 나란히 배치되고, 그 위에 계조 전압 생성 회로(TG&RL)로부터 출력되는 계조 전압을 공급하는 1024개의 급전선이 배치되어 있다.

화상 데이터가 8 비트이고 256 계조의 액정 드라이버 IC는, 도 15에 도시하는 바와 같이, 멀티플렉서(MPX2), 출력 앰프(AMP), 디코더부(DAC), 레벨 시프터, 멀티플렉서(MPX1), 타이밍 제어 회로 및 계조 전압 생성 회로(TG&RL)가 순서대로 배치되고, 디코더부의 단위 DA 변환 회로는 반도체 칩의 길이 방향을 따라 출력 단자의 수와 동일한 수만큼 배치된 칩 레이아웃이 일반적이다. 이러한 레이아웃을 본 실시예의 액정 드라이버 IC와 같이 화상 데이터가 10 비트이고 1024 계조의 액정 드라이버 IC에 적용하면, DA 변환 회로 열의 위에 종래의 4배의 수의 급전선을 반도체 칩의 길이 방향을 따라 배치해야 되고, 급전선의 길이가 매우 길어짐과 함께 급전선의 폭이 큰 폭으로 증가하여 급전선의 하방에 쓸데없는 스페이스가 생기게 된다.

이에 반하여, 도 13 및 도 14에 도시하는 바와 같은 레이아웃에 따르면, 계조 전압의 급전선을 반도체 칩의 길이 방향과 직교하는 방향을 따라 배치하면 되기 때문에, 급전선의 길이가 짧아짐과 함께, 복수의 급전선의 레이아웃 폭이 큰 폭으로 증가해도 급전선의 하방에 쓸데없는 스페이스를 생기게 하지 않고 DA 변환 회로를 배치할 수 있게 된다. 그 결과, 고계조화에 수반하는 칩 사이즈의 증가를 큰 폭으로 억제할 수 있다고 하는 이점이 있다.

이상 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니며, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능함은 물론이다. 예를 들면, 상기 실시예에서는, 화상 데이터가 10 비트이고 계조 전압이 1024 단계인 경우에 대해 설명했지만, 그것에 한정되는 것이 아니며, 화상 데이터가 9 비트이고 계조 전압이 512 단계인 경우나, 화상 데이터가 11 비트이고 계조 전압이 2048 단계인 경우에도 적용할 수 있다. 또한, 상기 실시예에서는, 480개의 출력 앰프에 대하여 40개 즉 1/12개의 DA 변환 회로를 마련하고 있지만, 1/8개 혹은 1/16개 등이어도 무방하다.

또한, 상기 실시예에서는, 화상 데이터에 동기하여 입력되는 클럭 신호를 계수하는 카운터의 계수치가 소정치에 달했을 때에 화상 데이터의 취득 종료로 나타내는 신호(EIO2)를 출력하는 단자를 마련하고, 해당 단자의 신호를 다음 단의 드라이버 IC에 데이터 취득 허가 신호(EIO1)로서 입력하고 있지만, 신호(EIO2)를 출력하는 단자를 생략하고, 데이터 취득 허가 신호(EIO1)를 액정 표시 컨트롤러(400)로부터 공급하도록 구성하는 것도 가능하다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경으로 된 이용 분야인 액정 패널을 구동하는 액정 드라이버 회로에 적용한 것에 대해 설명했지만, 본 발명은 그것에 한정되는 것이 아니며, 디지털 코드로 부여된 컬러의 화상 데이터를 아날로그 전압으로 변환하여 출력하는 컬러 표시 장치의 구동 회로 일반에 적용할 수 있다.

발명의 효과

본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 하기와 같다.

즉, 본 출원의 발명에 따르면, 표시 구동 장치(액정 드라이버, 액정 구동용 반도체 집적 회로)의 소형화를 실현할 수 있다.

또한, 본 출원의 발명에 따르면, 복수의 표시 구동 장치(액정 드라이버)를 조합하여 표시 장치(액정 표시 시스템)를 구성하는 가능한 표시 구동 장치(액정 드라이버)를 실현할 수 있다.

또한, 본 출원의 발명에 따르면, 컬러 표시 패널(컬러 액정 패널)의 각 색의 특성에 부합한 감마 보정을 동적으로 행할 수 있는 표시 구동 장치(액정 드라이버)를 실현할 수 있다.

또한, 칩 사이즈의 증대를 억제하면서 고계조도의 표시를 행할 수 있는 표시 구동 장치(액정 드라이버, 액정 구동용 반도체 집적 회로)를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

외부로부터 입력된 화상 데이터를 취득하는 데이터 래치 회로와,

상기 데이터 래치 회로에 취득된 화상 데이터를 대응하는 전압으로 변환하여 출력하는 변환 회로와,

출력 단자 수에 대응한 수만큼 마련되고 상기 변환 회로의 출력에 부합한 구동 전압을 출력하는 출력 앰프를 구비하고,

상기 변환 회로는, 상기 출력 앰프의 복수의 그룹에 공통의 회로로서 마련되어 시분할 동작되고,

상기 변환 회로에 의해 한번에 변환되는 복수의 화상 데이터는 동일색의 화상 데이터이고,

상기 화상 데이터는 동일색의 복수의 화상 데이터가 연속하여 입력되어 상기 변환 회로에서 전압으로 변환되고, 상기 그룹에 대응한 출력 앰프에 배분되도록 구성되고,

동일색의 복수의 화상 데이터가 연속해서 입력될 때에 그 선두의 화상 데이터의 입력 전에 선두 데이터임을 나타내는 개시 신호가 입력되는 제1 단자와,

상기 연속해서 입력되는 화상 데이터를 취득하는 것을 지시하는 허가 신호가 입력되는 제2 단자를 구비하는 것을 특징으로 하는 표시 구동 장치.

청구항 2.

제1항에 있어서,

상기 화상 데이터에 동기한 클럭 신호가 입력되는 외부 단자와, 그 외부 단자로부터 입력되는 클럭 신호를 계수하는 카운터를 구비하고, 상기 카운터는 상기 개시 신호의 입력 후에 상기 클럭 신호의 계수를 개시하고, 상기 카운터의 계수치가 소정치에 달했을 때에 화상 데이터의 취득 종료를 나타내는 신호를 출력하는 제3 단자를 구비하는 것을 특징으로 하는 표시 구동 장치.

청구항 3.

제1항에 있어서,

상기 화상 데이터는, 적색의 화상 데이터와 녹색의 화상 데이터와 청색의 화상 데이터이고,

상기 출력 단자 및 출력 앰프는, 적색 화상 신호에 관계되는 것파, 녹색 화상 신호에 관계되는 것파, 청색 화상 신호에 관계되는 것이, 소정의 순서로 반복 배치되고,

상기 출력 앰프는, 2개 걸러서 배치되어 있는 것끼리가 그룹을 이루도록 되어 있는 것을 특징으로 하는 표시 구동 장치.

청구항 4.

외부로부터 입력되는 화상 데이터를 순차적으로 취득하는 제1 래치 회로와,

상기 제1 래치 회로에 순차적으로 취득된 화상 데이터를 일괄해서 취득하는 제2 래치 회로와,

상기 제2 래치 회로에 순차적으로 취득된 화상 데이터에 부합한 전압을 화상 신호로서 출력하는 변환 회로와,

상기 변환 회로에 의해 출력된 화상 신호를 유지하는 홀드 회로와,

상기 홀드 회로에 유지되어 있는 화상 신호에 부합한 구동 전압을 출력하는 출력 앰프를 구비하고,

상기 변환 회로는 상기 출력 앰프의 복수의 그룹에 공통의 회로로서 마련되고,

상기 제1 래치 회로에는 동일색의 복수의 화상 데이터가 연속해서 입력되고, 상기 변환 회로에서 전압으로 변환된 화상 신호는 상기 그룹에 대응한 홀드 회로에 배분되도록 구성되고, 상기 제1 래치 회로에 동일색의 복수의 화상 데이터가 연속해서 입력될 때에, 그 선두의 화상 데이터의 입력 전에 선두 데이터임을 나타내는 개시 신호가 입력되는 제1 단자를 구비하는 것을 특징으로 하는 액정 표시 구동 장치.

청구항 5.

제4항에 있어서,

상기 연속해서 입력되는 화상 데이터를 취득하는 것을 지시하는 허가 신호가 입력되는 제2 단자를 구비하는 것을 특징으로 하는 액정 표시 구동 장치.

청구항 6.

제5항에 있어서,

상기 화상 데이터에 동기한 클럭 신호가 입력되는 외부 단자와,

상기 외부 단자로부터 입력되는 클럭 신호를 계수하는 카운터를 구비하고,

상기 제1 래치 회로는 상기 클럭 신호에 동기하여 클럭 신호를 취득하고,

상기 카운터는 상기 개시 신호의 입력 후에 상기 클럭 신호의 계수를 개시하고,

상기 카운터의 계수치가 소정치에 달했을 때에 화상 데이터의 취득 종료를 나타내는 신호를 출력하는 제3 단자를 구비하는 것을 특징으로 하는 액정 표시 구동 장치.

청구항 7.

제4항에 있어서,

상기 제1 단자에 입력된 상기 개시 신호와 다음의 개시 신호 사이에 입력된 클럭 신호의 수를 유지하는 레지스터와,

상기 레지스터에 유지된 수와 상기 카운터에 의해 계수된 클럭 신호의 수를 비교하는 비교 수단을 구비하고,

상기 카운터의 계수치가 상기 레지스터에 유지된 수보다도 소정수 많아졌을 때에 상기 제1 래치 회로에 대하여 데이터의 취득을 지시하는 신호를 공급하도록 구성되어 있는 것을 특징으로 하는 액정 표시 구동 장치.

청구항 8.

제4항에 있어서,

제1 색의 복수의 화상 데이터가 연속해서 입력된 후, 제2 색의 복수의 화상 데이터가 연속해서 입력되기 전에 그 제2 색에 대응한 화소의 감마 특성에 부합하여 상기 변환 회로에 공급되는 계조 전압치를 조정하는 감마 보정이 이루어지도록 구성되어 있는 것을 특징으로 하는 액정 표시 구동 장치.

청구항 9.

제8항에 있어서,

외부로부터 인가된 전압을 분압하여 복수의 계조 전압을 생성하여 상기 변환 회로에 공급하는 계조 전압 생성 회로를 구비하고,

상기 계조 전압 생성 회로에 외부로부터 인가되는 전압이 변화됨으로써, 상기 감마 보정이 이루어지도록 구성되어 있는 것을 특징으로 하는 액정 표시 구동 장치.

청구항 10.

제8항의 구성을 갖는 복수의 액정 표시 구동 장치와,

상기 액정 표시 구동 장치로부터 출력되는 화상 신호를 신호 입력 단자에 받아 표시를 행하는 컬러 액정 표시 패널과,

상기 컬러 액정 표시 패널의 복수의 주사선을 순차적으로 구동하는 주사선 구동 장치와,

상기 제1 단자에 입력되는 신호를 생성하여 상기 액정 표시 구동 장치를 제어하는 제어 장치를 구비하고,

상기 복수의 액정 표시 구동 장치의 각 제1 단자에는 상기 제어 장치가 출력하는 개시 신호가 입력되고,

상기 복수의 액정 표시 구동 장치 중 1번째의 액정 표시 구동 장치의 제2 단자는 정전위점에 접속되고,

2번째 이후의 액정 표시 구동 장치의 제2 단자는 전단의 액정 표시 구동 장치의 제3 단자에 접속되어 있는 것을 특징으로 하는 액정 표시 시스템.

청구항 11.

제10항에 있어서,

상기 액정 표시 구동 장치는 외부로부터 인가된 전압을 분압하여 복수의 계조 전압을 생성하여 상기 변환 회로에 공급하는 계조 전압 생성 회로를 구비하고,

상기 제어 장치는,

상기 액정 표시 구동 장치에 제1 색의 화상 데이터를 연속해서 공급한 후, 제2 색의 화상 데이터를 연속해서 공급하고, 그 후, 제3 색의 화상 데이터를 연속해서 공급하는 동작을 반복하고, 동일색의 화상 데이터를 공급하고 있는 동안에는 상기 개시 신호를 동일한 주기로 발생하고, 각 색의 화상 데이터를 절환할 때는 상기 주기보다도 긴 주기로 상기 개시 신호를 발생하고, 제3 색의 화상 데이터의 공급 종료 후에, 상기 계조 전압 생성 회로에 인가하는 전압을 절환하여 계조 전압을 조정하여 감마 보정을 행하게 하는 것을 특징으로 하는 액정 표시 시스템.

청구항 12.

외부로부터 입력되는 화상 데이터를 순차적으로 취득하는 제1 래치 회로와,

상기 제1 래치 회로에 순차적으로 취득된 화상 데이터를 일괄해서 취득하는 제2 래치 회로와,

상기 제2 래치 회로에 순차적으로 취득된 화상 데이터에 부합한 전압을 화상 신호로서 출력하는 변환 회로와,

상기 변환 회로에 의해 출력된 화상 신호를 유지하는 홀드 회로와,

상기 홀드 회로에 유지되어 있는 화상 신호에 부합한 구동 전압을 출력하는 출력 앰프를 구비하고,

상기 변환 회로는 상기 반도체 칩의 길이 방향과 직교하는 방향을 따라 복수개 나란히 배치되고,

상기 복수개의 변환 회로의 형성 영역의 상방에 상기 변환 회로에 계조 전압을 공급하는 복수의 배선이 배치되어 있는 것을 특징으로 하는 1개의 반도체 칩에 형성된 액정 구동용 반도체 집적 회로 장치.

청구항 13.

제12항에 있어서,

상기 변환 회로는, 정전압을 생성하는 것과, 부전압을 생성하는 것으로 이루어지고,

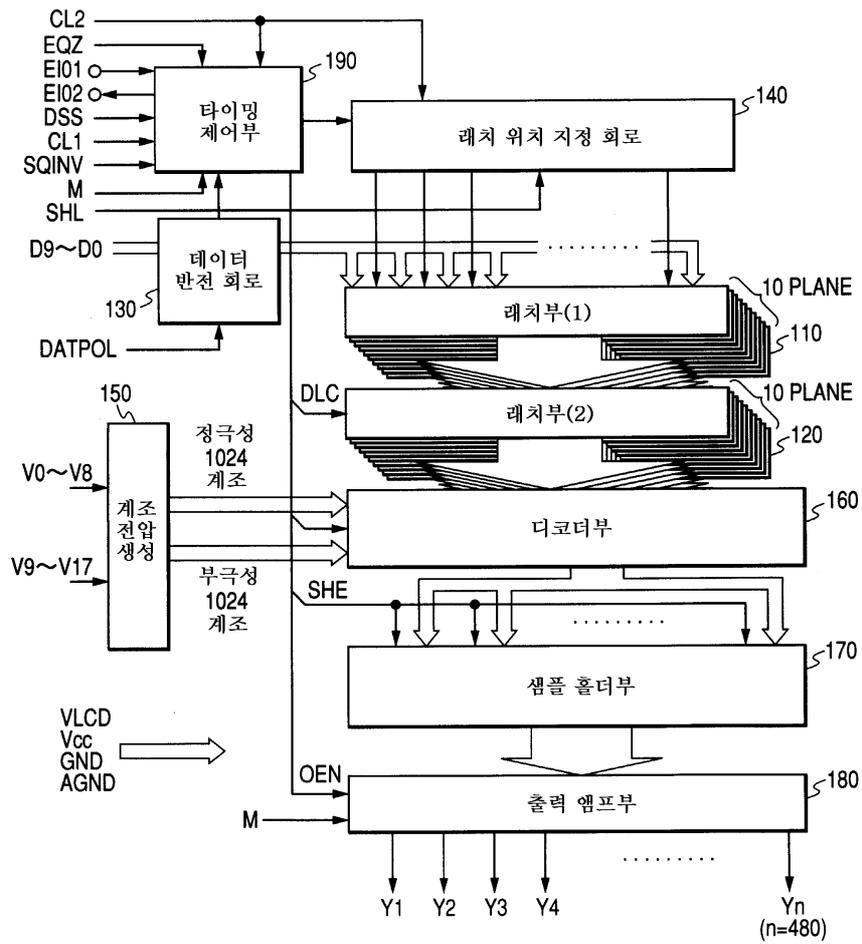
상기 정전압을 생성하는 복수의 변환 회로의 형성 영역과 부전압을 생성하는 복수의 변환 회로의 형성 영역은, 상기 반도체 칩의 길이 방향에 나란히 형성되고,

각 형성 영역에서, 복수의 변환 회로가 각각 상기 반도체 칩의 길이 방향과 직교하는 방향을 따라 나란히 배치되고,

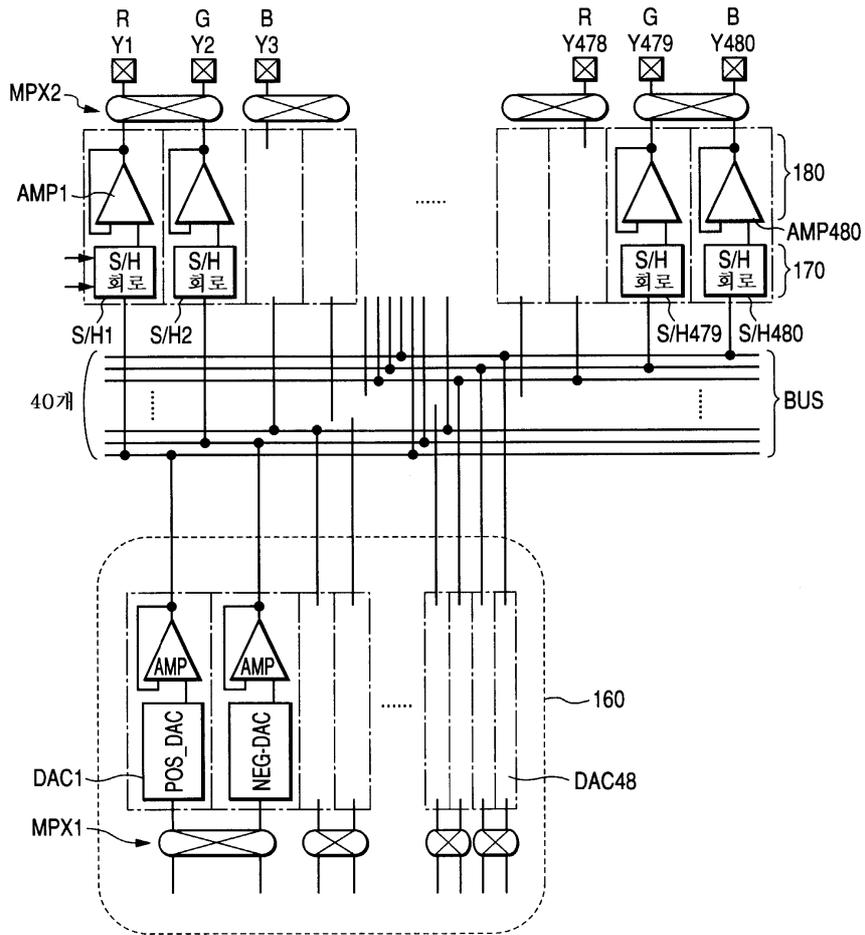
이들의 상방에 상기 변환 회로에 계조 전압을 공급하는 복수의 배선이 각각 배치되어 있는 것을 특징으로 하는 액정 구동용 반도체 집적 회로 장치.

도면

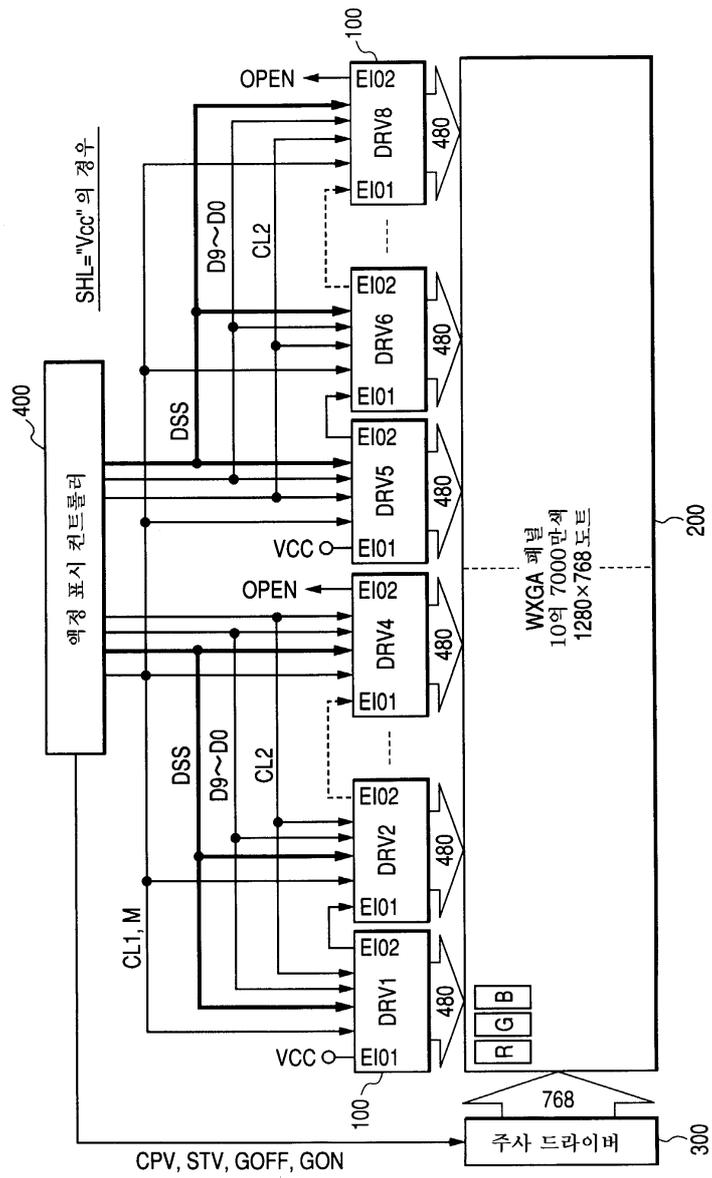
도면1



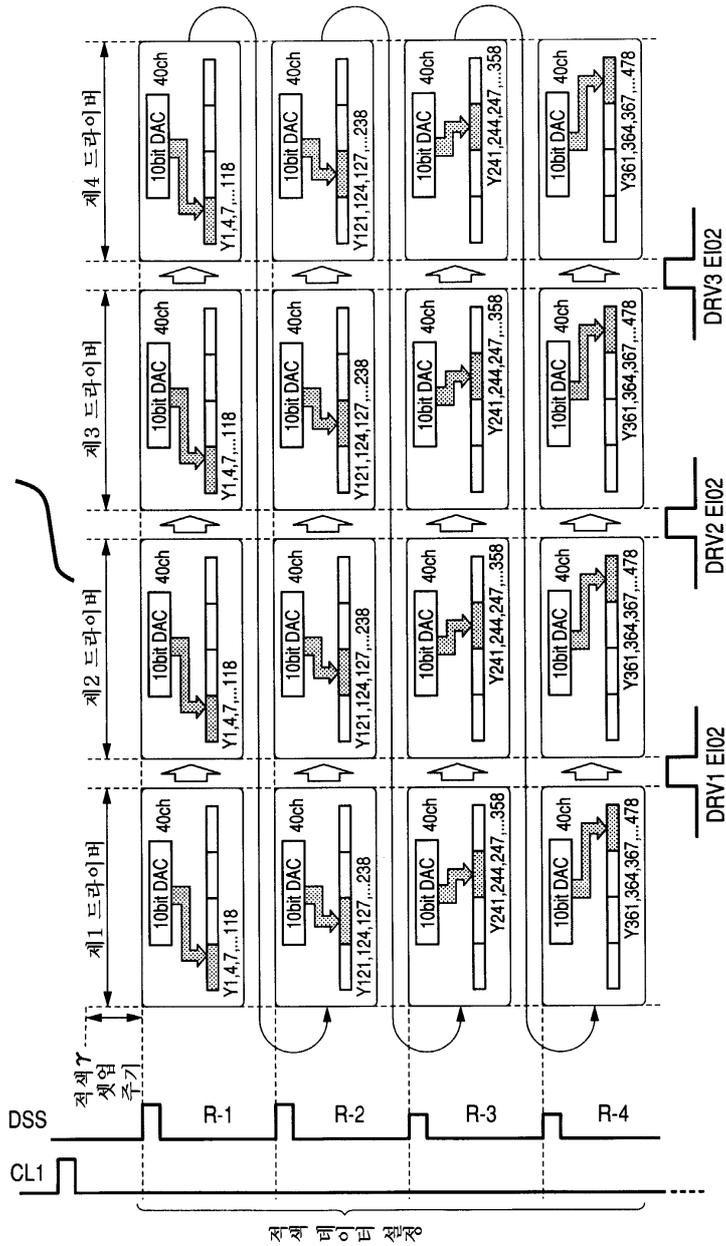
도면2



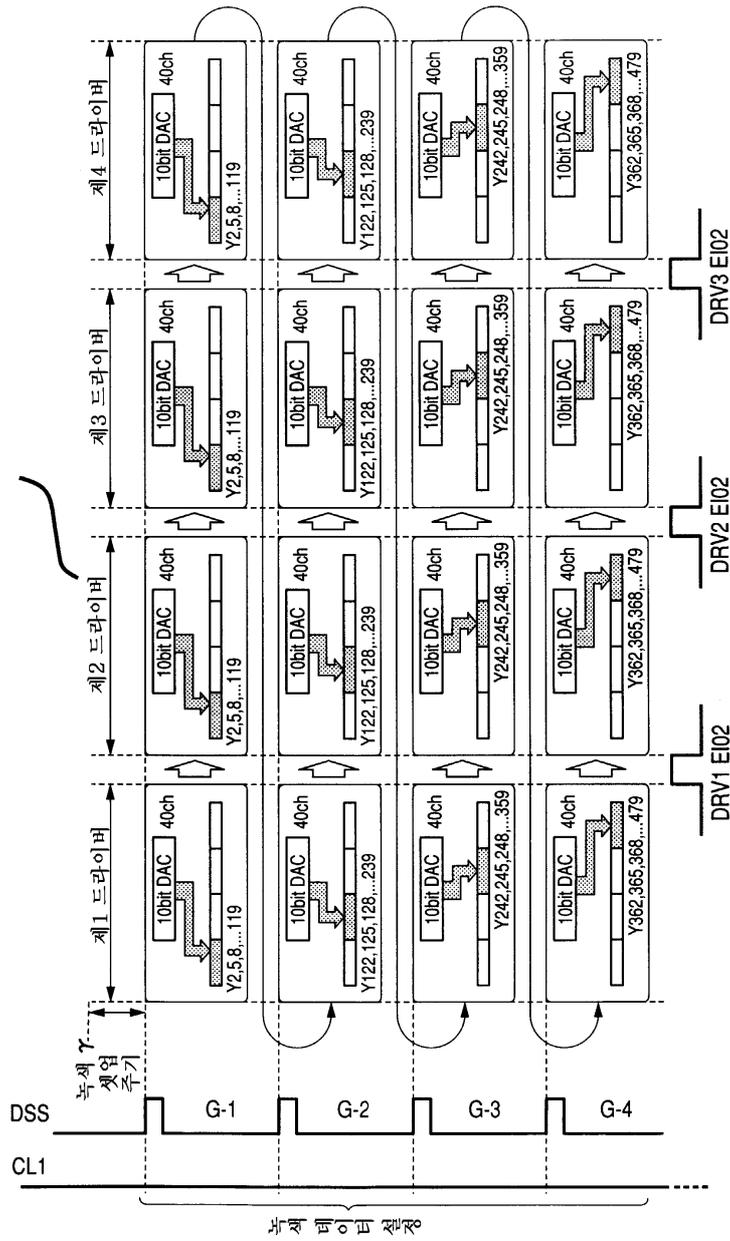
도면3



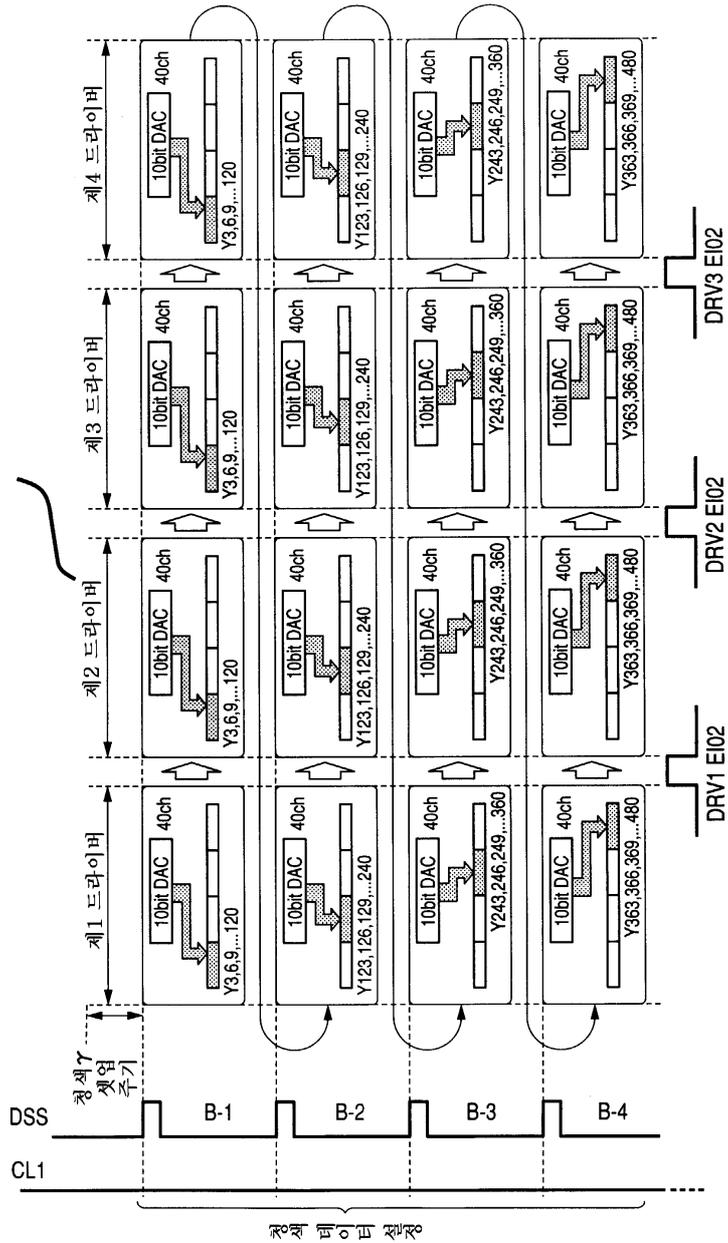
도면4



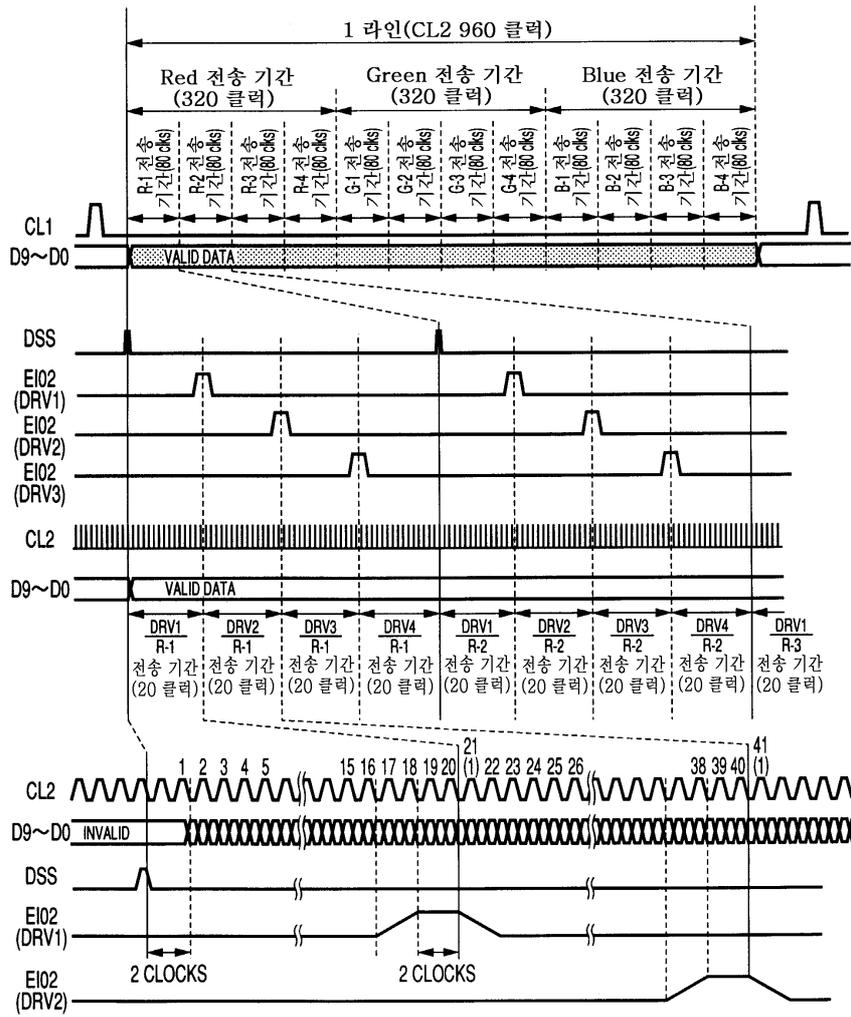
도면5



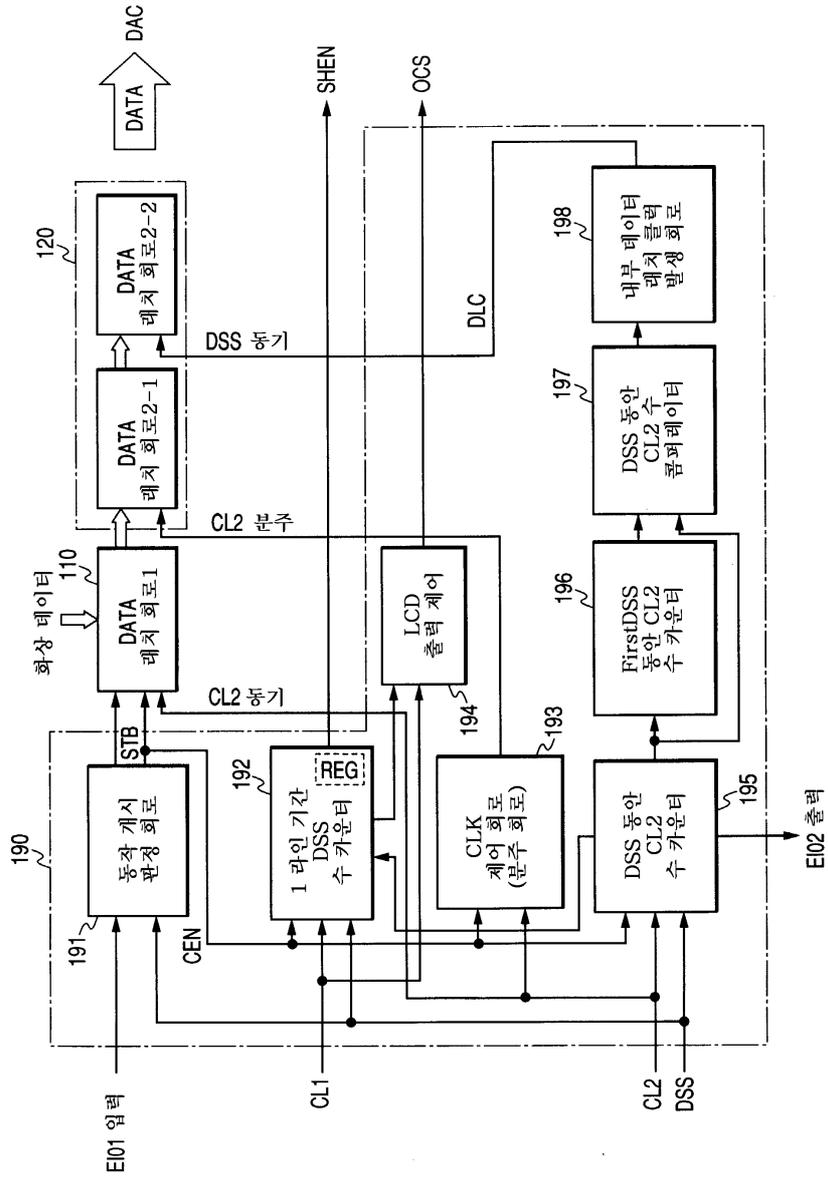
도면6



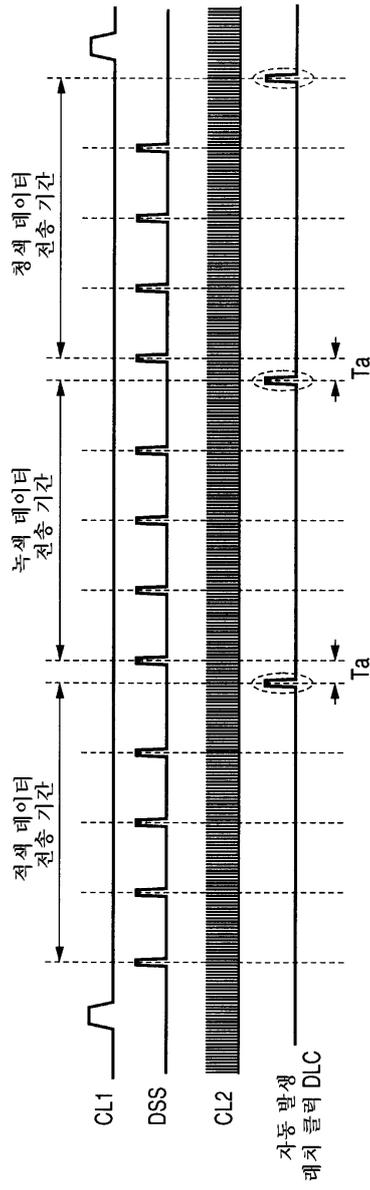
도면7



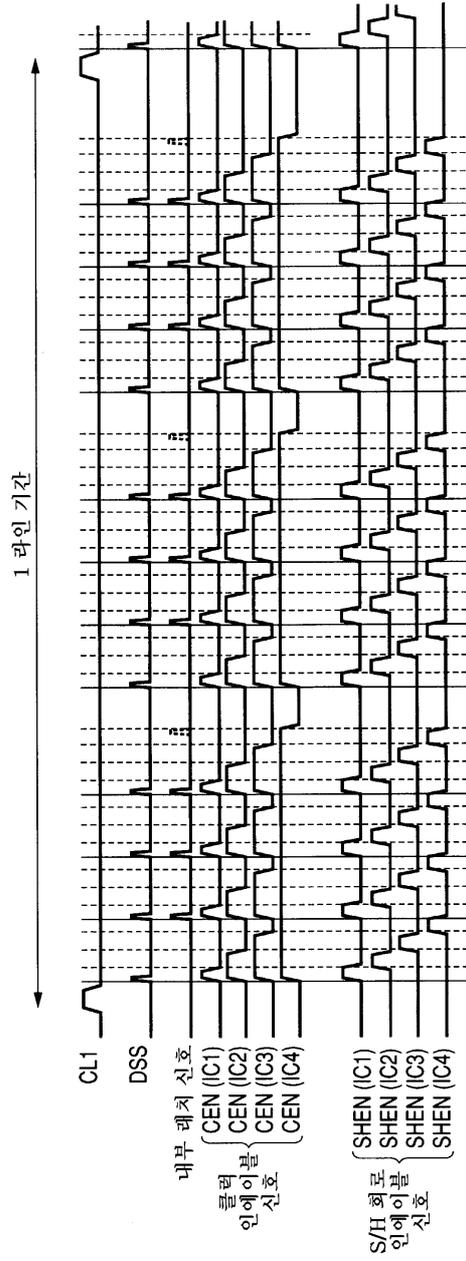
도면8



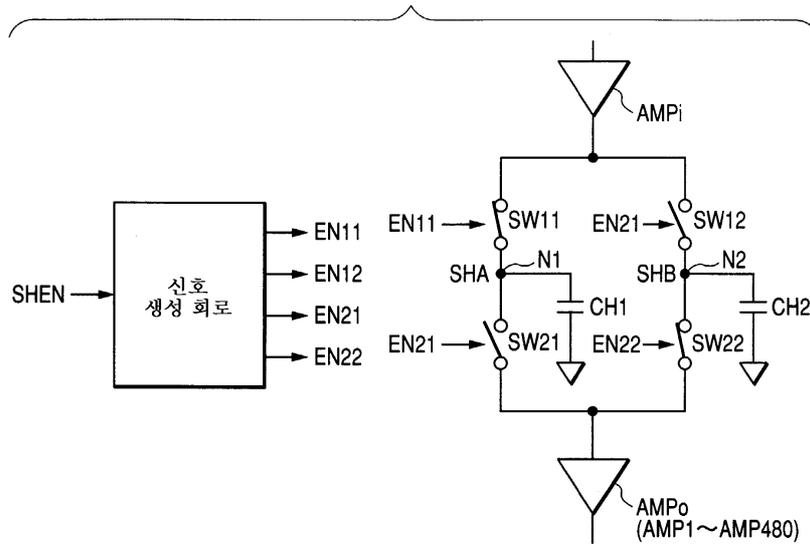
도면9



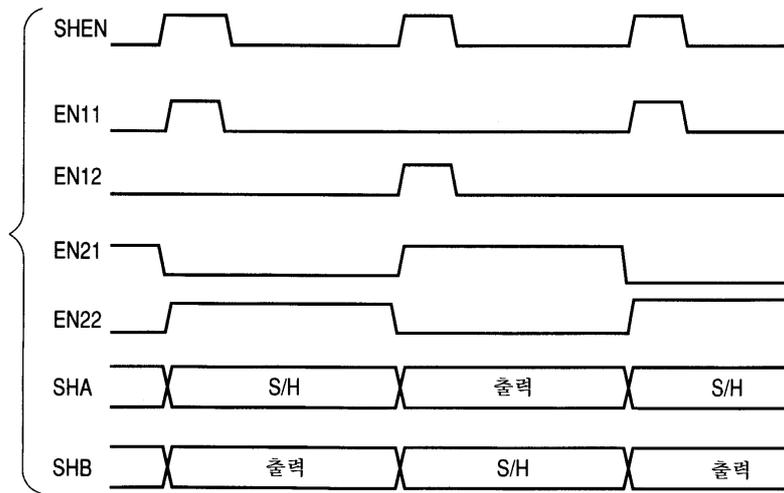
도면10



도면11



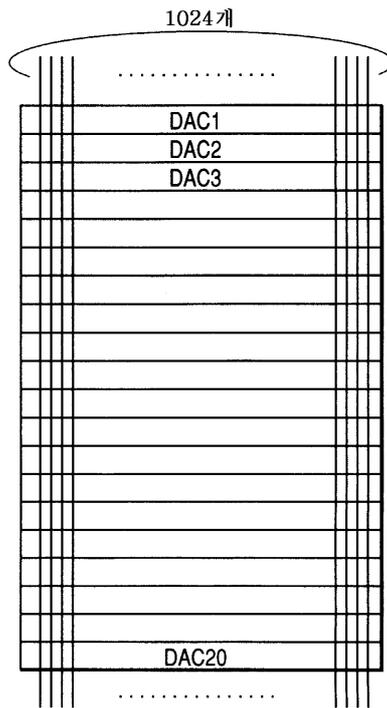
도면12



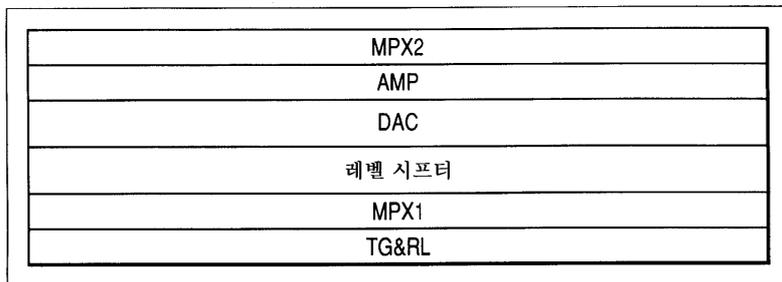
도면13

MPX2	MPX1		MPX2
AMP	POS DAC	NEG DAC	AMP
S/H			S/H
S/H			S/H
AMP			AMP
MPX2	TG&RL		MPX2

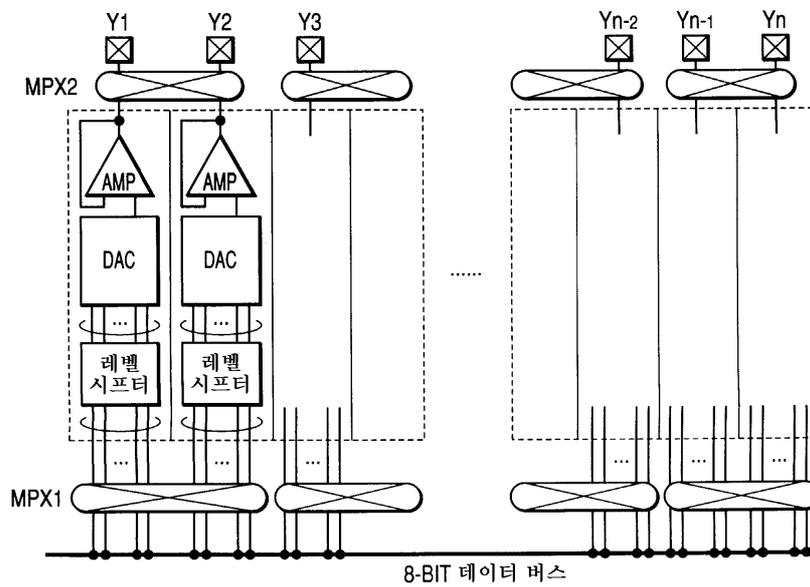
도면14



도면15



도면16



专利名称(译)	液晶显示器驱动装置和液晶显示系统		
公开(公告)号	KR1020060048014A	公开(公告)日	2006-05-18
申请号	KR1020050041880	申请日	2005-05-19
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子株式会社		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	YAMAGUCHI SATOMI 야마구찌사토미 ENDOW MASUHIRO 엔도우마스히로 KUBO TAKEHIKO 구보다께히코		
发明人	야마구찌사토미 엔도우마스히로 구보다께히코		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/027 G09G2310/0297 G09G3/3688		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2004150016 2004-05-20 JP		
外部链接	Espacenet		

摘要(译)

LCD驱动器(用于液体驱动的半导体IC(集成电路))的小型化具有在DA转换电路内并将数字图像数据转换为模拟灰度电压并输出施加在信号线(源极线)中的电压。彩色液晶面板正在计划中。输出转换为灰度电压的图像信号的最终级的输出放大器(160:AMP1~AMP480)被分成多组。将图像数据转换为灰度电压的DA转换电路(160:DAC1~DAC40)作为共用电路准备组。DA转换电路在切换组的同时进行分时操作。最后一级的输出放大器连接到所选图像信号的相同颜色的图像信号,并将其分组。设置选择器功能,并且在DA转换电路和输出放大器之间在期望保持电路中分割从DA转换电路转换为灰度电压的图像信号。液晶面板,灰度电压,伽马校正,图像数据。

