

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0037690
G02F 1/136 (2006.01) (43) 공개일자 2006년05월03일

(21) 출원번호 10-2004-0086723

(22) 출원일자 2004년10월28일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이인
경기 용인시 기흥읍 공세리 청구아파트 102동 503호
곽진오
경기 수원시 영통구 망포동 동수원엘지빌리지 101동 1404호
이성호
경기 화성시 태안읍 반월리 신영통 현대아파트 212-606호
김영빈
충남 금산군 추부면 서대리 177

(74) 대리인 박영우

심사청구 : 없음

(54) 금속 배선, 이의 제조 방법, 이를 포함하는 어레이 기판및 이를 포함하는 액정 표시 패널

요약

금속 배선, 이의 제조 방법, 이를 포함하는 어레이 기판 및 이를 포함하는 액정표시패널이 개시된다. 금속 배선은 금속막과 배리어막을 포함한다. 금속 배선은 절연 기판 상에 배치된다. 배리어막은 금속막의 상면과 측면을 커버하도록 배치되고, 절연 기판의 유리 전이 온도보다 높은 녹는점을 가진 물질을 포함하며, 금속막 원자의 확산을 방지한다. 절연 기판의 유리 전이 온도보다 높은 녹는점을 가진 물질을 포함하는 배리어막을 금속막을 커버하도록 형성함으로써, 고온 공정에서의 확산을 방지하고, 금속 배선의 열화를 방지한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 어레이 기판의 부분 평면도이다.

도 2는 도 1의 어레이 기판을 포함하는 표시 패널을 I-I'라인으로 절단한 단면도이다.

도 3a 내지 도3f는 본 발명의 실시예에 따른 액정 표시 장치의 형성 방법을 나타내는 단면도들이다.

도 4는 본 발명의 일 실시예에 따른 금속 배선을 형성하기 위한 공정을 나타내는 흐름도이다.

도 5는 식각액의 종류 및 점가제의 농도에 따른 표면 거칠기(surface roughness)를 측정한 도면이다.

도 6은 식각액의 종류 및 점가제의 농도에 따른 스크래치 테스트(scratch test) 결과를 나타내는 도면이다.

도 7은 식각액의 종류 및 점가제의 농도에 따른 인장 테스트(pulling test) 결과를 나타내는 도면이다.

도 8은 감수성 부여-활성화 공정과 카탈리스트-엑셀러레이터 공정에 따른 밀착력 테스트 결과를 나타내는 도면이다.

도 9는 로첼염을 착화제로 하여 pH와 온도의 변화에 따른 도금 속도를 나타낸 도면이다.

도 10은 EDTA를 착화제로 하여 pH와 온도의 변화에 따른 도금 속도를 나타낸 도면이다.

도 11 및 도 12는 각기 구리 도금을 포함하는 투명 기판의 XRD(X-ray diffraction) 패턴을 나타내는 도면들이다.

* 도면의 주요부분에 대한 부호의 설명 *

100, 400 : 어레이 기판 110, 410 : 스위칭 소자

111, 411 : 제1 금속층 113, 413 : 제2 배리어층

114, 414 : 게이트 전극 118a, 418a : 소오스 전극

118b, 418b : 드레인 전극 120, 420 : 패시베이션막

125, 425 : 유기막 130, 430 : 스토리지 캐패시터

131, 431 : 제2 금속층 133, 433 : 제2 배리어층

134, 434 : 캐패시터 제1 전극 135, 435 : 캐패시터 제2 전극

140, 440 : 화소 전극 150, 450 : 콘택홀

200 : 칼라필터 기판 210 : 차광 영역

220B, 220R : 컬러 필터 300 : 액정층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 금속 배선을 포함하는 표시 장치용 기판, 그 형성 방법 및 이를 갖는 액정 표시 장치에 관한 것으로 보다 상세하게는 불량이 감소시킬 수 있는 금속 배선을 포함하는 표시 장치용 기판, 그 형성 방법 및 이를 갖는 액정 표시 장치에 관한 것이다.

액정 표시 장치(Liquid Crystal Display; LCD)는, 박막 트랜지스터가 형성된 어레이 기판(array substrate)과 대향 기판(counter substrate) 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전기장(electric field)을 인가하고, 이 전기장의 세기를 조절하여 기판에 투과되는 광의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다.

상기 어레이 기판은 대체로 기판 상에 배치된 박막 트랜지스터, 상기 박막 트랜지스터의 게이트 전극에 전기적으로 연결된 게이트 라인, 상기 박막 트랜지스터의 소오스 전극에 전기적으로 연결된 데이터 라인 및 상기 박막 트랜지스터의 드레인 전극에 전기적으로 연결된 화소 전극을 포함한다.

일반적으로, 상기 기판은 유리를 포함하고, 상기 게이트 전극 및 상기 게이트 라인은 금속을 포함한다. 상기 게이트 전극 및 상기 게이트 라인은 상기 기판 상에 배치된다.

상기 액정 표시 장치의 크기가 큰 경우, 상기 게이트 라인의 길이가 증가하여 상기 게이트 라인의 저항이 증가한다. 상기 게이트 라인의 저항이 증가하는 경우, 상기 액정 표시 장치의 가장자리에 배치된 박막 트랜지스터에 인가되는 전압과 상기 액정 표시 장치의 중심부에 배치된 박막 트랜지스터에 인가되는 전압이 달라져서 상기 액정 표시 장치의 화질이 불균일해진다. 이러한 신호 지연의 문제로 인하여, 비저항(resistivity)이 낮은 금속 예를 들면, 구리 등을 게이트 전극의 재료로써 검토되고 있다.

그러나, 구리는 유리와의 접착력이 낮아서, 상기 게이트 전극 또는 상기 게이트 라인이 상기 유리 기판으로부터 분리될 수 있다. 상기 게이트 전극 또는 상기 게이트 라인이 상기 유리 기판과 분리되는 경우, 상기 박막 트랜지스터가 오동작을 일으키는 문제가 있을 수 있다.

또한, 구리 원자가 그 상부에 배치되는 실리콘을 포함하는 게이트 절연막으로 확산하게 된다. 구리 원자가 게이트 절연막으로 확산하는 경우, 게이트 전극의 저항이 증가하여, 신호 지연의 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은, 구리 원자의 확산을 방지할 수 있는 금속 배선을 제공하는 것이다.

본 발명의 다른 목적은 구리 원자의 확산을 방지할 수 있는 금속 배선의 형성 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 구리 원자의 확산을 방지할 수 있는 금속 배선을 포함하는 어레이 기판을 제공하는 것이다.

본 발명의 또 다른 목적은 구리 원자의 확산을 방지할 수 있는 금속 배선을 포함하는 어레이 기판의 형성 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 구리 원자의 확산을 방지할 수 있는 금속 배선을 포함하는 어레이 기판을 포함하는 액정 표시 패널을 제공하는 것이다.

발명의 구성 및 작용

상술한 본 발명의 일 목적을 달성하기 위한 본 발명의 일 실시예에 따른 금속 배선은 절연 기판 상에 배치되는 금속막 및 상기 금속막의 상면과 측면을 커버하도록 배치되고, 상기 절연 기판의 유리 전이 온도보다 높은 녹는점을 가진 물질을 포함하며, 상기 금속막 원자의 확산을 방지하는 배리어막을 포함한다.

상술한 본 발명의 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 금속 배선의 형성 방법은 절연 기판 상에 금속막을 형성하는 단계 및 상기 금속막의 상부 및 측면을 커버하도록 상기 절연 기판의 유리 전이 온도보다 높은 녹는점을 갖는 물질을 도포하여, 상기 금속막 원자의 확산을 방지하는 배리어 막을 형성하는 단계를 포함한다. 특히, 상기 금속막을 형성하는 단계는 무전해 도금법에 의하여 수행된다.

상술한 본 발명의 또 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 어레이 기판은 절연 기판, 스위칭 소자 및 화소 전극을 포함한다. 상기 스위칭 소자는 게이트 배선과 연결되며 금속을 포함하는 게이트 전극, 데이터 배선과 연결되는 제1 전류 전극, 상기 게이트 전극과 상기 제1 전류 전극을 절연시키는 게이트 절연막, 상기 게이트 전극과 상기 게이트 절연막 사이에 상기 게이트 전극의 상면과 측면을 커버하도록 배치되어 상기 절연 기판의 유리 전이 온도보다 높은 녹는점을 가진 물질을 포함하며 상기 금속의 확산을 방지하는 제1 배리어층을 포함한다. 상기 화소 전극은 상기 스위칭 소자의 제2 전류 전극과 연결된다.

상술한 본 발명의 또 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 어레이 기판의 형성 방법은, 절연 기판 상에 금속을 포함하는 게이트 전극을 형성하는 단계, 상기 게이트의 상부 및 측벽을 커버하도록 상기 게이트 상에 상기 절연 기판의 유리 전이 온도보다 높은 녹는점을 가진 물질을 적층하여, 상기 금속 원자의 확산을 방지하는 배리어막을 형성하는 단계 및 상기 배리어막을 포함하는 기판 상에 게이트 절연막 및 제1과 제2 전류 전극을 순차적으로 형성하는 단계를 포함한다.

상술한 본 발명의 또 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 패널은 제1 유리 기판, 제2 유리 기판 및 액정층을 포함한다. 상기 제1 유리 기판은 공통 전극을 포함한다. 상기 제2 유리 기판은 상기 제1 유리 기판과 대향하고, 금속을 포함하는 게이트 전극, 게이트 절연막, 제1 및 제2 전류 전극, 상기 게이트 전극과 상기 게이트 절연층 사이에 배치되어 상기 유리의 유리 전이 온도보다 높은 녹는점을 가진 물질을 포함하며 금속의 확산을 방지하는 배리어층을 갖고 영상 신호를 인가하는 스위칭 소자와 상기 스위칭 소자와 연결되는 화소 전극을 포함한다. 상기 액정층은 상기 제1 유리 기판과 상기 제2 유리 기판의 사이에 개재된다.

따라서, 상기 절연 기판과 도전성 라인의 접착력이 증가하고, 상기 도전성 라인의 저항이 감소하여 표시 장치의 화질이 향상된다. 또한, 상기 도전성 라인의 금속 도전 물질의 확산을 방지하여 저항 증가에 따른 불량을 억제한다.

이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 그러나 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면에서 여러 층(또는 막) 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 전체적으로 도면 설명시 관찰자 관점에서 설명하였고, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라, 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 의미한다.

도 1은 본 발명의 실시예에 따른 어레이 기판의 부분 평면도이다.

도 1을 참조하면, 상기 어레이 기판은 제1 방향으로 형성된 복수의 게이트 배선(GL), 상기 제1 방향과 교차하는 제2 방향으로 형성된 복수의 데이터 배선(DL)들, 그리고 게이트 배선(GL)과 데이터 배선(DL)에 의해 정의되는 복수의 화소 영역을 포함한다.

상기 화소 영역에는 스위칭 소자(110), 스위칭 소자(110)와 연결되는 스토리지 캐패시터(CST) 및 액정 캐패시터의 제1 전극인 화소 전극(140)이 형성된다.

스위칭 소자(110)는 게이트 배선(GL)과 연결되는 게이트 전극(111), 데이터 배선(DL)과 연결되는 소오스 전극(118a), 그리고 콘택홀(150)을 통해 화소 전극(140)과 연결되는 드레인 전극(118b)을 포함한다. 게이트 전극(114)과 소오스 및 드레인 전극들(118a, 118b) 사이에는 반도체층(도시하지 않음)이 형성된다.

게이트 전극(114)은 게이트 배선(GL)과 연결되며, 제1 금속막(도시되지 않음)과 제1 배리어막(도시되지 않음)을 포함한다.

제1 금속막은 구리를 포함할 수 있다. 구리는 약 $1.67\mu\Omega/\text{cm}$ 의 낮은 비저항(resistivity)을 갖는 물질로서, 하부 전극의 요구 특성인 약 $3.0\mu\Omega/\text{cm}$ 보다 낮은 비저항을 가진다. 또한, 구리는 실리콘(silicon)과 잘 반응하는 특성을 가진다.

제1 배리어막은, 제1 금속막의 기판과의 접촉 부위를 제외한 나머지 모든 면, 즉 제1 금속막의 상면과 4곳의 측면을 완전히 커버하도록 배치된다. 제1 배리어막은 후속하는 고온 공정에도 열화되지 않은 우수한 고온 특성을 갖는 ABx 계열의 물질, 예를 들면, 산화주석(tin oxide)(SnO_2) 또는 산화아연(zinc oxide)(ZnO_2) 등을 포함한다. 산화주석은 유리의 전이 온도인 약 750°C 이상의 녹는점(melting point)을 가진다.

특히, 제1 금속막이 구리를 포함하는 경우, 제1 배리어막은 구리 원자가 후속하는 고온 공정에서 다른 층, 예를 들면 실리콘을 포함하는 게이트 절연막 또는 패시베이션막으로 확산하는 것을 방지한다.

제1 배리어층은 제1 금속막과 게이트 절연막, 또는 제1 금속막과 패시베이션막 사이에 형성되어, 구리 원자의 확산(diffusion)을 방지하는 장벽 역할을 한다. 따라서, 제1 배리어층은, 구리 원자의 확산으로 인한 제1 금속막을 포함하는 게이트 전극(114)의 저항 증가를 억제한다. 이로써, 게이트 전극(114)의 신호 지연의 문제를 방지할 수 있다.

스토리지 캐패시터(130)는 게이트 배선(GL)과 실질적으로 동일한 물질을 포함하는 제1 전극(134), 드레인 전극(118b)과 실질적으로 동일한 금속을 포함하는 제2 전극(135)으로 이루어진다. 스토리지 캐패시터(130)는 스위칭 소자(110)가 턴-오프(turn-off) 상태일 때, 액정 캐패시터에 충전된 전압을 한 프레임 동안 유지시킨다.

이상에서는, 제1 구리막과 제1 배리어층을 포함하는 게이트 전극(114)을 설명하였으나, 게이트 배선(GL)과 데이터 배선(DL)에 상기 구조를 적용할 수 있음은 당업자라면 자명한 사실이다.

도 2는 도 1의 어레이 기판을 포함하는 액정 표시 패널을 I-I'라인으로 절단한 단면도이다.

도 2를 참조하면, 액정 표시 패널은 어레이 기판(100), 칼라필터 기판(200), 그리고 어레이 기판(100)과 칼라필터 기판(200) 사이에 개재된 액정층(300)을 포함한다.

어레이 기판(100)은 투명 기판(101), 스위칭 소자(110) 및 화소 전극(140)을 포함한다.

스위칭 소자(110)는 게이트 배선과 연결되고, 데이터 배선과 연결되는 소오스(118a)/드레인(118b)을 통하여 화소 전극(150)에 전압을 인가한다. 스위칭 소자(110)는 게이트 전극(114), 게이트 절연막(105), 반도체층(116) 및 소오스(118a)/드레인 전극(118b)을 포함한다.

게이트 전극(114)은 제1 금속막(111)과 제1 배리어층(113)을 포함하며, 게이트 배선과 연결된다.

제1 금속막(111)이 구리를 포함하는 경우, 구리는 상기 절연성의 투명 기판(101)과의 접착성이 좋지 않다. 따라서, 제1 금속막(111)은 제1 시드막(도시하지 않음)을 포함할 수 있다. 여기서, 상기 제1 시드막은 팔라듐(CB), 금(Au), 은(Ag), 주석(Sn), 니켈(Ni), 철(Fe), 또는 백금(Pt) 중에서 어느 하나를 포함한다. 상기 제1 시드막은 무전해 도금법으로 금속막을 형성할 때, 금속막 증착을 위한 시드를 제공한다.

제1 배리어층(113)은 제1 금속막(111)의 투명 기판(101)과의 접촉 부위를 제외한 모든 면, 즉 제1 금속막(111)의 상면과 측면을 커버하도록 배치된다.

제1 금속막(111)의 구리를 포함하는 경우, 구리 원자는 인접하는 실리콘을 포함하는 게이트 절연막(105)으로 확산하여 실리콘과 높은 반응성을 가진다. 구리 원자가 인접하는 게이트 절연막(105)으로 확산 및 구리 원자와 실리콘과의 반응을 효율적으로 방지하기 위하여, 제1 배리어층(113)은 구리를 포함하는 제1 금속막(111)과 게이트 절연막(105)과의 접촉면에 배치된다. 따라서, 제1 배리어층(113)은 구리 원자의 확산으로 인한 게이트 전극의 저항 증가를 억제하여 신호 지연 현상을 방지할 수 있다.

제1 배리어층(113)은, 후속하는 고온 공정, 특히 아몰퍼스 실리콘층(116b)에 N+ 형의 불순물을 도핑하기 위한 이온 주입(ion implanting) 공정 등에 대하여 내열성을 갖는 물질, 예를 들면, 산화주석(tin oxide) 또는 산화 아연(zinc oxide)등 포함한다. 또한, 제1 배리어층(113)은 소정의 전도성을 갖는 도전성 산화 물질을 포함하는 것이 바람직하다.

스토리지 캐패시터(130)의 제1 전극(134)과 게이트 배선(GL)은 상기 게이트 전극(114)과 동일한 물질을 포함한다. 따라서, 제1 전극(134)은 제2 금속막(131)과 상기 제2 금속막(131)의 상부 및 측면을 커버하는 제2 배리어층(133)을 포함한다. 또한, 게이트 배선(GL)은 제3 금속막(도시하지 않음)과 상기 제3 금속막의 상부 및 측면을 커버하는 제3 배리어층(도시하지 않음)을 포함한다.

도 2를 참조하면, 게이트 절연층(105)은 상기 제1, 제2 배리어층(113, 133)과 노출된 투명 기판(101) 위에 형성된다. 게이트 절연층(105)은 게이트 전극(114)을 소오스 전극(118a) 및 드레인 전극(118b)과 전기적으로 절연시킨다. 게이트 절연막(105)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등을 포함한다.

반도체층(116)은 게이트 절연층(105) 위에 배치된다. 반도체층(116)은 활성층(116a) 및 저항성 접촉층(116b)을 포함하며, 게이트 전극(114)이 형성된 영역에 대응하여 배치된다.

소오스 전극(118a) 및 드레인 전극(118b)은 각각 데이터 배선 및 스토리지 캐패시터(130)의 제2 전극(135)과 전기적으로 연결되며, 도전성 금속 물질을 포함한다. 이 때, 소오스 전극(118a), 드레인 전극(118b), 데이터 배선 및 스토리지 캐패시터(130)의 제2 전극(135)은 제4 금속막(도시하지 않음)과 제4 배리어층(도시하지 않음)을 포함할 수 있다.

상기 제4 금속막이 구리를 포함하는 경우, 구리는 상기 투명 기판(101)과의 접착성이 좋지 않다. 따라서, 상기 제4 금속막은 제2 시드층을 포함할 수 있다. 이에 의하여, 구리를 포함하는 제4 금속막은 상기 제2 시드층을 매개로 무전해 도금법으로 상기 투명 기판(101) 상에 형성될 수 있다.

상기 제4 배리어층은 제4 금속막의 투명 기판(101)과의 접촉 부위를 제외한 모든 면, 즉 제4 금속막의 상면과 측면을 커버하도록 배치된다. 상기 제4 배리어층은 제4 금속막과 소오스 전극(118a) 및 드레인 전극(118b) 상에 배치되는 패시베이션막(120)사이의 접촉면에 형성됨으로써, 구리 원자가 인접하는 패시베이션막(120)으로 확산되는 현상을 방지한다. 따라서, 상기 제4 배리어층은 소오스 전극(118a)과 드레인 전극(118b)의 저항 증가를 억제하여 신호 지연 현상을 방지한다. 또한, 상기 제4 배리어층은 소정의 전기 전도성을 갖는 도전성 산화 물질을 포함하는 것이 바람직하다.

상기 패시베이션막(120)은 상기 소스 및 드레인 금속층 위에 배치되며, 스위칭 소자(110)를 보호하는 역할을 한다. 상기 패시베이션막(120) 위에 유기막(125)이 배치될 수 있다. 여기서, 유기막(125)은 생략될 수도 있다.

유기막(125)은 스위칭 소자(110) 및 상기 패시베이션막(120)이 형성된 투명 기판(101) 상에 배치되어 액정층의 두께를 조절하고, 투명 기판(101)의 표면을 평탄화 한다. 유기막(125)은 드레인 전극(118b)의 일부를 노출하는 콘택홀(150)을 포함한다. 상기 콘택홀(150)은 상기 패시베이션막(120) 및 유기막(125)의 식각을 통하여 형성되며, 드레인 전극(118b)의 일정 영역을 노출시킨다.

화소 전극(140)은 유기막(125) 위에 배치되며, 투명한 전도성 물질을 포함한다. 화소 전극(140)은 상기 콘택홀(150)을 통해 상기 드레인 전극(118b)과 전기적으로 연결된다. 화소 전극(140)은 투명한 도전성 물질인 산화주석 인듐(Indium Tin Oxide; ITO), 산화아연 인듐(Indium Zinc Oxide; IZO), 산화아연(Zinc Oxide; ZnO) 등을 포함한다. 이 때, 화소 전극(140)이 반사율이 높은 물질을 갖는 반사 전극을 포함할 수도 있다. 또한, 화소 전극(140)이 상기 투명한 도전성 물질을 갖는 투명 전극 및 상기 투명 전극 상에 배치되고 반사율이 높은 물질을 갖는 반사 전극을 포함할 수도 있다.

칼라필터기판(200)은 투명 기판(201), 차광층(210), 색화소 패턴(220R, 220B) 및 투명 전극층(230)을 포함한다.

차광층(210)은 상기 투명 기판(201) 상부에 배치되며, 누설되는 광을 차단한다. 차광층(210)은 투명 기판(201)을 화소 영역과 차광 영역으로 정의한다.

색화소 패턴(220R, 220B)은 차광층(210)에 의해 정의되는 차광 영역에 배치된다. 색화소 패턴(220R, 220B)은 입사되는 광에 응답하여 고유의 색을 발현하는 칼라 필터를 포함한다. 물론, 색화소 패턴은 R(RED), G(GREEN) 및 B(BLUE) 칼라를 포함한다.

공통 전극(230)은 어레이 기판(100)의 화소 전극(140)에 대응하는 전극으로서, 공통 전압이 인가된다. 이에 의해, 화소 전극(140)을 제1 전극으로 하고 상기 공통 전극(230)을 제2 전극으로 하는 액정 캐패시터가 정의된다. 차광층(210)과 색화소 패턴(220R, 220B) 위에 색화소 패턴(220R, 220B)을 평탄화하는 평탄화막 또는 보호막 역할을 수행하는 평탄화층을 형성할 수 있다.

액정층(300)은 어레이 기판(100)의 화소 전극(140)과 칼라필터 기판(200)의 공통 전극(230)에 의해 인가되는 전압의 세기에 대응하여 액정 분자의 배열각을 변화시켜 화상을 표시한다.

도 3a 내지 도 3f는 본 발명의 실시예에 따른 액정 표시 장치의 형성방법을 나타내는 단면도들이다.

도 3a를 참조하면, 투명 기판(401)의 소정 영역 상에 무전해 도금법(electroless plating method)으로 제1 및 제2 금속막(411, 413)을 형성한다. 이하, 상기 제1 및 제2 금속막(411, 413)은 구리를 포함하는 것으로 설명하기로 한다.

도 4는 본 발명의 일 실시예에 따른 금속 배선을 형성하기 위한 공정을 나타내는 흐름도이다.

도 3a 및 도 4를 참조하면, 상기 무전해 도금법은 전처리 공정과 금속막 성장 공정을 포함한다. 상기 전처리 공정은 세정 공정(S100), 식각 공정(S200), 감수성 부여 공정(S310) 및 활성화 공정(S330)으로 이루어진다.

상기 세정 공정(S100)을 통하여 투명 기판(401)을 탈이온수(deionized water: DIW) 용액에 침지하여 투명 기판(401)의 표면에 부착되어 있는 고분자 등의 불순물 등을 제거한다.

이후, 식각 공정(S200)을 통하여, 투명 기판(401)을 첨가제를 포함하는 식각액에 침지하여, 투명 기판(401)을 식각한다. 상기 식각액은 플루오르화수소(HF), 플루오르화암모늄(NH₄F), 수산화나트륨(NaOH), 또는 수산화칼륨(KOH)을 포함할 수 있다. 이 경우, 상기 첨가제는 염화나트륨(NaCl)을 포함한다. 상기 식각 공정(S200)을 통하여 구리가 흡착되는 투명 기판(401)의 표면 입자가 작아지게 되어, 구리의 투명 기판(401)에 대한 흡착력이 향상된다.

도 5는 식각액의 종류 및 첨가제의 농도에 따른 표면 거칠기(surface roughness)를 측정한 도면이고, 도 6은 식각액의 종류 및 첨가제의 농도에 따른 스크래치 테스트(scratch test) 결과를 나타내는 도면이며, 도 7은 식각액의 종류 및 첨가제의 농도에 따른 인장 테스트(pulling test) 결과를 나타내는 도면이다.

상기 실험의 조건은, 시편은 테이프 캐스팅한 약 5cm × 5cm × 0.5cm 정도의 크기 및 약 96% 정도의 순도를 갖는 알루미늄(Al₂O₃)를 사용하여 형성하였고, 식각액은 플루오르화수소(HF), 플루오르화암모늄(NH₄F), 수산화나트륨(NaOH), 또는 수산화칼륨(KOH) 중에 선택된 하나의 것이었으며, 식각 시간은 약 15분 정도이며, 첨가제는 염화나트륨(NaCl)이었다. 상기 조건으로 식각한 후, 평균 두께 약 10μm의 무전해 구리 도금막을 형성하여 표면 거칠기 테스트, 스크래치 테스트 및 인장 테스트를 수행하였다.

도 5, 도 6 및 도 7을 참조하면, 수산화나트륨 400g/l 용액과 수산화나트륨 100g/l에 염화나트륨 100g/l를 첨가한 식각액이 가장 표면이 거칠고, 그 시편과의 밀착력이 18N 정도로 가장 높았다.

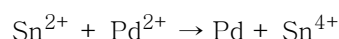
또한, 수산화나트륨 400g/l에 적은 양의 염화나트륨의 첨가에도 밀착력이 급격히 감소하였다. 이는 식각 효과를 크게 하기 위해 첨가한 염화나트륨의 염소 이온(Cl⁻)이 수산화 이온(OH⁻)과 더불어 용액 내에 과량 존재함으로써 오히려 식각 효과를 저해하는 것으로 볼 수 있다.

이후, 금속 염화물 산용액에 상기 투명 기판을 침지하여, 상기 투명 기판의 표면에 이온(Sn²⁺)을 흡착시키는 감수성 부여(sensitizing) 공정을 시행한다. 본 실시예에서는, 염화 제1주석 10g/l 및 염산 30ml/l의 조성을 가진 수용액에 시편을 상온에서 약 1 내지 2분간 침지하여 상기 주석 이온을 상기 시편의 표면에 흡착시킨 후, 물 속에 침지하여 교반한 후 물에서부터 이탈시킨다. 상기 감수성 부여 공정의 원활한 수행을 보조하기 위하여 상기 시편의 표면을 친수성 상태로 형성할 필요가 있는 바, 상기 시편의 표면에 약 10초 정도 초음파를 부가할 수 있다.

상기 감수성 부여 공정은 후속하는 시드의 부착을 용이하게 하기 위한 공정이며, 주석 이온의 흡착 후 교반하는 것은 주석 이온의 균일한 부착을 위하여 불순물 등을 제거하기 위함이다.

상기 감수성 부여 공정 후, 금속 염화물을 포함하는 수용액에 상기 시편을 침지하여, 상기 시편의 소정 영역에 시드(seed) 핵을 성장시키는 활성화(activation) 공정을 시행한다. 본 실시예에서는 염화 팔라듐(PdCl₂) 0.3g/l 및 염산 30ml/l의 조성을 가진 수용액에 상온에서 약 1 내지 2분간 침지하여, 하기의 반응식에 해당하는 반응을 일으킨다.

반응식 1



이후, 수제를 통하여 Sn⁴⁺를 제거하여 상기 시편의 상기 주석 이온이 부착된 표면에 팔라듐(Pd)의 핵만을 부착시킨다. 팔라듐(Pd)은 원자 번호 46, 원자량 106.4, 비중 12.02 및 융점 1552℃의 금속으로서, 화학적으로 안정되며, 백금족에서 가장 저렴하여 무전해 도금 공정에서 널리 이용되고 있다.

상기 감수성 부여 공정과 활성화 공정은 후속하는 도금 공정 중 상기 시편의 표면에 Sn(OH)₄가 잔류하여, 시편 표면이 거칠다는 문제를 가진다. 이러한 문제로 인하여 소정의 표면 가공 공정이 추가적으로 요구된다. 따라서, 상기 감수성 부여 공정과 활성화 공정 대신에 카탈리스트-엑셀러레이터 공정을 수행할 수 있다.

상기 카탈리스트-액셀러레이터 공정은 카탈리스트(catalyst)액인 염화 팔라듐(PdCl_2) 0.5g/l, 염화주석(SnCl_2) 25g/l, 염산 30ml/l를 포함하는 중합체인 PdCl_2 - SnCl_2 -HCl 혼합액에 침지하여 처리한다. 이후, 수세 처리하여 흡착염을 가수분해하여 $\text{Sn}(\text{OH})\text{Cl}$ 인 2가 주석 이온, 4가 주석 이온 및 팔라듐염이 공존하게 된다. 이후, 염산 100ml/l를 포함하는 액셀러레이터에서 약 5 분간 진행하여 상기 침전된 제1 및 제2 주석염을 제거하여 이미 착이온에서 이탈된 Pd^{2+} 이온이 Sn^{2+} 이온과 반응하여 Pd 금속과 Sn^{4+} 을 형성한다. 이후, 수세 공정을 통하여, 2가 및 4가의 주석염을 제거한다.

상기 카탈리스트-액셀러레이터 공정은 팔라듐의 소모가 많기 때문에 생산비가 증가하는 문제가 있다.

도 8은 상기 감수성 부여-활성화 공정과 상기 카탈리스트-액셀러레이터 공정에 따른 밀착력 테스트 결과를 나타내는 도면이다.

도 8을 참조하면, 실험 조건은 상기 감수성 부여-활성화 공정과 상기 카탈리스트-액셀러레이터 공정 조건과 동일하다. 실험 결과, 상기 감수성 부여-활성화 공정을 통한 구리 도금이 상기 카탈리스트-액셀러레이터 공정을 통한 구리 도금보다 시편에 대한 높은 밀착력을 가졌다. 따라서, 감수성 부여-활성화 공정을 통하여 구리막이 시편 대하여 높은 접착력을 가짐을 알 수 있다.

구리 도금의 선택성을 확인하기 위해, 전처리 공정을 활성화 공정, 민감성 부여-활성화 공정 또는 카탈리스트-액셀러레이터 공정의 3가지로 나누어서 에틸렌디아민테트라아세트산(Ethylene Di-amine Tetra-acetic Acid ; EDTA) 또는 로셸염(Rochelle salt)의 착화제(complexing agent)에 따라 구리 도금의 부착 여부를 확인하였다. 그 결과를 하기 표에 나타낸다.

[표 1]
전처리 공정에 따른 구리 도금의 선택도

착화제	전처리 방법	선택도
EDTA	활성화	불량
	민감성 부여-활성화	양호
	카탈리스트-액셀러레이터	양호
로셸 염	활성화	불량
	민감성 부여-활성화	양호
	카탈리스트-액셀러레이터	양호

상기 표 1을 참조하면, 활성화 공정후 도금한 결과 착화제에 관계없이 도금 반응이 전혀 일어나지 않고, 민감성 부여-활성화 공정 및 카탈리스트-액셀러레이터 공정 후 구리 도금이 가능하다고 확인되었다.

이어서, 무전해 도금액에 상기 기판을 침지하는 무전해 도금 공정으로 구리 증착 영역에 구리막을 형성한다.

상기 무전해 도금 공정은 구리 이온이 있는 용액 중의 환원제에 의하여 시편 상에 금속이 환원 석출되는 것으로서, 환원제가 산화될 때 방출되는 전자를 금속이온이 받아들여 환원하면서 시편 위에 석출되는 원리를 이용한 것이다.

상기 무전해 도금액은 환원제(reducing agent)와 구리 이온 제공물을 포함한다. 상기 환원제는 도금되는 금속 이온에 전자를 제공하여 상기 금속 이온을 금속으로 환원시킨다. 여기서, 상기 환원제는 포름알데히드(HCHO) 등의 알데히드(aldehyde) 계열의 물질을 포함한다.

상기 구리 이온 제공물은 2가 이온인 황산동($\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$)을 포함한다. 상기 황산동이 해리되면서, 기판에 구리 이온을 제공하게 된다.

상기 무전해 도금액은 착화제(complexing agent), pH 조정제 또는 안정제를 더 포함할 수 있다. 상기 착화제는 로첼염(Rochelle Salt) 또는 EDTA를 포함할 수 있다. 상기 착화제는 구리 금속의 침전을 방지하는 역할을 한다. 상기 pH 조정제는 NaOH 등의 농도를 변화시켜 상기 무전해 도금액의 pH를 조절한다. 상기 안정제는 도금할 표면이외의 부분에서 환원반응 즉, 도금액의 자연 분해 등을 억제하여, 도금액의 노화로 인해 생긴 침전물과 환원제와 반응하여 수소가스가 발생하는 것을 방지하는 것이다.

도 9는 로첼염을 착화제로 하여 pH와 온도의 변화에 따른 도금 속도를 나타낸 도면이다. 실험 조건은 황산동($\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$) 10g/l, 포름알데히드(HCHO) 10ml/l, 로첼염 40g/l, 수산화나트륨의 pH 조정제를 포함하는 무전해 도금액을 이용하였다. 실험은 액 30 내지 50℃ 정도의 온도, pH 약 12 내지 13의 범위에 따른 도금 속도를 측정하는 것이었다.

도 9를 참조하면, 로첼염의 온도와 pH가 증가함에 따라 도금 속도는 증가하나, 1μm 이상의 도금 두께를 얻을 수 없으므로, 2 내지 3μm 이상의 두께를 요구하는 하부 전극 요건을 만족하지 못하였다. 또한, 용액이 매우 불안정하여 온도와 pH의 변화에 민감하게 분해하였다.

도 10은 EDTA를 착화제로 하여 pH와 온도의 변화에 따른 도금 속도를 나타낸 도면이다. 실험 조건은 구리 이온 제공자인 황산동($\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$) 10g/l, 환원제인 포름알데히드(HCHO) 10ml/l, 착화제인 EDTA 40g/l, pH 조정제인 수산화나트륨을 포함하는 무전해 도금액을 이용하였다. 상기 실험은 약 25 내지 35℃의 온도 및 pH 12 내지 13의 범위에 따른 도금 속도를 측정하였다.

도 10을 참조하면, pH 12에서의 도금 속도는 온도가 증가하더라도 일정하고, pH 12.5 이상에서는 도금 속도는 온도가 증가함에 따라 증가하였다. pH 13에서의 도금 속도는 온도가 증가할수록 증가하였으나, 상기 전해 도금액의 분해 또한 급격히 증가하는 부반응이 발생하였다. 따라서, pH 12.5의 조건이 가장 적합한 것으로 확인되었다.

도 11 및 도 12는 각기 구리 도금을 포함하는 투명 기판의 XRD(X-ray diffraction) 패턴을 나타내는 도면이다. 도 11은 EDTA의 착화제, pH 12.5 및 50℃의 온도 조건에서 증착한 구리 금속을 포함하는 시편에 관한 것이며, 도 12는 로첼염의 착화제, pH 12.5 및 25℃의 온도 조건에서 증착한 구리 금속을 포함하는 시편에 관한 것이다.

도 11 및 도 12를 참조하면, 착화제의 종류에 무관하게 구리 도금에 화합물이나 불순물이 포함되지 않았다. 따라서, 구리 도금의 저항 특성은 착화제의 종류에 무관함을 확인하였다.

이어서, 도 3b를 참조하면, 상기 증착된 제1 금속막(411)과 제2 금속막(431)의 하면과 측면을 커버하도록 스퍼터링 공정으로 제1 배리어층(413) 및 제2 배리어층(433)을 증착한다.

상기 스퍼터링 공정은 주로 디시 마그네트론 스퍼터링 장치(DC magnetron sputter)를 이용하여 산소 가스의 부분 압력, 공정 온도, 열처리 등을 조건을 조절하여 수행된다.

먼저, 투명 기판(401)을 아세톤, 메탄올, 탈이온수(deionized water) 순으로 초음파 세척하고 물기를 제거한 후, 투명 기판(401)을 약 6 내지 10Torr 이하의 압력을 갖는 챔버 내에 고정한다. 이후, 아르곤(Ar)가스, 산소(O_2) 가스를 챔버내로 주입하여, $\text{SnO}_2\text{-Sb}_2\text{O}_3$ (5 중량%)의 타겟 물질을 이용하여 투명 기판(401)에 SnO_2 로 이루어진 제1 및 제2 배리어층(413, 433)을 형성한다. 이후, 제1 및 제2 배리어층(413, 433)이 형성된 투명 기판(401)을 어닐링(annealing) 한다.

도 3c를 참조하면, 계속해서 게이트 전극(414), 게이트 라인(미도시), 스토리지 캐패시터의 제1 전극(434)이 형성된 투명 기판(401) 상에 실리콘 질화물을 증착하여 게이트 절연막(405)을 형성한다.

도 3d를 참조하면, 게이트 절연막(405) 상에 아몰퍼스 실리콘을 증착한다. 계속해서, 상기 증착된 아몰퍼스 실리콘 상에 N+ 형 불순물을 이온을 주입하여 상기 아몰퍼스 실리콘층(416a) 및 상기 아몰퍼스 실리콘층(416a)의 상부에 배치된 상기 N+ 아몰퍼스 실리콘층(416b)을 포함하는 액티브층(416)을 형성한다. 이후에, 액티브층(416)의 일부를 식각하여 게이트 전극(414)에 대응하는 게이트 절연막(405) 상에 아몰퍼스 실리콘층(416a) 및 상기 N+ 아몰퍼스 실리콘층(416b)을 포함하는 상기 반도체층 패턴(416)을 형성한다.

이어서, 반도체층 패턴(416)이 형성된 게이트 절연막(405) 상에 금속을 증착한다. 이 때, 상기 금속은 구리를 포함할 수 있다. 구리를 게이트 절연막(405) 상에 배치하는 것은 상술한 구리를 포함하는 게이트 전극(414)의 형성 방법에서 자세히 설명하였으므로, 생략하기로 한다.

도 3d를 참조하면, 반도체층 패턴(416), 상기 데이터 라인, 소오스 전극(418a) 및 드레인 전극(418b)이 형성된 게이트 절연막(405) 상에 무기 절연 물질을 도포하여 패시베이션막(420)을 형성한다. 패시베이션막(420)은 박막 트랜지스터(410)를 보호하며, 실리콘 질화물을 포함한다. 이후에, 패시베이션막(420) 상에 유기물을 도포한다.

도 3e를 참조하면, 식각 공정으로 드레인 전극(418b)의 일부를 노출시키는 콘택홀(450)을 갖는 유기막(425)을 형성한다.

이어서, 유기막(425) 및 콘택홀(450)의 내면 상에 상기 투명한 도전성 물질을 증착한다. 이후에, 사진 식각 공정을 이용하여 상기 증착된 투명한 도전성 물질의 일부를 제거하여 화소 전극(440)을 형성한다.

따라서, 투명 기판(401), 박막 트랜지스터(410), 스토리지 캐패시터(430), 상기 데이터 라인, 상기 게이트 라인, 상기 스토리지 캐패시터 라인, 패시베이션막(420), 유기막(425), 그리고 화소 전극(440)을 갖는 제2 기판이 완성된다.

도 3f를 참조하면, 이어서 상부 기판(201) 상에 불투명한 물질을 증착한다. 이후에, 상기 불투명한 물질의 일부를 제거하여 블랙 매트릭스(210)를 형성한다. 이때, 상기 불투명한 물질 및 포토레지스트를 상부 기판(201) 상에 도포한 후에 사진 공정(photo process)을 이용하여 블랙 매트릭스(210)를 형성할 수도 있다. 상기 사진 공정(photo process)은 노광 공정(exposure process) 및 현상 공정(development process)을 포함한다. 이 때, 블랙 매트릭스(210)를 상기 하부 플레이트 상에 형성할 수도 있다.

이후에, 블랙 매트릭스(210)가 형성된 상부 기판(201) 상에 컬러 필터(220)를 형성한다. 이 때, 블랙 매트릭스(210) 및 컬러 필터(220)가 형성된 상부 기판(201) 상에 오버코팅층(도시하지 않음)을 형성할 수도 있다.

이어서, 블랙 매트릭스(210) 및 컬러 필터(220)가 형성된 상부 기판(201) 상에 상기 투명한 도전성 물질을 증착하여 공통 전극(230)을 형성한다. 이때, 공통 전극(230) 상에 스페이서(도시하지 않음)를 형성할 수도 있다.

따라서, 상부 플레이트(210), 블랙 매트릭스(210), 컬러 필터(220) 및 공통 전극(230)을 포함하는 제1 기판(200)이 형성된다.

계속하여, 제1 기판(200) 및 제2 기판(400) 사이에 액정을 주입한 후에 실런트(sealant)(도시되지 않음)에 의해 밀봉하여 액정층(300)을 형성한다. 이 때, 상기 실런트가 형성된 제1 기판(200) 또는 제2 기판(400) 상에 상기 액정을 적하(drop)한 후에 제1 기판(200) 및 제2 기판(400)을 서로 대향되게 결합하여 액정층(300)을 형성할 수도 있다.

본 실시예에 따르면, 구리를 포함하는 게이트 전극, 상기 게이트 라인 및 상기 스토리지 캐패시터 라인을 무전해 도금법으로 증착함으로써, 유리 기판과 구리를 포함하는 금속층의 접착력 문제를 해결할 수 있다. 또한, 배리어층을 형성함으로써, 구리의 확산을 방지하여 금속층의 낮은 저항을 유지할 수 있다.

발명의 효과

상기와 같은 본 발명에 따르면, 금속을 포함하는 금속 배선과 상기 금속 배선 상에 배리어층을 형성하여 구리 원자의 확산을 방지할 수 있다.

또한, 무전해 도금법을 이용하여 금속층을 형성함으로써, 유리 기판과 상기 금속층 간의 접착력을 향상시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

절연 기판 상에 배치되는 금속막; 및

상기 금속막의 상면과 측면을 커버하도록 배치되고, 상기 절연 기판의 유리 전이 온도보다 높은 녹는점을 가진 물질을 포함하며, 상기 금속막 원자의 확산을 방지하는 배리어막을 포함하는 금속 배선.

청구항 2.

제1항에 있어서, 상기 배리어막은 AB_x계열의 물질을 포함하는 것을 특징으로 하는 금속 배선.

청구항 3.

제1항에 있어서, 상기 배리어막은 도전성 금속 산화물을 포함하는 것을 특징으로 하는 금속 배선.

청구항 4.

제3항에 있어서, 상기 도전성 금속 산화물은 산화주석(tin oxide) 또는 산화아연(zinc oxide)인 것을 특징으로 하는 금속 배선.

청구항 5.

제1항에 있어서, 상기 금속막은 구리를 포함하는 것을 특징으로 하는 금속 배선.

청구항 6.

제1항에 있어서, 상기 금속막은 시드막을 포함하는 것을 특징으로 하는 금속 배선

청구항 7.

제6항에 있어서, 상기 시드막은 팔라듐(Pb), 금(Au), 은(Ag), 주석(Sn), 니켈(Ni), 철(Fe), 및 백금(Pt)으로 이루어진 군에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 금속 배선.

청구항 8.

절연 기판 상에 금속막을 형성하는 단계; 및

상기 금속막의 상부 및 측면을 커버하도록 상기 절연 기판의 유리 전이 온도보다 높은 녹는점을 갖는 물질을 도포하여, 상기 금속막 원자의 확산을 방지하는 배리어 막을 형성하는 단계를 포함하는 금속 배선의 형성 방법.

청구항 9.

제8항에 있어서, 상기 금속막을 형성하는 단계는 무전해 도금법에 의하여 수행되는 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 10.

제9항에 있어서, 상기 무전해 도금법은,

상기 절연 기판의 금속 증착 영역에 시드(seed)를 형성하는 단계; 및

상기 절연 기판을 환원제와 금속 이온 제공물을 포함하는 무전해 도금액에 침지하여 상기 금속 증착 영역에 상기 금속을 성장시키는 단계를 포함하는 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 11.

제10항에 있어서, 상기 시드는, 팔라듐(Pb), 금(Au), 은(Ag), 주석(Sn), 니켈(Ni), 철(Fe) 및 백금(Pt)으로 이루어진 군에서 선택된 적어도 하나인 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 12.

제10항에 있어서, 상기 시드를 형성하는 단계는,

상기 금속 증착 영역에 주석 이온을 흡착시키는 단계; 및

상기 주석 이온을 매개로 금속 염화물을 포함하는 산용액에 침지하여 시드를 부착시키는 단계를 포함하는 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 13.

제12항에 있어서, 상기 주석 이온을 흡착시키는 단계는 상기 절연 기판을 염화 제1 주석 수용액에 침지하여 수행되는 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 14.

제10항에 있어서, 상기 환원제는 알데히드(aldehyde)인 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 15.

제10항에 있어서, 상기 무전해 도금액은 알칼리성인 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 16.

제15항에 있어서, 상기 무전해 도금액의 pH는 12.5 내지 13 인 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 17.

제10항에 있어서, 상기 무전해 도금액은 착화제를 더 포함하는 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 18.

제17항에 있어서, 상기 착화제는 에틸렌디아민테트라아세트산(Ethylene Di-amine Tetra-acetic Acid ; EDTA)인 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 19.

제10항에 있어서, 상기 절연 기판의 금속 증착 영역에 시드(seed)를 형성하는 단계 전,

상기 절연 기판을 세정하는 단계; 및

세정된 상기 절연 기판을 식각하는 단계를 더 포함하는 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 20.

제19항에 있어서, 상기 절연 기판을 식각하는 단계는 350 내지 450g/l 농도 범위의 수산화나트륨(NaOH)의 식각액으로 수행되는 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 21.

제8항에 있어서, 상기 배리어막의 형성 단계는 스퍼터링 공정에 의하여 수행되는 것을 특징으로 하는 금속 배선의 형성 방법.

청구항 22.

절연 기판;

게이트 배선과 연결되며 금속을 포함하는 게이트 전극, 데이터 배선과 연결되는 제1 전류 전극, 상기 게이트 전극과 상기 제1 전류 전극을 절연시키는 게이트 절연막, 상기 게이트 전극과 상기 게이트 절연막 사이에 상기 게이트 전극의 상면과 측면을 커버하도록 배치되어 상기 절연 기판의 유리 전이 온도보다 높은 녹는점을 가진 물질을 포함하며 상기 금속의 확산을 방지하는 제1 배리어층을 포함하는 스위칭 소자; 및

상기 스위칭 소자의 제2 전류 전극과 연결되는 화소 전극을 포함하는 어레이 기판.

청구항 23.

제22항에 있어서, 상기 제1 전류 전극 또는 상기 제2 전류 전극은 상기 게이트 전극과 동일한 물질을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 24.

제23항에 있어서, 상기 제1 및 제2 전류 전극 상에 패시베이션막을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 25.

제24항에 있어서, 상기 제1 및 제2 전류 전극과 패시베이션막 사이에 배치되며, 상기 패시베이션막으로 상기 금속의 확산을 방지하는 제2 배리어층을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 26.

제25항에 있어서, 상기 제2 전류 전극과 전기적으로 연결되며, 금속을 포함하는 제1 캐패시터 전극을 갖는 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 27.

제26항에 있어서, 상기 제1 배리어층은 상기 제1 캐패시터 전극 상에 배치되며, 상기 금속의 확산을 방지하는 것을 특징으로 하는 어레이 기판.

청구항 28.

절연 기판 상에 금속을 포함하는 게이트 전극을 형성하는 단계;

상기 게이트의 상부 및 측벽을 커버하도록 상기 게이트 상에 상기 절연 기판의 유리 전이 온도보다 높은 녹는점을 가진 물질을 적층하여, 상기 금속 원자의 확산을 방지하는 배리어막을 형성하는 단계; 및

상기 배리어막을 포함하는 절연 기판 상에 게이트 절연막 및 제1과 제2 전류 전극을 순차적으로 형성하는 단계를 포함하는 어레이 기판의 형성 방법.

청구항 29.

제28항에 있어서, 상기 금속은 무전해 도금법에 의해 형성되는 것을 특징으로 하는 어레이 기판의 형성 방법.

청구항 30.

제28항에 있어서, 상기 배리어층은 산화주석(tin oxide) 또는 산화아연(zinc oxide)을 포함하는 것을 특징으로 하는 어레이 기판의 형성 방법.

청구항 31.

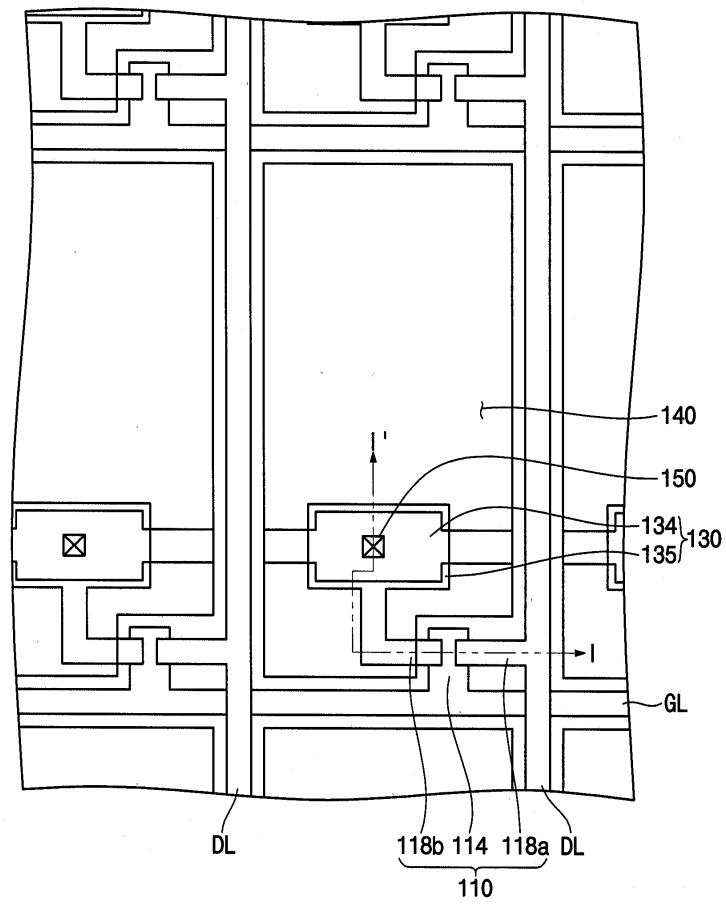
공통 전극을 포함하는 제1 유리 기판;

상기 제1 기판과 대향하고, 금속을 포함하는 게이트 전극, 게이트 절연막, 제1 및 제2 전류 전극, 상기 게이트 전극과 상기 게이트 절연층 사이에 배치되어 상기 유리의 유리 전이 온도보다 높은 녹는점을 가진 물질을 포함하며 금속의 확산을 방지하는 배리어층을 갖고 영상 신호를 인가하는 스위칭 소자와 상기 스위칭 소자와 연결되는 화소 전극을 포함하는 제2 유리 기판; 및

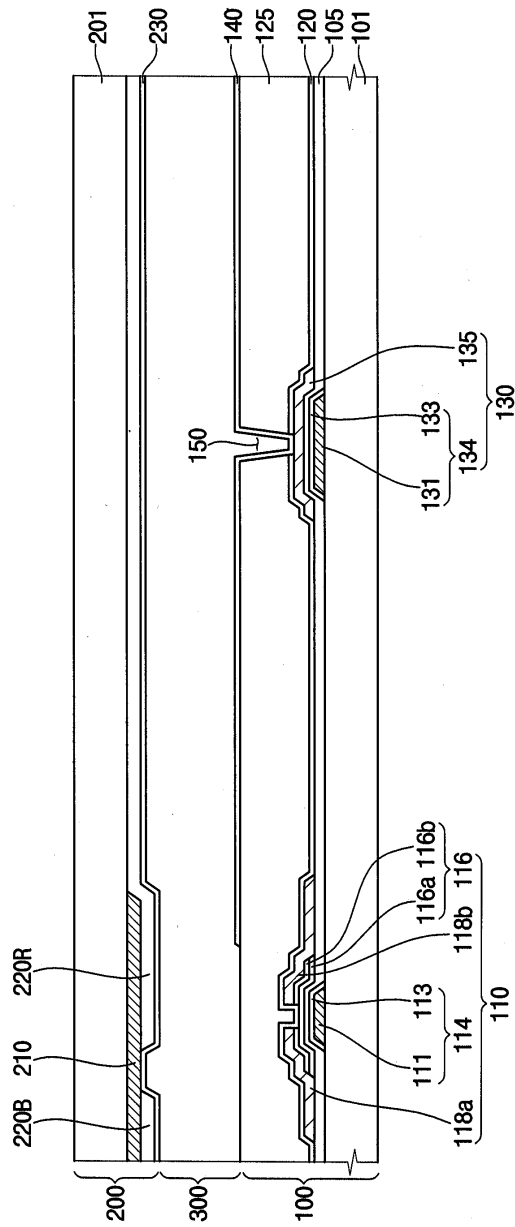
상기 제1 유리 기판과 상기 제2 유리 기판의 사이에 개재되는 액정층을 포함하는 액정 표시 패널.

도면

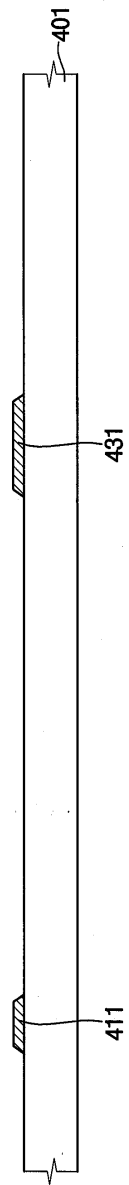
도면1



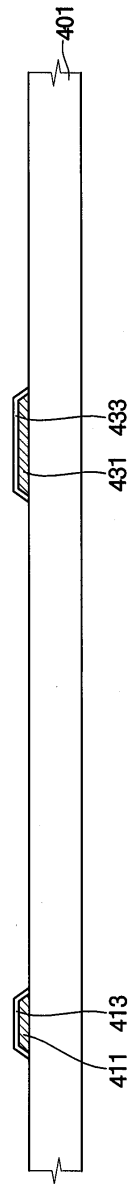
도면2



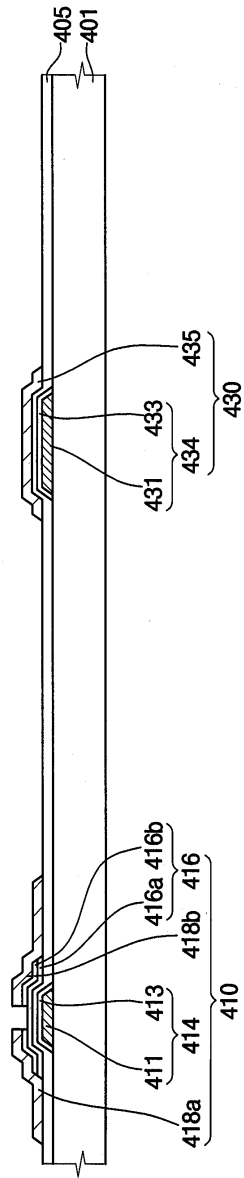
도면3a



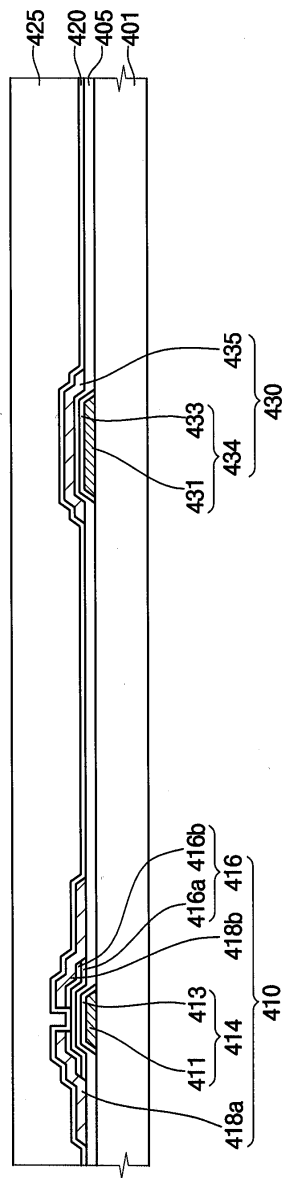
도면3b



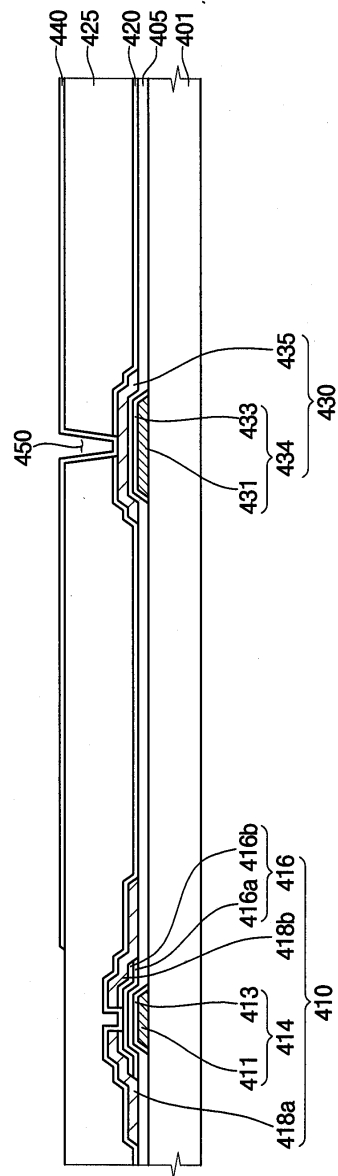
도면3c



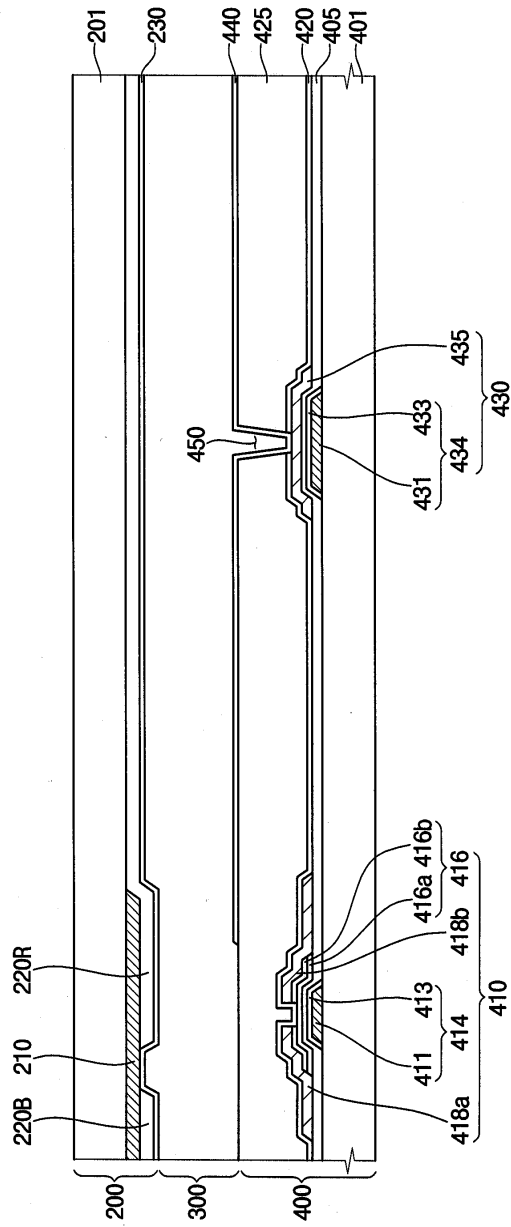
도면3d



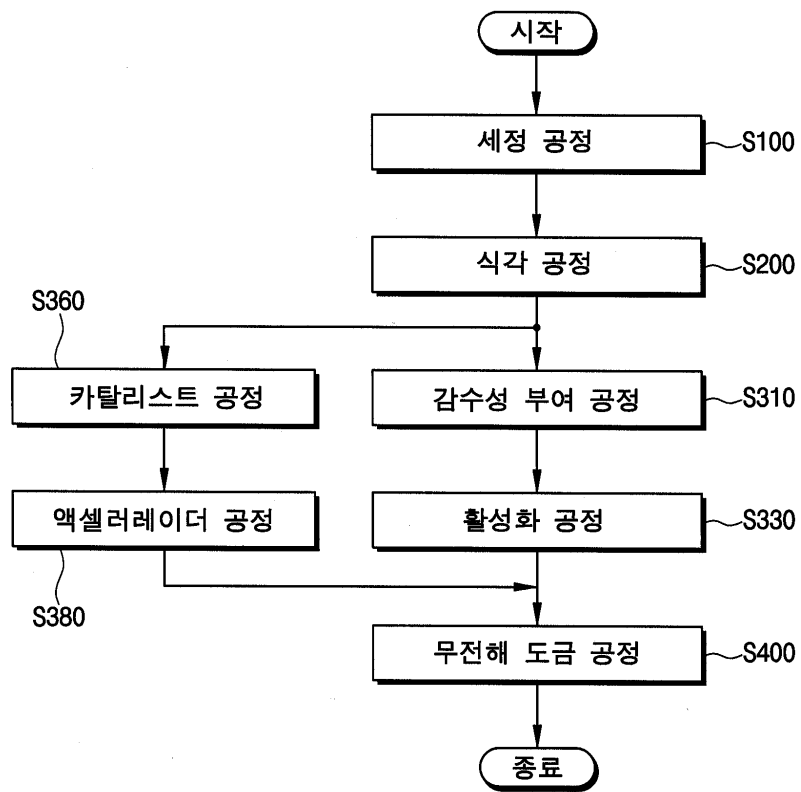
도면3e



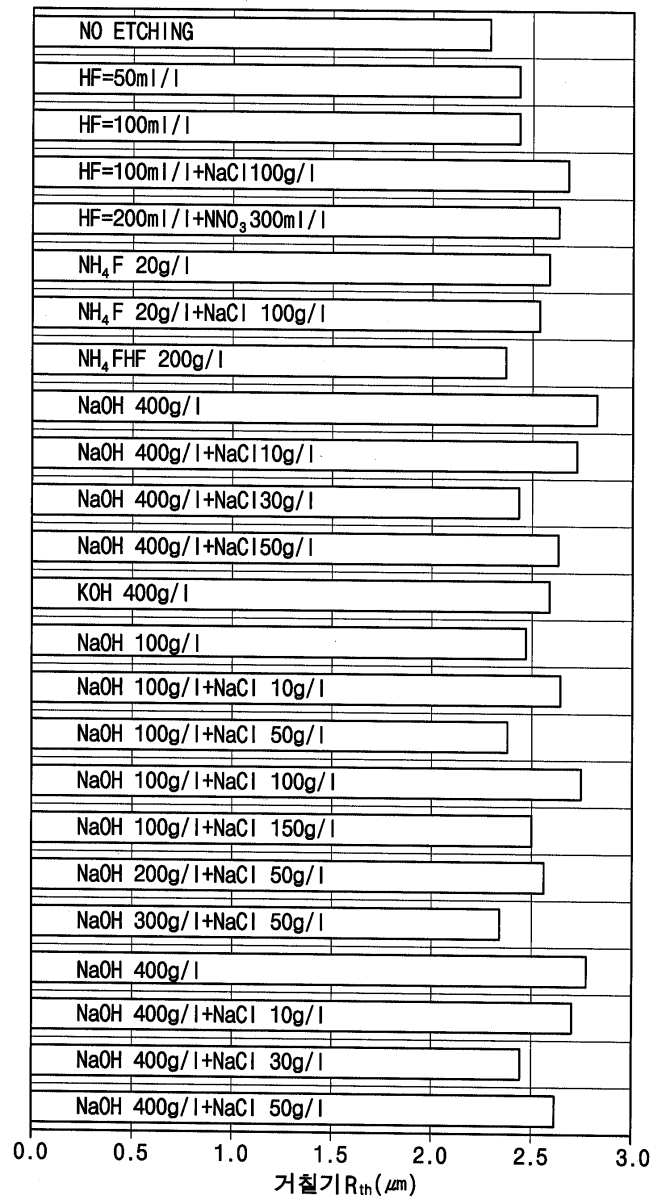
도면3f



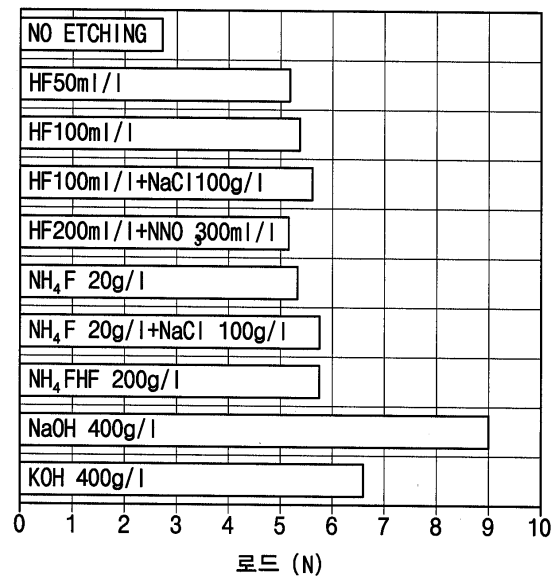
도면4



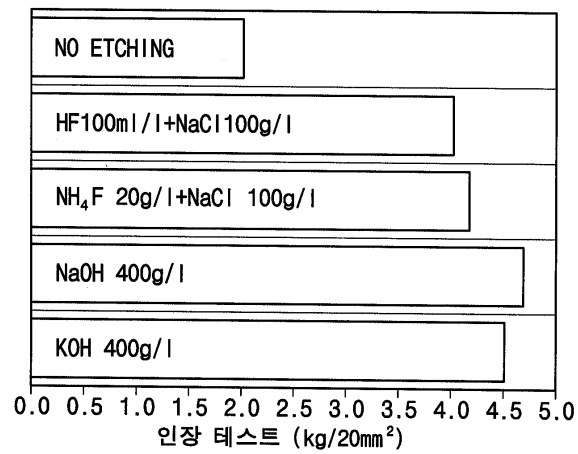
도면5



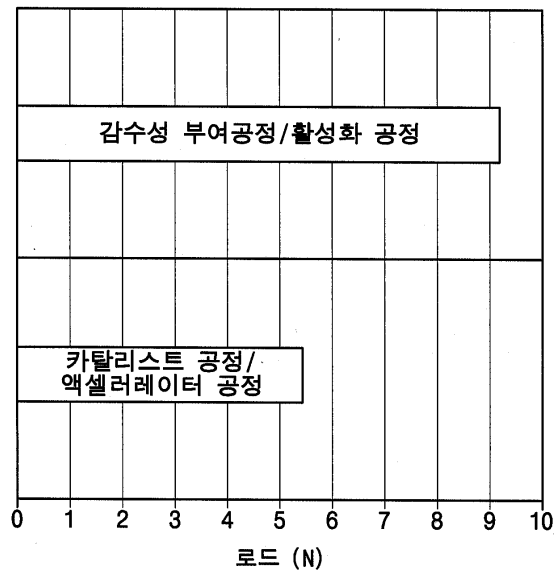
도면6



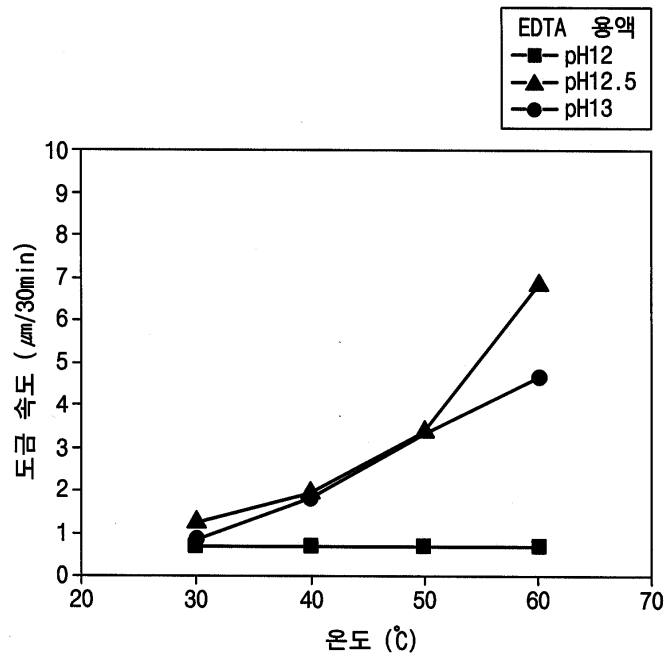
도면7



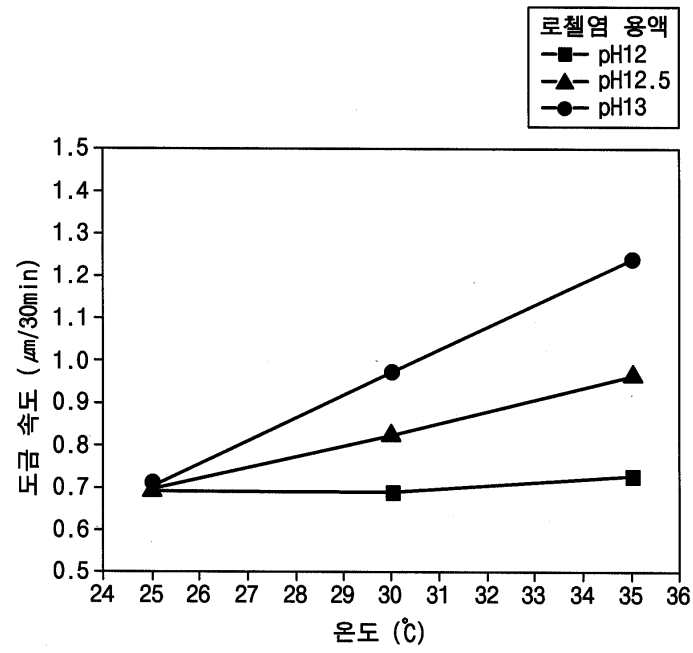
도면8



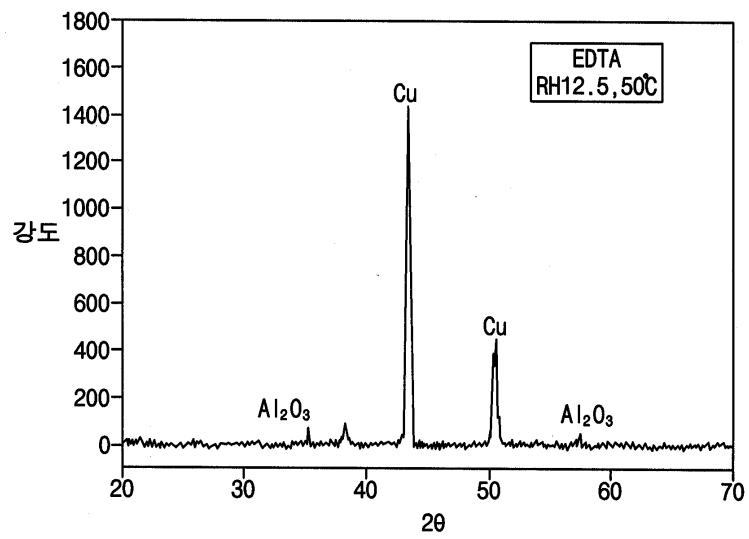
도면9



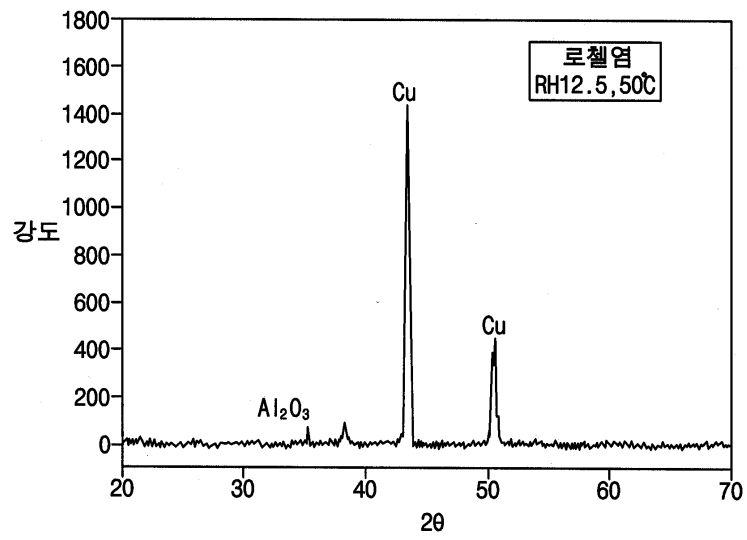
도면10



도면11



도면12



专利名称(译)	用于制造该方法的方法，制造该方法的方法以及包括该方法的阵列基板，包括相同的方法		
公开(公告)号	KR1020060037690A	公开(公告)日	2006-05-03
申请号	KR1020040086723	申请日	2004-10-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE IN 이인 KWAG JINOH 박진오 LEE SUNGHO 이성호 KIM YOUNGBIN 김영빈		
发明人	이인 박진오 이성호 김영빈		
IPC分类号	G02F1/136		
CPC分类号	H01L29/4908 H01L27/1214 H01L27/124		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR101051015B1		
外部链接	Espacenet		

摘要(译)

公开了金属布线，其制造方法，以及包括该金属布线的阵列面板和包括该布线的LCD面板。金属布线包括金属层和阻挡膜。金属布线布置在绝缘基板上。阻挡膜包括熔点高于绝缘基板的玻璃化转变温度的材料，金属层的上侧和侧面被设置为被覆盖。并且防止了金属层原子的扩散。为了覆盖金属层，形成包括熔点高于绝缘基板的玻璃化转变温度的材料的阻挡膜。以这种方式，防止了高温过程中的扩散。防止了金属布线的劣化。

