

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/1343

(11) 공개번호 10-2005-0118537
(43) 공개일자 2005년12월19일

(21) 출원번호 10-2004-0043674
(22) 출원일자 2004년06월14일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 오재영
경기도 의왕시 내손1동 포일아파트 101동 210호
홍성진
서울특별시 관악구 봉천3동 관악현대아파트 124동 1510호

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 액정표시장치용 기관 및 그 제조방법

요약

본 발명의 목적은, 고개구율을 갖는 IPS형 액정표시장치 및 그 제조방법을 제공하는 데 있다.

본 발명은, 기관 상에 서로 교차하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선과 평행하게 이격된 공통 배선과; 상기 공통 배선과 연결된 공통 전극과; 상기 게이트 배선과 연결되는 게이트 전극과; 상기 데이터 배선과 연결되는 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과; 상기 공통 전극과 평행하게 이격되고 상기 드레인 전극과 연결되는 화소 전극과; 상기 드레인 전극과 연결되고, 상기 데이터 배선과 인접하는 상기 공통 전극 상부에 형성되어 제 1 스토리지 커패시터를 형성하는 제 1 보조전극을 포함하는 액정표시장치용 기관을 제공한다.

본 발명은, 화소 전극과 공통 전극을 투명 도전성 금속 물질로 형성하고, 스토리지 커패시터를 데이터 배선과 인접하는 공통 전극이 형성된 부분에 구성함으로써 IPS형 액정표시장치의 개구율을 증가시킬 수 있는 효과가 있다.

대표도

도 8

명세서

도면의 간단한 설명

도 1a와 1b는 각각, IPS형 액정표시장치에서 전압 오프(off)/온(on) 상태에서의 액정 분자의 배열을 도시한 단면도.

도 2는 종래의 IPS형 액정표시장치용 기관을 도시한 평면도.

도 2a와 2b는 각각, IPS형 액정표시장치에서 전압이 오프(off)와 온(on) 상태에서 액정 분자의 배열 상태를 도시한 개략 단면도.

도 3a, 4a, 5a, 6a, 7a는 본 발명의 실시예에 따른 IPS형 액정표시장치용 기판을 제조하는 방법을 도시한 평면도.

도 3b, 4b, 5b, 6b, 7b는 각각 도 3a, 4a, 5a, 6a, 7a의 절단선 IIIb-IIIb, IVb-IVb, Vb-Vb, VIb-VIb, VIIb-VIIb를 따라 도시한 단면도.

도 3c, 4c, 5c, 6c, 7c는 각각 도 3a, 4a, 5a, 6a, 7a의 절단선 IIIc-IIIc, IVc-IVc, Vc-Vc, VIc-VIc, VIIc-VIIc를 따라 도시한 단면도.

도 3d, 4d, 5d, 6d, 7d는 각각 도 3a, 4a, 5a, 6a, 7a의 절단선 IIId-IIId, IVd-IVd, Vd-Vd, VIId-VIId, VIIId-VIIId를 따라 도시한 단면도.

도 3e, 4e, 5e, 6e, 7e는 각각 도 3a, 4a, 5a, 6a, 7a의 절단선 IIIE-IIIE, IVE-IVE, VE-VE, VIe-VIe, VIIe-VIIe를 따라 도시한 단면도.

도 8은 본 발명의 실시예에 따라 제조된 액정표시장치용 기판을 도시한 평면도.

<도면의 주요 부분에 대한 부호의 설명>

200 : 기판 211 : 게이트 배선

213 : 게이트 전극 216 : 공통 배선

217 : 공통 전극 219 : 화소 전극

241 : 데이터 배선 C_{ST1} , C_{ST2} : 제 1, 2 스토리지 커패시터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid crystal display device)에 관한 것으로, 특히 횡전계형(In-Plane Switching mode) 액정표시장치에 관한 것이다.

일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다. 따라서, 액정의 분자 배열을 조절하면, 빛이 굴절하여 화상 정보를 표현할 수 있다.

액정표시장치는 화상 정보를 표현하기 위해 공통 전극과 화소 전극의 전압차를 이용하여 액정에 전기장을 인가함으로써 구동되는데, 공통 전극과 화소 전극이 동일한 기판에 형성되어, 액정층에 수평전계를 형성하는 횡전계형(In-Plane Switching mode, 이하 IPS형이라 함.) 액정표시장치가 시야각 특성에서 우수하여 널리 사용되고 있다.

도 1a와 1b는 각각, IPS형 액정표시장치에서 전압 오프(off)/온(on) 상태에서의 액정 분자의 배열을 도시한 단면도이다.

전압 오프 상태에서는, 도 1a에 도시한 바와 같이, 액정 분자(50)에 전계가 형성되지 않기 때문에, 액정 분자(50)는 초기 배열 상태로 유지된다.

전압이 온 상태에서는, 도 1b에 도시한 바와 같이, 공통 전극(38) 및 화소 전극(40) 상에는 수직 전계가 형성되기 때문에 그곳에 위치한 액정 분자(50a)는 배열 방향의 변화가 없으나, 공통 전극(38)과 화소 전극(40) 사이에 위치하는 액정 분자(50b)는 공통 전극(38)과 화소 전극(40) 사이에 생성되는 수평 전계에 의해 기판과 평행하게 배열되는 동작 특성을 가지게 된다.

IPS형 액정표시장치는 수평전계에 의해 액정 분자를 구동함으로써, 광시야각 특성을 가지며, 색재현율이 양호하다.

도 2는 종래의 IPS형 액정표시장치용 기판을 도시한 평면도이다.

도시한 바와 같이, 서로 직교하는 게이트 및 데이터 배선(111, 141)이 형성되어 있고, 이들 두 배선(111, 141)이 직교하여 화소 영역(P)이 정의된다. 게이트 및 데이터 배선(111, 141)이 교차하는 지점에 박막트랜지스터(T)가 형성되어 있다. 게이트 및 데이터 배선(111, 141)의 일 끝단에는 게이트 및 데이터 패드(GP, DP)가 형성되어 있다.

박막트랜지스터(T)는 게이트 배선에 위치하는 게이트 전극(113)과, 게이트 전극(113) 상부의 반도체층 패턴(131)과, 데이터 배선(141)에 연결된 소스 전극(143)과, 소스 전극(143)과 이격된 드레인 전극(145)으로 이루어진다. 반도체층 패턴(131)은 순수 비정질 실리콘층(a-Si)과 불순물 비정질 실리콘층(n+ a-Si)으로 이루어진다.

화소 영역(P)에는, 게이트 배선(111)과 평행하게 공통 배선(116)이 형성되어 있고, 공통 배선(116)에서 공통 전극(117)이 분기되어 있다. 공통 전극(117)은 게이트 배선(113)과 동일 물질과 동일 공정으로 형성된다. 공통 배선(116)에서 분기된 공통 전극(117)은 상부에서 연결 배선(118)을 통해 서로 연결된다.

화소 전극(161)은 드레인 전극(145)과 연결된다. 화소 전극(161)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 인듐-징크-옥사이드(indium-zinc-oxide : IZO)를 포함하는 투명 도전성 금속 물질로 이루어진다.

화소 전극(161)은 연결 배선(118) 상에 형성된 금속 패턴(149)과 연결된다. 금속 패턴(149)은 데이터 배선(141)과 동일 물질과 동일 공정으로 이루어진다.

드레인 전극(145)과 공통 배선(116)은 중첩되어 제 1 스토리지 커패시터(C_{ST1})를 형성하게 된다. 그리고, 금속 패턴(149)은 연결배선(118)과 중첩되어 제 2 스토리지 커패시터(C_{ST2})를 형성하게 된다.

따라서, 박막트랜지스터(T)가 오프 상태인 경우에, 화소 전극(161)과 공통 전극(117)에 충전된 전하는 제 1, 2 스토리지 커패시터(C_{ST1} , C_{ST2})에 의해 다음번 온 상태까지 유지된다.

그런데, 위와 같은 구성을 갖는 종래의 IPS형 액정표시장치는 개구율이 감소되는 문제가 발생한다.

먼저, 제 2 스토리지 커패시터(C_{ST2})를 형성하기 위해 별도의 연결 배선 및 금속 패턴(118, 149)이 형성되어 액정표시장치의 개구율이 저하된다.

그리고, 공통 전극(117)과 공통 배선(116)이 게이트 배선과 동일한 불투명한 금속 물질로 이루어져, 공통 전극(117)과 공통 배선(116)이 형성된 부분은 화상을 표시할 수 없는 부분이 되어 액정표시장치의 개구율이 저하된다.

발명이 이루고자 하는 기술적 과제

전술한 바와 같은 문제를 해결하기 위한 본 발명의 목적은, 고개구율을 갖는 IPS형 액정표시장치 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

전술한 바와 같은 목적을 달성하기 위해, 본 발명은, 기판 상에 서로 교차하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선과 평행하게 이격된 공통 배선과; 상기 공통 배선과 연결된 공통 전극과; 상기 게이트 배선과 연결되는 게이트 전극과; 상기 데이터 배선과 연결되는 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과; 상기 공통 전극과 평행하게 이격되고 상기 드레인 전극과 연결되는 화소 전극과; 상기 드레인 전극과 연결되고, 상기 데이터 배선과 인접하는 상기 공통 전극 상부에 형성되어 제 1 스토리지 커패시터를 형성하는 제 1 보조전극을 포함하는 액정표시장치용 기판을 제공한다.

여기서, 상기 화소 전극과 공통 전극과 제 1 보조 전극은 투명 도전성 금속 물질로 이루어질 수 있다. 상기 화소 전극과 공통 전극은 상기 게이트 배선과 동일한 층에 형성될 수 있다.

그리고, 상기 드레인 전극과 상기 제 1 보조 전극을 연결하는 제 2 보조 전극을 더욱 포함하고, 상기 제 2 보조 전극 및 드레인 전극과 상기 공통 배선은 제 2 스토리지 커패시터를 형성할 수 있다.

또한, 상기 제 1 보조 전극은 상기 공통 전극보다 좁은 폭을 가질 수 있다.

다른 측면에서, 본 발명은, 기판 상에 게이트 배선과, 상기 게이트 배선과 연결되는 게이트 전극과, 공통 배선과, 상기 공통 배선과 연결된 공통 전극과, 상기 공통 전극과 이격된 화소 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판에 게이트 절연막과, 반도체층 패턴과, 상기 게이트 배선과 교차하는 데이터 배선과, 상기 데이터 배선과 연결되는 소스 전극과, 상기 소스 전극과 이격되고 상기 화소 전극과 연결되는 드레인 전극을 형성하는 단계와; 상기 드레인 전극이 형성된 기판에 보호막을 형성하는 단계와; 상기 드레인 전극과 연결되고, 상기 데이터 배선과 인접한 상기 공통 전극 상부에 제 1 보조 전극을 형성하는 단계를 포함하는 액정표시장치용 기판 제조방법을 제공한다.

여기서, 상기 화소 전극과 공통 전극과 제 1 보조 전극은 투명 도전성 금속 물질로 이루어질 수 있다.

그리고, 상기 드레인 전극은 상기 공통 배선 상에 형성되고, 상기 드레인 전극과 상기 제 1 보조 전극을 연결하는 제 2 보조 전극을 형성하는 단계를 더욱 포함할 수 있다. 상기 보호막에 상기 드레인 전극을 노출하는 제 1, 2 콘택홀과 상기 화소 전극을 노출하는 제 3 콘택홀을 형성하는 단계와, 상기 제 1, 3 콘택홀을 통해 상기 드레인 전극과 상기 화소 전극을 연결하는 화소 연결 패턴을 형성하는 단계를 더욱 포함하고, 상기 제 2 보조 전극은 상기 제 2 콘택홀을 통해 상기 드레인 전극과 접촉할 수 있다.

또한, 상기 제 1 보조 전극은 상기 공통 전극보다 좁은 폭을 가질 수 있다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

도 3a, 4a, 5a, 6a, 7a는 본 발명의 실시예에 따른 IPS형 액정표시장치용 기판을 제조하는 방법을 도시한 평면도이다. 도 3b, 4b, 5b, 6b, 7b는 각각 도 3a, 4a, 5a, 6a, 7a의 절단선 IIIb-IIIb, IVb-IVb, Vb-Vb, VIb-VIb, VIIb-VIIb를 따라 도시한 단면도이다. 그리고, 도 3c, 4c, 5c, 6c, 7c는 각각 도 3a, 4a, 5a, 6a, 7a의 절단선 IIIc-IIIc, IVc-IVc, Vc-Vc, VIc-VIc, VIIc-VIIc를 따라 도시한 단면도이다. 또한, 도 3d, 4d, 5d, 6d, 7d는 각각 도 3a, 4a, 5a, 6a, 7a의 절단선 IIId-IIId, IVd-IVd, Vd-Vd, VIId-VIId를 따라 도시한 단면도이다. 또한, 도 3e, 4e, 5e, 6e, 7e는 각각 도 3a, 4a, 5a, 6a, 7a의 절단선 IIIE-IIIE, IVE-IVE, VE-VE, VIe-VIe, VIIe-VIIe를 따라 도시한 단면도이다.

먼저, 도 3a, 3b, 3c, 3d, 3e에 도시한 바와 같이, 기판(200) 상에 제 1, 2 금속막을 순차적으로 형성한다. 하부막인 제 1 금속막은 인듐-틴-옥사이드(indium-tin-oxide : ITO), 인듐-징크-옥사이드(indium-zinc-oxide : IZO)를 포함하는 투명 도전성 금속 물질을 사용하고, 상부막인 제 2 금속막은 구리(Cu), 구리 합금(Cu alloy), 알루미늄(Al), 알루미늄 합금(Al alloy), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta)을 포함하는 금속물질을 사용한다. 한편, 제 1, 2 금속막 상에 다수의 금속막을 더욱 증착할 수 있다.

다음으로, 제 1, 2 금속막을 제 1 마스크 공정으로 패터닝하여 게이트 배선(211), 게이트 전극(213), 게이트 패드 전극(215), 공통 배선(216), 공통 전극(217), 화소 전극(219)을 형성한다.

다음으로, 공통 전극(217)과 화소 전극(219)의 제 2 금속막을 제거한다. 이와 같이 하면, 공통 전극(217)과 화소 전극(219)은 투명 도전성 금속 물질로 이루어진 하나의 막으로 이루어진다.

공통 전극(217)과 화소 전극(219)은 한번 꺾여진 지그재그(zig-zag) 형상을 갖고, 서로 평행하게 이격되어 형성된다. 한편, 공통 전극(217)과 화소 전극(219)은 다수번 꺾여진 지그재그 형상을 가질 수 있다.

다음으로, 도 4a, 4b, 4c, 4d, 4e에 도시한 바와 같이, 게이트 배선(211) 등이 형성된 기판 상에 게이트 절연막(220), 반도체층(230), 제 3 금속막(240)을 형성한다.

게이트 절연막(220)은 산화 실리콘(SiO_2), 질화 실리콘(SiN_x)를 포함하는 무기절연물질이나, 벤조사이클로부텐(BCB), 아크릴(Acryl)계 수지(resin)를 포함하는 유기절연물질로 이루어진다.

반도체층(230)은 하부의 순수 비정질 실리콘층(230a : a-Si)과 상부의 불순물 비정질 실리콘층(230b : n+ a-Si)으로 이루어진다.

제 3 금속막(240)은 구리(Cu), 구리 합금(Cu alloy), 알루미늄(Al), 알루미늄 합금(Al alloy), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta)을 포함하는 금속물질로 이루어진다.

다음으로, 포토레지스트를 제 3 금속막(240) 상에 도포하고 패터닝하여 포토레지스트 패턴(300)을 형성한다. 포토레지스트는 빛을 받은 부분이 현상되는 파지티브 타입(positive type)과 빛을 받지 않은 부분이 현상되는 네거티브 타입(negative type)을 사용할 수 있다. 포토레지스트 패턴(300)은 데이터 배선과 소스 및 드레인 전극과 데이터 패드 전극이 형성될 부분에 형성된다.

특히, 소스 및 드레인 전극이 형성될 부분에 형성되는 포토레지스트 패턴(300)은 가운데 부분의 두께가 주변 부분의 두께보다 얇게 형성된다. 가운데 부분에 마스크(미도시)의 반투과막을 대응시켜 노광하게 되면, 도시한 바와 같이, 게이트 전극(213) 상부에 서로 두께가 다른 포토레지스트 패턴(300)이 형성된다.

다음으로, 포토레지스트 패턴(300)을 따라 제 3 금속막(240)과 반도체층(230)을 식각하게 된다. 제 3 금속막(240)은 습식 식각(wet etch) 방법에 의해, 반도체층(230)은 건식 식각(dry etch) 방법에 의해 식각된다. 이에 따라, 게이트 전극(213) 상부에는 소스/드레인 금속 패턴(미도시)과 반도체층 패턴(미도시)이 형성된다.

다음으로, 애싱(ashing) 공정에 의해 포토레지스트 패턴(300)을 표면으로부터 일정 두께로 제거하게 되는데, 이에 따라 게이트 전극(213) 상부에 위치하는 포토레지스트 패턴(300)의 가운데 부분은 모두 제거되어 소스/드레인 금속 패턴이 노출되고, 주변 부분은 일정 두께로 잔존하게 된다.

다음으로, 노출된 소스/드레인 금속 패턴을 건식 식각 방법으로, 반도체층 패턴 중 상부의 불순물 비정질 실리콘층(230b)을 건식 식각 방법으로 제거한다.

위와 같은 제 2 마스크 공정에 의해, 도 5a, 5b, 5c, 5d, 5e에 도시한 바와 같이, 반도체층에 채널(CH : channel)이 형성되고, 서로 이격된 소스 및 드레인 전극(243, 245)이 형성된다. 그리고, 데이터 배선(241), 데이터 패드 전극(247), 반도체층 패턴(231)이 형성된다.

반도체층 패턴(231)은, 데이터 배선(241)과 데이터 패드 전극(247) 하부에도 위치한다. 그리고, 드레인 전극(245)은 공통 배선(216) 상부에 위치한다.

게이트 전극(213)과, 게이트 전극(213) 상부에 형성된 반도체층 패턴(231)과, 소스 및 드레인 전극(243, 245)은 박막트랜지스터(T)를 구성하게 된다.

그리고, 서로 교차하는 게이트 배선(211)과 데이터 배선(241)은 화소 영역(P)을 정의한다.

또한, 데이터 배선(241)은 공통 전극 및 화소 전극(217, 219)과 같이 겹쳐진 형태를 갖게 된다. 데이터 배선(241)이 공통 전극(217)과 같은 형상을 갖게 됨으로써, 데이터 배선(241)과 공통 전극(217) 사이의 공간은 최소화 된다.

다음으로, 도 6a, 6b, 6c, 6d, 6e에 도시한 바와 같이, 데이터 배선(241) 등이 형성된 기판 상에 보호막(250)을 도포하고 제 3 마스크 공정을 통해 패터닝하여 제 1, 2, 3, 4, 5 콘택홀(251, 252, 253, 254, 255)을 형성한다. 보호막(250)은 산화실리콘(SiO_2), 질화실리콘(SiN_x)을 포함하는 무기절연물질이나, 벤조사이클로부텐(BCB), 아크릴(Acryl)계 수지(resin)를 포함하는 유기절연물질로 이루어진다.

제 1, 2 콘택홀(251, 252)은 드레인 전극(245)을 노출하게 되고, 제 3 콘택홀(253)은 화소 전극(219)을 노출하게 되고, 제 4 콘택홀(254)은 게이트 패드 전극(215)을 노출하게 되고, 제 5 콘택홀(255)은 데이터 패드 전극(247)을 노출하게 된다. 특히, 제 3, 4 콘택홀(253, 254)은 보호막(250)과 게이트 절연막(220)을 식각하여 형성된다.

다음으로, 도 7a, 7b, 7c, 7d, 7e에 도시한 바와 같이, 보호막(250) 상에 인듐-틴-옥사이드(indium-tin-oxide : ITO), 인듐-징크-옥사이드(indium-zinc-oxide : IZO)를 포함하는 투명 도전성 금속 물질을 증착하고 제 4 마스크 공정을 통해 패터닝하여 제 1, 2 보조 전극(261, 262)과 화소 연결 패턴(265)과 게이트 패드 전극 단자(267)와 데이터 패드 전극 단자(268)를 형성하게 된다.

제 1 보조 전극(261)은 드레인 전극(245) 상부에 위치하고, 제 1 콘택홀(251)을 통해 드레인 전극(245)과 연결된다.

제 1 보조 전극 및 드레인 전극(261, 245)과, 공통 배선(216)과, 그 사이에 유전체 역할을 하는 게이트 절연막(220)과 반도체층 패턴(231)은 제 1 스토리지 커패시터(C_{ST1})를 구성한다.

제 2 보조 전극(262)은 데이터 배선(241)과 인접하는 공통 전극(217) 상부에 위치하게 된다. 제 2 보조 전극(262)은 데이터 배선(241)과 인접하는 공통 전극(217)의 형상을 따라 형성된다. 제 2 보조 전극(262)과, 데이터 배선(241)과 인접하는 공통 전극(217), 그 사이에 유전체 역할을 하는 게이트 절연막(220)과 보호막(250)은 제 2 스토리지 커패시터(C_{ST2})를 구성하게 된다.

한편, 제 2 보조 전극(262)의 폭은 데이터 배선(241)과 인접하는 공통 전극(217)의 폭보다 작게 형성될 수 있다. 제 2 보조 전극(262)은 데이터 배선 및 화소 전극(241, 219)에 인가되는 신호와 동일한 신호가 인가되므로, 신호 왜곡을 방지하기 위해 제 2 보조 전극(262)의 폭은 데이터 배선(241)과 인접하는 공통 전극(217)의 폭보다 작게 형성될 수 있다.

화소 연결 패턴(265)은 제 2 콘택홀(252)을 통해 드레인 전극(245)과 접촉하고, 제 3 콘택홀(253)을 통해 화소 전극(219)과 접촉하여, 드레인 전극(245)과 화소 전극(219)을 전기적으로 연결하게 된다.

게이트 패드 전극 단자(267)와 데이터 패드 전극 단자(268)는 각각 제 4, 5 콘택홀을 통해 게이트 패드 전극(215)과 데이터 패드 전극(247)과 접촉하게 된다. 게이트 패드 전극 단자(267)와 데이터 패드 전극 단자(268)는 각각 게이트 신호와 데이터 신호를 외부로부터 인가받게 된다. 인가된 게이트 신호와 데이터 신호는 각각 게이트 패드 전극(215)과 데이터 패드 전극(247)을 통해 게이트 배선(211)과 데이터 배선(241)에 전달된다.

게이트 패드 전극 단자(267)와 게이트 패드 전극(215)은 게이트 패드(GP)를 구성하게 되고, 데이터 패드 전극 단자(268)와 데이터 패드 전극(247)은 데이터 패드(DP)를 구성하게 된다.

전술한 바와 같은 공정을 통해 본 발명의 실시예에 따른 IPS형 액정표시장치용 기판을 제조하게 된다.

도 8에 도시한 바와 같이, 화소 전극(219)과 공통 전극(217) 사이의 개구부는 두 전극(217, 219) 사이에 형성되는 전계의 방향이 서로 다른 두 개의 도메인(D1, D2)으로 나뉘어지게 된다. 두 개의 도메인(D1, D2)은 전계의 방향이 서로 달라지므로 전계 인가시 두 개의 도메인(D1, D2) 내에 위치하는 액정의 배열 또한 달라지게 되는데, 두 개의 도메인(D1, D2)은 꺾어진 부분을 따라 서로 대칭되는 구조를 갖게 되므로, 두 개의 도메인(D1, D2)을 통한 광학적 특성은 서로 보상되어 액정표시장치의 시야각 특성은 향상된다.

그리고, 종래의 IPS형 액정표시장치용 기판에는 제 2 스토리지 커패시터(도 2의 C_{ST2} 참조)가 상부에 위치하여 화상을 표시할 수 없게 되므로 개구율을 저하시키게 되는데, 본 발명의 실시예에 따른 제 2 스토리지 커패시터(C_{ST2})는 종래와 같이 상부에 위치하지 않고, 데이터 배선(241)과 인접하는 공통 전극(217)이 형성된 부분에 위치하게 되므로 상부를 화상을 표시할 수 있는 부분으로 사용할 수 있게 되어 개구율이 향상된다.

또한, 공통 전극 및 화소 전극(217, 219)과 제 2 스토리지 커패시터(C_{ST2})를 구성하는 제 2 보조 전극(262)을 투명 도전성 금속 물질로 형성함으로써, 화소 전극(219)과 공통 전극(217)이 형성된 부분을 화상을 표시할 수 있는 부분으로 사용할 수 있게 되어 개구율이 향상된다.

또한, 제 2 스토리지 커패시터(C_{ST2})는 데이터 배선(241)과 인접하는 공통 전극(217)을 따라 형성되므로 충전 용량이 증가된다. 따라서, 제 1 스토리지 커패시터(C_{ST1})를 작게 형성할 수 있게 되어, 공통 배선(216)의 폭을 감소시킬 수 있는 등 화상을 표시할 수 있는 부분이 증가하게 되어 개구율이 향상될 수 있게 된다.

또한, 데이터 배선(241)이 공통 전극(217)과 같은 형상을 갖게 됨으로써, 데이터 배선(241)과 이와 인접하는 공통 전극(217) 사이의 공간은 최소화 되어 개구율이 향상될 수 있게 된다.

전술한 바와 같은 본 발명의 실시예는 본 발명의 일례로서, 이에 대한 다양한 변형이 가능하다. 이와 같은 변형이 본 발명의 정신에 포함되는 경우에는, 본 발명의 권리 범위에 속한다 함은 당업자에게 자명한 사실이다. 본 발명의 권리 범위는 특허청구범위에서 분명해 질 것이다.

발명의 효과

본 발명은, 화소 전극과 공통 전극을 투명 도전성 금속 물질로 형성하고, 스토리지 커패시터를 데이터 배선과 인접하는 공통 전극이 형성된 부분에 구성함으로써 IPS형 액정표시장치의 개구율을 증가시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

기관 상에 서로 교차하는 게이트 배선 및 데이터 배선과;

상기 게이트 배선과 평행하게 이격된 공통 배선과;

상기 공통 배선과 연결된 공통 전극과;

상기 게이트 배선과 연결되는 게이트 전극과;

상기 데이터 배선과 연결되는 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과;

상기 공통 전극과 평행하게 이격되고 상기 드레인 전극과 연결되는 화소 전극과;

상기 드레인 전극과 연결되고, 상기 데이터 배선과 인접하는 상기 공통 전극 상부에 형성되어 제 1 스토리지 커패시터를 형성하는 제 1 보조전극

을 포함하는 액정표시장치용 기관.

청구항 2.

제 1 항에 있어서,

상기 화소 전극과 공통 전극과 제 1 보조 전극은 투명 도전성 금속 물질로 이루어진 액정표시장치용 기관.

청구항 3.

제 2 항에 있어서,

상기 화소 전극과 공통 전극은 상기 게이트 배선과 동일한 층에 형성되는 액정표시장치용 기관.

청구항 4.

제 1 항에 있어서,

상기 드레인 전극과 상기 제 1 보조 전극을 연결하는 제 2 보조 전극을 더욱 포함하고, 상기 제 2 보조 전극 및 드레인 전극과 상기 공통 배선은 제 2 스토리지 커패시터를 형성하는 액정표시장치용 기관.

청구항 5.

제 1 항에 있어서,

상기 제 1 보조 전극은 상기 공통 전극보다 좁은 폭을 갖는 액정표시장치용 기관.

청구항 6.

기관 상에 게이트 배선과, 상기 게이트 배선과 연결되는 게이트 전극과, 공통 배선과, 상기 공통 배선과 연결된 공통 전극과, 상기 공통 전극과 이격된 화소 전극을 형성하는 단계와;

상기 게이트 전극이 형성된 기관에 게이트 절연막과, 반도체층 패턴과, 상기 게이트 배선과 교차하는 데이터 배선과, 상기 데이터 배선과 연결되는 소스 전극과, 상기 소스 전극과 이격되고 상기 화소 전극과 연결되는 드레인 전극을 형성하는 단계와;

상기 드레인 전극이 형성된 기관에 보호막을 형성하는 단계와;

상기 드레인 전극과 연결되고, 상기 데이터 배선과 인접한 상기 공통 전극 상부에 제 1 보조 전극을 형성하는 단계를 포함하는 액정표시장치용 기관 제조방법.

청구항 7.

제 6 항에 있어서,

상기 화소 전극과 공통 전극과 제 1 보조 전극은 투명 도전성 금속 물질로 이루어진 액정표시장치용 기관 제조방법.

청구항 8.

제 6 항에 있어서,

상기 드레인 전극은 상기 공통 배선 상에 형성되고, 상기 드레인 전극과 상기 제 1 보조 전극을 연결하는 제 2 보조 전극을 형성하는 단계를 더욱 포함하는 액정표시장치용 기관 제조방법.

청구항 9.

제 8 항에 있어서,

상기 보호막에 상기 드레인 전극을 노출하는 제 1, 2 콘택홀과 상기 화소 전극을 노출하는 제 3 콘택홀을 형성하는 단계와, 상기 제 1, 3 콘택홀을 통해 상기 드레인 전극과 상기 화소 전극을 연결하는 화소 연결 패턴을 형성하는 단계를 더욱 포함하고,

상기 제 2 보조 전극은 상기 제 2 콘택홀을 통해 상기 드레인 전극과 접촉하는 액정표시장치용 기관 제조방법.

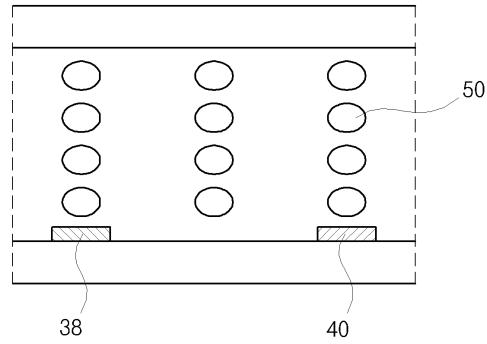
청구항 10.

제 6 항에 있어서,

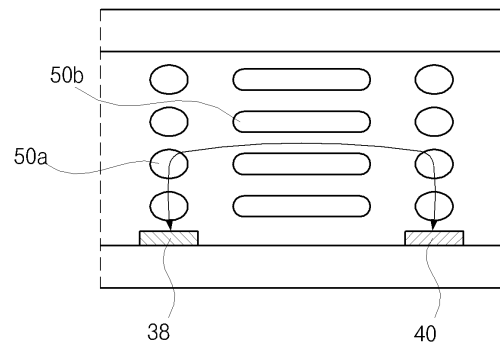
상기 제 1 보조 전극은 상기 공통 전극보다 좁은 폭을 갖는 액정표시장치용 기판 제조방법.

도면

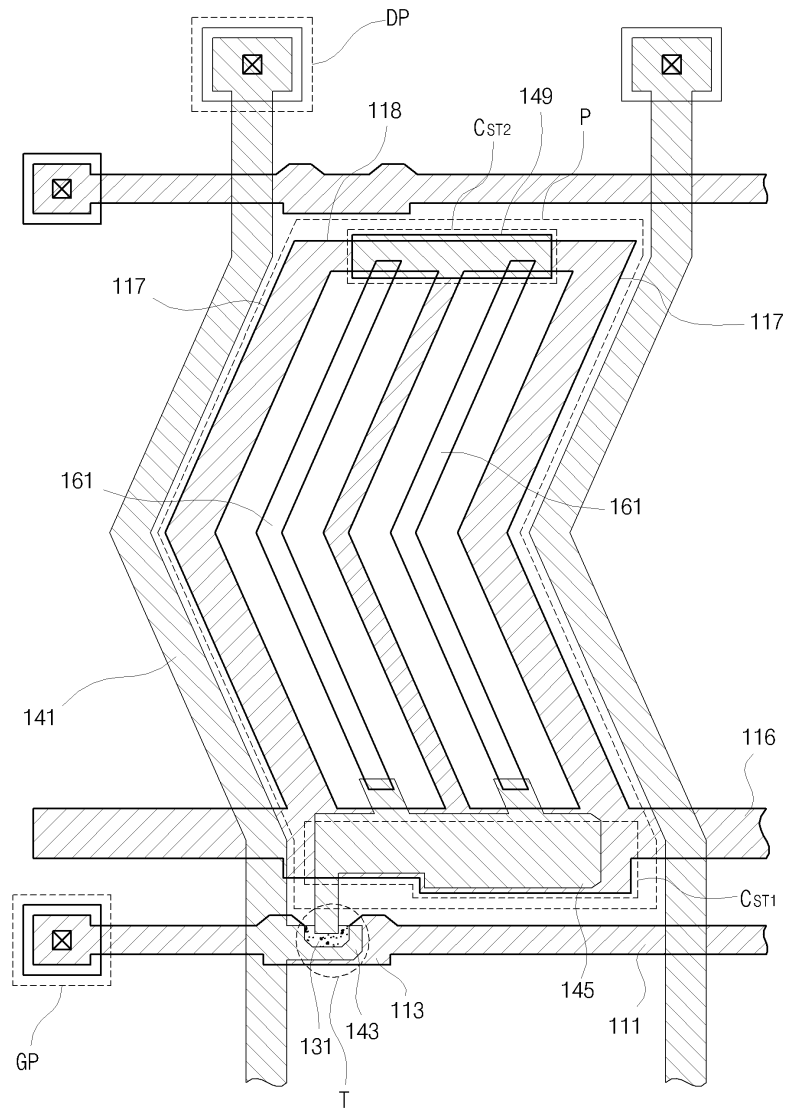
도면1a



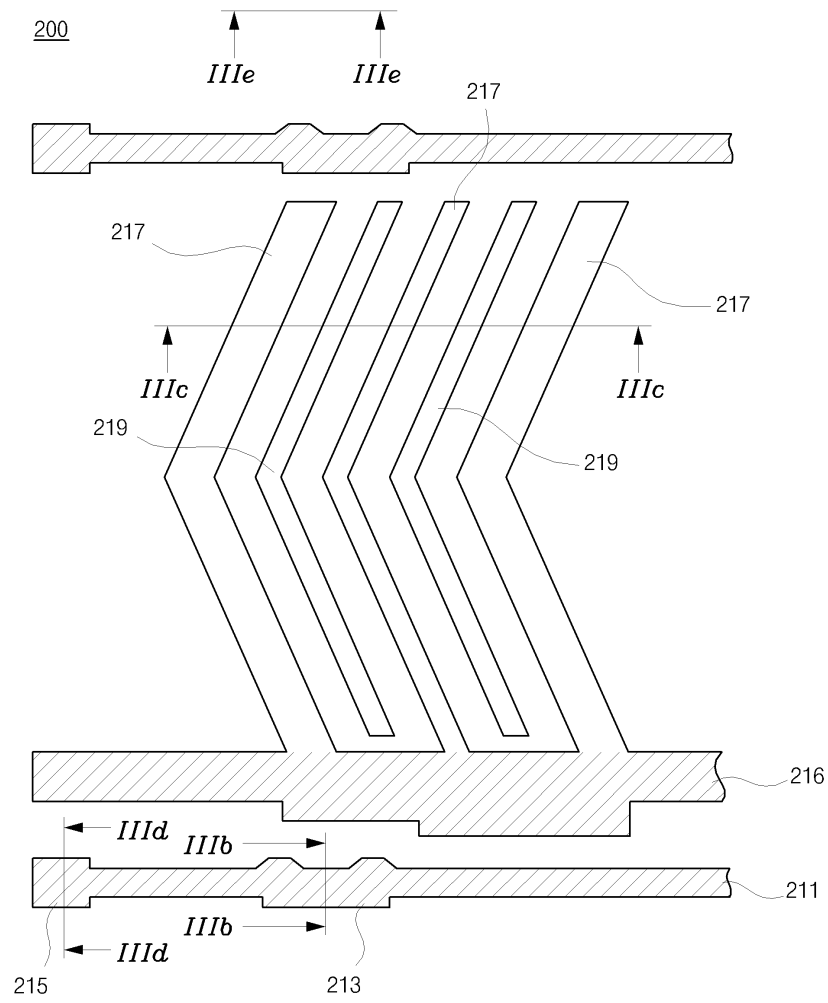
도면1b



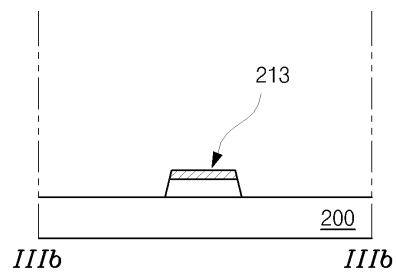
도면2



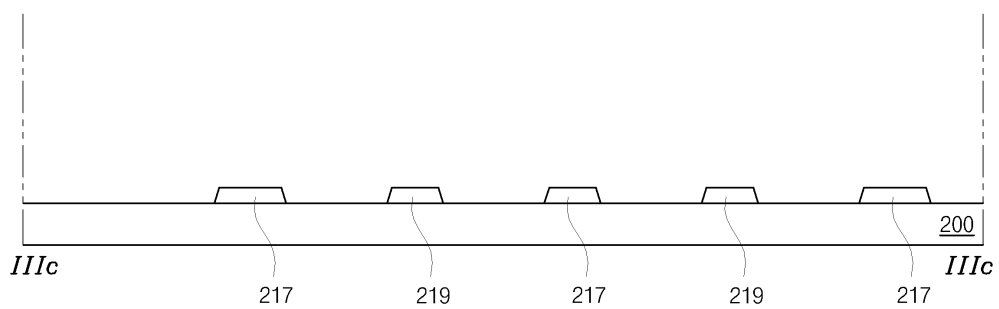
도면3a



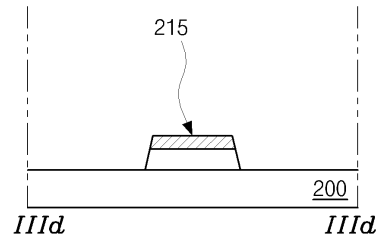
도면3b



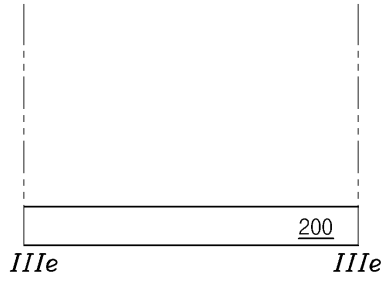
도면3c



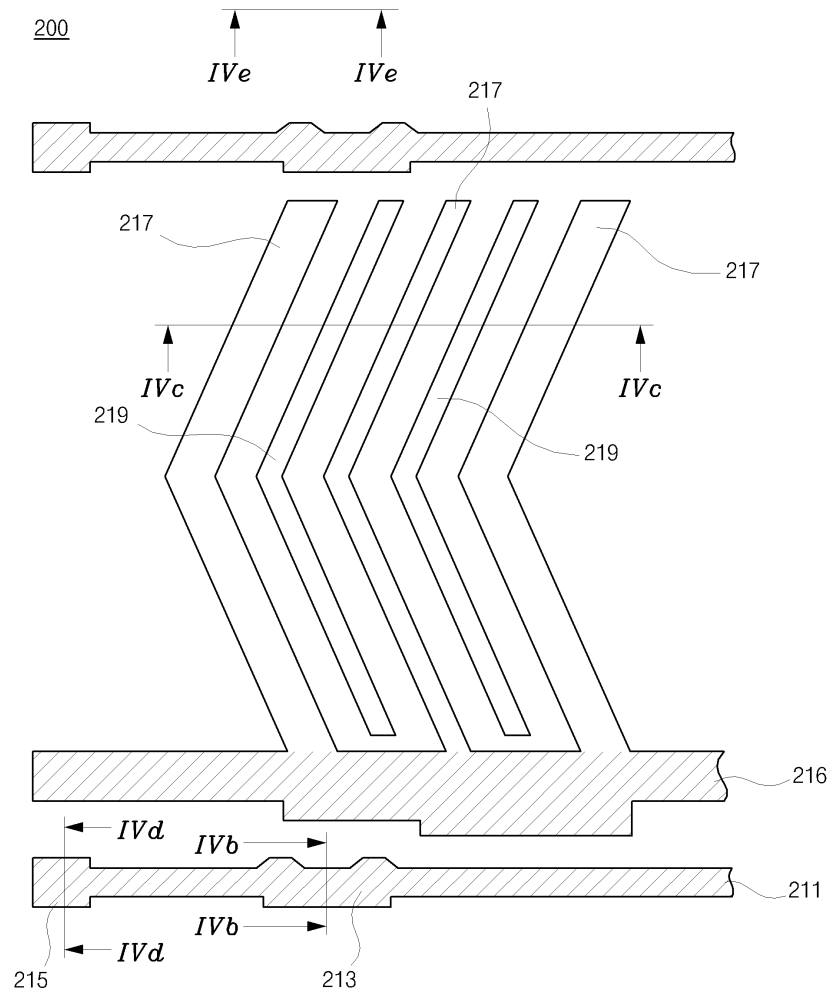
도면3d



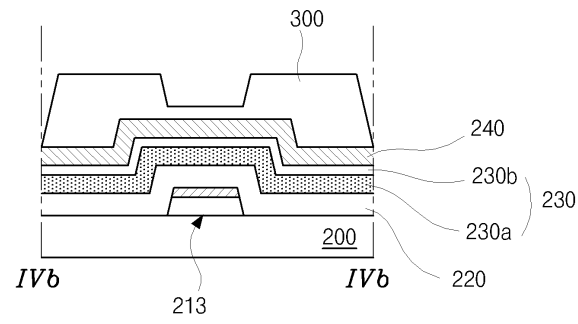
도면3e



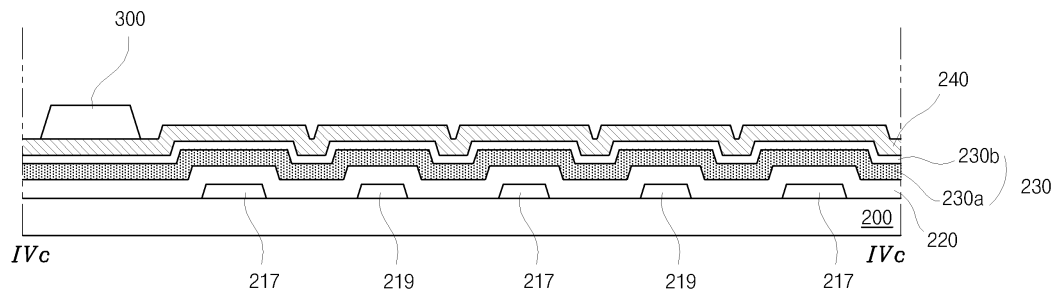
도면4a



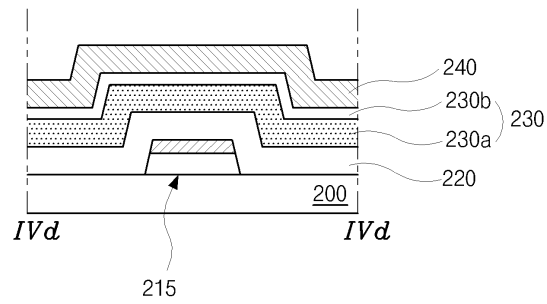
도면4b



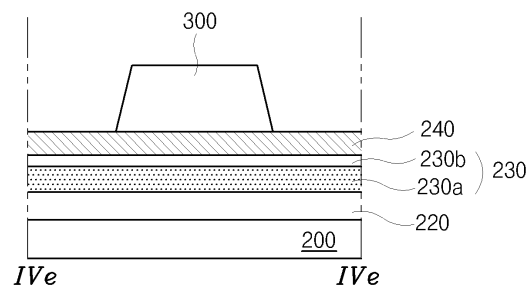
도면4c



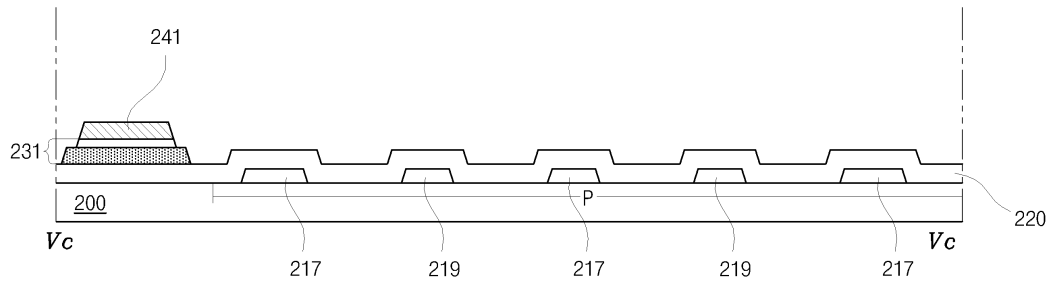
도면4d



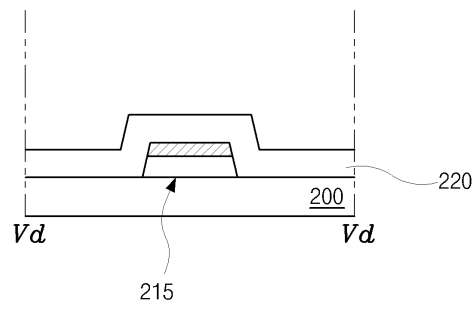
도면4e



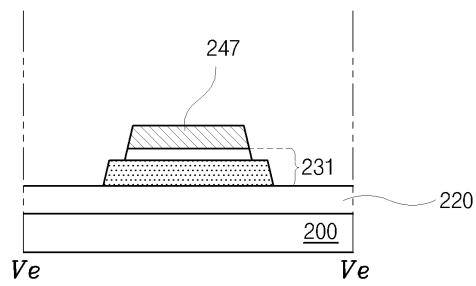
도면5c



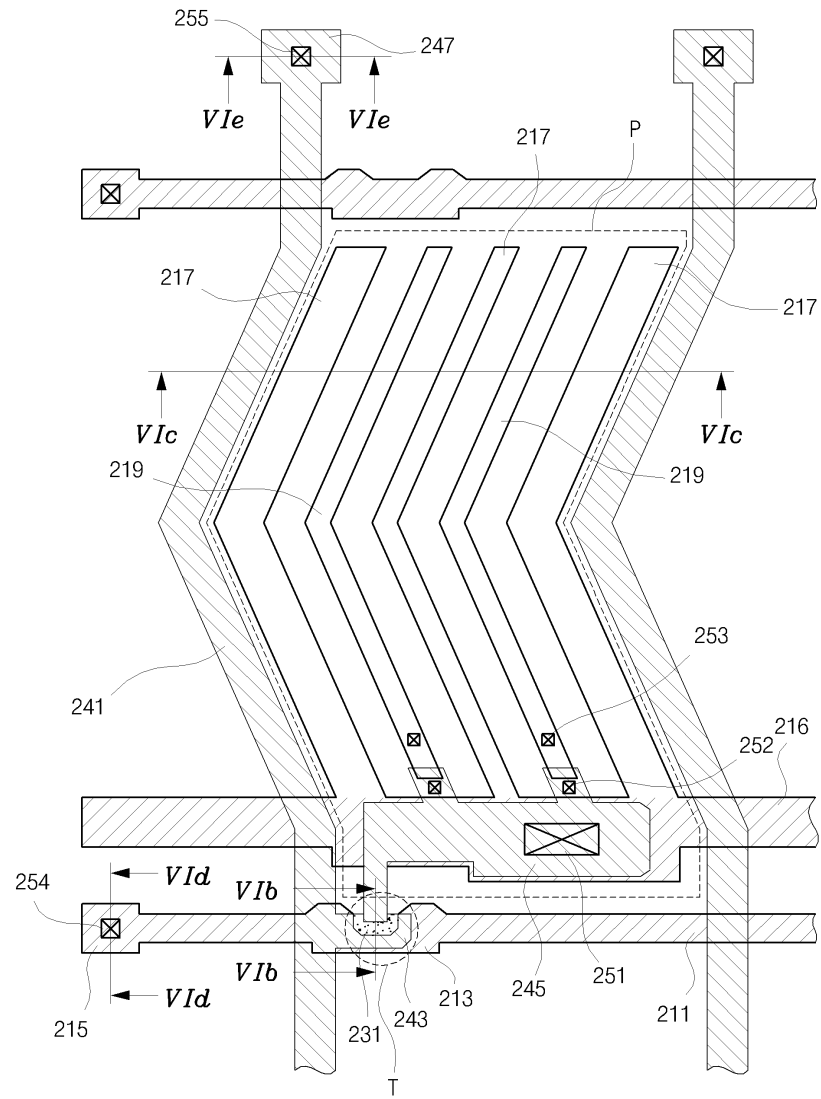
도면5d



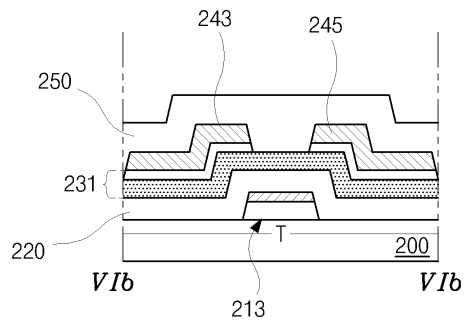
도면5e



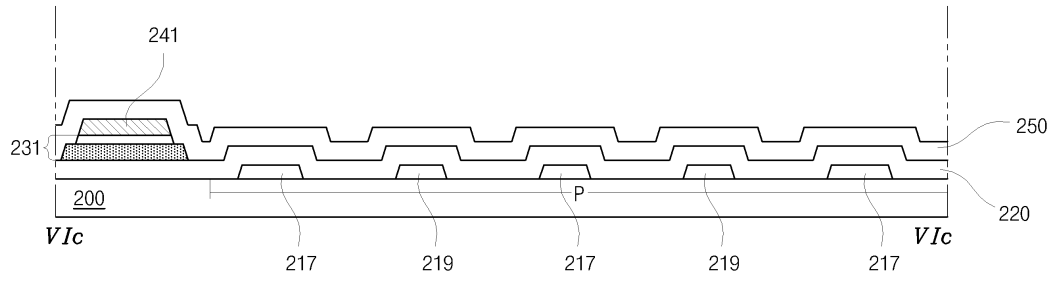
도면6a



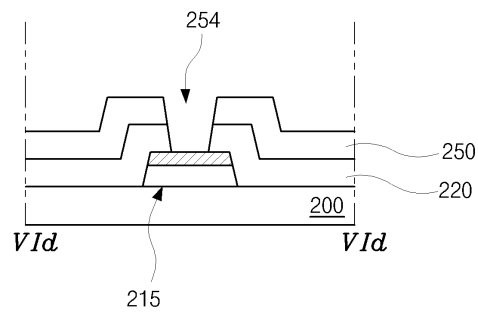
도면6b



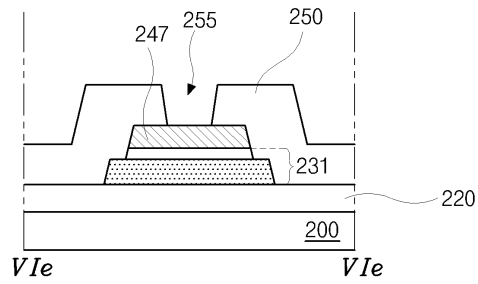
도면6c



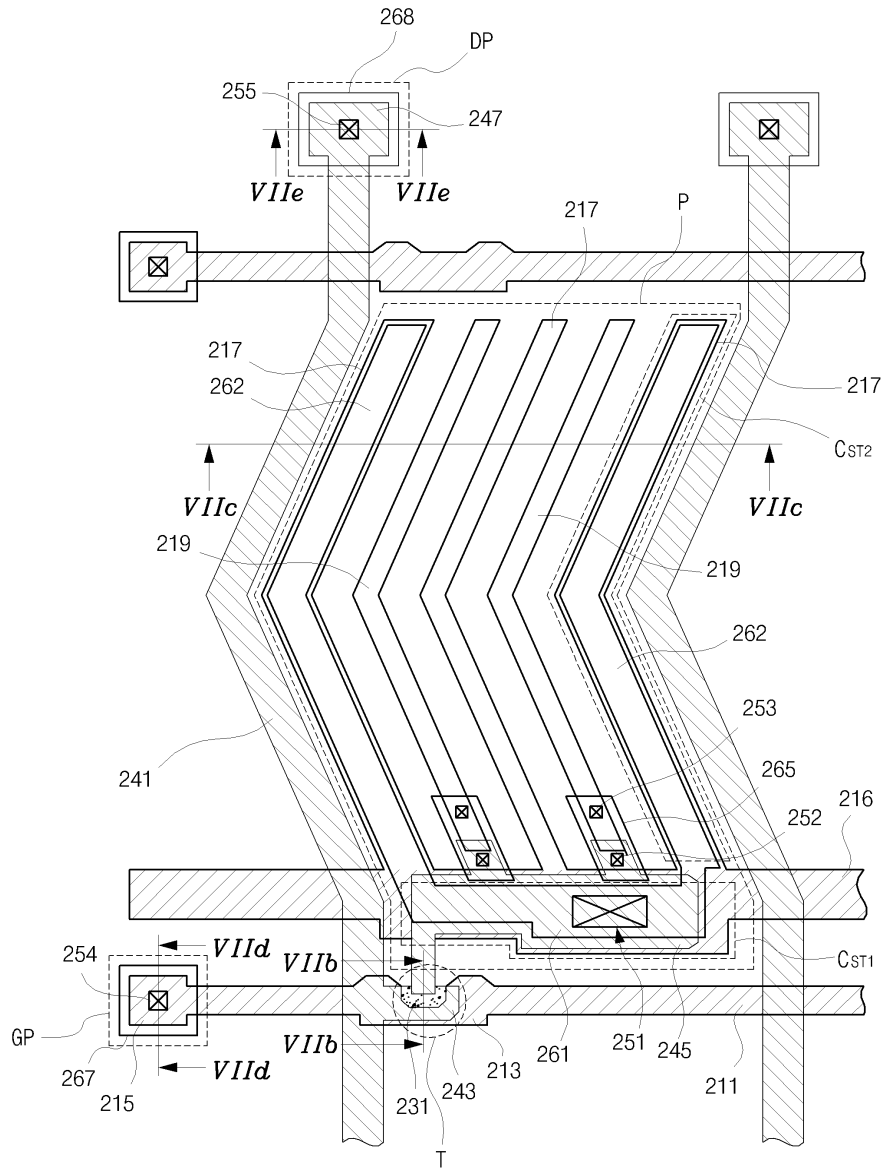
도면6d



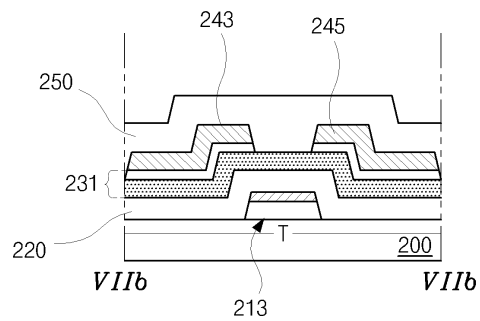
도면6e



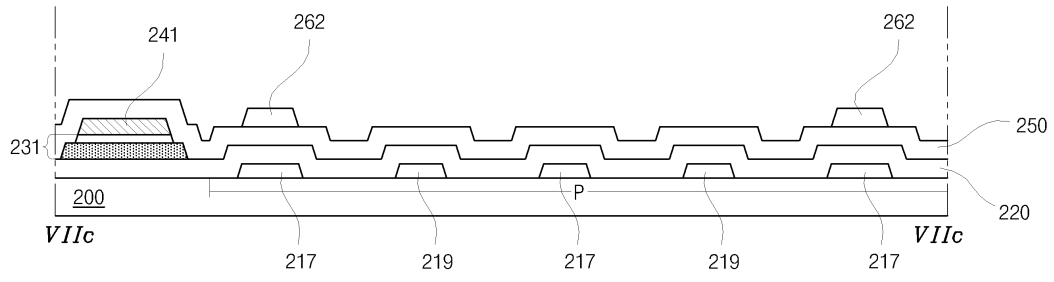
도면7a



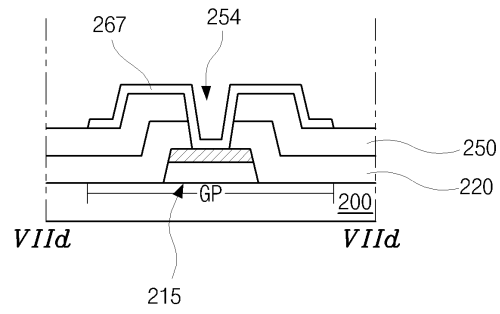
도면7b



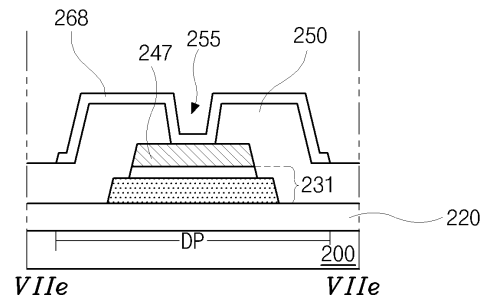
도면7c



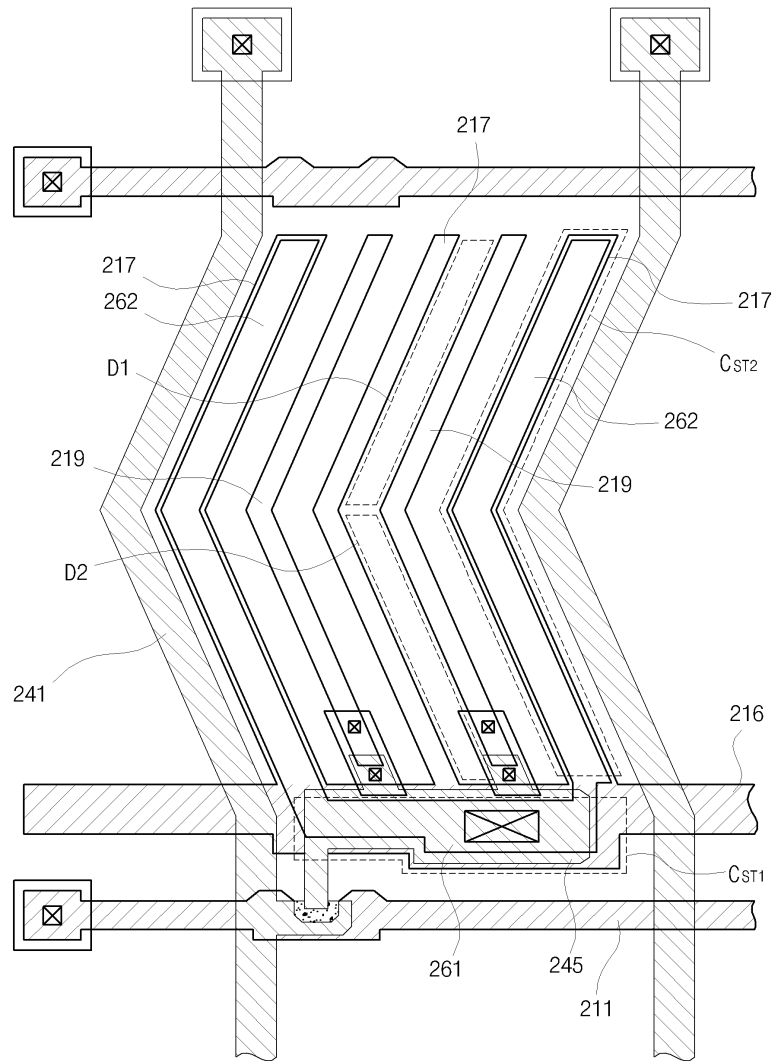
도면7d



도면7e



도면8



专利名称(译)	用于液晶显示装置的基板及其制造方法		
公开(公告)号	KR1020050118537A	公开(公告)日	2005-12-19
申请号	KR1020040043674	申请日	2004-06-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH JAEYOUNG 오재영 HONG SEUNGJIN 홍성진		
发明人	오재영 홍성진		
IPC分类号	G02F1/1343		
外部链接	Espacenet		

摘要(译)

将提供面内切换型液晶显示装置及其制造方法，其中本发明的目的具有高孔径比。本发明提供一种液晶显示器用基板，包括形成栅极布线的第一对向电极，在基板数据线上交叉：公共线，与栅极布线公共电极分离，连接到第一存储电容器的公共线，并且形成在上部的公共电极与数据线相邻，它连接到漏电极，与公共电极平行并连接到漏电极，与源电极连接，它与源电极连接分开到连接到栅极布线的数据线。本发明具有如下效果：像素电极和公共电极形成为透明导电型金属材料。通过在用数据线形成相邻公共电极的部分中组织存储电容器，可以增加面内切换型液晶显示器的孔径比。

