

(19)
(12)

(KR)
(A)

(51) 。 Int. Cl.7
G02F 1/133

(11)
(43)

2003-0066304
2003 08 09

(21) 10-2002-0074582
(22) 2002 11 28

(30) JP-P-2002-00027590 2002 02 05 (JP)

(71) 가 가 가 가 가 4 1-1

(72) 가 가 가 가 가 4-1-1 가 가

(74)

:

(54)

TFT

TFT-LCD

(P11) (Pe) (正極性) 가 가 n TFTn11 ,
(Pe) 가 (逆極性) 가 p TFTp11 2 가
가 TFTn11 (S) (G) 가 (D) (Lg11) 가
, TFTp11 (S) (Pe) 가 (D) 가
(Ld12) , (G) 가 (Lg11) .

1

, 가 가 , 가 , , ,

1

1 TFT-LCD 4 가 .

2 (Vcom) 1 (Vg), (Vd)
 ,
 3 2 TFT-LCD 4 가
 4 (Vcom) 2 (Vg), (V
 d),
 5 3 TFT-LCD 4 가
 6 (Vcom) 3 (Vg), (Vd)
 ,
 7 TFT-LCD 1 가
 8 (Vg), (Vd), (Vcom)
 .

* *

Ce :

Clc :

Clcmn :

Cs :

D :

DD1 :

DD2 :

G :

GD1 :

GD2 :

Ld :

Ld11 : 가

Ld12 : 가

Lg :

Lg11 : 가

Lg11 : 가

Lg12 : 가

P :

Pe :

Pmn :

S :

Vcom :

Vd :

Vd11 :

Vd12 :

Vg :

Vg11(on) : 가

Vg12(on) : 가

Vth :

f :

lc :

(LCD) TFT-LCD , , TFT()

LCD CRT (viewer) , PDA(가), 가 LCD 2 가 40 TV()

LCD 가 가 LCD TFT TFT p-Si() (移行) 가 a-Si() , LCD 가

TFT-LCD , TFT () TFT-LCD , TFT TFT가 (CF)가 LCD (crossed nicol)

) 7 TFT-LCD 1 가 (S) 7 (Pe) , TFT (D) (G)

(Ld) (Clc) (Pe) (Cs) (Ce) (lc) (Clc)

(Ld) (Lg) (Vd) (Vg) 가 (Ce)

(Vcom)(=0V) 가

(lc) 가 , 가 가 가

(lc) 가 , 가 (Pe) (Ce) (lc) 가 , 가

가 가 , 가 (lc) 가

5V 가 , (lc) 가 (lc) 가

(Pe) (Ce) (Ce) (全) 1

8 (Vg), (Vd),

(Vcom) 8 (Vcom)(= 0V) (Ld) V0 = 2

8 (Vcom) .5V (Vd)(data) ± 2.5V (fn) (Vd) 가 8 (Ld) (fn)

(Lg) , TFT Vd = -V0(V) V1() Vg(off)가 , TFT Vg

(on)가 , TFT Vd = +V0(V) V2() (Lg) Vg

V1 + 2 x V0 + V2 가 (兩極性) TFT / 1

3V V1 V2 가

TFT-LCD (Pe) (Vd) 2.5V ,

13V (Ld) 13V 가

TFT-LCD 16V 18V,

TFT-LCD (lc) 가 (lc) 5V , TFT

(耐壓) , LDD(lightly doped drain) , TFT 가 , TFT 가 ,

Vth 가 , TFT 가 ,

가 ,

) , FET 가 , TFT , p-Si(

TFT 가 , FET 가 ,
 가 가 ,

TFT가 , 1 FET TFT
 가 , 가 TFT 가 .
 TFT FET 가 가

(逆極性) 가 (正極性) 가

(TFT-LCD) 1 6
 가 , 2 TFT (

TFT-LCD가 가 1
 가 TFT 가 가
 , TFT 가 TFT 가
 TFT-LCD

[1]

1 2 TFT-LCD 1
 (Pmn) TFT-LCD (P11), P12, P21, P22 가 (Pmn) TFT
 (Pe) 4 (Ce) (Ce) (Vcom)=(0V) (Ic) 가 (Clcmn)
 (GD2), (DD1) 가 (GD1)
 (DD2)가 (GD1) 가 (GD2) 가
 (Lg11, Lg21, Lg31 ...) (Lg11, Lg21, Lg31 ...) (GD2) 가
 가 (Lg12, Lg22, Lg32 ...) (DD1) 가
 (Ld11, Ld21, Ld31...) (Ld11, Ld21, Ld31 ...) 가 (DD2) 가
 가 (Ld12, Ld22 ...)
 (GD1) 가 (Lg11, Lg21, Lg31 ...)
 (DD1) 가 (Ld11, Ld21, Ld31 ...)
 가 (Pmn) Pe, Ce

가 (Clcmn) .

(GD2) 가 (Lg12, Lg22, Lg32 ...)
(DD2) 가 (Ld12, Ld22 ...)

가 (Pmn) Pe, Ce 가

가 (Clcmn) .

(P11) (P11) (Pe) 가 가
가 TFT_p TFT_{n11} , TFT_{n11} (Pe) 가 TFT

TFT_{n11} (S) (Pe) (D) 가 (Ld11)
) (G) 가 (Lg11)

(Ld12) TFT_{p11} (S) (Pe) (D) 가 가
) 가 (G) 가 (Lg11) (Pmn)
(Clcmn) (Csmn)

f_{2n(n)} (GD1)
가 (Lg11) 가 TFT_{n11}, TFT_{n12} ... 가 (Ld11, Ld21, Ld
(DD1) TFT_{n1n} (P1n) (Pe)
31 ...) (Vd11, Vd21, Vd31 ...) (Lgm1) , 1

f_(2n+1) (GD2) 가 가
(Lg12) 가 TFT_{p11}, TFT_{p12} ... 가 (Ld12, Ld22 ...)
(Lg12) (G) 가 (Pe)
(Vd12, Vd22 ...) , TFT_{p1n} (Lgm2) , 1

f_{2n} f_(2n+1) 가 가
(Vgm2(on)) (Vg), (Vd), (Vcom) t ,
2 , t , t , t , 2

(P11) TFT_{n11} TFT_{p11} (G) 가 가 Vg₁₁(on)
가 Vg₁₂(on)

(Vcom)(= 0V) Vd₁₁max = +2.5V ,
Vd₁₂max = -2.5V , TFT_{n11} Vthn = Vth0 ± , TFT_{p11}
Vthp = -Vth0 ± VL (1). Vth0 = 3V, = 1V , TFT_{n11} TFT

(Pe) (Vd12)(data) 가 (Vd11)(data) 가 , f1, f3 (P11)

가 Vg₁₁(on) 가 Vg₁₂(on)
V0 = 2.5V 2 V1 V2 , V0 + V1 + V2

, TFTn11 TFTn11 (G) V
 d11min = Vcom = 0V V1() 가 . , TFTn11
 , TFTn11 (G) Vd11max = V0 = 2.5V V2()
 가 .

, TFTp11 TFTP11 (G) Vd12
 min = Vcom = 0V V1() 가 . , TFTp11
 TFTP11 (G) Vd12max = -V0 = -2.5V V2()
 가 .

, 2 t , n FET TFTn11 (G) 가
 가 Vg11(on) .

TFTn11 가 (Ld11) Vd11
 (Pe) VL 가 (Lg11)
 Vg11 가 TFTn11 Vthn = Vth0 ±
 t1 (Pe) VL = -2.5V TFTn11 가 . 2

,
 $Vg11 - \text{Min}(Vd11, VL) < Vth0 - \quad (1)$

, $Vg11 = -V1$

$\text{Min}(Vd11, VL) = -2.5$

$Vth0 - = 2$

, 1 ,

$V1 > 0.5$

.

t2 , (Pe) VL = -2.5V , TFTn11 가 . t1
 1 ,

$Vg11 - \text{Min}(Vd11, VL) < Vth0 - \quad (1)$

, $Vg11 = -V1$

$\text{Min}(Vd11, VL) = -2.5$

$Vth0 - = 2$

, 1 ,

$V1 > 0.5$.

t3 , Vd11 = Vd11(data) = 2.5V . TFTn11 (Pe) (Pe)
 VL = -2.5V , Vd11(data) (Pe) VL = Vd11(
 data) = 2.5V가 . TFTn11 가 .

,
 $Vg11 - \text{Min}(Vd11, VL) > Vth0 + \quad (2)$

,

$$V_{g11} = V_0 + V_2 = 2.5 + V_2$$

$$\text{Min}(V_{d11}, V_L) = 2.5$$

$$V_{th0} + \dots = 4$$

$$\dots^2, \dots$$

$$V_2 > 4$$

가 .

$$t_4 \dots (P_e) \quad V_L = 2.5V \quad , \text{TFTn11} \quad \text{가} \quad . \quad t_1$$

$$V_{g11} - \text{Min}(V_{d11}, V_L) < V_{th0} - \dots \quad (1)$$

,

$$V_{g11} = -V_1$$

$$\text{Min}(V_{d11}, V_L) = 2.5$$

$$V_{th0} - \dots = 2$$

$$\dots^1, \dots$$

$$V_1 > -4.5$$

가 .

$$t_5 \dots (P_e) \quad V_L = 2.5V, \quad V_{g11} = 0V \quad , \text{TFTn11} \quad \text{가}$$

$$V_{g11} = -V_1$$

$$\text{Min}(V_{d11}, V_L) = 0$$

$$V_{th0} - \dots = 2$$

,

$$V_{g11} - \text{Min}(V_{d11}, V_L) = -V_1 < 0$$

.

$$t_6 \dots 1 \dots$$

$$\dots, n \quad \text{TFTn11} \quad \text{가} \quad \text{가} \quad V_{gm1(on)} \quad V_1 > 0.5, V_2 > 4$$

$$\dots, p \quad \text{TFTp11} \quad \text{가} \quad \text{가} \quad V_{gm2(on)} \quad , \dots ,$$

$$\dots, V_1 > 0.5, V_2 > 4 \dots$$

$$\text{가} \quad , \quad V_{th0} = 3V, \quad = 1V \quad , \quad \text{가} \quad V_{g11(on)}$$

$$\dots, V_0 + V_1 + V_2 = 2.5 + 0.5 + 4 = 7V \quad \text{가} \quad . \quad ,$$

$$\dots, \quad \text{가} \quad 7V \quad .$$

(Ic)

Vth TFT , TFT LDD 가 , TFT , TFT

FET TFT 가 가

TFT TFT 가 , 1 FET

[2]

3 가 4 TFT-LCD TFT-LCD 3 1 1 TFT-LCD

1 TFT-LCD p TFTpmn n TFTn ' mn 1

가 TFT (P11) TFTn11 (P11) (Pe) 가 가 TFT

n TFTn ' 11 2 가 가

TFTn11 (S) (Pe) 가 (D) 가 (Ld11)

(G) (Lg11)

TFTn ' 11 (D) (Pe) 가 (S) 가 (P)

(Ld12) (G) (Lg11) mn) 가

3 가 4 Vgm1(on) 가

Vgm2(on) TFT-LCD () 4 1 2 (Vg), (Vd), (Vco)

m)

4 t , TFTn11 (G) 가 , V1 = 0.5,

V2 = 4 가 Vg11(on) 1 TFTn11 0.5 + 4 + 2.5 = 7V가

) 가 4 t 가 ,n FET TFTn ' 11 (G)

4 t1 , (Pe) VL = -2.5V , TFTn ' 11 가

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \quad (3)$$

$$Vg12 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = -2.5$$

$$Vth0 - = 2$$

$$V1 < 2$$

가 .

$$t2 \quad , \quad (Pe) \quad VL = -2.5V \quad , \quad TFTn ' 11 \quad 가 . \quad t1$$

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \quad (3)$$

$$Vg12 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = -2.5$$

$$Vth0 - \quad = 2$$

$$V1 < 2$$

가 .

$$t3 \quad , \quad Vd11 = Vd11(data) = 2.5V가 \quad (Pe) \quad , \quad (Pe)$$

$$Vd12 = 0V \quad , \quad TFTn11가 \quad (Pe) \quad VL = -2.5V \quad , \quad (Pe)$$

$$Vd11(data) \quad (Pe) \quad VL = Vd11(data) = 2.5V가 \quad , \quad (Pe)$$

$$TFTn ' 11 \quad 가 .$$

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \quad (3)$$

$$, Vg12 = -V0 + V1 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = 0$$

$$Vth0 - \quad = 2$$

$$V1 < 4.5$$

가 .

$$t4 \quad , \quad (Pe) \quad VL = 2.5V \quad , \quad TFTn ' 11 \quad 가 .$$

$$t1 \quad , \quad 3 \quad ,$$

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \quad (3)$$

$$Vg12 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = 0$$

$$Vth0 - \quad = 2$$

, 3 ,

$$V1 < 0.5$$

가 .

t5 , (Pe) VL = 2.5V, Vg12 = 0V , TFTn ' 11 가

$$Vg12 - \text{Min}(Vd12, VL) < Vth0 - \quad (3)$$

$$Vg12 = -2.5 + V1$$

$$\text{Min}(Vd12, VL) = -2.5$$

$$Vth0 - = 2$$

, 3 ,

$$V1 < 2$$

가 .

t6 , Vd12 = Vd12(data) = -2.5V . TFTn ' 11
 (Pe) VL = 2.5V , (Pe) Vd12(data) 가 (Pe)
 VL = Vd12(data) = -2.5V가 . TFTn ' 11 가 .

$$Vg12 - \text{Min}(Vd12, VL) > Vth0 + \quad (4)$$

$$Vg12 = V2$$

$$\text{Min}(Vd12, VL) = -2.5$$

$$Vth0 + = 4$$

, 4 ,

$$V2 > 1.5$$

가 .

, n TFTn ' 11 가 가 Vgm2(on) V1 < 2,
 V2 > 1.5 .

, Vth0 = 3V, = 1V , 가 가
 V0 + V1 + V2 = 2.5 + 0.5 + 4 = 7V가 , 가 Vg11(on)
 V0 + V1 (= 0) + V2 = 2.5 + 1.5 = 4V가 . , 가 Vg12(on) 가 7V

, TFT TFTn ' mn (V1) 가 . , 가 TFTnmn (V1)
 , TFTnmn, TFTn ' mn V2 가 .

TFT

V1, V2

[3]

5 6 TFT-LCD 5 1, 2
1, 3 가 TFT-LCD TFT-LCD TFT-LCD
2 TFT-LCD n TFTnmn, TFTn' mn p TFTpmnTFTp' mn

(P11) (P11) (Pe) 가 가 TFT
가 TFT p TFTp11 (Pe) 가 가 TFT
TFTp' 11 2 가

TFTp11 (D) (Pe) 가 (S) 가 (Ld11)
(G) 가 (Lg11)

, TFTp' 11 (D) 가 (Ld12) (S)
(Pe) 가 (G) 가 (Lg11) (P)

6 가 Vgm1(on) 가 Vgm2(on)
TFT-LCD () 6 2 4
(Vg), (Vd), (Vcom)

6 t TFTp11 (G) 가
가 Vg11(on) 2 TFTn11 (G) 가
6 t Vg12(on) 2 TFTn' 11

Vth0 = 3V, = 1V 가 7V
2

LCD

() Vth Vth
/ (耐壓) TFT

가 가 (Pe)
LCD , TFT (Pe)

TFT-LCD 가 (二重)

가

CD LCD LCD L

, a-Si(p-Si TFT TFT 가 . ,
 , LCD , TA
 B COG LCD 가 TFT가 ,

(1)

가

가

. (1)

(2)

1

가

. (2)

(3)

2

가

가 TFT ,

가

가 TFT

. (3)

(4)

3

가 TFT

가

가

가 TFT

가

가

가 TFT

가

가

가 TFT

가

가

. (4)

(5)

4

가

가

가

가

가

가

. (5)

(6)

4

가 TFT

가 TFT

n

(7)

4

가 TFT

가 TFT

p

(8)

4

가 TFT

가 TFT

n

p

(9)

1

8

(10)

9

TFT

(57)

1.

(正極性)

가

(正電荷)

(負電荷)

(逆極性)

가

2.

1

가

3.

2

가

가 TFT ,

가

가 TFT

4.

3

가 TFT

가

가

가 TFT

가

가

가 TFT

가

가

가 TFT

가

가

5.

4

가

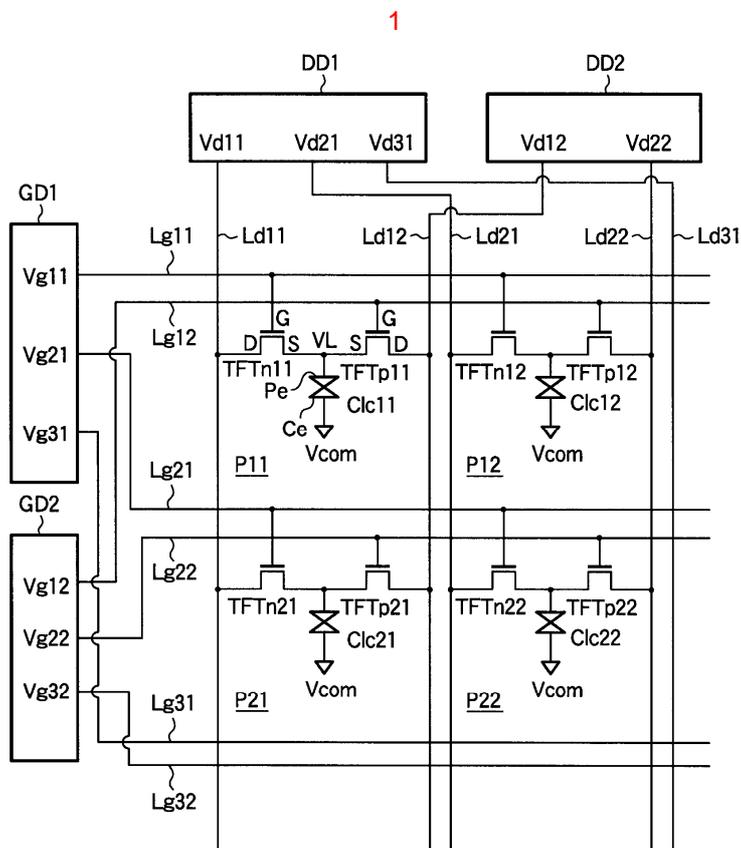
가

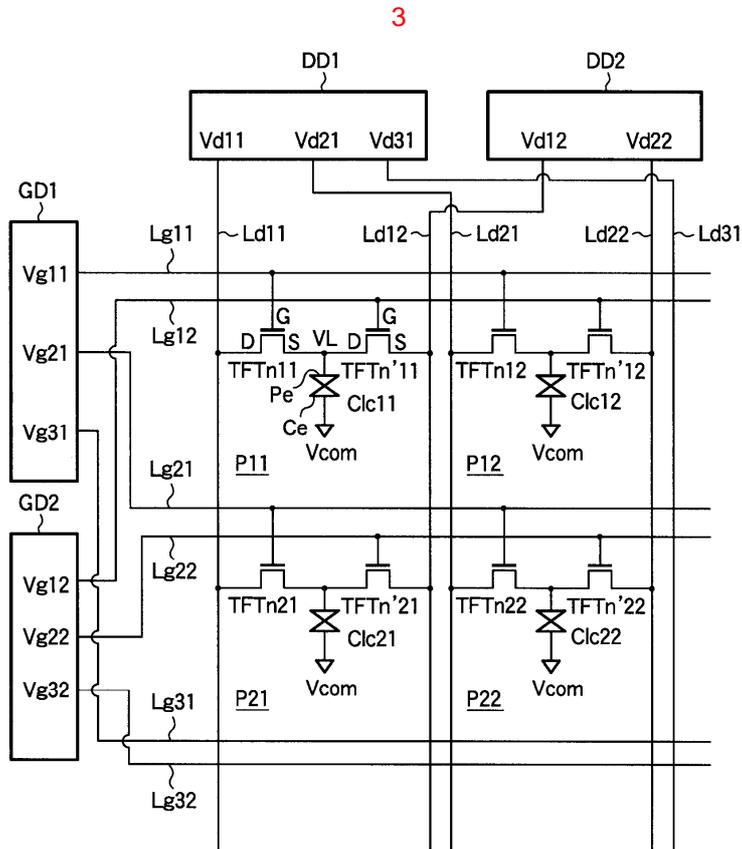
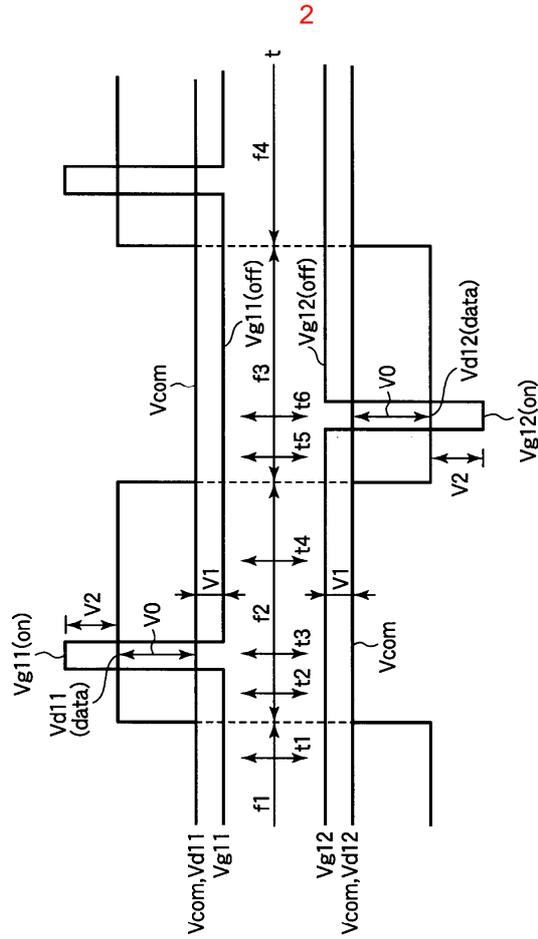
가

가

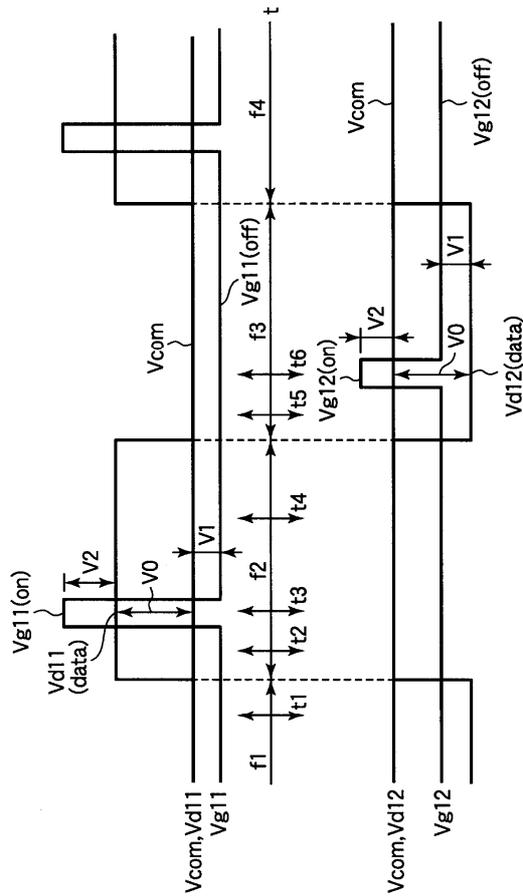
가

가

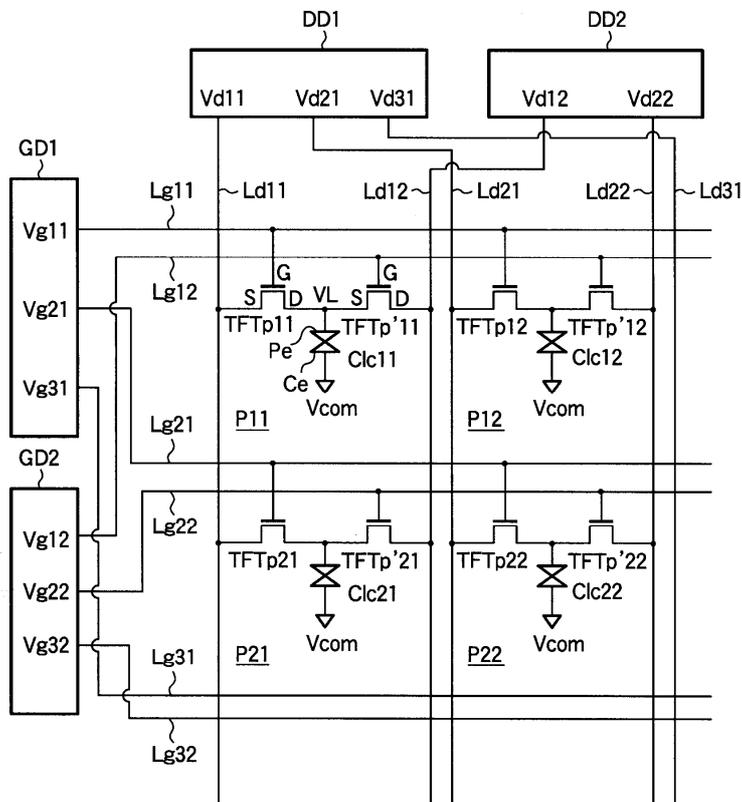


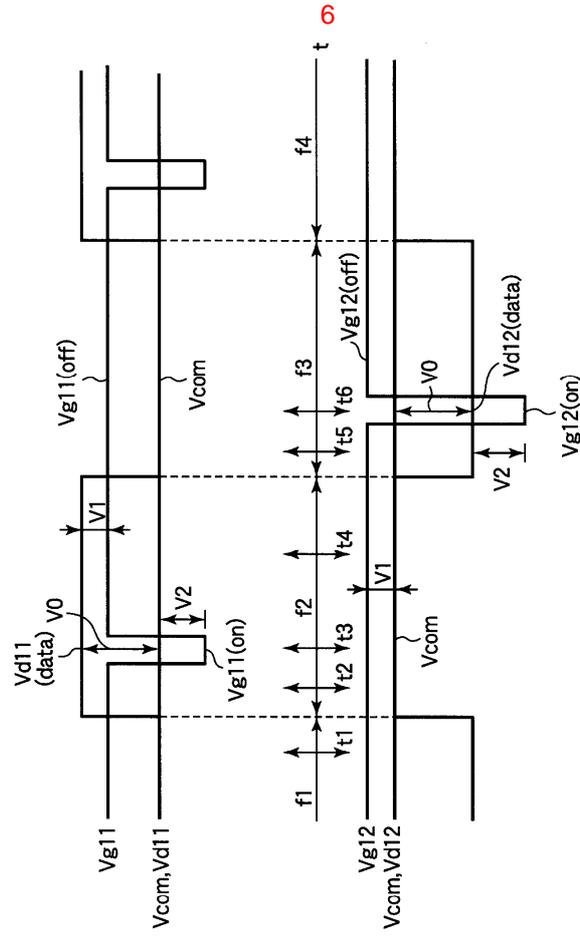


4

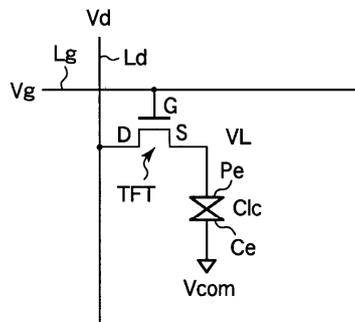


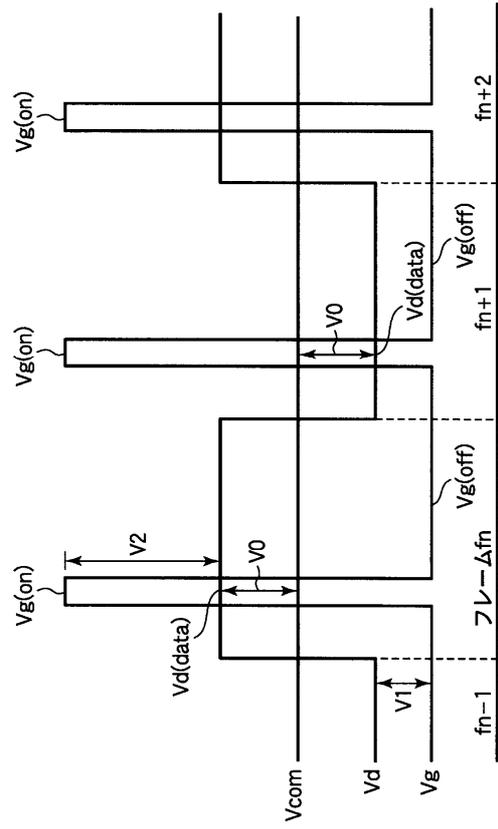
5





7





专利名称(译)	液晶显示器		
公开(公告)号	KR1020030066304A	公开(公告)日	2003-08-09
申请号	KR1020020074582	申请日	2002-11-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SASAKI NOBUO		
发明人	SASAKI,NOBUO		
IPC分类号	G09G3/36 G02F1/1362 G09G3/20 G02F1/133 G02F1/1368		
CPC分类号	G02F2001/136245 G09G2300/0823 G09G3/3659 G09G2310/06 G02F1/136286 G09G3/3614		
代理人(译)	MOON, KI桑		
优先权	2002027590 2002-02-05 JP		
其他公开文献	KR100712024B1		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种有源矩阵型TFT-LCD，其中用于像素的TFT的驱动电压降低。像素P11包括用于向像素电极Pe施加正极性电压的n沟道TFT n11和用于向像素电极Pe施加反极性数据电压的n沟道TFT n11。并且形成用于施加电压（反极性）电压的p沟道TFT p11。TFTn11的源电极S连接到像素电极Pe，而漏电极D连接到正电压施加数据总线Ld11，并连接到总线Lg11。在另一方面，施加到也连接到像素电极（PE）TFTp11的源极（S），漏极电极（d）被连接到一个反向极性电压被施加的数据总线（LD12），栅电极（G）是相反极性的电压并且连接到栅极总线Lg11。1 指数方面 栅电极，用于施加反极性电压的数据总线，用于施加反极性电压的栅极总线，像素电极，漏电极，

