(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 특2003-0065699
(43) 공개일자 2003년08월09일

(21) 출원번호 10-2002-0005420
(22) 출원일자 2002년01월30일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 김기준
경기도수원시팔달구영통동벽적골주공아파트902동306호

(74) 대리인 이영필
정상빈

심사청구 : 있음

(54) 박막 트랜지스터형 액정 표시 장치의 소스 드라이버의출력 회로

요약

박막 트랜지스터형 액정 표시 장치의 소스 드라이버의 출력 회로가 개시된다. 본 발명의 제 1 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로는 제 1 내지 제 n 전압 발생장치들, 제 1 내지 제 n 스위치부, 제 1 내지 제 n 서브 스위치부들 및 전압 발생부를 구비하는 것을 특징으로 한다.

제 1 내지 제 n 전압 발생장치들은 대응되는 제 1 내지 제 n 입력 전압들을 수신하여 제 1 내지 제 n 서브 입력 전압들을 발생한다. 제 1 내지 제 n 스위치부는 상기 제 1 내지 제 n 서브 입력 전압들을 대응되는 제 1 내지 제 n 출력 전압들로서 발생하거나 차단시킨다. 제 1 내지 제 n 서브 스위치부들은 소정의 셰어 라인들을 상기 제 1 내지 제 n 출력 전압들에 연결하거나 차단한다. 전압 발생부는 소정의 제 1 및 제 2 전압을 수신하여 상기 셰어 라인들에 소정의 프리차지 전압을 인가한다.

본 발명에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버의 출력 회로는 제 1 및 제 2 전압 또는 제 1 및 제 2 외부 전압에 의하여 소스 드라이버로부터 패널로 입력되는 신호의 슬루 레이트를 개선하고 소스 드라이버에서의 전류 소비를 감소시키는 장점이 있다.

대표도

도 4

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 통상적인 소스 드라이버의 출력회로를 나타내는 도면이다.

도 2는 도 1의 소스드라이버 출력 회로의 동작을 나타내는 타이밍도이다.

도 3은 하나의 출력 전압(OUT1)에 연결되는 박막 트랜지스터형 액정 표시 장치의 패널을 모델링한 도면이다.

도 4는 본 발명에 따른 소스드라이버의 출력 회로를 나타내는 도면이다.

도 5는 도 4의 전압 발생부를 나타낸 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터(Thin Film Transistor: TFT)형 액정 표시 장치(Liquid Crystal Device: LCD)에 관한 것으로서, 특히, 박막 트랜지스터형 액정 표시 장치의 소스 드라이버의 출력회로에 관한 것이다.

일반적으로 박막 트랜지스터형 액정 표시 장치의 패널을 구동하기 위해서 박 막 트랜지스터형 액정 표시 장치 드라이버는 박막 트랜지스터의 게이트 라인들(또는 로우(row) 라인들이라 칭한다)을 구동하기 위한 게이트 드라이버와 박막 트랜지스터의 소스 라인들(또는 칼럼(column) 라인들이라 칭한다)을 구동하기 위한 소스 드라이버를 구비한다. 게이트 드라이버가 박막 트랜지스터형 액정 표시 장치에 고전압을 인가하여 박막 트랜지스터를 턴 온 상태로 만들어주면, 소스 드라이버는 색을 표시하기 위한 소스 구동신호를 각 소스 라인에 인가함으로써 액정 표시 장치에 화면이 표시된다.

도 1은 통상적인 소스 드라이버의 출력회로를 나타내는 도면이다.

색을 표시하기 위한 소스 구동신호를 패널(미도시)로 공급하기 위하여 소스 드라이버의 출력 회로(100)는 입력 전압(INP1)을 수신한다. 이때 입력 전압(INP1)은 한번은 높은 전압으로, 한번은 낮은 전압으로 입력된다. 즉 소정의 기준 전압을 기준으로 하여 한번은 기준 전압보다 높은 전압으로, 한번은 기준 전압보다 낮은 전압으로 입력된다. 소스 드라이버 출력 회로(100)로 입력된 입력 전압(INP1)은 전압 발생 장치(110)로 인가된다. 전압 발생 장치(110)로는 보통 전압 팔로우어(voltage follower)가 사용된다. 소스 드라이버 출력 회로(100)로 입력되는 입력 전압(INP1)은 보통 적은 전류량을 가지므로 전압 팔로우어(110)를 이용하여 동일한 전압 레벨을 가지면서도 많은 전류량을 가지는 전압으로 변환된다.

전압 팔로우어(110)에서 출력된 전압은 스위치(120)를 통과하여 출력 전압(OUT1)으로 발생된다. 이 때 스위치(120)는 입력 전압(INP1)의 레벨이 변화될 때 잠시동안 입력 전압(INP1)을 출력하지 못하도록 턴 오프 된다. 입력 전압(INP1) 의 레벨이 급격히 변화되면 출력 전압(OUT1)도 급격히 변화되고, 이러한 변화는 패널(미도시)에 영향을 미쳐 영상에 잡음이 발생하거나 흔들리게 된다. 이러한 잡음이나 영상의 흔들림을 방지하기 위하여 스위치(120)는 입력 전압(INP1)의 레벨이 변화될 때 잠시동안 턴 오프 되는 것이다.

스위치(120)는 제어 신호(SW1)를 게이트로 수신하여 턴 온 또는 턴 오프 되는 피모스 트랜지스터와 반전 제어 신호(SWB1)를 게이트로 수신하여 턴 온 또는 턴 오프 되는 엔모스 트랜지스터로 구성된다.

도 2는 도 1의 소스드라이버 출력 회로의 동작을 나타내는 타이밍도이다.

입력 전압(INP1)의 레벨이 변화되는 시간에 제어 신호(SW1)도 하이 레벨로 천이 된다. 제어 신호(SW1)가 하이 레벨인 구간(H-Z)동안 스위치(120)는 턴 오프 되므로 입력 전압(INP1)이 출력 전압(OUT1)으로서 발생되지 못한다. 출력 전압(OUT1)의 파형에서 빗금 친 부분은 높은 저항(high-impedance) 상태를 나타낸다.

도 3은 하나의 출력 전압(OUT1)에 연결되는 박막 트랜지스터형 액정 표시 장치의 패널을 모델링한 도면이다.

패널(300)은 저항들(R1, R2, R3)과 커패시터들(C1, C2, C3)로 이루어지는데 각각의 저항들(R1, R2, R3)은 서로 다른 저항 값을 가지며, 각각의 커패시터들(C1, C2, C3)도 서로 다른 커패시턴스를 가진다.

패널(300)로 입력된 입력 전압(INP1)이 서로 다른 저항들(R1, R2, R3)의 저항 값과 커패시턴스에 의하여 커패시터들(C1, C2, C3)에 충전된다. 커패시터들(C1, C2, C3)에 충전되는 서로 다른 전하량에 의하여 색상이 달라지게 된다.

그런데 박막 트랜지스터형 액정 표시장치가 당면한 문제점중의 하나가 소비전류를 감소시키는 것과 빠른 슬루 레이트(Slew Rate)를 발생시키는 것이다.

이를 해결하기 위해 여러 방법이 사용되고 있다. 그 중 하나가 하나의 셰어 라인을 사용하여 스위치(120)가 턴 오프되어 있는 동안 패널에 전하를 배분하는 방법이다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는, 박막 트랜지스터형 액정 표시 장치의 소스 드라이버에서 소비되는 전류를 감소시키고 패널로 입력되는 전압의 슬루 레이트(slew rate)를 개선시키는 소스 드라이버의 출력 회로를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로는 제 1 내지 제 n 전압 발생장치들, 제 1 내지 제 n 스위치부, 제 1 내지 제 n 서브 스위치부들 및 전압 발생부를 구비하는 것을 특징으로 한다.

제 1 내지 제 n 전압 발생장치들은 대응되는 제 1 내지 제 n 입력 전압들을 수신하여 제 1 내지 제 n 서브 입력 전압들을 발생한다. 제 1 내지 제 n 스위치부는 상기 제 1 내지 제 n 서브 입력 전압들을 대응되는 제 1 내지 제 n 출력 전압들로서 발생하거나 차단시킨다. 제 1 내지 제 n 서브 스위치부들은 소정의 셰어 라인들을 상기 제 1 내지 제 n 출력 전압들에 연결하거나 차단한다. 전압 발생부는 소 정의 제 1 및 제 2 전압을 수신하여 상기 셰어 라인들에 소정의 프리 차지 전압을 인가한다.

바람직하기로는, 상기 제 1 내지 제 n 출력 전압들 중 홀수 번째 출력 전압들은 상기 셰어 라인들 중 제 1 셰어 라인에 연결되고, 짝수 번째 출력 전압들은 상기 셰어 라인들 중 제 2 셰어 라인에 연결된다. 또한 상기 셰어 라인들은 두 개의 라인인 것을 특징으로 한다.

좀더 상세히 설명하면, 상기 전압 발생부는 상기 제 1 전압을 수신하고 제 1 프리 차지 전압을 발생하여 제 1 셰어 라인에 인가하는 제 1 프리 차지 전압 발생부 및 상기 제 2 전압을 수신하고 제 2 프리 차지 전압을 발생하여 제 2 셰어 라인에 인가하는 제 2 프리 차지 전압 발생부를 구비한다.

상기 제 1 프리 차지 전압 발생부는 상기 제 1 전압을 수신하여 제 1 서브 전압을 발생하는 제 1 서브 전압 발생장치 및 상기 제 1 서브 전압을 상기 제 1 프리 차지 전압으로서 발생하거나 차단하는 제 1 프리 차지 스위치부를 구비한다. 상기 제 1 프리 차지 스위치부는 상기 제 1 내지 제 n 스위치부들 중 홀수 번째 스위치부가 턴 오프 되면 턴 온 된다.

상기 제 1 프리 차지 전압 발생부는 상기 제 1 프리차지 스위치부와 상기 제 1 셰어 라인 사이의 제 1 노드로 소정의 제 1 외부 전압이 인가되며, 상기 제 1 외부 전압은 일정 레벨의 전압으로서, 외부에서 인가된다. 상기 제 1 외부 전압은 상기 제 1 프리 차지 스위치부가 턴 오프 되면 인가되는 것을 특징으로 한다.

상기 제 1 서브 전압 발생 장치는 전압 팔로우어(follower)의 형식을 가지는 증폭기이며 상기 제 1 전압은 일정한 전압 레벨을 가지거나 또는 상기 제 1 내지 제 n 입력 전압들 중 홀수 번째 입력 전압들의 전압 레벨이 변화되는 것에 응답하여 함께 전압 레벨이 변화되는 것을 특징으로 한다.

상기 제 2 프리 차지 전압 발생부는 상기 제 2 전압을 수신하여 제 2 서브 전압을 발생하는 제 2 서브 전압 발생장치 및 상기 제 2 서브 전압을 상기 제 2 프리 차지 전압으로서 발생하거나 차단하는 제 2 프리 차지 스위치부를 구비한다. 상기 제 2 프리 차지 스위치부는 상기 제 1 내지 제 n 스위치부들 중 짝수 번째 스위치부가 턴 오프 되면 턴 온 되는 것을 특징으로 한다.

상기 제 2 프리 차지 전압 발생부는 상기 제 2 프리 차지 스위치부와 상기 제 2 셰어 라인 사이의 제 2 노드로 소정의 제 2 외부 전압이 인가되며, 상기 제 2 외부 전압은 일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 한다. 상기 제 2 외부 전압은 상기 제 2 프리 차지 스위치부가 턴 오프 되면 인가되며 상기 제 2 서브 전압 발생 장치는 전압 팔로우어(follower)의 형식을 가지는 증폭기이다. 상기 제 2 전압은 일정한 전압 레벨을 가지거나 또는 상기 제 1 내지 제 n 입력 전압들 중 짝수 번째 입력 전압들의 전압 레벨이 변화되는 것에 응답하여 함께 전압 레벨이 변화되는 것을 특징으로 하며, 상기 제 1 내지 제 n 서브 스위치부들은 대응되는 상기 제 1 내지 제 n 스위치부들이 턴 오프 되면 턴 온 된다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로는 제 1 내지 제 n 전압 발생장치들, 제 1 내지 제 n 스위치부 및 제 1 내지 제 n 서브 스위치부들을 구비하는 것을 특징으로 한다.

제 1 내지 제 n 전압 발생장치들은 대응되는 제 1 내지 제 n 입력 전압들을 수신하여 제 1 내지 제 n 서브 입력 전압들을 발생한다. 제 1 내지 제 n 스위치부는 상기 제 1 내지 제 n 서브 입력 전압들을 대응되는 제 1 내지 제 n 출력 전압들로서 발생하거나 차단시킨다. 제 1 내지 제 n 서브 스위치부들은 소정의 셰어 라인들을 상기 제 1 내지 제 n 출력 전압들에 연결하거나 차단한다.

바람직하기로는, 상기 셰어 라인들은 제 1 및 제 2 셰어 라인인 것을 특징으로 한다. 상기 제 1 내지 제 n 출력 전압들 중 홀수 번째 출력 전압들은 상기 제 1 셰어 라인에 연결되고, 짝수 번째 출력 전압들은 상기 제 2 셰어 라인에 연결된다.

상기 제 1 셰어 라인은 소정의 제 1 외부 전압이 인가되며, 상기 제 1 외부 전압은 일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 한다. 상기 제 2 셰어 라인은 소정의 제 2 외부 전압이 인가되며, 상기 제 2 외부 전압은 일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 4는 본 발명에 따른 소스드라이버의 출력 회로를 나타내는 도면이다.

도 5는 도 4의 전압 발생부를 나타낸 도면이다.

도 4 및 도 5를 참조하면, 본 발명의 제 1 실시예에 따른 소스 드라이버의 출력 회로(400)는 제 1 내지 제 n 전압 발생장치들(410, 411, 412, 413, 414), 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn), 제 1 내지 제 n 서브 스위치부들(SWS1, SWS2 ~ SWSn) 및 전압 발생부(420)를 구비하는 것을 특징으로 한다.

제 1 내지 제 n 전압 발생장치들(410, 411, 412, 413, 414)은 대응되는 제 1 내지 제 n 입력 전압들(INP1, INP2 ~ INPn)을 수신하여 제 1 내지 제 n 서브 입력 전압들(INPS1, INPS2 ~ INPSn)을 발생한다. 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)는 제 1 내지 제 n 서브 입력 전압들(INPS1, INPS2 ~ INPSn)을 대응되는 제 1 내지 제 n 출력 전압들(OUT1, OUT2 ~ OUTn)로서 발생하거나 차단시킨다.

제 1 내지 제 n 서브 스위치부들(SWS1, SWS2 ~ SWSn)은 소정의 셰어 라인들(SHARE1, SHARE2)을 제 1 내지 제 n 출력 전압들(OUT1, OUT2 ~ OUTn)에 연결하거나 차단한다. 좀더 설명하면, 제 1 내지 제 n 서브 스위치부들(SWS1, SWS2 ~ SWSn)은 대응되는 제 1 내지 제 n 스위치부들(SW1, SW2 ~ SWn)이 턴 오프 되면 턴 온 된다.

셰어 라인들(SHARE1, SHARE2)은 두 개의 라인인 것을 특징으로 한다. 제 1 내지 제 n 출력 전압들 중 홀수 번째 출력 전압들(OUT1, OUT3 ~ OUTn-1)은 셰어 라인들(SHARE1, SHARE2) 중 제 1 셰어 라인(SHARE1)에 연결되고, 짝수 번째 출력 전압들(OUT2, OUT4 ~ OUTn)은 셰어 라인들(SHARE1, SHARE2) 중 제 2 셰어 라인(SHARE2)에 연결된다.

전압 발생부(420)는 소정의 제 1 및 제 2 전압(EXV1, EXV2)을 수신하여 셰어 라인들(SHARE1, SHARE2)에 소정의 프리 차지 전압(PCV1, PCV2)을 인가한다.

좀더 상세히 설명하면, 전압 발생부(420)는 제 1 전압(EXV1)을 수신하고 제 1 프리 차지 전압(PCV1)을 발생하여 제 1 셰어 라인(SHARE1)에 인가하는 제 1 프리 차지 전압 발생부(510) 및 제 2 전압(EXV2)을 수신하고 제 2 프리 차지 전압(PCV2)을 발생하여 제 2 셰어 라인(SHARE2)에 인가하는 제 2 프리 차지 전압 발생부(530)를 구비한다.

제 1 프리 차지 전압 발생부(510)는 제 1 전압(EVX1)을 수신하여 제 1 서브 전압(EXVS1)을 발생하는 제 1 서브 전압 발생장치(520) 및 제 1 서브 전압(EXVS1)을 제 1 프리 차지 전압(PCV1)으로서 발생하거나 차단하는 제 1 프리 차지 스위치부(ESW1)를 구비한다. 제 1 프리 차지 스위치부(ESW1)는 제 1 내지 제 n 스위치부들(SW1, SW2 ~ SWn) 중 홀수 번째 스위치부(SW1, SW3 ~ SWn-1)가 턴 오프 되면 턴 온 된다. 제 1 서브 전압 발생 장치(520)는 전압 팔로우어(follower)의 형식을 가지는 증폭기이며 제 1 전압(EXV1)은 일정한 전압 레벨을 가지거나 또는 제 1 내지 제 n 입력 전압들(INP1, INP2, ~ INPn) 중 홀수 번째 입력 전압들(INP1, INP3, ~ INPn-1)의 전압 레벨이 변화되는

것에 응답하여 함께 전압 레벨이 변화되는 것을 특징으로 한다.

제 1 프리 차지 전압 발생부(510)는 제 1 프리 차지 스위치부(ESW1)와 제 1 셰어 라인(SHARE1) 사이의 제 1 노드(N1)로 소정의 제 1 외부 전압(EXIN1)이 인가되며, 제 1 외부 전압(EXIN1)은 일정 레벨의 전압으로서, 외부에서 인가된다. 제 1 외부 전압(EXIN1)은 제 1 프리 차지 스위치부(ESW1)가 턴 오프 되면 인가되는 것을 특징으로 한다.

제 2 프리 차지 전압 발생부(520)는 제 2 전압(EXV2)을 수신하여 제 2 서브 전압(EXVS2)을 발생하는 제 2 서브 전압 발생장치(540) 및 제 2 서브 전압(EXVS2)을 제 2 프리 차지 전압(PCV2)으로서 발생하거나 차단하는 제 2 프리 차지 스위치부(ESW2)를 구비한다. 제 2 서브 전압 발생 장치(520)는 전압 팔로우어(follower)의 형식을 가지는 증폭기이다.

제 2 프리 차지 스위치부(ESW2)는 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)들 중 짝수 번째 스위치부(SW2, SW4 ~ SWn)가 턴 오프 되면 턴 온 되는 것을 특징으로 한다.

제 2 프리 차지 전압 발생부(530)는 제 2 프리 차지 스위치부(ESW2)와 제 2 셰어 라인(SHARE2) 사이의 제 2 노드(N2)로 소정의 제 2 외부 전압(EXIN2)이 인가되며, 제 2 외부 전압(EXIN2)은 일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 한다. 제 2 외부 전압(EXIN2)은 제 2 프리 차지 스위치부(ESW2)가 턴 오프 되면 인가된다. 제 2 전압(EXV2)은 일정한 전압 레벨을 가지거나 또는 제 1 내지 제 n 입력 전압들(INP1, INP2, ~ INPn) 중 짝수 번째 입력 전압들(INP2, INP4, ~ INPn)의 전압 레벨이 변화되는 것에 응답하여 함께 전압 레벨이 변화되는 것을 특징으로 한다.

본 발명의 제 2 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로는 제 1 내지 제 n 전압 발생장치들(410, 411, 412, 413, 414), 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn) 및 제 1 내지 제 n 서브 스위치부들(SWS1, SWS2 ~ SWSn)을 구비하는 것을 특징으로 한다.

제 1 내지 제 n 전압 발생장치들(410, 411, 412, 413, 414)은 대응되는 제 1 내지 제 n 입력 전압들(INP1, INP2 ~ INPn)을 수신하여 제 1 내지 제 n 서브 입력 전압들(INPS1, INPS2 ~ INPSn)을 발생한다. 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)는 제 1 내지 제 n 서브 입력 전압들(INPS1, INPS2 ~ INPSn)을 대응되는 제 1 내지 제 n 출력 전압들(OUT1, OUT2 ~ OUTn)로서 발생하거나 차단시킨다. 제 1 내지 제 n 서브 스위치부들(SWS1, SWS2 ~ SWSn)은 소정의 셰어 라인들(SHARE1, SHARE2)을 제 1 내지 제 n 출력 전압들(OUT1, OUT2 ~ OUTn)에 연결하거나 차단한다.

바람직하기로는, 셰어 라인들(SHARE1, SHARE2)은 제 1 및 제 2 셰어 라인(SHARE1, SHARE2)인 것을 특징으로 한다. 제 1 내지 제 n 출력 전압들(OUT1, OUT2 ~ OUTn) 중 홀수 번째 출력 전압들(OUT1, OUT3 ~ OUTn-1)은 제 1 셰어 라인(SHARE1)에 연결되고, 짝수 번째 출력 전압들(OUT2, OUT4 ~ OUTn)은 제 2 셰어 라인(SHARE2)에 연결된다.

제 1 셰어 라인(SHARE1)은 소정의 제 1 외부 전압(EXV1)이 인가되며, 제 1 외부 전압(EXV1)은 일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 한다. 제 2 셰어 라인(SHARE2)은 소정의 제 2 외부 전압(EXV2)이 인가되며, 제 2 외부 전압(EXV2)은 일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 한다.

이하 도 4 및 도 5를 참조하여, 본 발명의 제 1 실시예에 따른 박막 트랜지 스터형 액정 표시 장치의 소스 드라이버 출력 회로(400)의 동작이 상세히 설명된다.

보통의 박막 트랜지스터형 액정 표시장치의 소스 드라이버는 도 4에 도시된 것과 같은 전압 발생 장치들(410, 411, 412, 413, 414)을 384개, 402개, 420개, 480개, 520개 등, 많은 수로 구비하고 있으며, 보통 패널의 크기에 따라 사용되는 전압 발생 장치들의 수가 결정된다.

본 발명의 실시예에서는 전압 발생장치로서 전압 팔로우어가 사용되며, 전압 팔로우어는 입력 전압과 동일한 전압 레벨을 가지며 전류량이 더 많은 출력 전압을 발생할 수 있는 이점이 있기 때문이다.

전압 발생장치(410, 411, 412, 413, 414)는 n 개로 구성되고, 스위치부(SW1, SW2 ~ SWn)도 n 개로 구성된다.

스위치부(SW1, SW2 ~ SWn)가 턴 온 되는 경우, 전압 발생 장치(410, 411, 412, 413, 414)에서 발생되는 서브 입력 전압들(INPS1, INPS2 ~ INPSn)을 출력 전압(OUT1, OUT2 ~ OUTn)으로서 발생시킨다. 제 1 스위치부(SW1)는 게이트로 제 1 제어 신호(S1)를 수신하여 턴 온 되거나 턴 오프 되는 피모스 트랜지스터 및 게이트로 반전 제 1 제어 신호(SB1)를 수신하여 턴 온 되거나 턴 오프 되는 엔모스 트랜지스터로 구성된다. 제 1 입력 전압(INP1)의 레벨이 급격히 변화될 때, 제 1 제어 신호(S1)는 하이 레벨로 발생되며 제 1 스위치부(SW1)는 턴 오프 된다. 제 1 입력 전압(INP

1)의 레벨이 일정한 레벨로 유지되면, 제 1 제어 신호(S1)는 로우 레벨로 발생되며 제 1 스위치부(SW1)는 턴 온 되고 따라서 제 1 서브 입력 전압(INPS1)은 제 1 출력 전압(OUT1)으로서 발생된다.

위와 같은 제 1 스위치부(SW1)의 구성 및 동작은 다른 제 2 내지 제 n 스위치부(SW2, SW3 ~ SWn)에도 동일하게 적용된다.

제 1 내지 제 n 서브 스위치부(SWS1, SWS2 ~ SWSn)는 셰어 라인들(SHARE1, SHARE2)과 출력 전압들(OUT1, OUT2 ~ OUTn)을 연결한다. 제 1 내지 제 n 서브 스위치부(SWS1, SWS2 ~ SWSn)는 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)가 턴 오프 되면 턴 온 된다. 즉, 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)가 턴 오프 되어 입력 전압들(INP1, INP2 ~ INPn)이 출력 전압들(OUT1, OUT2 ~ OUTn)로 연결되지 못할 경우에, 제 1 내지 제 n 서브 스위치부(SWS1, SWS2 ~ SWSn)가 턴 온 되어 셰어 라인들(SHARE1, SHARE2)이 출력 전압들(OUT1, OUT2 ~ OUTn)로 연결된다.

제 1 내지 제 n 서브 스위치부들(SWS1, SWS2 ~ SWSn)도 서브 제어 신호들(SS1, SS2 ~ SSn)과 반전 서브 제어 신호들(SSB1, SSB2 ~ SSBn)에 의하여 제어되는 피모스 트랜지스터와 엔모스 트랜지스터로 구성된다.

입력 전압들(INP1, INP2 ~ INPn)은 한번은 높은 전압 레벨로, 한번은 낮은 전압 레벨로 입력된다. 또한 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)과 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)은 전압 레벨이 변화되는 순서가 서로 반대이다. 즉, 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)이 높은 전압 레벨로 입력될 때 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)은 낮은 전압 레벨로 입력된다. 따라서, 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)의 출력 전압들(OUT1, OUT3 ~ OUTn-1)을 일정한 전압 레벨로 충전된 셰어 라인(SHARE1, SHARE2)을 이용하여 공통으로 연결하고, 홀수 번째의 스위치부(SW1, SW3 ~ SWn)가 턴 오프 되는 경우에 제 1 셰어 라인(SHARE1)에 충전된 전압을 패널(미도시)로 인가하여 패널을 일정한 전압 레벨로 충전시킬 수 있다. 그리고, 다시 홀수 번째 스위치부들(SW1, SW3 ~ SWn)이 턴 온 되면 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)이 패널(미도시)로 인가되는데, 이 때 패널(미도시)의 커패시터가 일정한 전압 레벨로 충전되어 있으므로 패널(미도시)을 필요한 정도로 충전 시켜 화면을 표시하는 속도가 빨라지게 된다.

마찬가지로, 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)의 출력 전압들(OUT2, OUT4 ~ OUTn)을 일정한 전압 레벨로 충전된 제 2 셰어 라인(SHARE2)을 이용하여 공통으로 연결하고, 짝수 번째의 스위치부(SW2, SW4 ~ SWn)가 턴 오프 되는 경우에 제 2 셰어 라인(SHARE2)에 충전된 전압을 패널(미도시)로 인가하여 패널을 일정한 전압 레벨로 충전시킬 수 있다. 그리고, 다시 짝수 번째 스위치부들(SW2, SW4 ~ SWn)이 턴 온 되면 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)이 패널(미도시)로 인가되는데, 이 때 패널(미도시)의 커패시터가 일정한 전압 레벨로 충전되어 있으므로 패널(미도시)을 필요한 정도로 충전 시켜 화면을 표시하는 속도가 빨라지게 된다.

본 발명의 실시예에서는 홀수 번째 출력 전압(OUT1, OUT3 ~ OUTn-1)을 공통적으로 연결하는 제 1 셰어 라인(SHARE1)과 짝수 번째 출력 전압(OUT2, OUT4 ~ OUTn)을 공통적으로 연결하는 제 2 셰어 라인(SHARE2)의 2개의 셰어 라인(SHARE1, SHARE2)이 사용된다.

셰어 라인들(SHARE1, SHARE2)을 일정한 전압으로 충전시키기 위한 전압을 공급하는 전압 발생부(420)에 대해서 살펴본다.

전압 발생부(420)는 제 1 전압(EXV1)을 수신하고 제 1 프리 차지 전압(PCV1)을 발생하여 제 1 셰어 라인(SHARE1)에 인가하는 제 1 프리 차지 전압 발생부(510) 및 제 2 전압(EXV2)을 수신하고 제 2 프리 차지 전압(PCV2)을 발생하여 제 2 셰어 라인(SHARE2)에 인가하는 제 2 프리 차지 전압 발생부(530)를 구비한다.

제 1 프리 차지 전압 발생부(510) 및 제 2 프리 차지 전압 발생부(530)로 인가되는 제 1 전압(EVX1) 및 제 2 전압(EXV2)은 제 1 셰어 라인(SHARE1) 및 제 2 셰어 라인(SHARE2)을 일정한 전압 레벨로 만들기 위한 전압이다. 제 1 전압(EXV1) 및 제 2 전압(EXV2)은 고정된 일정한 전압일 수 있다. 이 경우 제 1 셰어 라인(SHARE1)은 고정된 제 1 전압(EXV1)의 전압 레벨로 고정되고, 제 2 셰어 라인(SHARE2)은 고정된 제 2 전압(EXV2)의 전압 레벨로 고정된다.

또한 제 1 전압(EXV1)은 변화되는 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)의 전압 레벨에 따라 함께 변화될 수 있다. 즉, 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)이 높은 전압으로 발생되면 제 1 전압(EXV1)도 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)의 레벨과는 다른 높은 전압으로 입력되고 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)이 낮은 전압으로 발생되면 제 1 전압(EXV1)도 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)의 레벨과는 다른 낮은 전압으로 입력된다. 이렇게 하면, 패널(미도시)의 커패시터들이 홀수 번째 입력 전압들(INP1, INP3 ~ INPn-1)의 전압 레벨이 변화되는 정도에 따라 적당한 정도로 미 리 충전되므로, 제 1 전압(EXV1)의 전압 레벨을 고정시키는 것보다 화면을 표시하는 속도가 더 빨라질 수 있다.

마찬가지로 제 2 전압(EXV2)은 변화되는 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)의 전압 레벨에 따라 함께 변화될 수 있다. 즉, 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)이 높은 전압으로 발생되면 제 2 전압(EXV2)도 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)의 레벨과는 다른 높은 전압으로 입력되고 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)이 낮은 전압으로 발생되면 제 2 전압(EXV2)도 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)의 레벨과는 다른 낮은 전압으로 입력된다. 이렇게 하면, 패널(미도시)의 커패시터들이 짝수 번째 입력 전압들(INP2, INP4 ~ INPn)의 전압 레벨이 변화되는 정도에 따라 적당한 정도로 미리 충전되므로, 제 2 전압(EXV2)의 전압 레벨을 고정시키는 것보다 화면을 표시하는 속도가 더 빨라질 수 있다.

제 1 서브 전압 발생 장치(520) 및 제 2 서브 전압 발생 장치(540)는 전압 팔로우어(follower)의 형식을 가지는 증폭기이다.

제 1 및 제 2 서브 전압(EXVS1, EXVS2)은 제 1 및 제 2 프리차지 스위치부(ESW1, ESW2)에 의하여 각각 제 1 및 제 2 셰어 라인(SHARE1, SHARE2)으로 전달된다. 제 1 및 제 2 프리 차지 스위치부(ESW1, ESW2)의 구성은 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)나 제 1 내지 제 n 서브 스위치부(SWS1, SWS2 ~ SWSn)와 동일하다.

프리차지 스위치 제어신호들(ES1, ES2) 및 반전 프리차지 스위치 제어 신호 들(ESB1, ESB2)은 프리 차지 스위치부(ESW1, ESW2)의 피모스 트랜지스터와 엔모스 트랜지스터를 턴 온 또는 턴 오프 시키는 신호들이다. 제 1 프리 차지 스위치부(ESW1)는 제 1 내지 제 n 스위치부들(SW1, SW2 ~ SWn) 중 홀수 번째 스위치부(SW1, SW3 ~ SWn-1)가 턴 오프 되면 턴 온 된다. 제 2 프리 차지 스위치부(ESW2)는 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)들 중 짝수 번째 스위치부(SW2, SW4 ~ SWn)가 턴 오프 되면 턴 온 된다. 따라서 프리차지 스위치 제어 신호들(ESB1, ESB2)은 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)를 제어하는 제어 신호들(S1, S2, ~ ,Sn)과 반대되는 위상 관계를 가지게 된다.

즉, 입력 전압들(INP1, INP2 ~ INPn)의 전압 레벨이 급격히 변화되면 제1 내지 제 n 스위치부들(SW1, SW2 ~ SWn)은 턴 오프 되고 제 1 내지 제 2 프리 차지 스위치부(ESW1, ESW2)는 턴 온 된다. 그러면 제 1 전압(EXV1) 및 제 2 전압(EXV2)은 각각 제1 및 제 2 셰어 라인(SHARE1, SHARE2)으로 인가되어 제 1 및 제 2 셰어 라인(SHARE1, SHARE2)을 일정한 전압 레벨로 만든다.

제 1 프리 차지 전압 발생부(510)는 제 1 프리 차지 스위치부(ESW1)와 제 1 셰어 라인(SHARE1) 사이의 제 1 노드(N1)로 소정의 제 1 외부 전압(EXIN1)이 인가된다. 제 1 외부 전압(EXIN1)은 제 1 셰어 라인을 충전하기 위한 일정한 레벨의 전압으로서, 외부에서 인가된다. 제 1 서브 전압 발생 장치(520) 및 제 1 프리 차지 스위치부(ESW1)를 이용하지 않는 경우에, 제 1 셰어 라인(SHARE1)을 일정한 전압 레벨로 만들기 위하여 제 1 외부 전압(EXIN1)을 인가한다. 제 1 서브 전압 발생 장치(520) 및 제 1 프리 차지 스위치부(ESW1)를 이용하는 경우에는 제 1 노드(N1)를 플로우팅(floating) 시킨다. 제 1 외부 전압(EXIN1)을 이용하는 방법은 제 1 전압(EXV1)의 전압 레벨을 고정시킨 경우와 동일한 효과를 발생한다.

마찬가지로, 제 2 프리 차지 전압 발생부(530)는 제 2 프리 차지 스위치부(ESW2)와 제 2 셰어 라인(SHARE2) 사이의 제 2 노드(N2)로 소정의 제 2 외부 전압(EXIN2)이 인가된다. 제 2 외부 전압(EXIN2)은 제 2 셰어 라인을 충전하기 위한 일정한 레벨의 전압으로서, 외부에서 인가된다. 제 2 서브 전압 발생 장치(540) 및 제 2 프리 차지 스위치부(ESW2)를 이용하지 않는 경우에, 제 2 셰어 라인(SHARE2)을 일정한 전압 레벨로 만들기 위하여 제 2 외부 전압(EXIN2)을 인가한다. 제 2 서브 전압 발생 장치(540) 및 제 2 프리 차지 스위치부(ESW2)를 이용하는 경우에는 제 2 노드(N2)를 플로우팅(floating) 시킨다. 제 2 외부 전압(EXIN)을 이용하는 방법은 제 2 전압(EXV2)의 전압 레벨을 고정시킨 경우와 동일한 효과를 발생한다.

이하에서 회로의 동작을 설명한다.

먼저 제 1 전압(EXV1)과 제 2 전압(EXV2)을 이용하여 셰어라인들(SHARE1, SHARE2)을 충전하는 경우에 대하여 설명한다.

일정한 레벨의 전압을 가지는 제 1 내지 제 n 입력 전압들(INP1, INP2 ~ INPn)이 인가되고, 제 1 내지 제 n 스우치부(SW1, SW2 ~ SWn)가 연결된다. 이때 제1 내지 제 n 서브 스위치부(SWS1, SWS2 ~ SWSn) 및 제 1 및 제 2 프리 차지 스위치부(ESW1, ESW2)는 턴 오프 되며 제 1 노드(N1)와 제 2 노드(N2)는 플로우팅(Floating) 되어 있는 상태이다. 그러면 제 1 내지 제 n 입력 전압들(INP1, INP2 ~ INPn)은 제 1 내지 제 n 출력 전압들(OUT1, OUT2 ~ OUTn)로서 패널(미도시)로 인가된다.

입력 전압들(INP1, INP2 ~ INPn)의 전압 레벨이 급격히 변하게 되어 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)가 턴 오프 되고 제 1 내지 제 n 서브 스위치부(SWS1, SWS2 ~ SWSn)가 턴 온 된다. 제 1 노드(N1) 및 제 2 노드(N2)는 계속해서 플로우팅(Floating) 된 상태에서, 제1 및 제 2 프리 차지 스위치부(ESW1, ESW2)가 턴 온 되면 제 1 전

압(EXV1) 및 제 2 전압(EXV2)이 각각 제 1 및 제 2 셰어 라인(SHARE1, SHARE2)으로 인가된다.

이 때 도 3에 나타난 것과 같은 패널(300)이 제 1 내지 제 n 출력 전압(OUT1, OUT2 ~ OUTn)에 하나씩 연결되어 있으므로, 제 1 및 제 2 셰어 라인(SHARE1, SHARE2)의 일정한 전압 레벨이 제 1 내지 제 n 출력 전압(OUT1, OUT2 ~ OUTn)에 연결된 패널로 인가되어 패널의 커패시터들이 충전되거나 방전된다.

그 후 다시 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)가 턴 온되고 제 1 내지 제 n 입력 전압들(INP1, INP2 ~ INPn)이 제 1 내지 제 n 출력 전압들(OUT1, OUT2 ~ OUTn)로서 발생되어 패널로 인가된다. 그러면, 제 1 내지 제 n 입력 전압들(INP1, INP2 ~ INPn)은 패널의 커패시터에 이미 일정한 레벨로 저장되어 있는 전압을 만나게 된다. 따라서 커패시터의 전압이 0 V에서 일정한 전압까지 상승되어야 할 경우, 커패시터의 전압은 커패시터에 이미 존재하는 일정한 레벨의 전압의 도움을 받아서 좀더 빠르게 필요한 전압 레벨까지 상승된다. 즉, 커패시터의 전압은 적은 전류와 빠른 시간(빠른 슬루 레이트)에 필요한 전압 레벨까지 상승될 수 있다.

제 1 외부 전압(EXIN1) 및 제 2 외부 전압(EXIN2)을 이용하여 셰어 라인들(SHARE1, SHARE2)을 충전하는 경우를 설명한다.

이 경우 제 1 프리 차지 스위치부(ESW1) 및 제 2 프리 차지 스위치부(ESW2)는 항상 턴 오프 되어 있게 된다. 제 1 내지 제 n 스위치부(SW1, SW2 ~ SWn)가 턴 오프 되면, 제 1 외부 전압(EXIN1) 및 제 2 외부 전압(EXIN2)이 각각 제 1 노드(N1) 및 제 2 노드(N2)로 인가되고, 셰어 라인들(SHARE1, SHARE2)의 전압 레벨이 제 1 외부 전압(EXIN1) 및 제 2 외부 전압(EXIN2)의 전압 레벨로 상승되거나 하강된다. 그러면 앞에서 설명된 것과 같은 동작에 의하여 셰어 라인들(SHARE1, SHARE2)의 전압이 패널(미도시)의 트랜지스터들로 인가되어 트랜지스터들은 일정한 전압 레벨로 충전된다.

본 발명의 제 2 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로는 셰어 라인들(SHARE1, SHARE2)의 전압 레벨을 제 1 외부 전압(EXIN1) 및 제 2 외부 전압(EXIN2)에 의해서만 조정하는 회로이다.

도 4의 전압 발생부(420)가 존재하지 않는 점을 제외하고는 본 발명의 제 1 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로(400)와 동일한 회로 구성을 가지며 동일한 동작을 한다. 따라서 동작에 대한 상세한 설명은 생략한다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버의 출력 회로는 제 1 및 제 2 전압 또는 제 1 및 제 2 외부 전압에 의하여 소스 드라이버로부터 패널로 입력되는 신호의 슬루 레이트를 개선하고 소스 드라이버에서의 전류 소비를 감소시키는 장점이 있다.

(57) 청구의 범위

청구항 1.

대응되는 제 1 내지 제 n 입력 전압들을 수신하여 제 1 내지 제 n 서브 입력 전압들을 발생하는 제 1 내지 제 n(n은 짝수인 자연수)전압 발생장치들 ;

상기 제 1 내지 제 n 서브 입력 전압들을 대응되는 제 1 내지 제 n 출력 전압들로서 발생하거나 차단시키는 제 1 내지 제 n 스위치부 ;

소정의 셰어 라인들을 상기 제 1 내지 제 n 출력 전압들에 연결하거나 차단하는 제 1 내지 제 n 서브 스위치부들 ; 및

소정의 제 1 및 제 2 전압을 수신하여 상기 셰어 라인들에 소정의 프리 차지 전압을 인가하는 전압 발생부를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 2.
제 1항에 있어서, 상기 제 1 내지 제 n 출력 전압들 중,

홀수 번째 출력 전압들은 상기 셰어 라인들 중 제 1 셰어 라인에 연결되고, 짝수 번째 출력 전압들은 상기 셰어 라인들 중 제 2 셰어 라인에 연결되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 3.
제 1항에 있어서, 상기 셰어 라인들은,

두 개의 라인인 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 4.
제 1항에 있어서, 상기 전압 발생부는,

상기 제 1 전압을 수신하고 제 1 프리 차지 전압을 발생하여 제 1 셰어 라인에 인가하는 제 1 프리 차지 전압 발생부 ; 및

상기 제 2 전압을 수신하고 제 2 프리 차지 전압을 발생하여 제 2 셰어 라인에 인가하는 제 2 프리 차지 전압 발생부를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 5.
제 4항에 있어서, 상기 제 1 프리 차지 전압 발생부는,

상기 제 1 전압을 수신하여 제 1 서브 전압을 발생하는 제 1 서브 전압 발생 장치 ; 및

상기 제 1 서브 전압을 상기 제 1 프리 차지 전압으로서 발생하거나 차단하는 제 1 프리 차지 스위치부를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 6.
제 5항에 있어서, 상기 제 1 프리 차지 스위치부는,

상기 제 1 내지 제 n 스위치부들 중 홀수 번째 스위치부가 턴 오프 되면 턴 온 되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 7.
제 5항에 있어서, 상기 제 1 프리 차지 전압 발생부는,

상기 제 1 프리차지 스위치부와 상기 제 1 셰어 라인 사이의 제 1 노드로 소정의 제 1 외부 전압이 인가되며,

상기 제 1 외부 전압은,

일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 8.
제 7항에 있어서, 상기 제 1 외부 전압은,

상기 제 1 프리차지 스위치부가 턴 오프 되면 인가되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 9.
제 5항에 있어서, 상기 제 1 서브 전압 발생 장치는,

전압 팔로우어(follower)의 형식을 가지는 증폭기인 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 10.

제 5항에 있어서, 상기 제 1 전압은,

일정한 전압 레벨을 가지거나 또는 상기 제 1 내지 제 n 입력 전압들 중 홀수 번째 입력 전압들의 전압 레벨이 변화되는 것에 응답하여 함께 전압 레벨이 변화되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 11.
제 4항에 있어서, 상기 제 2 프리 차지 전압 발생부는,

상기 제 2 전압을 수신하여 제 2 서브 전압을 발생하는 제 2 서브 전압 발생장치 ; 및

상기 제 2 서브 전압을 상기 제 2 프리 차지 전압으로서 발생하거나 차단하는 제 2 프리 차지 스위치부를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 12.
제 11항에 있어서, 상기 제 2 프리 차지 스위치부는,

상기 제 1 내지 제 n 스위치부들 중 짝수 번째 스위치부가 턴 오프 되면 턴 온 되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 13.
제 11항에 있어서, 상기 제 2 프리 차지 전압 발생부는,

상기 제 2 프리 차지 스위치부와 상기 제 2 셰어 라인 사이의 제 2 노드로 소정의 제 2 외부 전압이 인가되며,

상기 제 2 외부 전압은,

일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 14.
제 13항에 있어서, 상기 제 2 외부 전압은,

상기 제 2 프리 차지 스위치부가 턴 오프 되면 인가되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 15.
제 11항에 있어서, 상기 제 2 서브 전압 발생 장치는,

전압 팔로우어(follower)의 형식을 가지는 증폭기인 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 16.
제 11항에 있어서, 상기 제 2 전압은,

일정한 전압 레벨을 가지거나 또는 상기 제 1 내지 제 n 입력 전압들 중 짝 수 번째 입력 전압들의 전압 레벨이 변화되는 것에 응답하여 함께 전압 레벨이 변화되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 17.
제 1항에 있어서, 상기 제 1 내지 제 n 서브 스위치부들은,

대응되는 상기 제 1 내지 제 n 스위치부들이 턴 오프 되면 턴 온 되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 18.

대응되는 제 1 내지 제 n 입력 전압들을 수신하여 제 1 내지 제 n 서브 입력 전압들을 발생하는 제 1 내지 제 n 전압 발생장치들 ;

상기 제 1 내지 제 n 서브 입력 전압들을 대응되는 제 1 내지 제 n 출력 전압들로서 발생하거나 차단시키는 제 1 내지 제 n 스위치부 ;

소정의 셰어 라인들을 상기 제 1 내지 제 n 출력 전압들에 연결하거나 차단하는 제 1 내지 제 n 서브 스위치부들을 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 19.
제 18항에 있어서, 상기 셰어 라인들은,

제 1 및 제 2 셰어 라인인 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 20.
제 19항에 있어서,

상기 제 1 내지 제 n 출력 전압들 중 홀수 번째 출력 전압들은 상기 제 1 셰어 라인에 연결되고, 짝수 번째 출력 전압들은 상기 제 2 셰어 라인에 연결되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 21.
제 19항에 있어서, 상기 제 1 셰어 라인은,

소정의 제 1 외부 전압이 인가되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 22.
제 21항에 있어서, 상기 제 1 외부 전압은,

일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 23.
제 19항에 있어서, 상기 제 2 셰어 라인은,

소정의 제 2 외부 전압이 인가되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 24.
제 23항에 있어서, 상기 제 2 외부 전압은,

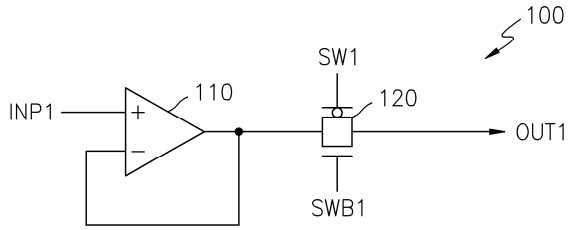
일정 레벨의 전압으로서, 외부에서 인가되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

청구항 25.
제 18항에 있어서, 상기 제 1 내지 제 n 서브 스위치부들은,

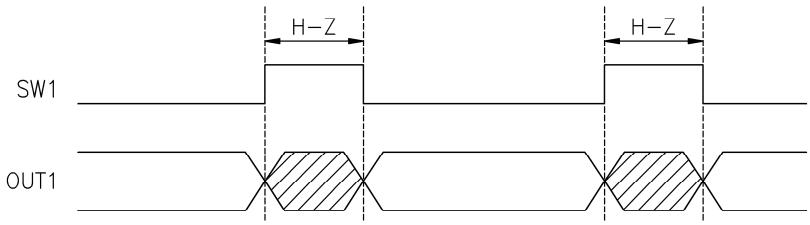
대응되는 상기 제 1 내지 제 n 스위치부들이 턴 오프 되면 턴 온 되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로.

도면

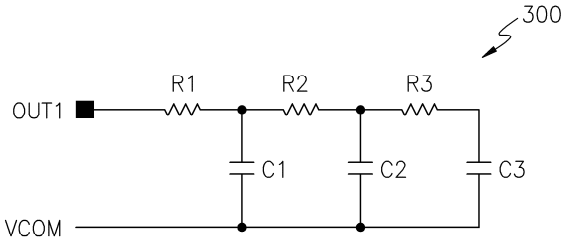
도면1


100
SW1
INP1
110
120
OUT1
SWB1

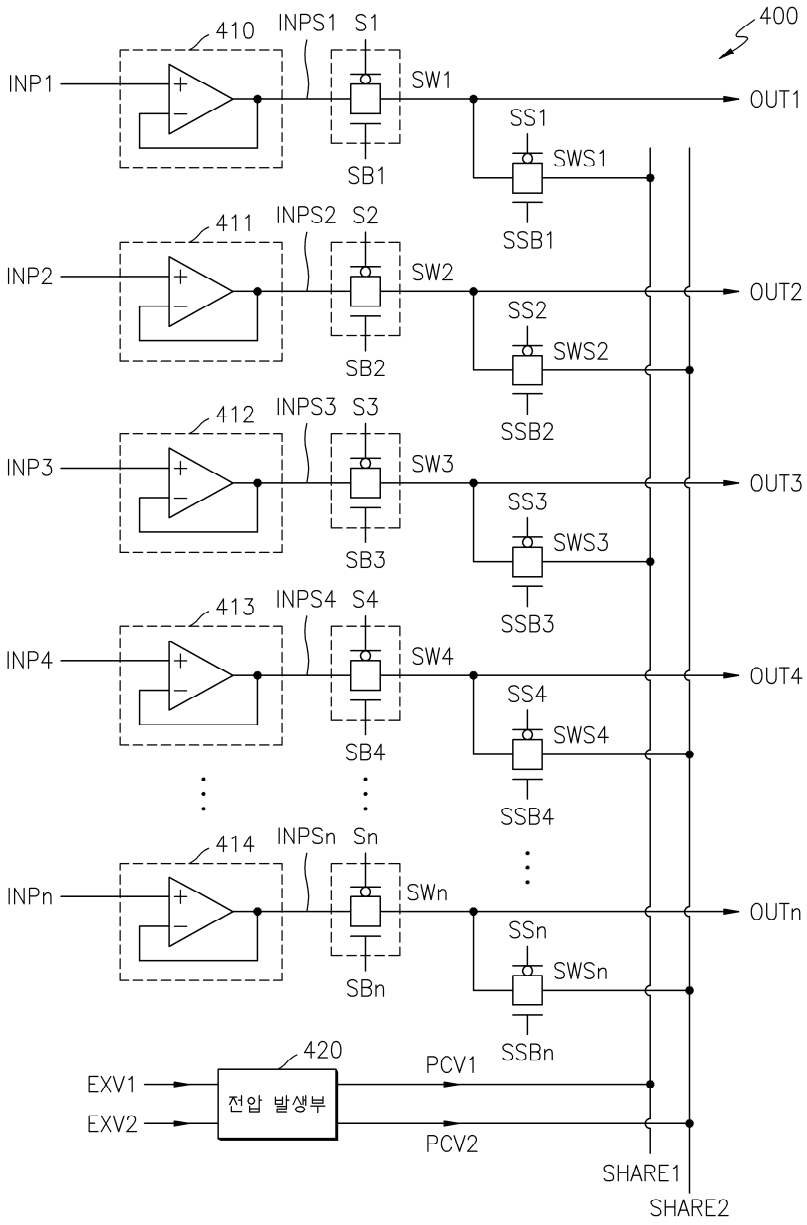
도면2


H-Z
H-Z
SW1
OUT1

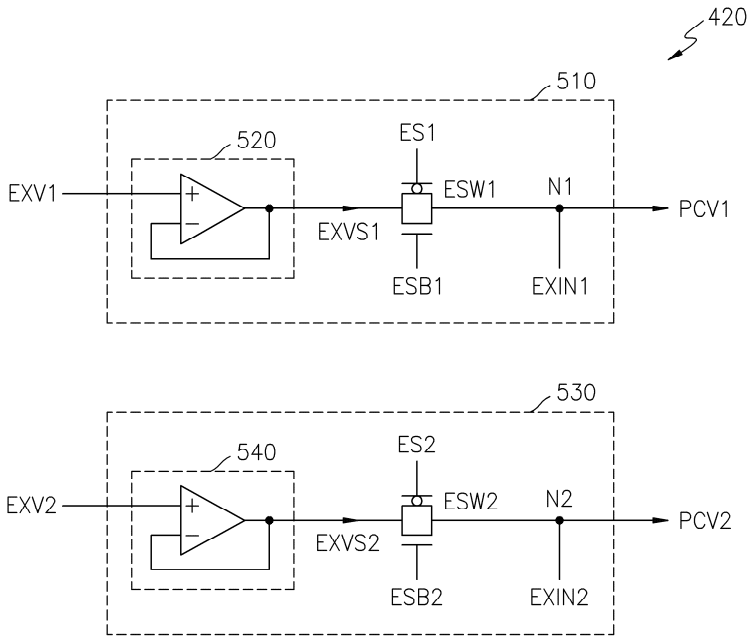
도면3


300
R1
R2
R3
OUT1
C1
C2
C3
VCOM

도면4


400
410
411
412
413
414
INPS1
INPS2
INPS3
INPS4
INPSn
S1
S2
S3
S4
Sn
INP1
INP2
INP3
INP4
INPn
SW1
SW2
SW3
SW4
SWn
SB1
SB2
SB3
SB4
SBn
OUT1
OUT2
OUT3
OUT4
OUTn
SS1
SS2
SS3
SS4
SSn
SWS1
SWS2
SWS3
SWS4
SWSn
SSB1
SSB2
SSB3
SSB4
SSBn
420
전압 발생부
EXV1
EXV2
PCV1
PCV2
SHARE1
SHARE2

도면5


420
510
520
530
540
EXV1
EXV2
ES1
ES2
ESW1
ESW2
N1
N2
EXVS1
EXVS2
ESB1
ESB2
EXIN1
EXIN2
PCV1
PCV2

专利名称(译)	薄膜晶体管型液晶显示装置的源极驱动器的输出电路		
公开(公告)号	KR1020030065699A	公开(公告)日	2003-08-09
申请号	KR1020020005420	申请日	2002-01-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM KIJOON 김기준		
发明人	김기준		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2330/023 G09G3/3688 G09G2310/0248		
代理人(译)	LEE，YOUNG PIL		
其他公开文献	KR100438784B1		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示器薄膜晶体管阵列的源极驱动器的输出电路。根据本发明第一优选实施例的液晶显示器薄膜晶体管阵列的源极驱动器输出电路包括第一至第n电压产生装置，第一至第n开关，以及第一至第n子电容器。开关尾部和电压发生单元。接收第一至第n电压产生装置所对应的第一至第n输入电压，并产生第一至第n子输入电压。它产生为第一至第n输出电压对应于或第一至第n通过n开关切断第一至第n子输入电压。预定的共享线连接到第一到第n输出电压或第一到第n到子开关尾部块。电压发生单元接收预定的第一和第二电压，并且在共享线中授权预定的预充电电压。根据本发明的液晶显示器的薄膜晶体管阵列的源极驱动器的输出电路具有以下优点：输入信号的转换速率提高到面板，并且源极驱动器的电流消耗首先减小。来自源极驱动器的第二电压或第一和第二外部电压。