

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G02F 1/136	(11) 공개번호 특2001-0021271
	(43) 공개일자 2001년03월 15일
(21) 출원번호 10-2000-0046512	
(22) 출원일자 2000년08월 11일	
(30) 우선권 주장 (71) 출원인	99-238442 1999년08월25일 일본(JP) 소니 가부시끼 가이샤 이데이 노부유키
(72) 발명자	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 와다도모히로 일본국도쿄도시나가와구키타시나가와6초메7반35고소니가부시끼가이샤내 사토다쿠세이 일본국도쿄도시나가와구키타시나가와6초메7반35고소니가부시끼가이샤내 아베후미아키 일본국도쿄도시나가와구키타시나가와6초메7반35고소니가부시끼가이샤내
(74) 대리인	박종길, 김재만

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

액정표시장치에서의 화소 간 차광면적을 축소하여, 고광투과율(高光透過率) 및 고정세화(高精細化)를 실현한다.

TFT를 구성하는 박막반도체층(4)의 하층에 층간 절연막(3)을 통해 유지용량배선(2)을 형성한다. TFT의 드레인영역을 연장시킨 박막반도체층(4)의 부분과 유지용량배선(2) 사이에, 층간 절연막(3)의 오목부(3a)의 저부(底部)로 이루어지는 유지용량용 유전막을 끼워 유지용량소자를 구성한다. TFT의 드레인영역과 화소전극(17)을 전기적으로 접속하고, TFT에 의해 액정표시장치를 구동한다.

대표도

도1

색인어

액정표시장치, 박막반도체층, 층간 절연막, 유지용량배선, 오목부.

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시형태에 의한 액정표시장치의 TFT기판을 나타낸 단면도이다.
- 도 2는 본 발명의 제1 실시형태에 의한 TFT기판의 평면 레이아웃을 나타낸 평면도이다.
- 도 3은 본 발명의 제1 실시형태에 의한 TFT기판의 평면 레이아웃을 나타낸 평면도이다.
- 도 4는 본 발명의 제2 실시형태에 의한 액정표시장치의 TFT기판을 나타낸 단면도이다.
- 도 5는 본 발명의 제3 실시형태에 의한 액정표시장치의 TFT기판을 나타낸 단면도이다.
- 도 6은 본 발명의 제3 실시형태에 의한 액정표시장치의 TFT기판의 평면 레이아웃을 나타낸 평면도이다.
- 도 7은 본 발명의 제3 실시형태에 의한 액정표시장치의 TFT기판의 평면 레이아웃을 나타낸 평면도이다.
- 도 8은 종래 기술에 의한 액정표시장치를 나타낸 단면도이다.
- 도 9는 종래 기술에 의한 액정표시장치의 TFT기판의 평면 레이아웃을 나타낸 평면도이다.

<도면의 주요 부분에 대한 부호의 설명>

1: 절연성 투명기판, 2: 유지용량배선, 3, 7, 12, 15: 층간 절연막, 3a: 오목부, 4: 박막반도체층, 6: 게이트배선, 6a: 다결정 Si막, 6b: WSi막, 8, 9, 13, 16: 콘택트 홀, 10: 신호배선, 11: 인출(引出)전

극, 14: 상층 차광막, 17: 화소전극.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 제조방법에 관한 것이며, 특히, 구동용 박막트랜지스터(TFT)를 가지는 액정표시장치에 적용하여 바람직한 것이다.

최근, 프로젝터용의 라이트 밸브로서 액정표시장치가 사용되는 경우가 많아지고 있다. 이와 아울러, 액정표시장치에 있어서는, 더한층의 고광투과율화(高光透過率化), 고정세화(高精細化)가 요망되게 되었다. 여기에서, 이 액정표시장치에서의 종래 기술에 의한 것을, 이하 구체적으로 설명한다.

즉, 도 8에 나타난 바와 같이, 차광영역에서의 석영유리기판(101) 상에 소정 형상의 다결정 Si로 이루어지는 박막반도체층(102)이 형성되고, 이 박막반도체층(102) 상에 게이트 유전막(103)이 형성되어 있다. 이 게이트 유전막(103) 상에는 게이트 배선(104)이 형성되어 있다. 도시는 생략하지만, 박막반도체층(102) 중에는 게이트배선(104)에 대하여 자기정합(自己整合)적으로 소스영역 및 드레인영역이 형성되어 있다. 게이트배선(104)으로 이루어지는 게이트전극과 이들의 소스영역 및 드레인영역에 의해, 화소전극 구동용의 다결정 SiTFT가 구성되어 있다. 드레인영역 상방의 소정 부분에서의 게이트유전막(103) 상에는 유지용량배선(105)이 형성되어 있다. 이 유지용량배선(105)과 드레인영역 사이에 게이트 유전막(103)을 통한 구조에 의해, 유지용 용량소자가 구성되어 있다.

게이트배선(104) 및 유지용량배선(105)을 피복하도록 층간 절연막(106)이 형성되어 있다. 이 층간 절연막(106) 및 게이트유전막(103)의 소정 부분에는 콘택트 홀(107, 108)이 형성되어 있다. 층간 절연막(106) 상에는, 콘택트 홀(107)을 통해 다결정 SiTFT의 드레인영역에 접속되어 인출(引出)전극(109)이 형성되어 있는 동시에, 콘택트 홀(108)을 통해 다결정 SiTFT의 소스영역에 접속되어 신호배선(110)이 형성되어 있다. 이들 인출전극(109) 및 신호배선(110)을 피복하도록 층간 절연막(111)이 형성되어 있다. 인출전극(109) 상의 소정 부분에서의 층간 절연막(111)에는 콘택트 홀(112)이 형성되어 있다. 층간 절연막(111) 상에 이 콘택트 홀(112)을 통해 인출전극(109)과 접속되어 상층 차광막(113)이 형성되어 있다. 이 상층 차광막(113)과 인출전극(109) 및 신호배선(110)의 중합(重合)에 의해, 상방으로부터의 입사광에 대하여, 화소개구영역 이외의 영역 전부의 차광이 이루어지고 있다. 상층 차광막(113)을 피복하도록 층간 절연막(114)이 형성되어 있다. 상층 차광막(113) 상의 소정 부분에서의 이 층간 절연막(114)에는 콘택트 홀(115)이 형성되어 있다. 층간 절연막(114) 상에는, 이 콘택트 홀(115)을 통해 상층 차광막(113)과 접속되어 투명한 화소전극(116)이 형성되어 있다. 이 화소전극(116)을 피복하도록 배향막(配向膜)(117)이 형성되어 있다.

배향막(117) 상에는 액정층(118)이 형성되어 있고, 이 액정층(118) 상에 배향막(119) 및 대향(對向)공통전극(120)이 형성되어 있다. 또, 대향공통전극(120) 상에는, 투명한 대향전극용 기판(121)이 형성되어 있다.

전술한 바와 같이 구성된 액정표시장치에서는, TFT를 구성하는 박막반도체층(102)에 접속된 투명한 화소전극(116)에 인가하는 전압에 의해, 액정층(118) 중의 액정분자의 배향을 변경하여, 표시를 제어한다.

또, 신호배선(110), 게이트배선(104), 유지용량배선(105) 및 박막트랜지스터 등은 TFT기판 중 또는 대향기판 중에 형성한 화소간 차광영역 내에 배치된다. 이 배치의 일례를 도 9에 나타냈다. 도 9는 TFT기판의 신호배선(110)과 상층 차광막(113)에 의해 상보(相補)적으로 차광영역을 형성하고 있는 경우의 평면 레이아웃의 일례이다.

도 9에 나타난 바와 같이, 종래의 액정표시장치에 있어서는, 게이트배선(104)과 유지용량배선(105)이 서로 거의 평행으로 형성되어 있다. 신호배선(110)이 이들 게이트배선(104) 및 유지용량배선(105)과 수직의 방향으로 형성되어 있다. 인출전극(109)이 게이트배선(104)과 유지용량배선(105)에 걸쳐 신호배선(110)에 겹치지 않는 영역에 형성되어 있다. 상층 차광막(113)이 인접하는 2개의 신호배선(110)에 겹치고, 이 인접하는 2개의 신호배선(110) 간의 유지용량배선(105), 게이트배선(104) 및 인출전극(109)을 피복하는 형상으로 형성되어 있다. 신호배선(110)과 박막반도체층(102)이 겹치는 부분의 단부(端部)에 콘택트 홀(108)이 형성되어 있다. 유지용량배선(105) 및 신호배선(110)의 하층에는 박막반도체층(102)이 형성되어 있다. 유지용량배선(105)에는 콘택트 홀(107)을 피한 오목 형상의 부분이 형성되어 있다. 이 오목 형상의 부분에 형성된 콘택트 홀(107)을 통해, 박막반도체층(102)과 인출전극(109)이 접속되어 있다. 또, 인출전극(109)과 상층 차광막(113)이 겹치는 영역의 부분에, 이들을 접속하기 위한 콘택트 홀(112)이 형성되어 있다. 또, 상층 차광막(113)의 유지용량배선(105)과 겹치는 영역 부분에, 이들을 접속하기 위한 콘택트 홀(115)이 형성되어 있다.

발명이 이루고자하는 기술적 과제

전술한 바와 같이 구성된 종래의 액정표시장치에 있어서, 고광투과율 및 고정세화를 실현하기 위해서는, 액정표시장치의 화소간 차광영역을 축소할 필요가 있다.

그러나, 본 발명자의 식견에 의하면, 종래 기술에 의한 액정표시장치에서는, 신호배선(110), 박막트랜지스터, 게이트배선(104) 및 유지용량배선(105)이 각각 면적을 점유하고 있으며, 이것이 화소개구율 향상의 장애로 되어 있다.

따라서, 본 발명의 목적은 화소간 차광면적을 축소할 수 있고, 이에 따라 고광투과율 및 고정세화할 수

있는 액정표시장치 및 그 제조방법을 제공하는 것에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 제1 발명은,

기판 상에 화소전극 구동용의 박막트랜지스터가 배치된 액정표시장치에 있어서,

박막트랜지스터를 구성하는 박막반도체층의 하층에 유지용량배선이 형성되고,

유지용량배선과 박막반도체층 사이에 제1 유지용량용 유전막이 형성되고,

제1 유지용량용 유전막을 통해 박막반도체층과 유지용량배선으로부터 제1 유지용량소자가 구성되어 있는 것을 특징으로 하는 것이다.

이 제1 발명에 있어서, 전형적으로는, 박막반도체층과 유지용량배선 사이에 제1 절연막이 형성되고, 제1 절연막은 제1 절연막의 다른 부분과 비교하여 얇은 부분을 가지고, 이 제1 절연막 중의 얇은 부분에 의해 제1 유지용량용 유전막이 구성되어 있다. 또, 이 제1 발명에 있어서, 제1 절연막에 다른 부분과 비교하여 얇은 부분을 형성하기 위해, 바람직하게는, 제1 절연막에 오목부를 형성하고, 이 오목부에 의해 제1 유지용량용 유전막을 구성한다.

이 제1 발명에 있어서, 전형적으로는, 유지용량배선은 일정한 전위로 설정된다.

이 제1 발명에 있어서, 전형적으로는, 유지용량배선을 박막트랜지스터에서의 채널형성영역에 겹치고, 또한 평면적으로 피복하는 영역에 배치한다.

이 제1 발명에 있어서, 구체적으로는, 제1 유지용량용 유전막은 산화 실리콘막, 질화 실리콘막, 또는 산화 실리콘막과 질화 실리콘막의 적층막으로 구성된다.

이 제1 발명에 있어서, 전형적으로는, 유지용량소자를 구성하는 박막반도체층은 박막트랜지스터에서의 확산영역을 연장한 부분으로 구성되고, 이 연장된 부분에 도전성 불순물이 도입되어 저(低)저항화되어 있다.

이 제1 발명에 있어서, 전형적으로는, 박막반도체층 상에 제2 유지용량용 유전막을 통해 유지용량전극이 형성되고, 제2 유지용량용 유전막을 통한 유지용량전극과 박막반도체층으로 제2 유지용량소자가 구성되어 있다. 그리고, 이 유지용량전극의 구조는 박막트랜지스터에서의 게이트배선의 구조와 동일한 구조를 가진다. 구체적으로는, 게이트배선 및 유지용량전극은, 예를 들면 다결정 Si막 상에 규화 텅스텐막을 적층한 구조를 가진다. 또, 이 제1 발명에 있어서, 제2 유지용량용 유전막은 박막트랜지스터에서의 게이트 유전막으로서 사용되는 유전막으로 구성된다.

본 발명의 제2 발명은,

기판 상에 구동용의 박막트랜지스터가 배치된 액정표시장치의 제조방법에 있어서,

기판 상에 유지용량배선을 형성하고,

유지용량배선 상에 제1 유지용량용 유전막을 형성하고,

제1 유지용량용 유전막 상에, 박막트랜지스터를 구성하는 박막반도체층을 형성함으로써, 제1 유지용량용 유전막을 통해 유지용량배선과 박막반도체층으로 이루어지는 제1 유지용량소자를 형성하도록 하는

것을 특징으로 하는 것이다.

이 제2 발명에 있어서, 전형적으로는, 유지용량배선 상에 제1 절연막을 형성하고, 제1 절연막에, 제1 절연막의 다른 부분보다 얇은 부분을 형성하고, 제1 절연막의 얇은 부분으로 이루어지는 제1 유지용량용 유전막을 형성한다. 또, 이 제2 발명에 있어서, 전형적으로는, 유지용량배선 상에 제1 절연막을 형성하고, 제1 절연막에 오목부를 형성함으로써, 제1 절연막의 오목부로 이루어지는 제1 유지용량용 유전막을 형성한다.

이 제2 발명에 있어서, 전형적으로는, 유지용량배선을 박막트랜지스터를 구성하는 게이트배선의 형성공정과 다른 공정에서 형성한다.

이 제2 발명에 있어서, 바람직하게는, 박막반도체층 상에 제2 유지용량용 유전막을 형성하고, 제2 절연막 상에 유지용량전극을 형성함으로써, 제2 유지용량용 유전막을 통해 유지용량전극과 박막반도체층으로 이루어지는 제2 유지용량소자를 형성한다. 이 때, 제조 프로세스의 저항을 도모하기 위해, 박막트랜지스터의 게이트배선을 형성하는 동시에, 유지용량전극을 형성한다.

이 제2 발명에 있어서, 바람직하게는, 유지용량배선 상에 제2 절연막을 형성하고, 제2 절연막 부분에 유지용량배선의 표면이 노출된 개구를 형성하고, 노출된 유지용량배선의 표면에 산화막을 형성함으로써, 산화막으로 이루어지는 제1 유지용량용 유전막을 형성한다. 그리고, 이 산화막의 형성에 있어서는, 양극산화(陽極酸化) 또는 열처리를 행함으로써, 유지용량배선이 노출된 표면에 산화막을 형성한다. 또, 이 산화막의 막두께는, 바람직하게는 5nm 이상 300nm 이하, 더욱 바람직하게는, 10nm 이상 100nm 이하이다.

본 발명에 있어서, 박막반도체층은, 전형적으로는 다결정 Si막이지만, 단결정 Si막이나 비정질 Si막을 사용하는 것도 가능하며, 비소화 갈륨(GaAs) 등의 화합물 반도체층을 사용하는 것도 가능하다.

본 발명에 있어서, 제1 유지용량소자에서의 유지용량(C_s)을 충분히 확보하기 위해, 유지용량용 유전막의 막두께는, 바람직하게는, 5nm 이상 300nm 이하이며, 보다 바람직하게는, 10nm 이상 100nm 이하이다.

본 발명에 있어서, 구체적으로는, 유지용량배선은 텅스텐, 몰리브덴, 탄탈, 크롬, 티탄, 텅스텐합금, 몰리브덴합금, 탄탈합금, 크롬합금, 티탄합금, 규화 텅스텐, 규화 몰리브덴, 규화 탄탈, 규화 크롬, 규화 티탄, 또는 불순물이 도입된 실리컨으로 이루어진다.

전술한 바와 같이 구성된 본 발명에 의한 액정표시장치 및 그 제조방법에 의하면, 박막트랜지스터를 구성하는 박막반도체층의 하층에 유지용량배선을 형성하고, 유지용량용 유전막을 통해 박막반도체층과 유지용량배선으로부터 유지용량소자를 구성하고 있으므로, 박막트랜지스터와 유지용량배선이 각각 면적을 점유하지 않도록 할 수 있어, 박막트랜지스터 및 유지용량배선을 서로 평면적으로 겹친 영역에 형성할 수 있다.

이하, 본 발명의 실시형태에 대하여 도면을 참조하면서 설명한다. 그리고, 이하의 실시형태의 전 도면에 있어서는, 동일 또는 대응하는 부분에는 동일한 부호를 붙인다.

먼저, 본 발명의 제1 실시형태의 일예에 대하여 설명한다. 도 1은 이 제1 실시형태에 의한 액정표시장치의 TFT기판의 일예를 나타내고, 도 2 및 도 3은 이 TFT기판의 평면도의 일예를 나타낸다. 그리고, 도 1의 단면도는 도 2 및 도 3의 소정의 단면을 나타낸 것이 아니고, 이 제1 실시형태에 의한 TFT기판의 구조를 하나의 단면으로 나타낸 것이다.

도 1에 나타낸 바와 같이, 이 액정표시장치에 있어서는, 차광영역에서의, 예를 들면 석영유리기판으로 이루어지는 절연성 투명기판(1) 상에, 표시영역을 횡단하도록 패턴닝된 유지용량배선(2)이 형성되어 있다. 이 유지용량배선(2)은, 예를 들면 막두께가 200nm의 WSi막으로 이루어진다.

이 유지용량배선(2) 상에는, 유지용량용 유전막을 겸한 층간 절연막(3)이 형성되어 있다. 이 층간 절연막(3)은, 예를 들면 막두께가 600nm의 논도프 실리케이트 유리(non-dope silicate glass)(NSG, 규산 유리)막으로 이루어진다. 그리고, 층간 절연막(3)은 이 층간 절연막(3)의 일부에 다른 부분보다 얇은 부분을 가진다. 구체적으로는, 층간 절연막(3)의 부분에 오목부(3a)가 형성되어 있다. 그리고, 이 오목부(3a)의 저부(底部)에 의해 유지용량용 유전막이 구성되어 있다. 여기에서, 이 유지용량용 유전막을 구성하는 층간 절연막(3)의 오목부(3a) 저부의 막두께는, 후술하는 유지용량소자의 유지용량(C_0)을 크게 하는 동시에, 쇼트를 방지하기 위해, 5~300nm의 범위에서 선택되고, 보다 바람직하게는, 10~100nm의 범위에서 선택되고, 이 제1 실시형태에서는, 예를 들면 60nm로 선택된다.

또, 층간 절연막(3) 상에 소정 형상의 박막반도체층(4)이 형성되어 있다. 이 박막반도체층(4)은, 예를 들면 막두께가 75nm의 다결정 Si막으로 이루어진다. 또, 이 박막반도체층(4)은 후술하는 TFT의 드레인영역이 연장된 부분을 가진다. 박막반도체층(4)이 연장된 부분은, 인(P)이나 비소(As) 등의 도전성 불순물이 도프되어 저(低)저항화되어 있고, 이 부분에 의해 화소전위전극이 구성되어 있다. 이 박막반도체층(4)이 연장된 부분과 유지용량배선(2) 사이에, 층간 절연막(3)에서의 오목부(3a)의 저부로 구성되는 유지용량용 유전막을 통한 구조에 의해, 유지용량소자가 구성되어 있다.

또, 박막반도체층(4)을 피복하도록 SiO₂막(5)이 형성되어 있다. 이 SiO₂막(5)은 예를 들면 막두께가 30nm인 SiO₂막으로 이루어진다. SiO₂막(5) 상의 부분에는 게이트배선(6)이 형성되어 있다. 이 게이트배선(6)은, 예를 들면 막두께가 100nm인 P 등의 불순물이 고농도로 도프된 다결정 Si막(6a) 및 예를 들면 막두께가 100nm인 WSi막(6b)이 차례로 적층된 적층막으로 이루어진다. 또, 도시는 생략하지만, 박막반도체층(4) 중에는 오프 전류의 저감을 목적으로 한 LDD(Lightly Doped Drain) 구조의 소스영역 및 드레인영역이 형성되어 있다. 게이트배선(6)으로 구성되는 게이트전극과 이들의 소스영역 및 드레인영역에 의해, 화소전극 구동용의 다결정 SiTFT가 구성되어 있다.

또, 게이트배선(6)을 피복하도록 층간 절연막(7)이 형성되어 있다. 이 층간 절연막(7)은, 예를 들면 막두께가 600nm인 인 도프 실리케이트 유리(PSG)막으로 이루어진다. 이 층간 절연막(7) 및 SiO₂막(5)의 소정 부분에 콘택트 홀(8, 9)이 형성되어 있다. 차광영역에서의 층간 절연막(7) 상에는, 콘택트 홀(8)을 통해 다결정 SiTFT의 소스영역에 접속되어 신호배선(10)이 형성되어 있다. 또, 콘택트 홀(9)을 통해 다결정 SiTFT의 드레인영역에 접속되어 인출전극(11)이 형성되어 있다. 이들 신호배선(10) 및 인출전극(11)은, 예를 들면 막두께가 400nm의 Si을 1% 함유하는 Al 합금막으로 이루어진다. 이들 신호배선(10) 및 인출전극(11)을 피복하도록 층간 절연막(12)이 형성되어 있다. 이 층간 절연막(12)은 예를 들면 막두께가 400nm인 PSG막으로 이루어진다. 층간 절연막(12)의 인출전극(11) 상의 부분에 콘택트 홀(13)이 형성되어 있다.

층간 절연막(12) 상에는, 도전성의 상층 차광막(14)이 형성되어 있다. 이 상층 차광막(14)은 콘택트홀(13)을 통해 인출전극(11)과 접속되어 있다. 이 상층 차광막(14)은, 예를 들면 막두께가 250nm인 티탄(Ti)막으로 이루어진다. 이들 상층 차광막(14)과 인출전극(11) 및 신호배선(10)의 중첩에 의해 상방으로부터의 입사광에 대하여, 화소개구영역 이외의 영역 전부의 차광이 이루어지고 있다. 상층 차광막(14)은 후술하는 화소전극과 접속된다.

또, 상층 차광막(14)을 피복하도록 층간 절연막(15)이 형성되어 있다. 이 층간 절연막(15)은, 예를 들면 막두께가 2.5 μ m인 NSG막으로 이루어진다. 상층 차광막(14) 상의 소정 부분에서의 층간 절연막(15) 부분에는 콘택트 홀(16)이 형성되어 있다. 이 층간 절연막(15)의 표면은 콘택트 홀(16) 부분을 제외하고 평탄화되어 있다. 층간 절연막(15) 상에는 이 콘택트 홀(16)을 통해 상층 차광막(14)과 접속된 투명한 화소전극(17)이 형성되어 있다. 이 화소전극(17)은, 예를 들면 막두께가 140nm인 인디움석 산화물(ITO)막으로 이루어진다. 또, 이 화소전극(17)을 피복하도록 배향막(도시하지 않음)이 형성되어 있다.

이상과 같이 하여, TFT기판이 구성되어 있다. 또, 도시는 생략했지만, 이 TFT기판과, 유리기판의 한 주면(主面) 상에 대향전극으로서의 투명전극 및 액정의 배향막을 차례로 적층한 것과의 사이에 액정이 봉입(封入)되어, 액정표시장치가 구성되어 있다.

도 2에 신호배선(10) 및 인출전극(11)의 형성 직후에서의 액정표시장치의 평면 레이아웃을 나타냈다. 도

2에 나타낸 바와 같이, 이 제1 실시형태에서의 액정표시장치에서는, 신호배선(10)이 소정 피치로 서로 평행으로 형성되어 있다. 유지용량배선(2) 및 게이트배선(6)은 그들의 길이방향이 신호배선(10)에 수직이며, 또한 서로 평행으로 되도록 형성되어 있다. 유지용량배선(2)에는 볼록 형상의 부분이 형성되어 있다. 이 유지용량배선(2)의 볼록 형상의 부분은, 유지용량배선(2)의 길이방향에 따라 신호배선(10)의 간격과 거의 동일 간격이며, 또한 평면적으로 게이트배선을 걸치면서 신호배선(10)에 피복되는 영역에 형성되어 있다.

또, 박막반도체층(4)이 유지용량배선(2)에서의 볼록 형상의 영역과 길이방향에 따른 영역과의 내측에서 L자형으로 형성되어 있다. 유지용량배선(2)은 이 박막반도체층(4)과 게이트배선(6)에 의해 구성되는 박막트랜지스터의 채널형성부에 대하여, 평면적으로 겹치면서 피복하는 영역에 형성되어 있다. 여기에서, TFT기판의 이면으로부터 박막트랜지스터에 입사하는 광을 저감하기 위해, 유지용량배선(2)의 배치영역을 최소한 채널형성부보다 큰 영역으로 하고, 바람직하게는, 1.0 μ m 정도의 여유를 가지도록 한다. 구체적으로는, TFT기판의 이면으로부터 경사방향으로 입사하는 광에 대한 차광성도 향상시키기 위해, 유지용량배선(2)의 배치영역을 평면적으로 채널형성부로부터 전후좌우의 방향으로 0.5 μ m 이상 크게 한다. 이와 같이 함으로써, 액정표시장치를 프로젝터 등의 TFT기판 이면측에 광학계 부품이 존재하는 장치에 탑재하는 경우에 있어서도, 그 광학계 부품으로부터의 입사광이 박막트랜지스터에 조사되는 것을 방지할 수 있어, 박막트랜지스터가 오픈된 때의 광여기(光勵起) 전류의 증가를 방지할 수 있고, 이에 기인한 표시화질의 열화를 방지할 수 있다.

또, L자형 박막반도체층(4)에서의 게이트배선(6) 근방의 일단(一端)영역에는, 콘택트 홀(8)이 형성되어 있다. 그리고, 신호배선(10)과 박막반도체층(4)이 이 콘택트 홀(8)을 통해 전기적으로 접속되어 있다. L자형 박막반도체층(4)의 타단에서의 유지용량배선(2)과 겹친 영역에는, 평면 형상이 예를 들면 직사각형의 오목부(3a)가 형성되어 있다. 그리고, 이 직사각형의 오목부(3a)에 있어서, 이 오목부(3a)의 저부를 통한 박막반도체층(4)과 유지용량배선(2)으로 유지용량소자가 구성되어 있다. 그리고, 이 오목부(3a)의 평면 형상은 원형이라도 된다.

또, 유지용량배선(2) 및 박막반도체층(4)에 걸치는 영역에, 인출배선(11)이 형성되어 있다. 이 인출배선(11)은 오목부(3a)가 형성된 영역에 걸치지 않는 영역에 형성되어 있다. 인출배선(11), 박막반도체층(4) 및 유지용량배선(2)이 겹친 영역 부분에, 콘택트 홀(9)이 형성되어 있다. 그리고, 인출배선(11)과 박막반도체층(4)이 이 콘택트 홀(9)을 통해 전기적으로 접속되어 있다.

도 3에 상층 차광막(14)의 형성 이후의 액정표시장치의 평면 레이아웃을 나타냈다. 도 3에 나타낸 바와 같이, 서로 평행의 인접한 신호배선(10)을 걸치고, 인출전극(11)을 거의 피복하도록 하여, 상층 차광막(14)이 형성되어 있다. 상층 차광막(14)과 인출전극(11)이 겹친 영역 부분에 콘택트 홀(13)이 형성되어 있다. 그리고, 상층 차광막(14)과 인출전극(11)이 이 콘택트홀(13)을 통해 서로 전기적으로 접속되어 있다. 또, 상층 차광막(14)과 인출전극(11)이 겹친 영역에 콘택트 홀(16)이 형성되어 있다. 상층 차광막(14)과 화소전극(17)(도 3 중, 도시하지 않음)이 이 콘택트 홀(16)을 통해 접속되어 있다.

전술한 바와 같이 구성된 액정표시장치에서는, 그 구동 시에 유지용량배선(2)이 일정한 전위로 설정되고, 이 제1 실시형태에서는, 예를 들면 0V로 설정된다. 그리고, 이 전위는 박막트랜지스터의 임계값 전압(V_{th})에 영향이 없는 범위에서, 대향공통전극의 전위나 조작회로 공급전원의 전위 등 다른 정전위(定電位)에 설정하는 것도 가능하다.

다음에, 전술한 바와 같이 구성된 이 제1 실시형태에 의한 액정표시장치의 제조방법에 대하여 설명한다.

즉, 먼저, 도 1에 나타낸 바와 같이, 절연성 투영기판(1) 상에, 예를 들면 CVD법에 의해 막두께가 200nm인 WSi막을 형성한 후, 이 WSi막을 표시영역을 횡단하도록 패터닝함으로써, 유지용량배선(2)을 형성한다.

다음에, 유지용량배선(2)을 피복하도록 하고, 예를 들면 상압(常壓)화학기상성장(AP-CVD)법에 의해, 전면(全面)에 NSG막을 성막함으로써, 층간 절연막(3)을 형성한다.

다음에, 리소그래피공정에 의해, NSG막으로 이루어지는 층간 절연막(3) 상에 오목부(3a)의 형성영역에 개구를 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 다음에, 예를 들면 반응성 이온에칭(RIE)법에 의해, 이 레지스트 패턴을 마스크로 하여, 층간 절연막(3)을 유지용량배선(2)의 표면에 노출될 때까지 에칭한 후, 레지스트 패턴을 제거한다. 다음에, 예를 들면 CVD법에 의해 전면(全面)에 NSG막을 형성한다. 이 때, NSG막은 유지용량배선(2) 노출면 상의 막두께가 5~300nm, 바람직하게는 10~100nm로 되도록 형성되고, 이 제1 실시형태에서는, 예를 들면 60nm로 형성된다. 이 NSG막의 형성에 의해, 층간 절연막(3) 부분에, 나중에 유지용량소자를 구성하는 오목부(3a)가 형성된다.

다음에, 예를 들면, 감압(減壓)화학기상성장(LP-CVD)법에 의해, 층간 절연막(3) 상의 전면(全面)에 막두께가, 예를 들면 75nm인 박막반도체층(4)을 형성한다. 계속해서, 열처리를 행함으로써, 이 박막반도체층(4)의 결정립(結晶粒)을 성장시킨 후, 리소그래피공정 및 에칭공정에 의해, 박막반도체층(4)의 패터닝을 행한다.

다음에, 박막반도체층(4) 표면을 산화한 후, 전면(全面)에 예를 들면 B 등의 p형 불순물을 저농도로 이온 주입함으로써, 박막반도체층(4) 부분에 저농도의 확산층(도시하지 않음)을 형성한다. 다음에, 예를 들면 CVD법에 의해 전면(全面)에 SiO₂막(5)을 형성한다. 이 SiO₂막(5)의 막두께는 예를 들면 30nm이다.

다음에, 예를 들면 LP-CVD법에 의해 전면(全面)에 막두께가 예를 들면 100nm인 다결정 Si층(6a)을 형성한다. 그 후, POCl₃가스 분위기 중에서 열처리를 행함으로써, 다결정 Si층(6a) 중에 P를 확산시켜 저저항화한다. 다음에, 예를 들면 CVD법에 의해 전면(全面)에 막두께가 예를 들면 100nm인 WSi막(6b)을 형성한다. 그 후, 리소그래피공정 및 에칭공정에 의해, WSi막(6b) 및 다결정 Si층(6a)을 소정 형상으로 패터닝함으로써, 게이트배선(6)을 형성한다.

다음에, 전면에 예를 들면 P 등의 n형 불순물을 저농도로 이온 주입한다. 다음에, 리소그래피공정에 의해, p채널 MOS트랜지스터의 형성영역 및 n채널 MOS트랜지스터의 LDD 구조의 형성영역 상에 레지스트 패턴(도시하지 않음)을 형성한 후, 이 레지스트 패턴을 마스크로 하여, 예를 들면 As 등의 n형 불순물을 고농도로 이온 주입한다. 이에 따라, 박막트랜지스터를 처음으로 하는 하는 LDD 구조를 가지는 n채널 MOS트랜지스터가 형성된다. 그 후, 레지스트 패턴을 제거한다. 다음에, 리소그래피공정에 의해, n채널 MOS트랜지스터영역을 피복하도록 하여 레지스트 패턴을 형성한 후, 이 레지스트 패턴을 마스크로 하여, 예를 들면 B 등의 p형 불순물을 이온 주입한다. 이에 따라, p채널 MOS트랜지스터가 형성된다. 그 후, 레지스트 패턴을 제거한다.

다음에, 오존(O₃)가스와 TEOS가스를 사용한 CVD법에 의해, 전면에 PSG막을 성막함으로써, 막두께가 예를 들면 600nm인 층간 절연막(7)을 형성한다. 그 후, 고온 열처리를 행함으로써, 모든 트랜지스터에서의 스/드레인 영역 중의 결정성을 회복시킨다.

다음에, 예를 들면 웨트에칭법에 의해, 표시영역 외의 좌우단에 유지용량배선용 콘택트(도시하지 않음)를 형성한다. 다음에, 콘택트 홀(8, 9) 형성영역에 개구를 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 다음에, 이 레지스트 패턴을 마스크로 하여, 드라이에칭법에 의해 층간 절연막(7)을 에칭함으로써 콘택트 홀(8, 9)을 형성한다. 그 후, 레지스트 패턴을 제거한다.

다음에, 예를 들면 스퍼터링법에 의해, 전면에 예를 들면 Si를 1% 함유하는 Al 합금막을 성막한다. 이 Al 합금막의 막두께는, 예를 들면 400nm이다. 다음에, 리소그래피공정에 의해, 이 Al 합금막 상에 신호배선(10), 인출전극(11), 회로 내 배선 및 패드 형상을 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 그 후, 이 레지스트 패턴을 마스크로 하여, 예를 들면 드라이에칭법에 의해 Al 합금막을 층간 절연막(7)의 표면이 노출될 때까지 에칭함으로써, 신호배선(10) 및 인출전극(11)을 형성하는 동시에, 도시생략한 회로 내 배선 및 패드를 형성한다.

다음에, 예를 들면 O₃가스와 TEOS가스를 사용한 CVD법에 의해, 전면에 PSG막을 성막함으로써, 막두께가 예를 들면 400nm인 층간 절연막(12)을 형성한다. 다음에, 리소그래피공정에 의해, 층간 절연막(12) 상에 콘택트 홀(13)의 형성영역 및 패드영역에 개구를 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 그 후, 이 레지스트 패턴을 마스크로 하여, 예를 들면 드라이에칭법에 의해, 층간 절연막(12)을 인출전극(11)의 상면이 노출될 때까지 에칭함으로써, 콘택트 홀(13)을 형성하는 동시에, 패드에 접속하기 위한 콘택트 홀(도시하지 않음)을 형성한다.

다음에, 예를 들면 스퍼터링법에 의해 전면에, 예를 들면 막두께가 250nm인 Ti막을 성막한다. 그 후, 이 Ti막을 패터닝함으로써 상층 차광막(14)을 형성한다.

그 후, 예를 들면 TEOS가스를 사용한 플라즈마CVD법에 의해, 전면에 예를 들면 막두께가 2.5 μ m인 NSG막을 성막함으로써, 층간 절연막(15)을 형성한다. 다음에, 예를 들면 화학기계연마(CMP)법에 의해 이 층간 절연막(15)을 연마함으로써 그 표면 평탄화를 행한다. 다음에, 리소그래피공정에 의해, 층간 절연막(15) 상에 콘택트 홀(16)의 형성영역 및 패드영역(도시하지 않음)에 개구를 가지는 레지스트 패턴을 형성한다.

그 후, 이 레지스트 패턴을 마스크로 하여, 예를 들면 드라이에칭법에 의해, 층간 절연막(15)을 상층 차광막(14)의 표면이 노출될 때까지 에칭한다. 이에 따라, 콘택트 홀(16)이 형성되는 동시에, 패드에 접속하기 위한 콘택트 홀(도시하지 않음)이 형성된다.

다음에, H를 4% 함유하는 N₂가스 분위기 중에서 열처리를 행함으로써, 트랜지스터 특성을 향상시킨다.

다음에, 예를 들면 스퍼터링법에 의해, 콘택트 홀(16)의 저면에서 상층 차광막(14)에 접속하도록 하여, 층간 절연막(15) 상에 ITO막을 성막한다. 그 후, 이 ITO막을 소정 형상으로 패터닝함으로써, 화소전극(17)을 형성한다.

이상에 의해, 이 제1 실시형태에 의한 TFT기판이 완성된다. 그 후, 이 TFT기판과, 유리기판의 한 주면에 대향전극으로서의 투명전극 및 액정의 배향막을 차례로 적층한 것과의 사이에 액정을 봉입하여, 목적으로 하는 액정표시장치를 완성시킨다.

이상 설명한 바와 같이, 이 제1 실시형태에 의하면, 유지용량배선(2)을 박막트랜지스터의 하층에 형성하고, 이 유지용량배선(2)과 박막반도체층(4) 사이에 층간 절연막(3)의 오목부(3a)의 저부를 통해 유지용량소자를 구성하고 있으므로, 유지용량배선(2)의 레이아웃에서의 박막트랜지스터를 구성하는 게이트배선(6)에 의한 제약을 저감할 수 있다. 그러므로, 유지용량배선(2)의 배치영역과, 박막트랜지스터의 배치영역을 겹칠 수 있으므로, 화소 간의 차광면적을 축소할 수 있어, 이 TFT기판을 사용하여 제조되는 액정표시장치를 고광투과율 및 고정세화할 수 있다.

다음에, 본 발명의 제2 실시형태의 일예에 대하여 설명한다. 도 4는 이 제2 실시형태에서의 TFT기판의 일예를 나타낸다.

도 4에 나타난 바와 같이, 이 제2 실시형태에 의한 액정표시장치에서는, 콘택트 홀의 영역 이외의 층간 절연막(12) 표면이 평탄화되어 있고, 이 평탄화된 층간 절연막(12) 상에 상층 차광막(14)이 형성되어 있다.

또, 이 제2 실시형태에 의한 액정표시장치의 제조방법에서는, 먼저, 제1 실시형태와 동일하게 하여 신호배선(10)과 인출배선(11)의 형성까지 행한다. 그 후, 예를 들면 O₃가스와 TEOS가스를 사용한 CVD법에 의해, 전면에 PSG막을 성막함으로써 층간 절연막(12)을 형성한다. 다음에, 예를 들면 CMP법에 의해, 층간 절연막(12)의 표면 평탄화를 행한다. 그 후, 리소그래피공정에 의해, 층간 절연막(12) 상에 콘택트 홀(13)의 형성영역에 개구를 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 그 후, 에칭공정에 의해, 이 레지스트 패턴을 마스크로 하여 층간 절연막(12)의 부분을 인출배선(11)의 표면이 노출될 때까지

에칭함으로써, 콘택트 홀(13)을 형성한다. 그 후, 상층 차광막(14), 층간 절연막(15), 콘택트 홀(16) 및 화소전극(17)을 차례로 형성하여 TFT기판을 완성시킨다.

이 제2 실시형태에서의 전술한 이외의 것은, 제1 실시형태에서와 동일하므로 설명을 생략한다.

이 제2 실시형태에 의한 액정표시장치에 의하면, 층간 절연막(12)의 표면이 평탄화되고, 이 평탄화된 층간 절연막(12) 상에 상층 차광막(14)이 형성되어 있는 것 이외의 것은, 제1 실시형태에서와 동일하므로, 제1 실시형태와 동일한 효과를 얻을 수 있다. 또, 층간 절연막(12)이 표면이 평탄화되어 있으므로, 상층 차광막(14)에서 양호한 커버리지 형상을 얻을 수 있다. 그러므로, 대향기판측으로부터의 입사광에 대한 차광을 효과적으로 행할 수 있는 동시에, 신호배선(10)과 상층 차광막(14) 사이의 기생용량을 저감할 수 있어, 이 액정표시장치에서 더한층의 화질 향상을 도모할 수 있다.

다음에, 본 발명의 제3 실시형태의 일예에 대하여 설명한다. 도 5는 이 제3 실시형태에 의한 액정표시장치의 TFT기판의 일예를 나타내고, 도 6 및 도 7은 이 TFT기판의 평면도의 일예를 나타낸다. 그리고, 도 5의 단면도는 도 6 및 도 7의 소정의 단면을 나타낸 것이 아니고, 이 제3 실시형태에 의한 TFT기판의 구조를 하나의 단면으로 나타낸 것이다.

도 5에 나타낸 바와 같이, 이 제3 실시형태에 의한 액정표시장치에서는, 층간 절연막(3)의 오목부(3a)를 피복하도록 하여, 게이트전극(6)과 동일한 적층 구조를 가지는 유지용량전극(21)이 형성되어 있다. 그리고, 유지용량용 배선(2)과 박막반도체층(4) 사이에 오목부(3a)의 저부를 제1 유지용량용 유전막으로서 통한 구조에 의해, 제1 유지용량소자가 구성되어 있는 동시에, 유지용량전극(21)과 박막반도체층(4) 사이에, TFT에서 게이트유전막으로서 사용되는 SiO₂막(5)을 제2 유지용량용 유전막으로서 통한 구조에 의해, 제2 유지용량소자가 구성되어 있다.

또, 유지용량전극(21) 상방의 층간 절연막(7, 12) 부분에 콘택트 홀(22)이 형성되어 있다. 그리고, 이 콘택트 홀(22)을 통해, 상층 차광막(14)과 유지용량전극(21)이 전기적으로 접속되어 있다. 여기에서, 상층 차광막(14)은 입사광의 차광에 사용되는 동시에, 유지용량전극(21)을 소정의 정전위로 설정하기 위한 배선으로서 사용한다. 이에 따라, 유지용량전극(21)을 소정의 정전위로 설정할 수 있다. 여기에서, 유지용량배선(2)의 전위와 유지용량전극(21)의 전위는 동일 전위로 할 수 있도록 구성되어 있다. 즉, 이들 제1 유지용량소자와 제2 유지용량소자는 박막트랜지스터의 드레인영역을 연장한 박막반도체층(4)의 부분을 공통의 화소전위전극으로서 전기적으로 병렬로 접속되어 있다.

도 6에 신호배선(10) 및 인출전극(11)의 형성 직후의 TFT기판의 평면 레이아웃을 나타냈다. 도 6에 나타낸 바와 같이, 이 제3 실시형태에 의한 TFT기판의 평면 레이아웃은 제1 실시형태와 달리, 인접한 2개의 신호배선(10) 사이에, 인출전극(11)에 인접하여 유지용량전극(21)이 형성되어 있다. 이 유지용량전극(21)은 유지용량배선(2)에 걸쳐 형성되어 있다. 유지용량전극(21)의 영역에, 층간 절연막(3)의 오목부(3a) 및 콘택트 홀(22)이 형성되어 있다.

또, 도 7에 상층 차광막(14)의 형성 후의 TFT기판의 평면 레이아웃을 나타냈다. 도 7에 나타낸 바와 같이, 이 제3 실시형태에 의한 TFT기판의 평면 레이아웃은 제1 실시형태와 달리, 상층 차광막(14)이 신호배선(10)의 길이방향에 대하여 수직의 방향으로 연장되어 형성되어 있다. 상층 차광막(14)은 2개의 부분, 즉 오목 형상의 부분을 가지는 부분과, 그 오목 형상의 내부영역에 형성된 직사각형의 부분으로 구성되어 있다.

다음에, 전술한 바와 같이 구성된 이 제3 실시형태에 의한 액정표시장치의 제조방법에 대하여 설명한다. 이 제3 실시형태에서는, 먼저, 제1 실시형태와 동일하게 하여, 다결정 Si막(6a) 및 WSi막(6b)의 형성까지 행한다. 그 후, 리소그래피공정에 의해, 게이트배선 형상 및 유지용량전극 형상을 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 다음에, 이 레지스트 패턴을 마스크로 하여, WSi막(6b) 및 다결정 Si막(6a)을 차례로 에칭함으로써, 게이트배선(6) 및 유지용량전극(21)을 동시에 형성한다.

다음에, LDD 구조의 소스/드레인영역을 가지는 박막트랜지스터를 형성한 후, O₃가스와 TEOS가스를 사용한 CVD법에 의해, 전면에 PSG막을 성막한다. 이에 따라, 층간 절연막(7)이 형성된다. 그 후, 고온 열처리를 행함으로써, 소스/드레인영역 중의 결정성을 회복시킨다.

다음에, 예를 들면 웨트에칭법에 의해, 표시영역 외의 좌우단에 유지용량배선용 콘택트(도시하지 않음)를 형성한다. 다음에, 콘택트 홀(8, 9)의 형성영역에 개구를 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 다음에, 이 레지스트 패턴을 마스크로 하여, 예를 들면 드라이에칭법에 의해 층간 절연막(7)을 에칭함으로써, 콘택트 홀(8, 9)을 형성한다.

다음에, 예를 들면 스퍼터링법에 의해, 전면에 예를 들면 Si를 1% 함유하는 Al 합금막을 성막한다. 이 Al 합금막의 막두께는 예를 들면 400nm이다. 다음에, 리소그래피공정에 의해, 이 Al 합금막 상에 신호배선(10) 및 인출전극(11), 회로 내 배선 및 패드의 형상을 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 그 후, 이 레지스트 패턴을 마스크로 하여, 예를 들면 드라이에칭법에 의해 Al 합금막을 층간 절연막(7)의 표면이 노출될 때까지 에칭함으로써, 신호배선(10), 인출전극(11), 도시 생략한 회로 내 배선 및 패드를 형성한다.

다음에, 예를 들면 O₃가스와 TEOS가스를 사용한 CVD법에 의해, 전면에 PSG막을 성막함으로써, 막두께가 예를 들면 400nm인 층간 절연막(12)을 형성한다.

다음에, 리소그래피공정에 의해, 층간 절연막(12) 상에 콘택트 홀(22)의 형성영역에 개구를 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 그 후, 이 레지스트 패턴을 마스크로 하여, 층간 절연막(12)의 부분을 소정의 깊이까지 에칭한다. 그 후, 레지스트 패턴을 제거한다.

다음에, 리소그래피공정에 의해, 층간 절연막(12) 상에, 콘택트 홀(13, 22)의 형성영역 및 패드의 상방영역에 개구를 가지는 레지스트 패턴(도시하지 않음)을 형성한다. 그 후, 이 레지스트 패턴을 마스크로

하여, 예를 들면 드라이에칭법에 의해, 층간 절연막(12)을 인출전극(11)의 상면이 노출되는 동시에 유지용량용 전극(21)의 표면이 노출될 때까지 에칭함으로써, 각각 콘택트 홀(13, 22)을 형성한다. 또, 이 에칭에 의해, 패드에 접속하기 위한 콘택트 홀(도시하지 않음)이 형성된다. 그 후, 레지스트 패턴을 제거한다.

다음에, 예를 들면 스퍼터링법에 의해, 유지용량용 전극(21)에 접속하도록 하여, 전면에 막두께가 예를 들면 250nm인 Ti막을 성막한다. 그 후, 이 Ti막을 패터닝함으로써, 상층 차광막(14)을 형성한다.

이 제3 실시형태에서의 전술한 이외의 것은, 제1 실시형태에서와 동일하므로 설명을 생략한다.

이 제3 실시형태에 의하면, 박막반도체층(4)의 하층에 유지용량배선(2)이 형성되고, 박막반도체층(4)과 유지용량배선(2) 사이에 층간 절연막(3)에 형성된 오목부(3a)의 저부를 통해 제1 유지용량소자가 구성되어 있으므로, 제1 실시형태와 동일한 효과를 얻을 수 있다. 또한, 이 제3 실시형태에서는, 오목부(3a)의 저부를 통한 유지용량배선(2) 및 박막반도체층(4)으로 이루어지는 제1 유지용량소자와, SiO₂막(5)을 통한 유지용량용 전극(21) 및 박막반도체층(4)으로 이루어지는 제2 유지용량소자가 형성되고, 이들 제1 유지용량소자와 제2 유지용량소자가 병렬로 접속되어 있으므로, 이 TFT기판에서의 유지용량(C_s)을 대폭 증가시킬 수 있어, 리크전류를 억제할 수 있으므로, 액정표시장치에서 더한층의 화질 향상을 도모할 수 있다.

이상, 본 발명의 실시형태에 대하여 구체적으로 설명했지만, 본 발명은 전술한 실시형태에 한정되지 않고, 본 발명의 기술적 사상에 따르는 각종의 변형이 가능하다.

즉, 전술한 실시형태에서 든 수치, 구조, 형상, 재료, 프로세스 등은 어디까지나 예에 불과하고, 필요에 따라 이들과 상이한 수치, 구조, 형상, 재료, 프로세스 등을 사용하는 것도 가능하다.

예를 들면, 전술한 제1~제3 실시형태에서는, 유지용량배선(2) 및 게이트배선(6)을 구성하는 막으로서, WSi막을 사용하고 있지만, W막, Mo막, Ta막, Cr막, Ti막 등의 금속막이나, MoSi막, CrSi막, TiSi막 등의 합금막을 사용해도 되고, 또, 기판유전막, 층간 절연막과의 밀착성을 높이기 위해, 불순물을 도핑한 다결정 Si과의 2층 구조 또는 3층 구조로 해도 된다.

또, 예를 들면 전술한 제1~제3 실시형태에서는, 신호배선(10), 인출전극(11), 회로 내 배선 및 패드를, Si를 1% 함유하는 Al 합금막을 형성하도록 했지만, 이들 신호배선(10), 인출전극(11), 회로 내 배선 및 패드를 Al-Si-Cu합금, Al-Cu합금 등의 Al기(基) 합금, 또는 Cu기 합금, 또는 이들 Al기 합금이나 Cu기 합금의 하층 또는 상층에, Ti, TiN, TiON 또는 WSi 등의 배리어메탈을 형성한 다층 구조로 하는 것도 가능하다.

또, 예를 들면 전술한 제1~제3 실시형태에서는, 박막반도체층(4)으로서 다결정 Si막을 사용하고 있지만, 비정질 Si막이나 단결정 Si막을 사용하는 것도 가능하고, GaAs 등의 화합물 반도체층을 사용하는 것도 가능하다.

또, 예를 들면 전술한 제1 실시형태에서는, 유지용량소자에서의 유지용량용 유전막으로서, 층간 절연막(3)의 오목부(3a)에서의, 예를 들면 막두께가 60nm인 NSG막을 사용하고 있지만, 비(比)유전률의 향상이나 내압 향상을 도모하기 위해, SiN막이나, SiO₂/SiN/SiO₂막 등의 3층 구조의 절연막을 사용하는 것도 가능하다. 또, 유지용량용 유전막으로서, 유지용량배선(2)에 사용되는 예를 들면 Ta 등의 금속에 대하여 양극 산화나 열처리 등을 행함으로써 형성되는 예를 들면 TaO₂막 등의 산화막을 사용하는 것도 가능하다. 또, 전술한 제3 실시형태에서는, 제2 유지용량소자에서의 유지용량용 유전막으로서, 박막트랜지스터의 게이트유전막으로서 사용되는 SiO₂막(5)을 사용하고 있지만, 비유전률의 향상이나 내압 향상을 도모하기 위해, SiN막이나, SiO₂/SiN/SiO₂막 등의 3층 구조의 절연막을 사용하는 것도 가능하다.

또, 예를 들면 전술한 제2 실시형태에서는, PSG막을 형성한 후, 그 표면을 CMP법에 의해 평탄화함으로써, 표면 평탄화된 층간 절연막(12)을 형성하도록 하고 있지만, 평탄화된 층간 절연막의 형성방법으로서, PSG, 붕소 인 실리케이트 유리(BPSG) 등을 성막한 다음 리플로시키는 방법, 스피ن 온 글래스(SOG)를 사용한 유동법, 또는 절연막을 성막한 다음 에치백하는 방법 등을 사용하는 것도 가능하다.

또, 예를 들면 전술한 제3 실시형태에서는, 유지용량용 유전막으로서, TFT에서 게이트유전막에 사용된 SiO₂막(5)을 사용했지만, 유지용량의 향상 및 내압 향상을 도모하기 위해, 유지용량소자에서의 유지용량용 유전막의 부분을 따로 형성하여, SiO₂막, SiN막, 또는 그들 막의 적층막(예를 들면, SiO₂/SiN/SiO₂막)을 사용하도록 해도 된다. 또, 유지용량용 유전막으로서, 유지용량배선(2)에 사용된 금속에 대하여 양극 산화 또는 열처리 등의 산화 처리를 행함으로써 형성된 산화막을 사용하는 것도 가능하다.

또, 예를 들면 전술한 제3 실시형태에서는, 콘택트 홀(22)을 2단계로 나눠 에칭함으로써 형성하고 있지만, 에칭가스의 선택성 등을 고려하여, 콘택트 홀(13, 22)을 동시에 형성하는 것도 가능하다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의한 액정표시장치 및 그 제조방법에 의하면, 박막트랜지스터를 구성하는 박막반도체층의 하층에 유지용량배선을 형성하고, 유지용량배선과 박막반도체층 사이에 제1 유지용량용 유전막을 형성하고, 제1 유지용량용 유전막을 통해 박막반도체층과 유지용량배선으로 유지용량소자를 구성하도록 하고 있으므로, 액정표시장치에서 박막트랜지스터와 유지용량배선이 평면적으로 각각 면적을 점유하지 않도록 할 수 있으므로, 화소 간 차광면적을 저감할 수 있어, 고광투과율이며 고정세화된 액정표시장치를 얻을 수 있다.

(57) 청구의 범위**청구항 1**

기판 상에 화소전극 구동용의 박막트랜지스터가 배치된 액정표시장치에 있어서,
 상기 박막트랜지스터를 구성하는 박막반도체층의 하층에 유지용량배선이 형성되고,
 상기 유지용량배선과 상기 박막반도체층 사이에 제1 유지용량용 유전막이 형성되고,
 상기 제1 유지용량용 유전막을 통해 상기 박막반도체층과 상기 유지용량배선으로부터 제1 유지용량소자가 구성되어 있는
 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,
 상기 박막반도체층과 상기 유지용량배선 사이에 제1 절연막이 형성되고, 상기 제1 절연막이 상기 제1 절연막의 다른 부분과 비교하여 얇은 부분을 가지고, 상기 제1 절연막의 얇은 부분에 의해 상기 제1 유지용량용 유전막이 구성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,
 상기 박막반도체층과 상기 유지용량배선 사이에 제1 절연막이 형성되고, 상기 제1 절연막이 오목부를 가지고, 상기 오목부에 의해 상기 제1 유지용량용 유전막이 구성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,
 상기 유지용량배선이 일정한 전위로 설정되는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,
 상기 유지용량배선을 평면적으로 상기 박막트랜지스터에서의 채널형성영역에 겹치고, 또한 피복하는 영역에 배치하도록 하는 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,
 상기 유지용량용 유전막의 막두께가 5nm 이상 300nm이하인 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,
 상기 유지용량용 유전막의 막두께가 10nm 이상 100nm 이하인 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서,
 상기 유지용량용 유전막이 산화 실리콘막, 질화 실리콘막, 또는 산화 실리콘막과 질화 실리콘막의 적층막으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 9

제1항에 있어서,
 상기 유지용량소자를 구성하는 박막반도체층이, 상기 박막트랜지스터에서의 확산영역을 연장한 부분으로 구성되고, 상기 연장된 부분에 도전성 불순물이 도입되어 있는 것을 특징으로 하는 액정표시장치.

청구항 10

제1항에 있어서,
 상기 박막반도체층의 상층에 제2 유지용량용 유전막을 통해 유지용량전극이 형성되고, 상기 제2 유지용량용 유전막을 통한 상기 유지용량전극과 상기 박막반도체층으로 제2 유지용량소자가 구성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 11

제10항에 있어서,

상기 유지용량전극의 구조가 상기 박막트랜지스터에서의 게이트배선의 구조와 동일한 구조를 가지는 것을 특징으로 하는 액정표시장치.

청구항 12

제10항에 있어서,

상기 제2 유지용량용 유전막이 상기 박막트랜지스터에서 게이트유전막으로서 사용되는 유전막의 부분으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 13

제1항에 있어서,

상기 유지용량배선이 텅스텐, 몰리브덴, 탄탈, 크롬, 티탄, 텅스텐합금, 몰리브덴합금, 탄탈합금, 크롬합금, 티탄합금, 규화 텅스텐, 규화 몰리브덴, 규화 탄탈, 규화 크롬, 규화 티탄, 또는 불순물이 도입된 실리콘으로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 14

기판 상에 구동용의 박막트랜지스터가 배치된 액정표시장치의 제조방법에 있어서,

상기 기판 상에 유지용량배선을 형성하고,

상기 유지용량배선 상에 제1 유지용량용 유전막을 형성하고,

상기 제1 유지용량용 유전막 상에, 상기 박막트랜지스터를 구성하는 박막반도체층을 형성함으로써, 상기 제1 유지용량용 유전막을 통해 상기 유지용량배선과 상기 박막반도체층으로 이루어지는 제1 유지용량소자를 형성하도록 하는

것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제14항에 있어서,

상기 유지용량배선 상에 제1 절연막을 형성하고, 상기 제1 절연막 부분에, 상기 제1 절연막의 다른 부분보다 얇은 부분을 형성함으로써, 상기 제1 절연막의 얇은 부분으로 이루어지는 상기 제1 유지용량용 유전막을 형성하도록 하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제14항에 있어서,

상기 유지용량배선 상에 제1 절연막을 형성하고, 상기 제1 절연막에 오목부를 형성함으로써, 상기 제1 절연막의 상기 오목부로 이루어지는 상기 제1 유지용량용 유전막을 형성하도록 하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제14항에 있어서,

상기 제1 유지용량용 유전막의 막두께가 5nm 이상 300nm 이하인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제14항에 있어서,

상기 제1 유지용량용 유전막의 막두께가 10nm 이상 100nm 이하인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제14항에 있어서,

상기 유지용량배선을 상기 박막트랜지스터를 구성하는 게이트배선의 형성공정과 다른 공정에서 형성하도록 하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제14항에 있어서,

상기 박막반도체층 상에 제2 유지용량용 유전막을 형성하고, 상기 제2 유지용량용 유전막 상에 유지용량전극을 형성함으로써, 상기 제2 유지용량용 유전막을 통해 상기 유지용량전극과 상기 박막반도체층으로 이루어지는 제2 유지용량소자를 형성하도록 하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 21

제20항에 있어서,

상기 박막트랜지스터의 게이트배선을 형성하는 동시에, 상기 유지용량전극을 형성하도록 하는 것을 특징

으로 하는 액정표시장치의 제조방법.

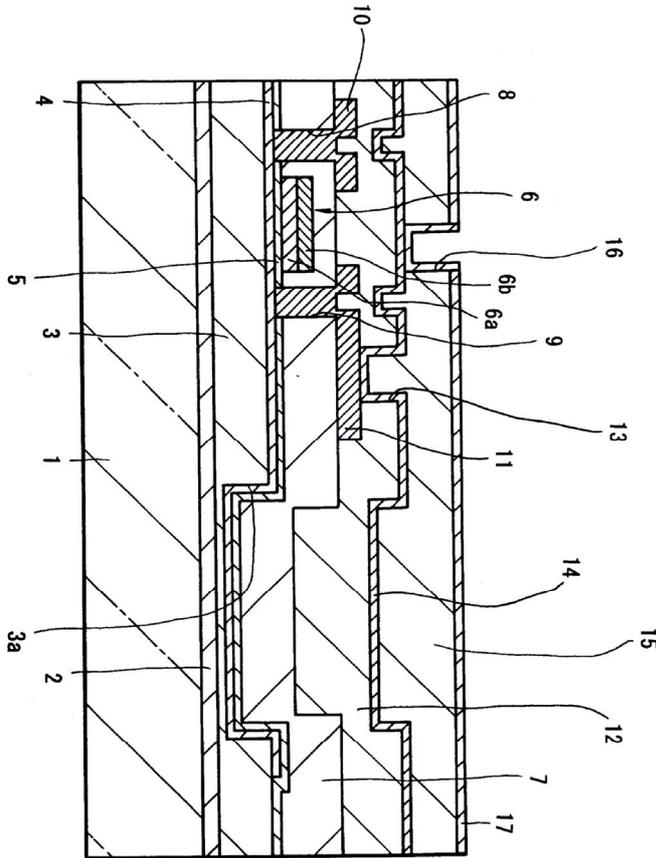
청구항 22

제 14항에 있어서,

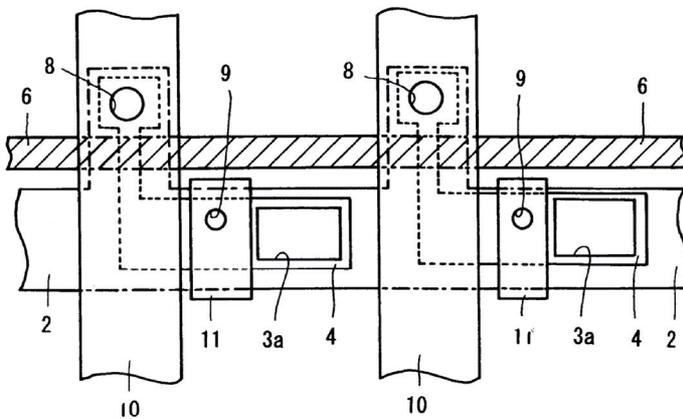
상기 유지용량배선이 텅스텐, 몰리브덴, 탄탈, 크롬, 티탄, 텅스텐합금, 몰리브덴합금, 탄탈합금, 크롬합금, 티탄합금, 규화 텅스텐, 규화 몰리브덴, 규화 탄탈, 규화 크롬, 규화 티탄, 또는 불순물이 도입된 실리콘으로 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

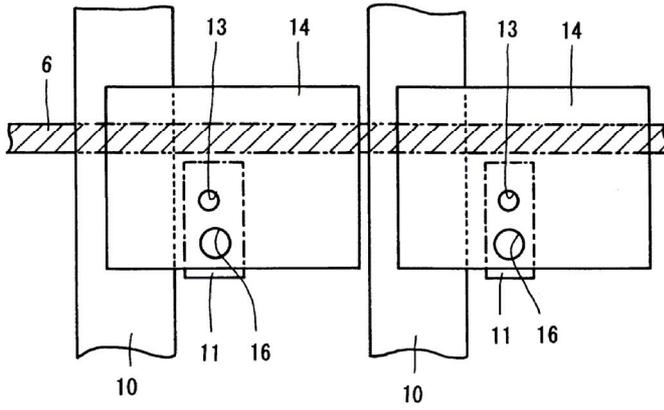
도면1



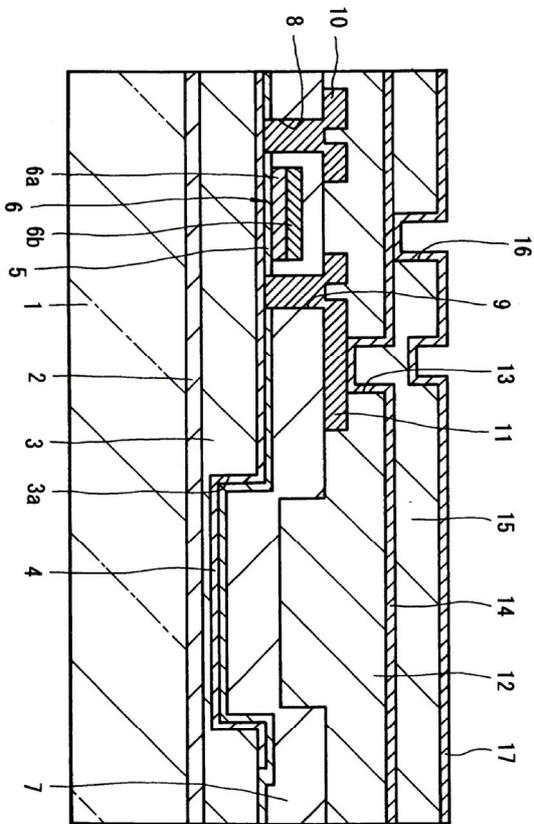
도면2



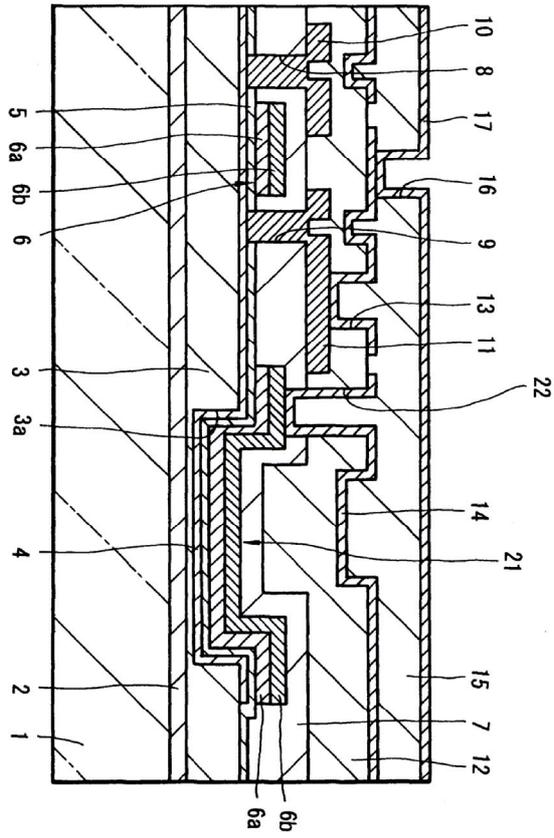
도면3



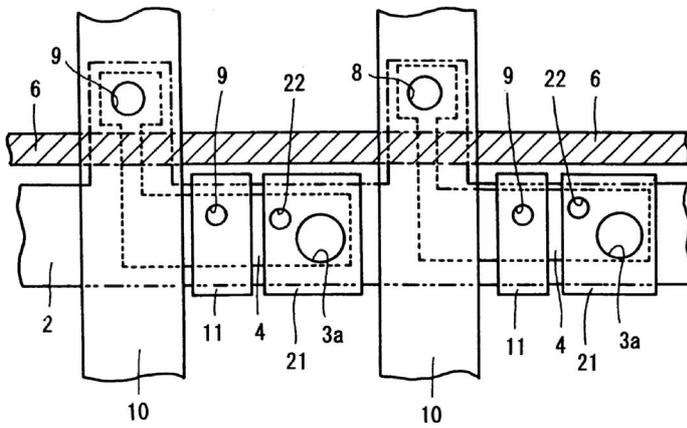
도면4



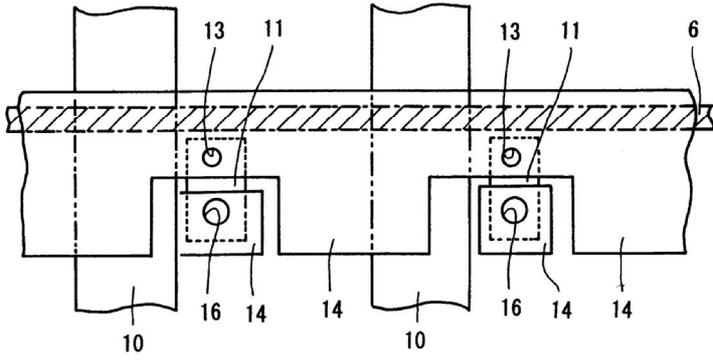
도면5



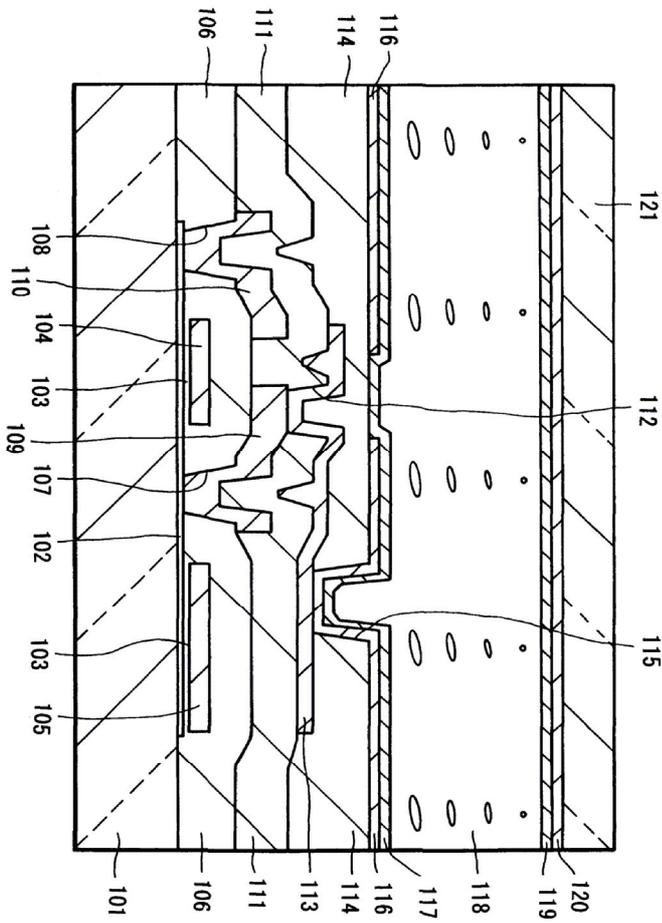
도면6



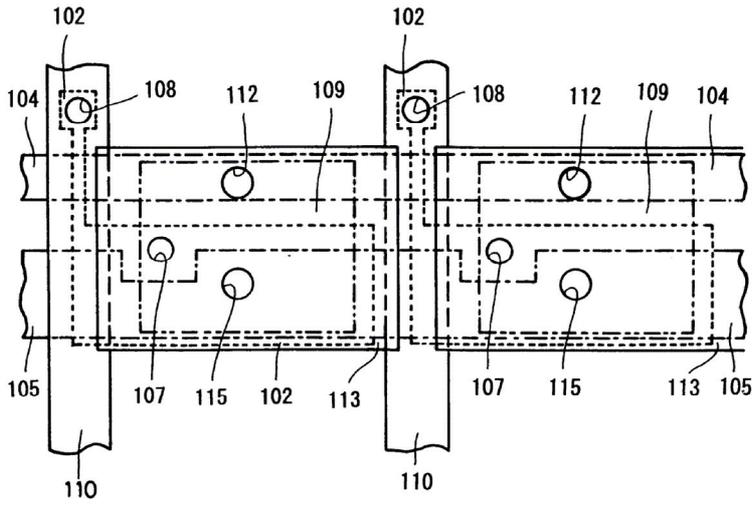
도면7



도면8



도면9



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020010021271A	公开(公告)日	2001-03-15
申请号	KR1020000046512	申请日	2000-08-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	WADA TOMOHIRO 와다도모히로 SATO TAKUSEI 사토다쿠세이 ABE FUMIAKI 아베후미아키		
发明人	와다도모히로 사토다쿠세이 아베후미아키		
IPC分类号	G02F1/13 G02F1/1333 G02F1/1368 G02F1/1362 H01L29/786 H01L21/336 G02F H01L G02F1/136		
CPC分类号	G02F1/136213		
代理人(译)	您是我的专利和法律公司 KIM , JAE MAN		
优先权	1999238442 1999-08-25 JP		
其他公开文献	KR100729791B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD及其制造，通过减少LCD中的像素间遮光区域来实现高透射率和高清晰度。

