

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/133

(11) 공개번호 특2001-0007438
(43) 공개일자 2001년01월26일

| | |
|------------|---|
| (21) 출원번호 | 10-2000-0033780 |
| (22) 출원일자 | 2000년06월20일 |
| (30) 우선권주장 | 11-180883 1999년06월25일 일본(JP) |
| (71) 출원인 | 가부시키가이샤 아드반스트 디스플레이 히로 산주 일본국 구마모토켄 기쿠치군 니시고오시마찌 미요시 997반지 |
| (72) 발명자 | 마쓰바라료우타 일본국구마모토켄기쿠치군니시고오시마찌미요시997반지가부시키가이샤아드 반스트디스플레이나이 나카가와나오키 일본국구마모토켄기쿠치군니시고오시마찌미요시997반지가부시키가이샤아드 반스트디스플레이나이 코오타카사토시 일본국구마모토켄기쿠치군니시고오시마찌미요시997반지가부시키가이샤아드 반스트디스플레이나이 |
| (74) 대리인 | 이화익 |

심사청구 : 없음

(54) 액정표시장치

요약

본 발명은 (2×1) 도트 반전 구동방식의 액티브 매트릭스형 액정표시장치로서, 상기 액티브 매트릭스형 액정표시장치를 구동하는 경우에, 수평방향으로 소스 배선마다 및 수직방향으로 2 게이트 배선들마다 극성이 변화되는 화소들에 전압을 인가하고, 복수의 화소 각각이 스위칭 소자를 구비하고, 소스 전위의 극성이 반전하는 n행 게이트 배선(1)을 선택할 때와 소스 전위가 반전하지 않은 (n+1)행 게이트 배선(2)을 선택할 때에 화소 충전 특성을 균일하게 하여, 래스터(raster) 표시에 있어서 행마다에 일어나는 휘도 얼룩을 감소할 수 있는 것이다.

대표도

도3

색인어

액정표시장치, 도트 반전 구동, 래스터 표시, 화소 충전 특성, 휘도 얼룩

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예의 기능을 나타낸 동작 파형의 그래프,
- 도 2는 본 발명의 실시예의 기능을 나타낸 동작 파형의 그래프,
- 도 3은 본 발명의 실시예 1의 기능을 나타낸 동작 파형의 그래프,
- 도 4는 본 발명의 실시예 2의 기능을 나타낸 동작 파형의 그래프,
- 도 5는 본 발명의 실시예 3의 기능을 나타낸 동작 파형의 그래프,
- 도 6은 본 발명의 실시예 4의 액정표시장치의 TFT의 구성을 나타낸 평면도,
- 도 7은 본 발명의 실시예 5의 기능을 나타낸 동작 파형의 그래프,
- 도 8은 본 발명의 실시예 6의 기능을 나타낸 동작 파형의 그래프,
- 도 9는 본 발명의 실시예 6의 기능을 나타낸 동작 파형의 그래프,
- 도 10은 본 발명의 실시예 7의 기능을 나타낸 동작 파형의 그래프,

충전 처리를 완료시켜야 하였다.

일반적으로, (2×1) 도트 반전 구동 처리는, 윈도우의 첫 아웃시에 화면 상에 발생하는 플리커를 막기 위해 사용된다. 이러한 플리커는 액티브 매트릭스형 액정 표시장치의 고선명화 및 대형화가 진행됨에 따라 현저하게 되므로, 이 (2×1) 도트 반전 구동방식은 고선명 및 대형의 액티브 매트릭스형 액정표시장치에 채택되는 경향이 있다. 그러나, 액티브 매트릭스형 액정표시장치가 고선명화 및 대형화가 진행됨에 따라, 1 수평 주사 기간 동안에 화소의 충전 처리를 완료하는 것이 매우 곤란해지고, 상술한 각 행마다의 휘도 얼룩이 더욱 현저하게 되는 경향이 있다.

최근 개발하고 있는 액티브 매트릭스형 액정표시장치의 고선명화 또는 대형화에 따라 1 수평 주사 기간이 단축되기 때문에, 종래기술로서 1 수평 주사 기간 동안 화소를 충전시키는 것을 실패하고 있다. 도 15는 종래의 구동방식에서의 임의의 화소의 게이트 전위(V11), 소스 전위(V12) 및 화소 전위(V13)의 파형을 나타내고 있다. 게이트 배선에 선택 펄스가 입력될 경우, 임의의 부극성의 소스전위 V11이 기록된 화소 전위에서 임의의 정극성의 소스 전위 V3가 기록된다(도면중의 파형에는 기생용량에 의한 화소 전위의 변동은 미도시). 통상적으로, 액정의 열화를 막기 위해서 액정에 가하는 전압의 극성은 1 수직 주사 기간마다 반전되므로, 5V계의 액정을 사용하는 경우, V1과 V3의 차는 최대 약 8V가 되고, 0.2(pF)의 보조 용량, 0.3(pF)의 액정 용량의 경우에, 이 장치는 0.5(pF)의 용량에 약 8V의 전압을 1 수평 주사 기간 내에 충전하도록 설계해야만 한다. 하지만, 최근의 액티브 매트릭스형 액정표시장치의 고선명화 또는 대형화의 최근 개발에 따라 1 수평 주사 기간이 더욱 단축되어, 1 수평 주사 기간 내에 화소를 충전시키는 것은 더 곤란해지고 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 (2×1) 도트 반전 구동방식의 액티브 매트릭스형 액정표시장치는 래스터 표시에 있어서 1행마다의 휘도 얼룩을 감소하고자 한다.

발명의 구성 및 작용

본 발명의 액정표시장치는, (2×1) 도트 반전 구동방식의 액티브 매트릭스형 액정표시장치에 있어서, 소스전위의 극성이 반전하는 n행 게이트 배선(1)의 선택시와, 소스 전위의 극성이 반전하지 않은 (n+1)행 게이트 배선(2)의 선택시에 화소의 충전 특성을 균일하게 한 것이다.

더구나, n행 게이트 배선(1) 선택시의 제 1 선택 펄스와 비교할 때, (n+1)행 게이트 배선(2) 선택시의 제 2 선택 펄스는 폭을 작게 설정한 것이다.

더욱이, 제 1 선택 펄스를 지연시킴과 동시에, 제 1 선택 펄스와 제 2 선택 펄스의 폭을 함께 보다 작게 한 것이다.

또한, 제 1 선택 펄스와 제 2 선택 펄스의 시간과 폭을 임의로 설정하는 제어펄스를 구비한 것이다.

여기에서, n행 게이트 배선(1) 상의 화소에 설치된 스위칭 소자의 구동 능력을 (n+1)행 게이트 배선(2) 상의 화소에 설치된 스위칭 소자의 구동 능력보다 크게 한 것이다.

더구나, (n+1)행 게이트 배선(2) 상의 화소에 설치된 스위칭 소자의 구동능력을 ON 상태가 된 후 소정의 시간 동안 제어한 것이다.

또한, 제 1 및 제 2 선택 펄스의 이전에, 소스 전위가 상기 선택된 시간과 같은 동일한 극성을 갖는 시간대에 제 3 또는 제 4 선택 펄스를 입력하여, 화소 전위를 예비적으로 충전한 것이다.

(1) (2×1) 도트 반전 구동방식은, 행마다의 휘도 얼룩을 막기 위해 발명한 것이다.

(2) 도 1에 나타난 것과 같이, 행마다 주사된 게이트 배선에 제 1 선택 펄스 Vg(11)가 입력되기 이전에 게이트 배선에 제 3 선택 펄스(V13)를 입력하는 (2×1) 도트 반전 구동방식은 화소 충전 특성을 향상시키는 것을 가능하게 한다.

도 2는 본 발명에서의 임의의 화소의 게이트 전위, 소스 전위 및 화소 전위의 파형을 나타낸 것이다. 종래기술에서는, 제 1 선택 펄스(V11)에 의한 선택 기간 내에서 V1 내지 V3의 기록 처리를 완료시킨 데 반하여, 본 발명에서는, V1이 유지되어 있는 화소 전위는 제 3 선택 펄스(V13)에 의해 소정의 정극성의 소스 전위 V2가 충전되고, 제 1 선택 펄스(V11)에 의한 충전 처리에서는 종래기술과 비교하여 V2 내지 V3으로 나타낸 것처럼 충전하는 전압 폭이 작아지기 때문에, 결과적으로 충전특성이 향상된다. 그러나, 제 3 선택 펄스(V13)가 게이트 배선에 입력될 때와 제 1 선택 펄스(V11)가 게이트 배선에 입력될 때의 경우에 따라 소스 전위의 극성이 다른 경우에는 충전 특성이 악화되므로, 반드시 제 3 선택 펄스(V13)와 제 1 선택 펄스(V11)가 각각 게이트 배선에 입력될 때에 소스 전위의 극성은 동일하게 유지해야 한다. 이때, 도면에서 2는 2 수평 주사 기간을 나타낸다.

(실시예 1)

이하, (2×1) 도트 반전 구동방식의 래스터 표시에 있어서 행마다 일어나는 휘도 얼룩을 감소하기 위해서, 소스 전위의 극성이 반전하는 n행 게이트 배선(1)의 선택시와, 소스 전위의 극성이 반전하지 않은 (n+1)행 게이트 배선(2)의 선택시에, 화소 충전 특성을 균일하게 하는 일 실시예에 관해서 도 3을 참조하여 설명하겠다.

(2×1) 도트 반전 구동방식에 있어서, 게이트 배선 2에 입력될 제 2 선택 펄스(V22)의 펄스 폭은 게이트 배선 1에 입력될 제 1 선택 펄스(V11)보다 작게 한다.

이 장치는, 도 3에 나타난 것과 같이, 소스 전위의 극성 반전 이전에 시간 τ1 마이크로초(μ sec)로 만

들고, 선택 펄스 31을 게이트 배선(1)에 입력하여, τ_1 은 선택 펄스 31의 지연 시간과 같은 레벨로 설정하고, 선택 펄스 1의 펄스 폭을 1 수평 주사 기간으로 설정하고, 선택 펄스 32의 상승의 타이밍은 선택 펄스 31의 상승 후의 시간 τ_2 로 설정하며, 선택 펄스 32의 펄스 폭을 1 수평 주사 기간보다 τ_2 만큼 작게 설정한다.

종래기술에서는, (2×1) 도트 반전 구동방식에 있어서 래스터 표시를 실행할 때, 게이트 배선 1의 선택 시에는 소스 전위가 반전하여 소정의 전위에 도달할 때까지 지연이 생기는데 반해서, 게이트 배선 2의 선택시에 소스 전위는 게이트 배선 2의 선택시의 전위와 같게 유지된다. 따라서, 게이트 배선 2의 선택시의 화소 충전 특성과 비교하여, 게이트 배선 1의 선택시의 화소 충전 특성은 악화된다.

이러한 이유로 인해서, 본 발명에서는 제 2 선택 펄스의 펄스 폭을 제 1 선택 펄스(1)의 펄스 폭보다 τ_2 만큼 작게 하여, 종래 장치와 비교하여 게이트 배선 2의 선택시의 화소 충전특성을 억제함으로써, 게이트 배선 1의 선택시와 게이트 배선 2의 선택시의 화소 충전특성을 동일하게 하여서, 래스터 표시에 있어서의 게이트 배선 행마다 일어나는 휘도 얼룩을 감소할 수 있다.

(실시예 2)

이하, (2×1) 도트 반전 구동방식의 래스터 표시에 있어서 행마다 일어나는 휘도 얼룩을 감소하기 위해서, 소스 전위의 극성이 반전하는 n행 게이트 배선 1의 선택시와 소스 전위의 극성이 반전하지 않은 $(n+1)$ 행 게이트 배선 2의 선택시의 화소 충전 특성을 동일하게 하는 다른 실시예에 대해 설명하겠다.

도 4에 나타낸 것과 같이, 극성 반전하는 소스 전위가 소정의 전위에 도달한 후에 선택 펄스(41)를 게이트 배선 1에 입력하고, 제 1 선택 펄스(41)의 펄스 폭을 수평 주사 기간으로부터 시간 τ_3 을 빼서 얻어진 펄스 폭으로 설정하고, 또한 τ_3 은 선택 펄스(41)의 지연시간과 소스전위의 지연시간의 합보다는 큰 값으로 설정하고, 또한 제 1 선택 펄스(41)가 하강하는 시간에 게이트 배선 2에 제 2 선택 펄스(42)를 입력하고, 제 1 선택 펄스(41)와 제 2 선택 펄스(42)의 펄스 폭을 같게 설정한다.

종래기술에서는, (2×1) 도트 반전 구동방식에서 래스터 표시를 수행할 때, 게이트 배선 1의 선택시에는 소스 전위가 반전하여 소정의 전위에 도달할 때까지 지연이 생기는데 반해서, 게이트 배선 2의 선택시에는 소스 전위가 게이트 배선 1의 선택시의 전위와 같게 유지된다. 따라서, 게이트 배선 2의 선택시의 화소 충전 특성과 비교하여 게이트 배선 1의 선택시의 화소 충전 특성은 악화된다.

이와 같은 이유로, 본 발명에서는, 소스 전위가 소정의 전위에 도달한 후에, 게이트 배선 1과 게이트 배선 2에 제 1 선택 펄스(41)와 제 2 선택 펄스(42)가 각각 입력되고, 게이트 배선 1의 선택시와 게이트 배선 2의 선택시의 화소 충전 특성을 같게 설정됨으로써, 래스터 표시에 있어서의 게이트 배선 행마다 일어나는 휘도 얼룩을 감소할 수 있다.

(실시예 3)

본 실시예에서는, 전술한 실시예에서의 선택 펄스의 시간 및 펄스 폭의 설정방법에 대해서 설명하겠다.

(2×1) 도트 반전 구동방식에 있어서, 도 5에 나타낸 것과 같이 선택 펄스가 V_{g1} 및 V_{g2} 로 형성되는 경우, 액티브 매트릭스형 액정표시장치의 회로기판 상에서 0과 V_{cc} 를 갖는 제어 펄스를 생성하고, 제어 펄스 전위가 V_{cc} 일 때 선택 펄스 V_{g2} 를 게이트 배선에 입력시키고, 제어 펄스 전위가 0일 때는 선택 펄스 V_{g1} 을 게이트 배선에 입력시키는 것에 따라 설정한다. 이와 같은 배치는 (2×1) 도트 반전 구동방식에 있어서 선택 펄스의 폭과 시간을 임의로 설정 가능하게 한다.

(실시예 4)

이하, (2×1) 도트 반전 구동방식의 래스터 표시에 있어서 행마다 일어나는 휘도 얼룩을 감소하기 위해서, 소스 전위의 극성이 반전하는 n행 게이트 배선의 선택시와 소스 전위의 극성이 반전하지 않은 $(n+1)$ 행 게이트 배선 2의 선택시의 화소 충전 특성을 균일하게 하는 일 실시예에 대해서 도 3을 참조하여 설명하겠다.

(2×1) 도트 반전 구동방식에 있어서, 게이트 배선 1 상의 화소에 설치하는 a-Si TFT 소자의 채널 폭과 채널길이의 비인 W/L에 대해서, 게이트 배선 1 상의 화소에 설치되는 소자의 W/L을 게이트 배선 2 상의 화소에 설치하는 TFT 소자의 채널폭 W/L보다 크게 설정한다. 도 6은 하나의 TFT 소자의 채널 폭과 채널 길이의 부분을 나타낸 것이다. 종래기술에서는, (2×1) 도트 반전 구동방식의 래스터 표시를 수행할 때, 게이트 배선 1의 선택시에는 소스 전위가 반전하여 소정의 전위에 도달할 때까지 지연이 생기는데 반해, 게이트 배선 2의 선택시에 소스 전위는 게이트 배선 1의 선택시의 전위와 같게 유지된다. 따라서, 게이트 배선 2의 선택시의 화소 충전 특성과 비교하여, 게이트 배선 1의 선택시의 화소 충전 특성은 악화된다.

따라서, 본 발명에서는, 게이트 배선 2 상의 화소의 TFT 특성을 게이트 배선 1 상의 TFT와 비교하여 충전 능력이 작게 설정됨에 따라, 게이트 배선 1의 선택시와 게이트 배선 2의 선택시의 화소 충전 특성을 같게 설정한다. 그 결과, 래스터 표시에 있어서의 게이트 배선 행마다 일어나는 휘도 얼룩을 감소할 수 있다.

(실시예 5)

이하, (2×1) 도트 반전 구동방식의 래스터 표시에 있어서 행마다 일어나는 휘도 얼룩을 감소하기 위해서, 소스 전위의 극성이 반전하는 n행 게이트 배선 1의 선택시와 소스 전위의 극성이 반전하지 않은 $(n+1)$ 행 게이트 배선 2의 선택시의 화소 충전 특성을 균일하게 하는 다른 실시예에 대해서 설명하겠다.

(2×1) 도트 반전 구동방식에 있어서, 도 7에 나타낸 것과 같이, 게이트 배선 2에 제 2 선택 펄스(72)가 입력될 경우에, 제 2 선택 펄스(72)의 입력 후 소정기간 동안 소스 IC를 비출력 상태로 유지한다.

종래기술에서는, (2×1) 도트 반전 구동방식의 래스터 표시를 수행할 때, 게이트 배선 1의 선택시에 소

스 전위가 반전하여 소정의 전위에 도달할 때까지 지연이 생기는데 반하여, 게이트 배선 2의 선택시에 소스 전위는 게이트 배선 1의 선택시의 전위와 같게 유지된다. 따라서, 게이트 배선 2의 선택시의 화소 충전 특성과 비교하여, 게이트 배선 1의 선택시의 화소 충전특성은 악화된다.

본 발명에서는, 게이트 배선 2의 선택시에 소스 IC를 소정 시간 τ_4 동안 비출력상태로 설정하여, 게이트 배선 2의 선택시의 충전시간을 단축함으로써, 게이트 배선 1의 선택시와 게이트 배선 2의 선택시의 화소 충전 특성을 같게 설정한다. 따라서, 래스터 표시에 있어서의 게이트 배선 행마다 일어나는 휘도 얼룩을 경감할 수 있다.

(실시예 6)

이하, (2×1) 도트 반전 구동방식에 있어서 화소 충전 특성을 향상시키기 위해서, 게이트 배선에 선택 펄스를 입력하기 이전에 그 게이트 배선에 선택 펄스를 입력하는 다른 실시예에 관해서 설명하겠다.

(2×1) 도트 반전 구동방식에 있어서, 도 8은 도 1과 마찬가지로의 형태인 게이트 파형(81, 82, 83, 84)을 나타내고, 도 9는 n행과 (n+1)행의 임의의 화소에 있어서의 게이트 전위(81, 82, 83, 84), 소스 전위(95) 및 화소전위(96, 97)의 파형을 나타낸다. 도 8a는 도 9a에 대응하고, 도 8b는 도 9b에 각각 대응한다. 게이트 배선 1에서 (4×m) 수평 주사 기간(m=1, 2, 3,...)을 갖는 제 1 선택 펄스(81)를 입력하기 이전에, 그 선택 펄스(81)와 같은 펄스 폭을 갖는 제 3 선택 펄스(83)를 그 게이트 배선 1에 입력한다(도 9a).

제 2 선택 펄스(82) 이전에, 동일한 방법으로 제 4 선택 펄스(84)를 입력한다(도 9b). 도 8 및 도 9는 m=1인 경우를 나타내고 있다.

(4×m) 수평 주사 기간(m=1, 2, 3,...) 이전에 선택 펄스(83, 84)를 게이트 배선 1에 입력하는 이유는, (2×1) 도트 반전 구동방식에서는 소스 전위의 극성이 반전하는 기간이 4 수평 주사 기간으로 설정되기 때문이다. 종래기술에서는 선택 펄스 81에 의한 선택 기간 내에 V1에서 V3까지의 기록 과정을 완료시키는데 반해서, 본 발명에서는 V1이 유지되어 있던 화소 전위는 선택 펄스 83에 의해 소정의 정극성의 소스 전위 V2가 충전되어, 그 선택 펄스 81에 의한 충전 처리에서, 충전시의 전압 폭은 종래기술과 비교하여 V2에서 V3까지로 나타난 것만큼 작아지기 때문에, 결과적으로, 충전특성을 향상시킬 수 있다.

(실시예 7)

이하, (2×1) 도트 반전 구동방식에 있어서 화소 충전 특성을 향상시키기 위해서, 게이트 배선에 선택 펄스를 입력하기 이전에, 그 게이트 배선에 선택 펄스를 입력하는 다른 실시예에 관해서 설명하겠다.

(2×1) 도트 반전 구동방식에 있어서, 도 10은 게이트 파형(101, 102, 103, 104)을, 도 11은 n행과 (n+1)행의 임의의 화소에 있어서의 게이트 전위(101, 102, 103, 104), 소스 전위(115), 화소 전위(116, 117)의 파형을 나타낸 것이다. 도 10a는 도 11a에 대응하고, 도 10b는 도 11b에 각각 대응한다. 1 수평 주사 기간을 갖는 제 1 선택 펄스(101)를 게이트 배선 1에 입력하고, 그것보다 (4×m) 수평 주사 기간(m=1, 2, 3,...)이전에, 2 수평 주사 기간을 갖는 제 3 선택 펄스(103)를 게이트 배선 1에 입력하는데 반해, 1 수평 주사 기간을 갖는 제 2 선택 펄스(102)를 게이트 배선 2에 입력하고, 또한 그것보다 ((4×m)+1) 수평 주사 기간(m=1, 2, 3,...) 이전에, 2 수평 주사 기간을 갖는 제 4 선택 펄스(104)를 게이트 배선(2)에 입력한다. 도 10과 도 11은 m=1인 경우를 나타내고 있다.

본 발명의 효과는 상기 실시예 6과 동일하지만, 선택 펄스 103과 104의 펄스 폭이 실시예 6에서의 선택 펄스 3의 펄스 폭과 비교하여 2배로 되어 있기 때문에, 선택 펄스 103과 104에 의한 화소 충전 특성이 실시예 6과 비교하여 향상된다.

더욱이, 상기한 실시예에서는 본 발명의 (2×1) 도트 반전 구동방식에 적용을 예로 설명하였지만, 본 발명은 (3×1) 도트 및 (4×1) 도트 방식과 같은 다른 반전 구동방식에도 적용할 수 있는 것이다.

발명의 효과

본 발명의 액정표시장치는, (2×1) 도트 반전 구동방식의 액티브 매트릭스형 액정표시장치에 있어서, 소스 전위의 극성이 반전하는 n행 게이트 배선 1의 선택시와, 소스 전위의 극성이 반전하지 않은 (n+1)행 게이트 배선 2의 선택시의 화소 충전 특성을 균일하게 하였다. 따라서, 본 발명의 액정표시장치는, 래스터 표시에 있어서 행마다 일어나는 휘도 얼룩을 감소시킬 수 있다.

(57) 청구의 범위

청구항 1

(2×1) 도트 반전 구동방식의 액티브 매트릭스형 액정표시장치에 있어서,

상기 액티브 매트릭스형 액정표시장치를 구동하는 경우에, 수평방향으로 소스 배선마다 및 수직방향으로 2 게이트 배선들마다 극성이 변화되도록 화소들에 전압을 인가하고, 복수의 화소 각각이 스위칭 소자를 구비하고, 소스 전위의 극성이 반전하는 n행 게이트 배선(1)을 선택할 때와 소스 전위가 반전하지 않은 (n+1)행 게이트 배선(2)을 선택할 때에 화소 충전 특성을 균일하게 하여, 래스터 표시에 있어서 행마다 일어나는 휘도 얼룩을 감소할 수 있도록 구성된 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 2

제 1 항에 있어서,

n행 게이트 배선(1)의 선택시의 제 1 선택 펄스와 비교하여, (n+1)행 게이트 배선(2)의 선택시의 제 2 선택 펄스는 상기 n행 게이트 배선(1)의 선택시와 (n+1)행 게이트 배선(2)의 선택시에 화소 충전 특성을 균일하게 하기 위한 수단으로서 짧은 폭을 갖게 설정된 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 (2×1) 도트 반전 구동에서, 상기 제 1 선택 펄스를 소스 전위의 극성이 변화할 때로부터 τ_1 초 이전에 게이트 배선(1)에 입력하고, 상기 제 1 선택 펄스의 펄스 폭을 수평 주사 기간과 일치하도록 설정하고, 상기 제 2 선택 펄스는 상기 제 1 선택 펄스가 하강할 때로부터 τ_2 초 후에 상승하며, 상기 제 2 선택 펄스의 펄스 길이는 제 1 선택 기간과 비교하여 게이트 배선(2)에 입력된 제 2 선택 펄스의 펄스 길이를 감소하기 위한 수단으로서 τ_2 초만큼 수평 주사 기간보다 짧은 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 (2×1) 도트 반전 구동에서, 상기 게이트 배선(1)의 선택시와 상기 게이트 배선(2)의 선택시의 화소 충전 특성을 균일하게 하는 수단으로서, 상기 제 1 선택 펄스의 펄스 길이와 상기 제 2 선택 펄스의 펄스 길이를 짧게 한 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 (2×1) 도트 반전 구동에서, 상기 제 1 선택 펄스를 소스 전위가 소정 전위로 설정된 후에 게이트 배선(1)에 인가하고, 상기 수평 주사 기간에서 τ_3 를 빼어서 상기 제 1 선택 펄스의 펄스 길이를 설정하고, τ_3 는 소스 전위의 시간 지연에 상기 제 1 선택 펄스의 시간을 합하여 얻어진 값보다 크도록 설정하고, 상기 제 1 선택 펄스가 하강할 때에 게이트 배선(2)에 상기 제 2 선택 펄스를 인가하고, 상기 제 1 선택 펄스의 펄스 길이는 상기 제 1 및 제 2 선택 펄스의 펄스 길이를 짧게 하기 위한 수단으로서, 상기 제 2 선택 펄스의 펄스 길이와 같은 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 제 1 선택 펄스의 펄스 길이와 상기 제 2 선택 펄스의 펄스 길이를 임의로 설정하는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 7

제 1 항에 있어서,

Vg1 및 Vg2로 구성된 2진 값 형태의 상기 선택 펄스들이 형성될 때 0 및 Vcc를 갖는 제어 펄스를 상기 액티브 매트릭스형 액정표시장치의 회로기판 상에서 발생하고, (2×1) 도트 반전 구동방식에서 시간과 펄스 길이를 설정하기 위한 수단으로서 상기 제어 펄스의 전위가 Vcc일 때 선택 펄스 Vg2를 입력하고, 상기 제어 펄스의 전위가 0일 때의 선택 펄스 Vg1을 입력하여, 상기 선택 펄스의 시간과 펄스의 길이를 임의로 설정하는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 게이트 배선(1)의 선택시와 상기 게이트 배선(2)의 선택시에 충전 특성을 균일하게 하기 위한 수단으로서, 상기 게이트 배선(1) 상에 설치된 스위칭 소자의 구동 능력이 상기 게이트 배선(2) 상에 설치된 스위칭 소자의 구동 능력보다 우수한 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 스위칭 소자는 박막 트랜지스터이고, 상기 게이트 배선(1) 상에 설치된 박막 트랜지스터의 계수(W/L)는 상기 게이트 배선(2) 상에 설치된 박막 트랜지스터의 계수보다 크며, W는 채널 폭이고 L은 채널 길이인 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 게이트 배선(2)에 상기 제 2 선택 펄스가 입력된 후, 스위칭 소자의 상태를 "ON" 상태가 되도록 하고, 상기 스위칭 소자는 상기 게이트 배선(2) 상에 형성된 화소들 위에 설치되어, 화소들에 공급되는 전하가 소정의 기간 동안 억제되도록 구성된 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 11

제 1 항에 있어서,

상기 게이트 배선(2)에 상기 제 2 선택 펄스가 입력된 후, 스위칭 소자의 상태를 "ON" 상태가 되도록 하고, 상기 스위칭 소자는 상기 게이트 배선(2) 상에 형성된 화소들 위에 설치되며, 소정의 기간 동안만 소스 IC의 출력 저항을 고저항으로 하여 화소들에 공급되는 전하가 소정의 기간 동안 억제되도록 구성된 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 12

제 1 항에 있어서,

상기 제 1 및 제 2 선택 펄스를 게이트 배선(1) 및 게이트 배선(2)에 각각 입력하기 이전에, 게이트 배선(1) 및 게이트 배선(2)에 제 3 및 제 4 선택 펄스를 각각 입력하는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

청구항 13

제 12 항에 있어서,

상기 게이트 배선(1) 및 게이트 배선(2)에 상기 제 1 및 제 2 선택 펄스를 입력하기 위한 (4×m) 수평 주사 기간 이전에, 상기 게이트 배선(1) 및 게이트 배선(2)에 상기 제 3 및 제 4 선택 펄스를 입력함으로써, 상기 게이트 배선(1) 및 게이트 배선(2)에 상기 제 3 및 제 4 선택 펄스를 각각 입력하고, 상기 m은 적어도 1인 정수인 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

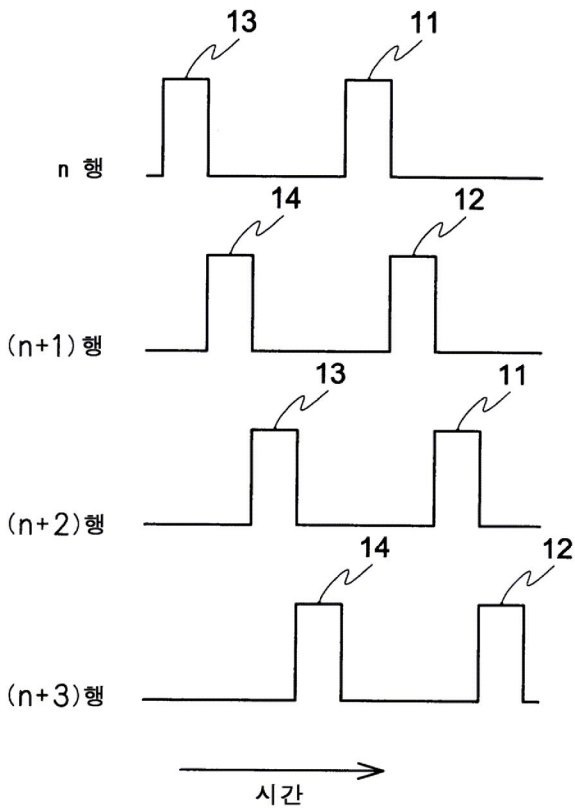
청구항 14

제 12 항에 있어서,

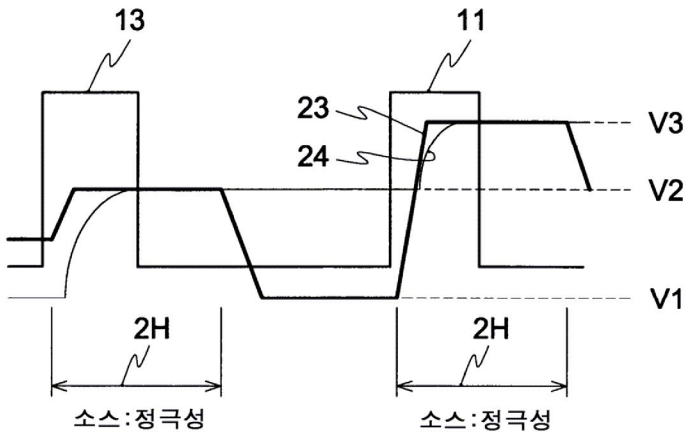
상기 게이트 배선(1)에 1 수평 주사 기간의 상기 제 1 선택 펄스를 입력하고, 상기 1 수평 주사 기간으로부터 (4×m) 수평 주사 기간 이전의 시간에 상기 게이트 배선(1)에 상기 제 3 선택 펄스를 입력하며, 상기 제 3 선택 펄스의 각 펄스 길이는 2 수평 주사 기간에 해당하고, 상기 게이트 배선(2)에 1 수평 주사의 또 다른 기간의 상기 제 2 선택 펄스를 입력하며, 상기 1 수평 주사의 상기 또 다른 기간으로부터 ((4×m)+1) 수평 주사의 기간 이전의 시간에 상기 게이트 배선(2)에 상기 제 4 선택 펄스를 입력하고, 상기 제 4 선택 펄스의 각 펄스 길이는 2 수평 주사 기간에 해당한 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

도면

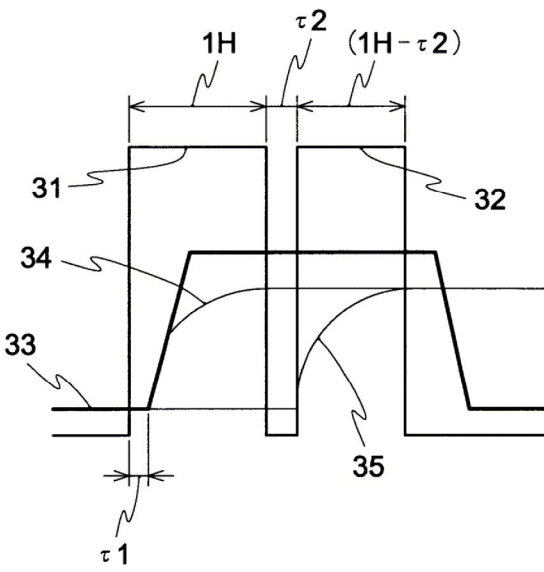
도면1



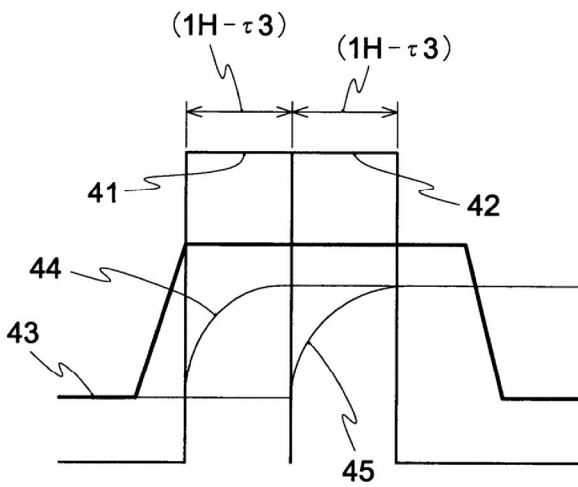
도면2



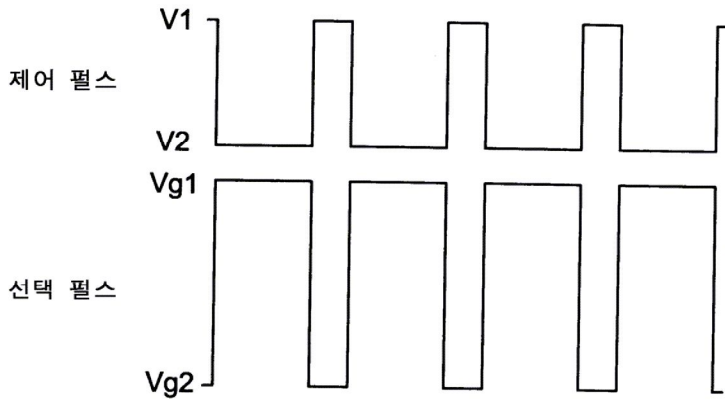
도면3



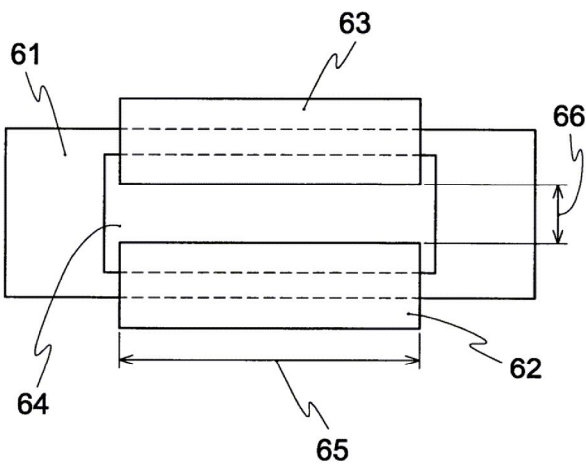
도면4



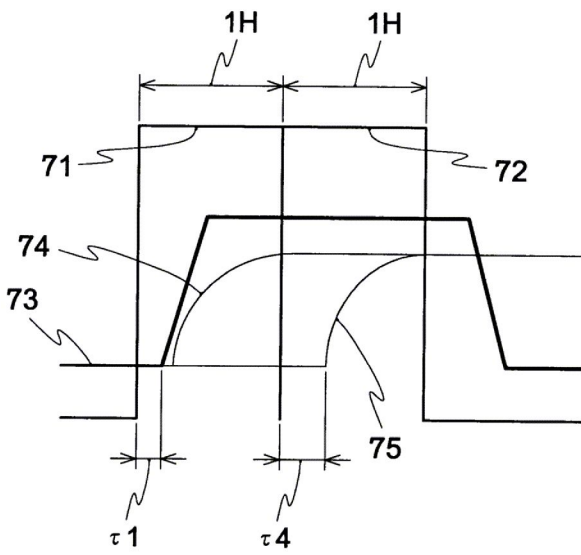
도면5



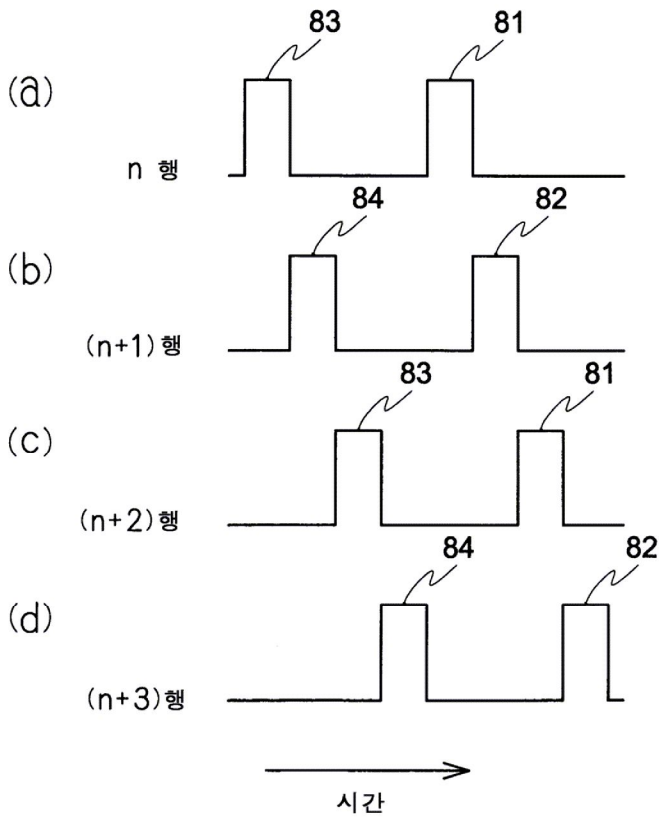
도면6



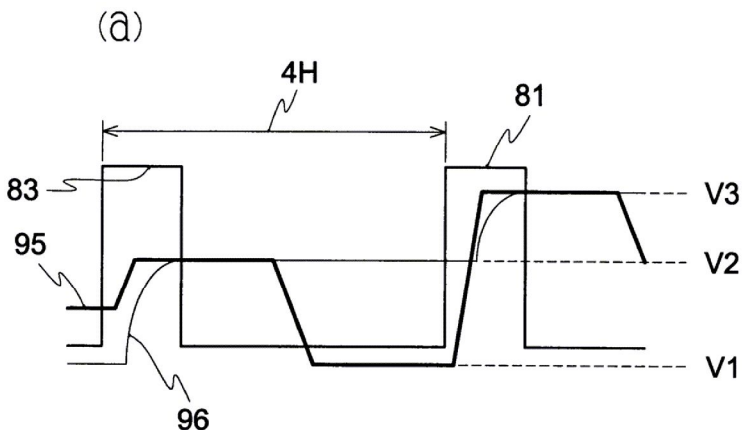
도면7



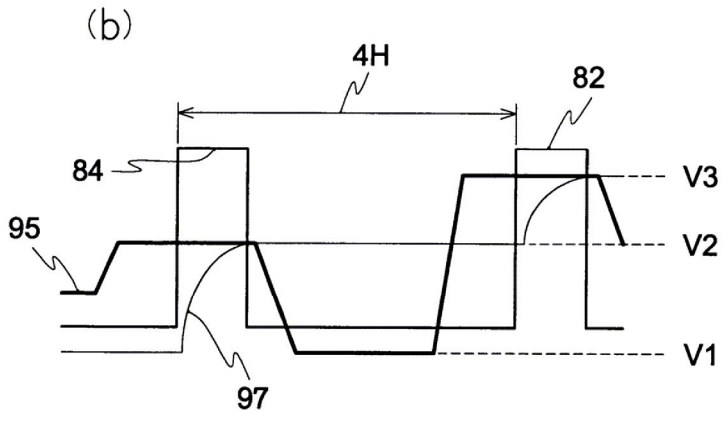
도면8



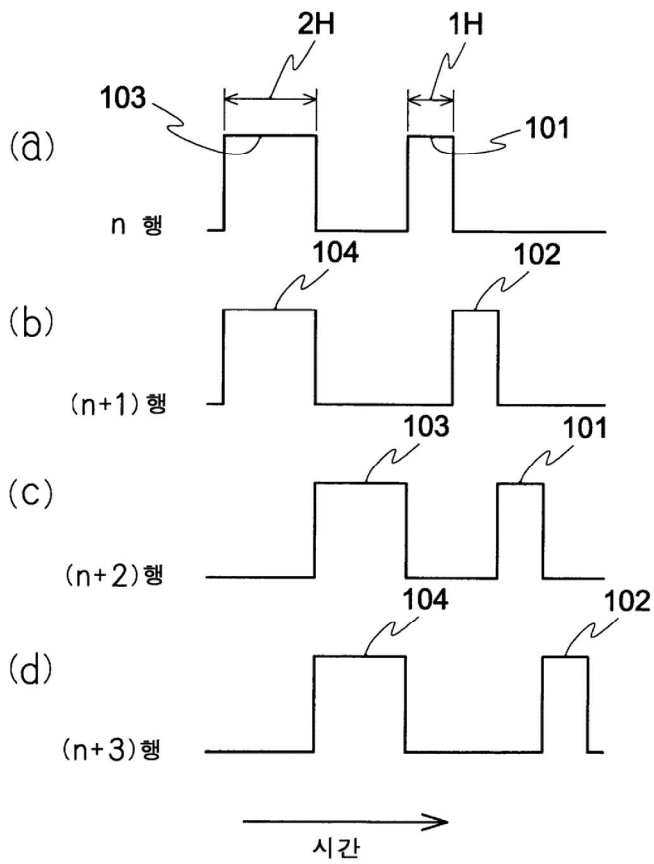
도면9a



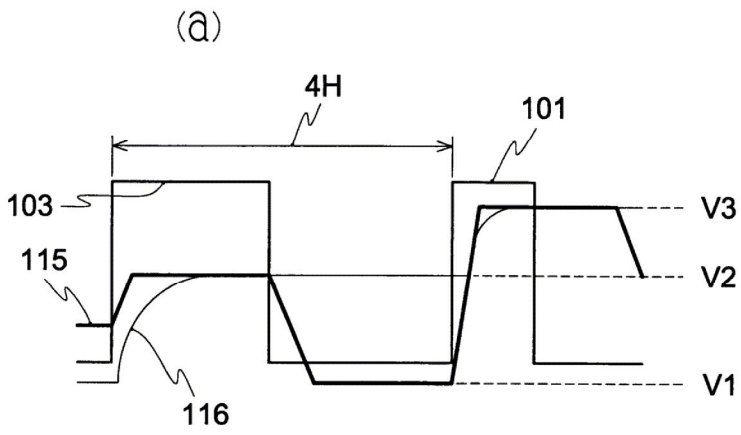
도면9b



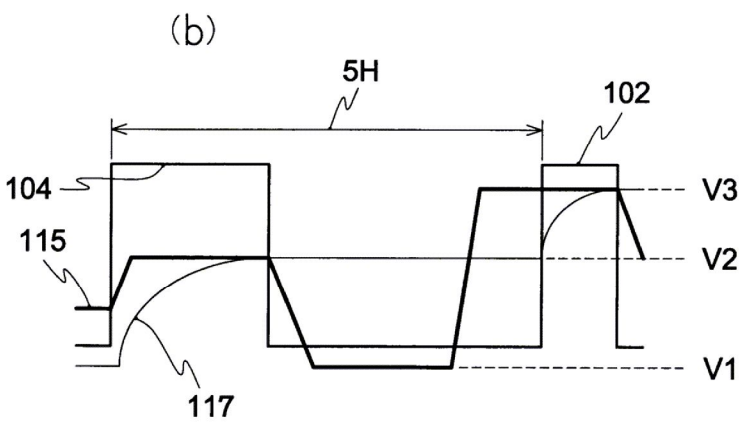
도면10



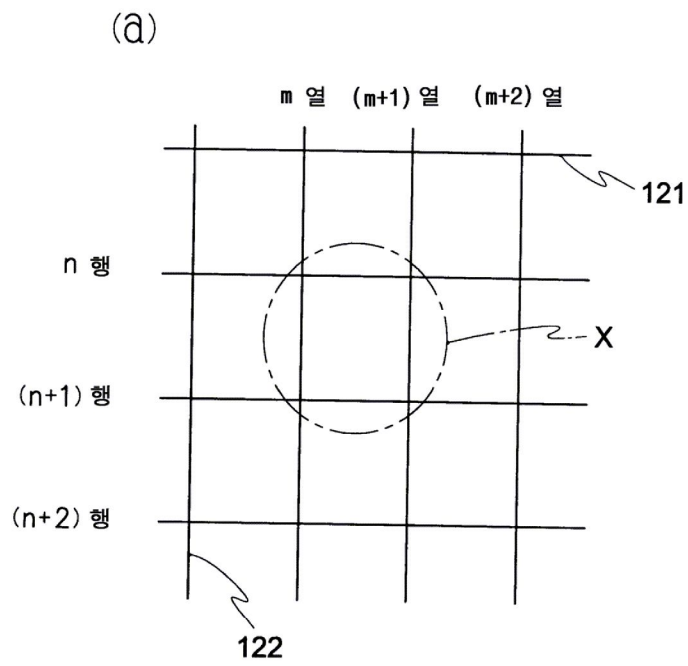
도면11a



도면11b

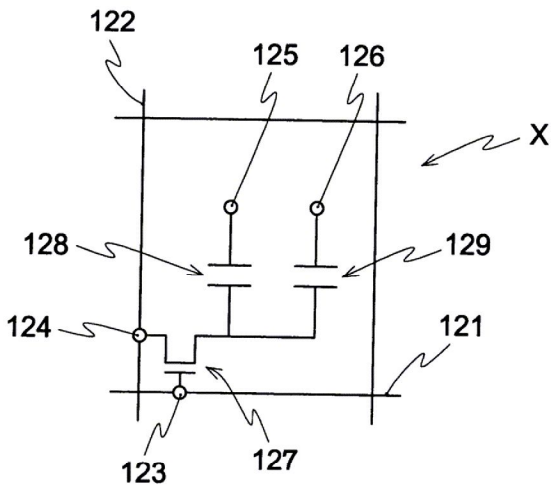


도면12a

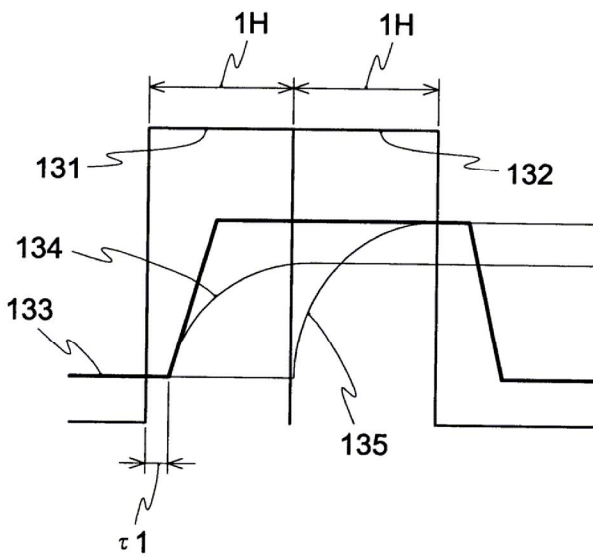


도면 12b

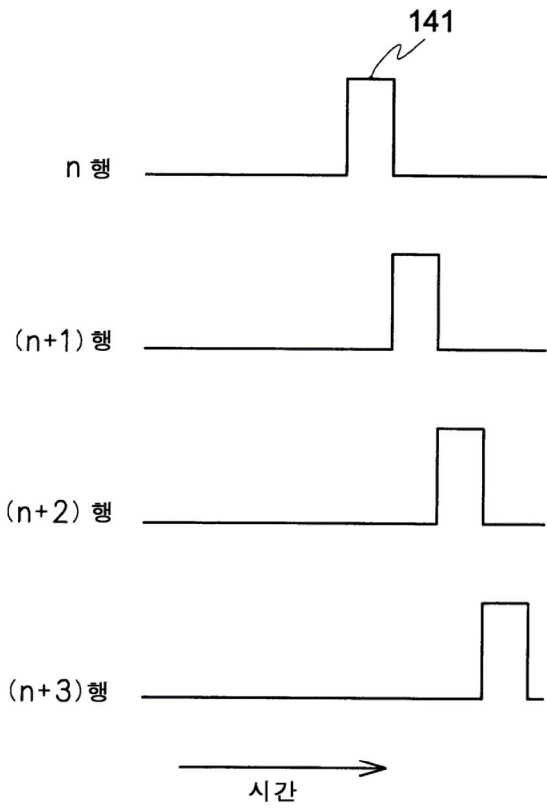
(b)



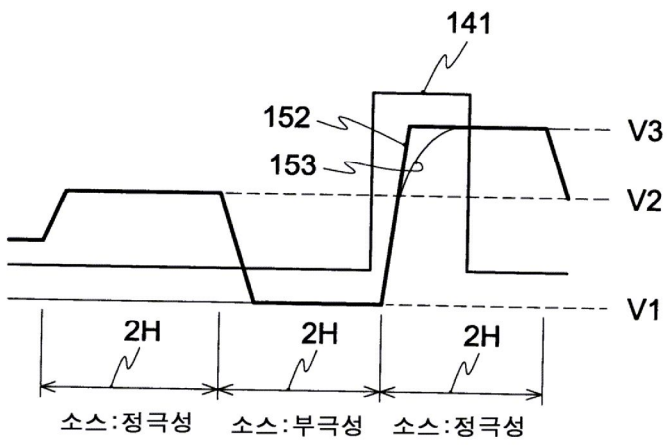
도면 13



도면14



도면15



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR1020010007438A | 公开(公告)日 | 2001-01-26 |
| 申请号 | KR1020000033780 | 申请日 | 2000-06-20 |
| [标]申请(专利权)人(译) | 三菱电机株式会社 | | |
| 申请(专利权)人(译) | 三菱电机有限公司 | | |
| 当前申请(专利权)人(译) | 三菱电机有限公司 | | |
| [标]发明人 | MATSUBARA RYOUTA 마쓰바라료우타 NAKAGAWA NAOKI 나카가와나오키 KOHTAKA SATOSHI 코오타카사토시 | | |
| 发明人 | 마쓰바라료우타 나카가와나오키 코오타카사토시 | | |
| IPC分类号 | G09G3/36 G02F1/133 G09G G09G3/20 G02F | | |
| CPC分类号 | G09G2320/0247 G09G2310/0251 G09G2320/0233 G09G2310/06 G09G3/3614 G09G3/3648 | | |
| 代理人(译) | 权泰BOK LEE HWA我 | | |
| 优先权 | 1999180883 1999-06-25 JP | | |
| 其他公开文献 | KR100803707B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

目的：通过在选择源极极性反转的线的栅极布线时以及在选择栅极时使像素的充电特性，来降低光栅显示中每一行的亮度不均匀性 电源电位极性不变的线的布线。 构成：在从源极电位的极性反转起的时间 τ_1 之前，将选择脉冲31输入到栅极布线1，并且将选择脉冲31的脉冲宽度设置为一个水平扫描周期。 在从选择脉冲31的下降起经过了时间 τ_1 之后，设定选择脉冲31的上升定时，将选择脉冲32的脉冲宽度设定为比时间 τ_2 小。通过使第二选择脉冲32的脉冲宽度比第一选择脉冲31小 τ_2 ，从而使选通布线2时的像素充电特性比以往更大。使栅极布线1和选择栅极布线2时彼此相等。可以减少光栅显示中的每条栅极布线的一行的亮度不均匀。

