



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월26일
(11) 등록번호 10-1399154
(24) 등록일자 2014년05월19일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2007-0097471
(22) 출원일자 2007년09월27일
심사청구일자 2012년09월03일
(65) 공개번호 10-2009-0032333
(43) 공개일자 2009년04월01일
(56) 선행기술조사문헌
KR1020020080859 A*
KR1020070003115 A
KR1020050059398 A
KR1020040062119 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이중희
서울특별시 강남구 개포로 310, 주공아파트
10-102 (개포동)
최승찬
경상북도 경산시 와촌면 계당길12길 19-2
(74) 대리인
서교준

전체 청구항 수 : 총 6 항

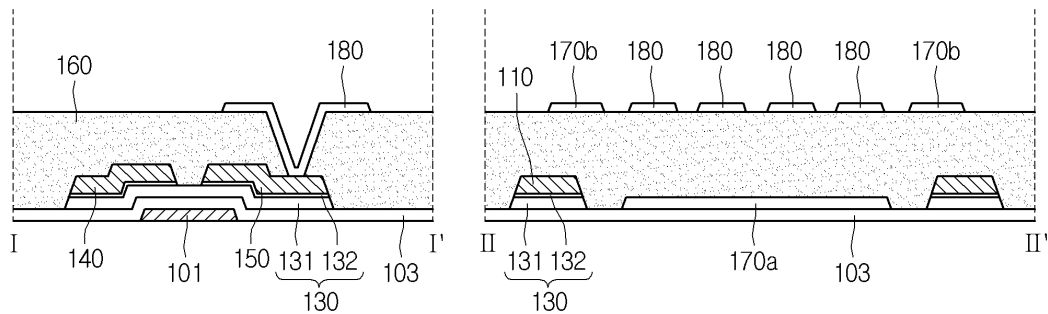
심사관 : 이준석

(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 개구율이 향상될 뿐만 아니라 휘도를 향상시킬 수 있는 액정표시장치가 개시된다. 개시된 본 발명의 액정표시장치는 기판과, 기판 상에 화소영역을 정의하는 게이트 라인 및 데이터 라인과, 기판의 화소영역에 플랫(flat) 형태로 구비된 제1 공통전극과, 제1 공통전극과 대응되도록 슬릿(slit) 형태로 구비된 화소전극과, 화소전극과 이격되고 데이터 라인과 일부분이 중첩되는 제2 공통전극을 포함하는 것을 특징으로 하는 액정표시장치.

대표도 - 도2



특허청구의 범위

청구항 1

기관;

상기 기관 상에 게이트 절연막을 사이에 두고 교차하여 화소영역을 정의하는 게이트 라인 및 데이터 라인;

상기 기관의 화소영역에 상기 게이트 절연막 상에 플랫(flat) 형태로 구비된 제1 공통전극;

상기 제1 공통전극 상에 형성된 보호층;

상기 보호층을 사이에 두고 상기 제1 공통전극과 대응되도록 구비된 슬릿(slit) 형태의 화소전극; 및

상기 화소전극과 동일층에서 상기 화소전극과 일정 간격 이격되어 상기 데이터 라인과 일부분이 중첩되는 제2 공통전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제2 공통전극은 상기 화소전극과 동일한 물질로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 3

기관상에 게이트 전극 및 게이트 라인을 형성하는 단계;

상기 게이트 전극을 포함하는 상기 기관상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 제1 공통전극을 형성하는 단계;

상기 게이트 절연막 상에 반도체층, 소스/드레인 전극 및 데이터 라인을 형성하는 단계;

상기 소스/드레인 전극, 상기 제1 공통전극 및 상기 데이터 라인을 포함하는 상기 게이트 절연막 상에 보호막을 형성하는 단계; 및

상기 보호막 상에 위치하며 상기 드레인 전극과 연결된 화소전극과, 상기 화소전극과 일정 간격 이격되는 제2 공통전극을 형성하는 단계를 포함하고,

상기 제1 공통전극은 상기 반도체층, 소스/드레인 전극 및 데이터 라인과 동일층에서 형성되고, 상기 제2 공통전극은 상기 화소전극과 동일층에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제 3 항에 있어서,

상기 제2 공통전극은 상기 데이터 라인과 일부분이 중첩되게 마련된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제 3 항에 있어서,

상기 제2 공통전극 및 상기 화소전극은 동일한 물질로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 1 항에 있어서,

상기 화소영역에 형성된 제1 공통전극과 화소전극이 프린지 필드를 형성하여 횡전계에 의해 액정을 배열하고,

상기 화소영역의 최외각에 위치한 화소전극과 상기 화소전극과 동일층에 형성된 상기 제2 공통전극의 횡전계에 의해 상기 데이터 라인 주변부의 액정을 배열하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 개구율이 향상될 뿐만 아니라 휘도를 향상시킬 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 액정표시장치(liquid crystal display device)는 경량, 박형, 저소비 전력 구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이러한 추세에 따라, 상기 액정표시장치는 사무자동화 기기, 오디오/비디오 기기 등에 이용되고 있다.

[0003] 액정표시장치는 인가 전압에 따라 액체와 결정의 중간 상태 물질인 액정(liquid crystal)의 광투과도가 변화하는 특성을 이용하여, 전기 신호를 시각 정보로 변화시켜 영상을 표시한다. 통상의 액정표시장치는 전극이 구비된 두 개의 기판과 두 기판 사이에 개재된 액정층으로 구성된다. 이와 같은 액정표시장치는 동일한 화면 크기를 가지는 다른 표시장치에 비하여 무게가 가볍고 부피가 작으며 작은 전력으로 동작한다.

[0004] 대표적인 액정표시장치는 TFT(thin film transistor) 액정표시장치는 시야각이 좁은 문제점이 있다. 이러한 문제점을 해결하기 위하여, 멀티 도메인 구조, OCB(optically compensated birefringence) 모드, IPS(in plane switching) 모드 등이 제안되었다. 그러나, 멀티 도메인 구조는 멀티 도메인을 형성하는 공정이 복잡하고, 시야각 개선에도 한계가 있다. OCB 모드는 시야각 특성과 응답 속도면에서 전기 광학적 성능이 우수하지만, 바이어스 전압에 의해 액정을 안정적으로 조절, 유지하기 어렵다는 단점이 있다. IPS 모드는 대면적용 액정표시장치에 적합하고, 시야각이 넓은 장점이 있으나 개구율이 낮은 문제점이 있다.

[0005] 액정표시장치의 개구율 및 투과율을 개선하기 위하여, 프린지 필드 스위칭(FFS: fringe field switching) 모드 액정표시장치가 제안되고 있다.

[0006] FFS 모드 액정표시장치는 하나의 기판에 공통전극과 화소전극이 절연체가 개재된 상태에서 서로 중첩되게 배치된 구조를 가진다. 공통전극은 플랫(flat) 형태로 화소영역에 대응하고, 화소전극은 다수의 막대형상의 패턴이 서로 이격되게 형성된 슬릿(slit) 형태로 공통전극 위에 마련된다. FFS 모드는 IPS 모드와 다르게 수 Å 간격을 두고 횡전계가 이루어지므로 횡전계가 강력하고, 전극 상부의 액정분자까지 횡전계에 의해 배열될 수 있다. 또한, 2 ITO 구조이므로 화이트 휘도를 높여 개구율을 높일 수 있다.

[0007] 그러나, 종래의 FFS 모드 액정표시장치는 공통전극과 화소전극의 외각 영역(컬러필터 기판의 블랙 매트릭스영역)에서 빛샘이 발생하여 화소의 외각영역에서 휘도가 저하되는 문제가 있었다. 보다 상세히 설명하면, 종래의 FFS 모드 액정표시장치는 공통전극과 화소전극의 외각 영역(데이터 라인의 주변부)에서 횡전계가 약하기 때문에 화소의 중앙영역과 비교하여 휘도가 저하되는 문제가 발생한다.

[0008] 또한, 화소의 외각영역(데이터 라인 주변부)의 빛샘 현상을 개선하기 위해 블랙 매트릭스의 영역을 넓게 형성하는 경우, 이에 따라 개구율이 저하되는 문제가 있었다.

발명의 내용

해결 하고자하는 과제

[0009] 또한, 본 발명의 개구율이 상승될 뿐만 아니라 휘도를 향상시킬 수 있는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

과제 해결수단

[0010] 본 발명의 일 실시예에 따른 액정표시장치는,

[0011] 기판; 상기 기판 상에 화소영역을 정의하는 게이트 라인 및 데이터 라인;

[0012] 상기 기판의 화소영역에 플랫(flat) 형태로 구비된 제1 공통전극; 보호층을 사이에 두고 상기 제1 공통전극과 대응되도록 구비된 슬릿(slit) 형태의 화소전극; 및 상기 화소전극과 일정 간격 이격되어 상기 데이터 라인과 일부분이 중첩되는 제2 공통전극을 포함하여 이루어진다.

[0013] 또한, 본 발명의 다른 실시예에 따른 액정표시장치의 제조방법은,

[0014] 기관상에 게이트 전극 및 게이트 라인을 형성하는 단계; 상기 게이트 전극을 포함하는 상기 기관상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 제1 공통전극을 형성하는 단계; 상기 게이트 절연막 상에 반도체층, 소스/드레인 전극 및 데이터 라인을 형성하는 단계; 상기 소스/드레인 전극, 상기 제1 공통전극 및 상기 데이터 라인을 포함하는 상기 게이트 절연막 상에 보호막을 형성하는 단계; 및 상기 보호막 상에 위치하며 상기 드레인 전극과 연결된 화소전극과, 상기 화소전극과 일정 간격 이격되는 제2 공통전극을 형성하는 단계를 포함하여 이루어진다.

효 과

[0015] 본 발명은 플랫 형태의 제1 공통전극과 대응되는 슬릿 형태의 화소전극과 일정거리 이격되어 데이터 라인과 일부 중첩되는 제2 공통전극이 마련됨으로써, 화소전극 중 최외각(제2 공통전극과 인접한)에 마련된 화소전극과 제2 공통전극의 횡전계에 의해 데이터 라인 주변영역의 액정을 배열하여 데이터 라인 주변영역의 휘도 저하를 개선할 수 있는 효과가 있다.

[0016] 또한, 본 발명은 데이터 라인의 주변영역의 휘도 저하를 개선함으로써, 데이터 라인과 대응되는 컬러필터 기관의 블랙 매트릭스 영역을 최소화할 수 있는 구조로써, 이에 따른 액정표시장치의 개구율을 상승시킬 수 있는 효과가 있다.

[0017] 또한, 본 발명은 데이터 라인과 일부분이 중첩되게 마련되어 데이터 라인과 화소전극 간의 전기적인 간섭을 개선할 수 있는 실드 역할을 하는 제2 공통전극이 마련되어 데이터 라인과 화소전극 간의 전기적인 간섭에 의한 화질 저하를 개선할 수 있는 부가적인 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0018] 첨부한 도면을 참조하여 본 발명에 따른 실시 예를 상세히 설명하도록 한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 박막 트랜지스터 기관을 나타낸 평면도이고, 도 2는 도 1의 I-I', II-II' 라인을 따라 절단한 박막 트랜지스터 기관의 단면도이다.

[0020] 도 1 및 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정표시장치의 박막 트랜지스터 기관은 모기관(미도시) 위에 게이트 절연막(103)을 사이에 두고 교차하는 게이트 라인(120) 및 데이터 라인(110)과, 그 교차부마다 형성된 박막 트랜지스터(TFT: thin film transistor)와, 게이트 라인(120)과 데이터 라인(110)의 교차구조로 마련된 화소영역에 프린지 필드를 형성하도록 보호층(160)을 사이에 두고 형성된 제1 공통전극(107a) 및 슬릿 형태의 화소전극(180)을 포함한다.

[0021] 본 발명의 박막 트랜지스터 기관은 화소전극(180)과 일정거리 이격되어 마련된 제2 공통전극(170b)을 더 포함한다.

[0022] 제1 및 제2 공통전극(170a, 170b)은 공통배선에 전기적으로 접속된다.

[0023] 박막 트랜지스터가 위치한 영역(I-I')의 모기관(미도시) 상에는 게이트 전극(101)이 형성되고, 상기 게이트 전극(101) 상에 게이트 절연막(103)이 형성된다.

[0024] 게이트 절연막(103) 상에는 상기 게이트 전극(101)과 대응되는 영역에 반도체층(130)이 배치된다. 상기 반도체층(130)은 활성층(131)과 오믹 콘택층(132)을 포함할 수 있다.

[0025] 상기 반도체층(130) 상에는 소스/드레인 전극(140, 150)이 형성된다. 상기 소스/드레인 전극(140, 150) 상에는 보호층(160)이 형성된다.

[0026] 보호층(160)에는 상기 드레인 전극(150)이 노출되도록 콘택홀(미도시)을 포함하고, 상기 보호층(160) 상에는 상기 콘택홀을 통해 상기 드레인 전극(150)과 전기적으로 연결된 화소전극(180)이 형성된다.

[0027] 화소 영역(II-II')의 모기관 상에는 게이트 절연막(103) 상에 플랫(flat) 형태의 제1 공통전극(170a)이 형성되고, 상기 제1 공통전극(170a) 상에 보호층(160)이 형성된다.

[0028] 상기 보호층(160) 상에는 상기 제1 공통전극(170a)과 대응되는 슬릿(slit) 형태의 화소전극(180)이 형성된다.

[0029] 상기 제1 공통전극(170a)의 양측에 형성된 데이터 라인(110)은 상기 게이트 절연막(103) 상에 형성된 반도체층

(130) 상에 마련된다.

- [0030] 데이터 라인(110) 상에는 보호층(160)을 사이에 두고 제2 공통전극(170b)이 형성된다.
- [0031] 제2 공통전극(170b)은 화소의 최외각에 위치한 화소전극(180)과의 횡전계에 의해 데이터 라인(110) 주변부의 액정을 배열하기 위해 마련된다.
- [0032] 제2 공통전극(170b)은 상기 데이터 라인(110)과 일부 중첩되고, 상기 화소전극(180)과 일정거리 이격된다. 제2 공통전극(170b)은 상기 화소전극(180)과 동일 평면 상에 형성되며, 동일한 물질로 이루어질 수 있다.
- [0033] 이상에서 설명한 본 발명의 일 실시예에 따른 액정표시장치는 데이터 라인(110)과 일부 중첩되도록 제2 공통전극(170b)을 형성함으로써, 화소전극(180) 중 화소의 최외각에 위치한 화소전극(180)과 상기 제2 공통전극(170b)의 횡전계에 의해 데이터 라인(110) 주변부의 액정을 배열하여 휘도저하를 개선할 수 있다.
- [0034] 또한, 본 발명은 데이터 라인(110) 주변부의 휘도 저하를 개선함으로써, 블랙 매트릭스의 영역을 최소화할 수 있는 구조로써, 개구율을 상승시킬 수 있다.
- [0035] 도 3a 내지 도 3f는 본 발명의 다른 실시예에 따른 액정표시장치의 박막 트랜지스터 기관의 제조공정을 도시한 도면이다.
- [0036] 도 3a를 참조하면, 모기관(미도시) 상에 스퍼터링 등의 증착방법을 통해 제1 도전물질을 형성하고 마스크를 이용한 포토리소그래피 공정과 식각공정으로 게이트 전극(101)을 형성한다.
- [0037] 게이트 전극(101)은 Al, Mo, Cu, MoW, MoTa, MoNb, Cr, W 및 AlNb으로 이루어진 군에서 적어도 어느 하나일 수 있다.
- [0038] 게이트 전극(101)을 포함하는 모기관의 전면에 걸쳐 게이트 절연막(103)을 형성한다.
- [0039] 여기서, 상기 게이트 절연막(103)은 화학기상증착법 또는 스퍼터링법 중 어느 하나의 방식을 통해 형성된 산화실리콘막, 질화실리콘막 또는 이들의 적층막 중 어느 하나일 수 있다.
- [0040] 도 3b를 참조하면, 화소 영역의 게이트 절연막(103) 상에 플랫(flat) 형태의 제1 공통전극(170a)을 형성한다.
- [0041] 제1 공통전극(170a)은 마스크를 이용한 포토리소그래피 공정 및 식각공정으로 형성할 수 있다.
- [0042] 제1 공통전극(170a)은 인듐-주석-산화막(ITO) 또는 인듐-아연-산화막(IZO)과 같은 투명한 도전 물질로 형성될 수 있다.
- [0043] 도 3c를 참조하면, 상기 게이트 전극(101)에 대응된 상기 게이트 절연막(103) 상에 반도체층(130)과 상기 반도체층(130)의 양 단부상에 분리되어 배치된 소스/드레인 전극(140, 150)을 형성한다. 이와 동시에, 상기 게이트 절연막(103) 상에 상기 게이트 라인과 교차되어 화소 영역을 정의하는 데이터 라인(110)을 형성한다.
- [0044] 상기 반도체층(130)과 상기 소스/드레인 전극(140, 150)은 하프톤 마스크 또는 회절 마스크를 이용하여 동시에 형성할 수 있다. 즉, 상기 게이트 절연막(103) 상에 비정질 실리콘층, 불순물의 비정질 실리콘층, 제2 도전물질을 순차적으로 형성한 뒤, 상기 하프톤 마스크 또는 회절 마스크를 통한 노광 및 현상 공정을 거쳐 감광성막 패터를 형성한다. 이후, 상기 감광성막 패터에 따라 상기 제2 도전물질과 상기 비정질 실리콘층을 패터닝하여, 상기 소스/드레인 전극(140, 150)과 활성층(131)을 형성한다. 그리고, 상기 감광성막 패터에 애싱(ashing) 공정을 수행한 뒤, 상기 불순물의 비정질 실리콘층을 식각하여 오믹 콘택층(132)을 형성한 뒤, 상기 감광성막 패터를 제거한다.
- [0045] 따라서, 하나의 마스크를 통해, 상기 반도체층(130)과, 상기 소스/드레인 전극(140, 150)을 형성할 수 있다. 이때, 상기 데이터 라인(110) 하부에도 상기 반도체층(130)이 위치할 수 있다.
- [0046] 도 3d를 참조하면, 상기 반도체층(130), 소스/드레인 전극(140, 150), 데이터 라인(110) 및 제1 공통전극(170a)을 포함한 게이트 절연막(103) 상에는 보호층(160)을 형성한다.
- [0047] 보호층(160)은 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 드레인 전극(150)을 노출시키는 컨택홀(151a)이 형성된다.
- [0048] 도 3e를 참조하면, 컨택홀(151a)을 포함한 보호층(160)의 전면에 걸쳐 투명도전막을 형성하고 패터닝하여 제2 공통전극(170b) 및 화소전극(180)을 형성한다.

[0049] 보다 상세히 설명하면, ITO 또는 IZO 등의 투명도전막을 컨택홀(151a)을 포함하는 보호층(160) 상에 형성하고, 마스크를 이용하는 포토리소그래피 공정 및 식각 공정으로 패터닝하여 제2 공통전극(170b) 및 화소전극(180)을 형성한다.

[0050] 상기 제2 공통전극(170b)은 상기 데이터 라인(110)과 적어도 일부분이 중첩되게 형성된다.

[0051] 상기 화소전극(180)은 슬릿형태로써, 제1 공통전극(170b)과 중첩되게 형성된다.

[0052] 도 4는 본 발명에 따른 화소전극, 제1 및 제2 공통전극에 의해 배열되는 액정을 나타낸 액정표시장치의 단면도이다.

[0053] 도 4에 도시된 바와 같이, 본 발명의 액정표시장치는 박막 트랜지스터 기관과 상판(컬러필터 기관, 100) 사이에서 프린지 필드를 형성하도록 제1 공통전극(170a)과 화소전극(180)이 마련되어 이들 간에 횡전계에 의해 액정의 배열이 이루어진다. 또한, 본 발명의 액정표시장치는 데이터 라인(110)이 위치한 화소의 가장자리 영역에 상기 데이터 라인(110)과 일부분이 중첩되게 마련된 제2 공통전극(170b)과 상기 화소전극(180) 간의 횡전계에 의해 데이터 라인(110) 상에 위치한 액정의 배열이 이루어진다.

[0054] 따라서, 본 발명의 액정표시장치는 데이터 라인(110)과 일부 중첩되도록 제2 공통전극(170b)이 마련됨으로써, 화소전극(180) 중 화소의 최외각에 위치한 화소전극(180)과 상기 제2 공통전극(170b)의 횡전계에 의해 데이터 라인(110) 주변부의 액정을 배열하여 데이터 라인(110) 주변부의 휘도 저하를 개선할 수 있다.

[0055] 또한, 본 발명은 데이터 라인(110) 주변부의 휘도 저하를 개선함으로써, 블랙 매트릭스의 영역을 최소화할 수 있는 구조로써, 개구율을 상승시킬 수 있다.

[0056] 또한, 본 발명은 실드(shield) 기능의 제2 공통전극(170b)이 데이터 라인(110) 상에 일부 중첩되게 마련되어 화소전극(180)과 데이터 라인(110) 간에 전기적인 간섭으로 발생할 수 있는 화질 저하를 야기하는 문제를 개선할 수 있는 부가적인 효과가 있다.

[0057] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0058] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이다.

[0059] 도 2는 도 1의 I-I', II-II' 라인을 따라 절단한 박막 트랜지스터 기판의 단면도이다.

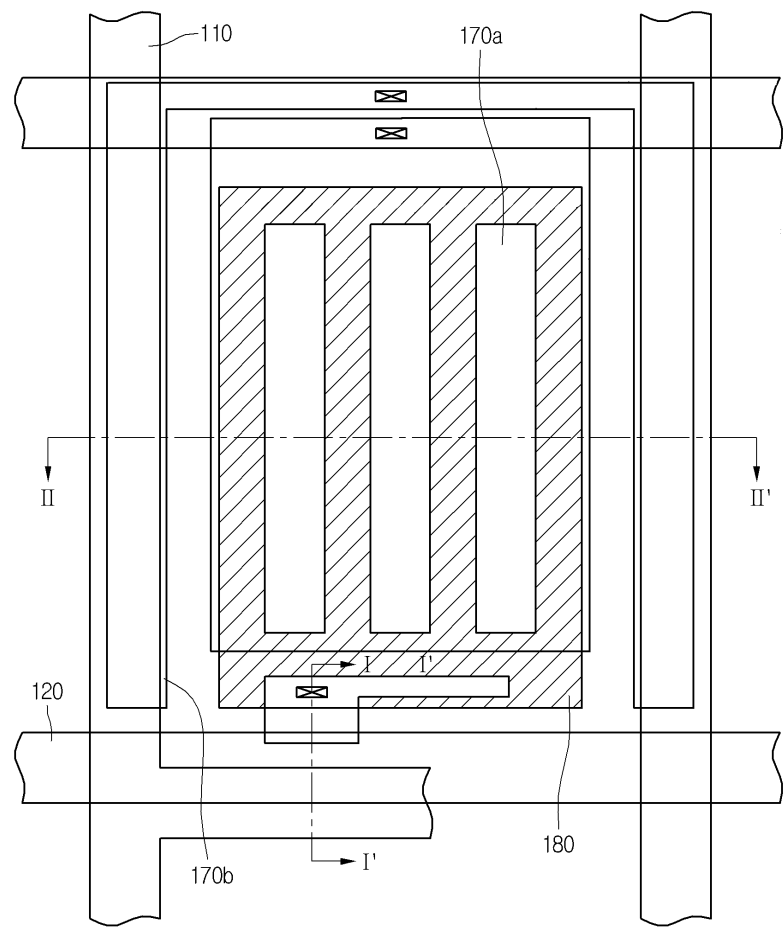
[0060] 도 4는 본 발명에 따른 화소전극, 제1 및 제2 공통전극에 의해 배열되는 액정을 나타낸 액정표시장치의 단면도이다.

[0061] <도면의 주요 부분에 대한 부호의 설명>

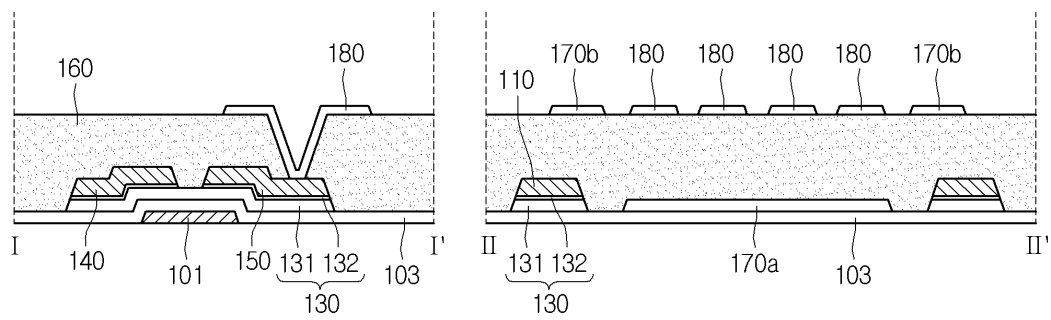
[0062]	110 : 데이터 라인	130 : 반도체층
[0063]	131 : 활성층	132 : 오믹 콘택층
[0064]	170a : 제1 공통전극	170b : 제2 공통전극
[0065]	180 : 화소전극	

도면

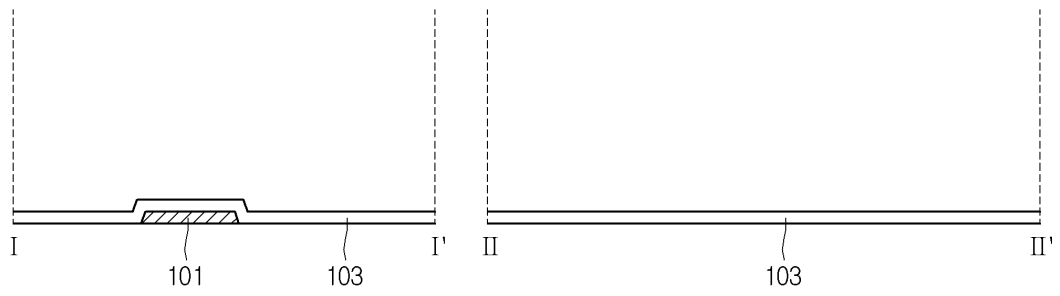
도면1



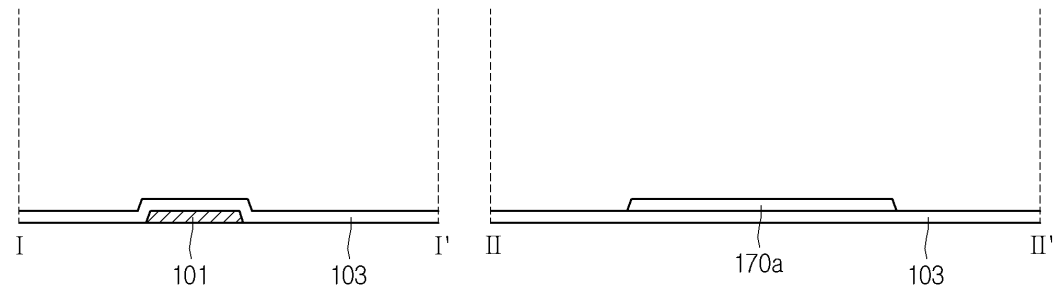
도면2



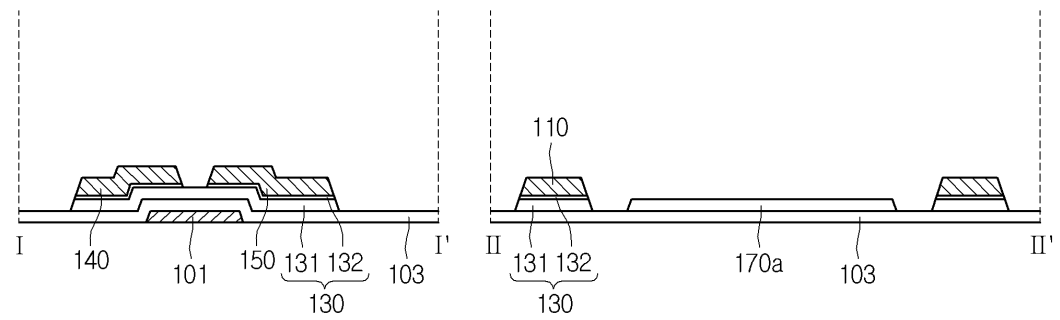
도면3a



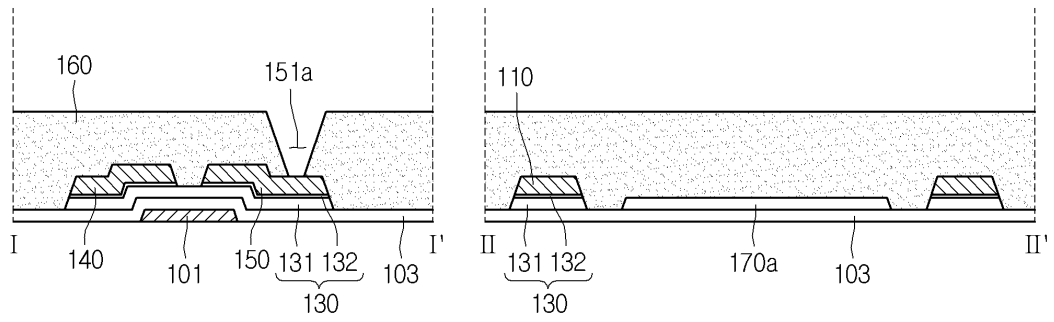
도면3b



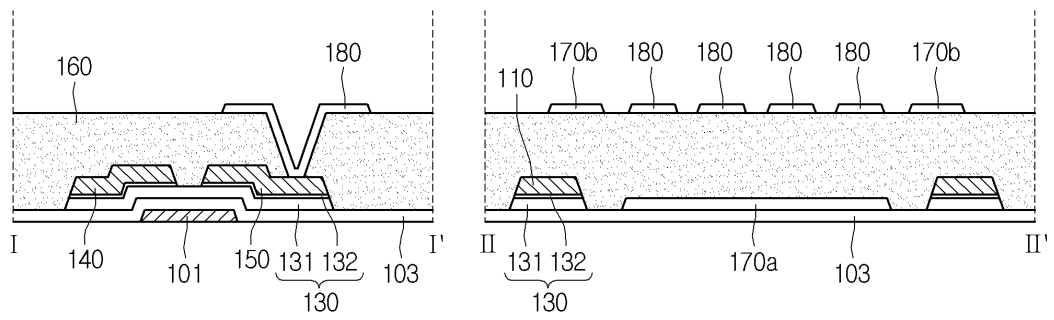
도면3c



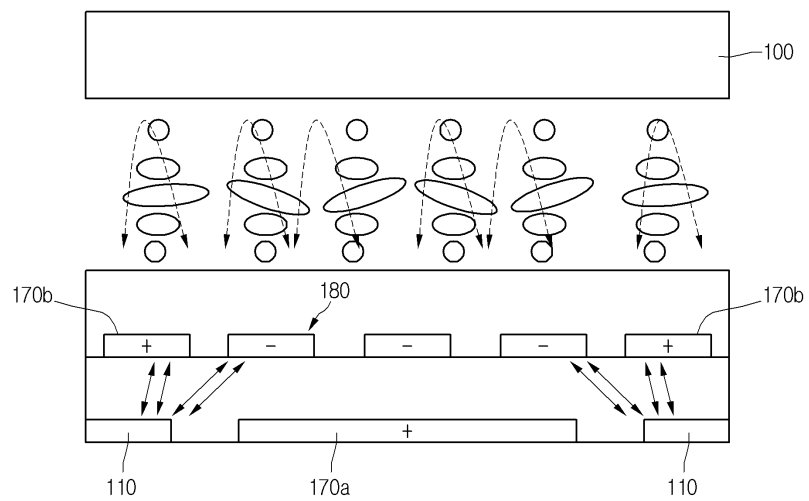
도면3d



도면3e



도면4



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101399154B1	公开(公告)日	2014-05-26
申请号	KR1020070097471	申请日	2007-09-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JONG HWAE 이종회 CHOI SEUNG CHAN 최승찬		
发明人	이종회 최승찬		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1343 G02F1/136286 G02F2201/123 G09G2320/0233		
其他公开文献	KR1020090032333A		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示器及其制造方法，以通过由最外侧像素电极的横向电场布置数据线的周边区域的液晶来防止数据线的周边区域周围的亮度降低。第二个公共电极。栅极线和数据线（110）限定衬底上的像素区域。第一公共电极（170a）以扁平形状配备在基板的像素区域中。狭缝形状的像素电极对应于第一公共电极，同时插入保护层。第二公共电极（170b）与像素电极分离并与数据线重叠。第二公共电极在像素电极上制备并且由相同的材料制成。

