



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년02월13일

(11) 등록번호 10-1362960

(24) 등록일자 2014년02월06일

- (51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) **G02F 1/1343** (2006.01)
- (21) 출원번호 10-2007-0046694
- (22) 출원일자 2007년05월14일
 심사청구일자 2012년05월02일
- (65) 공개번호 10-2008-0100692
- (43) 공개일자 2008년11월19일
- (56) 선행기술조사문헌
 KR1020010106862 A*
 KR1020050104542 A*
 KR1020050119271 A*
 US20060001815 A1
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
정영민
경기 과천시 교하읍 동문2차아파트 201동 1002호
류호진
경기 의왕시 모락로 89-16, 105동 1506호 (오전동, 신원수선화아파트)
- (74) 대리인
김용인, 박영복

전체 청구항 수 : 총 3 항

심사관 : 김선근

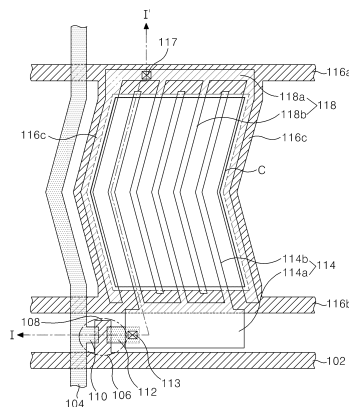
(54) 발명의 명칭 액정표시장치와 그 제조방법

(57) 요약

본 발명은 투과율 개선이 가능한 액정표시장치와 그 제조방법에 관한 것이다.

이 액정표시장치는 서로 교차되어 셀영역을 정의하는 게이트라인 및 데이터라인; 상기 게이트라인 및 상기 데이터라인과 접속된 박막 트랜지스터; 상기 게이트라인과 나란하게 형성되고 공통전압이 공급되는 불투명 공통라인; 상기 불투명 공통라인과 접속되고 상기 셀영역으로 신장된 다수의 투명 공통전극; 및 상기 박막 트랜지스터와 접속되고 상기 셀영역으로 신장되어 상기 셀영역 내에서 상기 투명 공통전극과 교대로 배치되는 다수의 투명 화소전극을 구비하고, 상기 투명 화소전극의 끝단은 상기 불투명 공통라인의 일측과 중첩되고, 상기 투명 공통전극의 끝단은 상기 불투명 공통라인의 타측과 중첩된다.

대표도 - 도3



특허청구의 범위

청구항 1

서로 교차되어 셀영역을 정의하는 게이트라인 및 데이터라인;

상기 게이트라인 및 상기 데이터라인과 접속된 박막 트랜지스터;

상기 게이트라인과 나란하게 상기 게이트라인과 동일 물질로 형성되고 공통전압이 공급되는 불투명 공통라인;

상기 불투명 공통라인과 접속되고 상기 셀영역으로 신장된 다수의 투명 공통전극; 및

상기 박막 트랜지스터와 접속되고 상기 셀영역으로 신장되어 상기 셀영역 내에서 상기 투명 공통전극과 교대로 배치되는 다수의 투명 화소전극을 구비하고,

상기 불투명 공통라인은, 상기 셀영역의 일측에 형성되고 상기 투명 공통전극과 접속된 제1 불투명 공통라인 및 상기 셀영역의 타측에 형성되는 제2 불투명 공통라인을 포함하고,

상기 투명 화소전극의 끝단은 상기 제1 불투명 공통라인과 중첩되고, 상기 투명 공통전극의 끝단은 상기 제2 불투명 공통라인과 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제1 및 제2 불투명 공통라인을 연결하는 연결라인을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

기관 상에 게이트라인, 및 상기 게이트라인과 나란하게 상기 게이트라인과 동일 물질로 불투명 공통라인을 형성하는 단계;

상기 게이트라인 및 상기 불투명 공통라인과 절연되게 교차되어 상기 게이트라인과 함께 셀영역을 정의하는 데이터라인을 형성하는 단계;

상기 게이트라인과 상기 데이터라인의 교차부에 박막 트랜지스터를 형성하는 단계;

상기 불투명 공통라인과 접속되고 상기 셀영역으로 신장된 다수의 투명 공통전극을 형성하는 단계; 및

상기 박막 트랜지스터와 접속되고 상기 셀영역으로 신장되어 상기 셀영역 내에서 상기 투명 공통전극과 교대로 배치되는 다수의 투명 화소전극을 형성하는 단계를 포함하고,

상기 불투명 공통라인은, 상기 셀영역의 일측에 형성되고 상기 투명 공통전극과 접속된 제1 불투명 공통라인 및 상기 셀영역의 타측에 형성되는 제2 불투명 공통라인을 포함하고,

상기 투명 화소전극의 끝단은 상기 제1 불투명 공통라인과 중첩되고, 상기 투명 공통전극의 끝단은 상기 제2 불투명 공통라인과 중첩됨을 특징으로 하는 액정표시장치의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치와 그 제조방법에 관한 것으로, 특히 투과율 개선이 가능한 액정표시장치와 그 제조방법에 관한 것이다.

[0016]

- [0017] 액정표시장치는 액정셀에 인가되는 전계를 제어하여 액정셀에 입사되는 광을 변조함으로써 화상을 표시하게 된다. 이러한 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 인가형과 수평 전계 인가형으로 대별된다.
- [0018] 수직 전계 인가형 액정표시장치는 수직으로 대향하는 상부기관과 하부기관에 수직으로 대향하는 화소전극과 공통전극을 형성하고 그 전극들에 인가되는 전압으로 액정셀에 수직방향의 전계를 인가하게 된다. 수직 전계 인가형 액정표시장치는 시야각이 좁은 단점이 있다.
- [0019] 수평 전계 인가형 액정표시장치는 동일 기관상에 화소전극과 공통전극을 형성하고 그 전극들에 인가되는 전압으로 액정셀에 수평방향의 전계를 인가하게 된다. 수평 전계 인가형 액정표시장치는 수직 전계 인가형 액정표시장치에 비해 시야각 특성이 우수한 장점이 있다.
- [0020] 수평 전계 인가형 액정표시장치는 서로 대향하여 합착된 박막 트랜지스터 기관 및 컬러필터 기관과, 두 기관 사이에서 셀갭을 일정하게 유지시키기 위한 스페이서와, 그 셀갭에 채워진 액정을 포함하는 액정표시패널을 구비한다.
- [0021] 박막 트랜지스터 기관은 셀 단위의 수평 전계 형성을 위한 다수의 신호 배선들 및 박막 트랜지스터와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다. 컬러필터 기관은 색 구현을 위한 컬러필터 및 빛샘 방지를 위한 블랙 매트릭스와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다.
- [0022] 도 1은 종래 수평 전계 인가형 액정표시장치의 박막 트랜지스터 기관을 나타내는 도면이다.
- [0023] 도 1에 도시된 액정표시장치의 박막 트랜지스터 기관은 교차되게 형성되어 셀영역을 정의하는 게이트라인(2) 및 데이터라인(4), 그 교차부마다 형성된 박막 트랜지스터(6), 게이트라인(2)과 나란하게 형성된 제1 및 제2 공통라인(16a, 16b)을 포함하는 공통라인, 상기 제1 공통라인(16a)과 접속되고 셀영역으로 신장된 공통전극(18), 및 박막 트랜지스터(6)와 접속되고 셀영역으로 신장되어 공통전극(18)의 핑거부(18b)와 교대로 배치되는 화소전극(14)을 구비한다.
- [0024] 스캔펄스가 공급되는 게이트라인(2)과 데이터신호가 공급되는 데이터라인(4)은 교차 구조로 형성되어 셀영역을 정의한다.
- [0025] 제1 및 제2 공통라인(16a, 16b)은 게이트라인(2)과 동일한 불투명 금속으로 동시에 형성되고 공통전극(18)과 접속되어 공통전극(18)에 공통전압을 공급한다.
- [0026] 도 1의 액정표시장치는 제1 및 제2 공통라인(16a, 16b)을 연결하는 연결라인(16c)을 더 구비할 수 있다. 연결라인(16c)은 데이터라인(4)과 나란하게 형성되고, 제1 및 제2 공통라인(16a, 16b)과 마찬가지로 불투명 금속으로 형성되어 액정표시장치 구동시 셀영역의 빛샘을 차단하는 역할을 한다.
- [0027] 박막 트랜지스터(6)는 게이트라인(2)의 스캔펄스에 응답하여 데이터라인(4)의 데이터신호가 화소전극(14)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(6)는 게이트라인(2)과 접속된 게이트전극(8), 데이터라인(4)과 접속된 소스전극(10), 및 화소전극(14)과 접속된 드레인전극(12)을 구비한다. 또한, 박막 트랜지스터(6)는 게이트전극(8)의 상부에 위치하여 소스전극(10) 및 드레인전극(12) 사이에 채널을 형성하는 활성층, 및 소스전극(10) 및 드레인전극(12)과 활성층의 오믹 접촉을 위한 오믹 접촉층을 구비한다.
- [0028] 공통전극(18)은 제1 공통라인(16a)과 공통 컨택홀(17)을 통해 접속되고 게이트라인(2)과 나란하게 형성된 베이스부(18a), 및 베이스부(18a)에서 셀영역으로 연장된 다수의 핑거부(18b)를 포함한다. 공통전극(18)은 투명 금속으로 형성된다.
- [0029] 화소전극(14)은 박막 트랜지스터(6)의 드레인전극(12)과 화소 컨택홀(13)을 통해 접속되고 게이트라인(2)과 나란하도록 형성된 제1 화소전극(14a), 및 제1 화소전극(14a)에서 셀영역으로 연장되어 공통전극(18)의 핑거부(18b)와 교대로 배치된 다수의 제2 화소전극(14b)을 포함한다. 화소전극(14)은 공통전극(18)과 동일한 투명 금속으로 형성된다. 제1 화소전극(14a)은 제2 공통라인(16b)과 절연되게 중첩되어 스토리지 캐패시터를 형성할 수 있다.
- [0030] 이에 따라, 박막 트랜지스터(6)를 통해 데이터신호가 공급된 제2 화소전극(14b)과, 제1 공통라인(16a)을 통해 공통전압이 공급된 공통전극(18)의 핑거부(18b) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 셀 영역에 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 셀영역을 투과하는 광 투과율이 달라지게 됨으로써 계조가 구현된다. 하지만, 종래의 액정표시장

치는 도 1에 도시된 A, B 영역과 같이 제2 화소전극(14b)의 끝단과 공통전극(18) 핑거부(18b)의 끝단이 배치되는 부분에서 투과율 저하 현상이 발생한다.

[0031] 도 2는 이와 같은 현상을 설명하기 위한 도면으로, 전계가 형성되었을 때의 A 영역을 도시하고 있다.

[0032] 도 2를 참조하면, A 영역의 액정 분자(20)들은 공통전극(18) 핑거부(18b)와 제2 화소전극(14b) 사이의 전계뿐만 아니라, 공통전극(18) 베이스부(18a)와 제2 화소전극(14b) 사이의 전계에 의해서도 구동하게 된다. 이때, 액정 표시패널의 상하부에 각각 부착되어 서로 직교하는 투과축을 가지고 광의 투과를 제어하는 편광판들의 투과축과 액정 분자(20)의 배열이 일치하게 되면 그 부분은 광이 투과되지 못하기 때문에 투과율이 저하되어 다른 부분에 비해 상대적으로 휘도가 낮다. B 영역도 A 영역과 마찬가지로, 다른 부분에 비해 상대적으로 낮은 휘도를 발생하게 된다.

발명이 이루고자 하는 기술적 과제

[0033] 따라서, 본 발명의 목적은 투과율 개선이 가능한 액정표시장치와 그 제조방법을 제공함에 있다.

발명의 구성 및 작용

[0034] 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시장치는 서로 교차되어 셀영역을 정의하는 게이트라인 및 데이터라인; 상기 게이트라인 및 상기 데이터라인과 접속된 박막 트랜지스터; 상기 게이트라인과 나란하게 형성되고 공통전압이 공급되는 불투명 공통라인; 상기 불투명 공통라인과 접속되고 상기 셀영역으로 신장된 다수의 투명 공통전극; 및 상기 박막 트랜지스터와 접속되고 상기 셀영역으로 신장되어 상기 셀영역 내에서 상기 투명 공통전극과 교대로 배치되는 다수의 투명 화소전극을 구비하고, 상기 투명 화소전극의 끝단은 상기 불투명 공통라인의 일측과 중첩되고, 상기 투명 공통전극의 끝단은 상기 불투명 공통라인의 타측과 중첩된다.

[0035] 상기 불투명 공통라인은 상기 셀영역의 일측에 형성되고 상기 투명 화소전극과 접속된 제1 불투명 공통라인; 및 상기 셀영역의 타측에 형성되고 상기 투명 공통전극과 접속된 제2 불투명 공통라인을 포함한다.

[0036] 본 발명의 실시 예에 따른 액정표시장치는 상기 제1 및 제2 불투명 공통라인을 연결하는 연결라인을 더 구비한다.

[0037] 본 발명의 실시 예에 따른 액정표시장치의 제조방법은 기판 상에 게이트라인, 및 상기 게이트라인과 나란한 불투명 공통라인을 형성하는 단계; 상기 게이트라인 및 상기 불투명 공통라인과 절연되게 교차되어 상기 게이트라인과 함께 셀영역을 정의하는 데이터라인을 형성하는 단계; 상기 게이트라인과 상기 데이터라인의 교차부에 박막 트랜지스터를 형성하는 단계; 상기 불투명 공통라인과 접속되고 상기 셀영역으로 신장된 다수의 투명 공통전극을 형성하는 단계; 및 상기 박막 트랜지스터와 접속되고 상기 셀영역으로 신장되어 상기 셀영역 내에서 상기 투명 공통전극과 교대로 배치되는 다수의 투명 화소전극을 형성하는 단계를 포함하고, 상기 투명 화소전극의 끝단은 상기 불투명 공통라인의 일측과 중첩되도록 형성되고, 상기 투명 공통전극의 끝단은 상기 불투명 공통라인의 타측과 중첩되도록 형성된다.

[0038] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0039] 이하, 본 발명의 바람직한 실시 예를 도 3 내지 도 5d를 참조하여 상세하게 설명하기로 한다.

[0040] 도 3은 본 발명의 실시 예에 따른 액정표시장치의 박막 트랜지스터 기판을 나타내는 도면이고, 도 4는 도 3의 I-I'선을 따라 절취한 단면도이다.

[0041] 도 3 및 도 4를 참조하면, 본 발명의 실시 예에 따른 액정표시장치의 박막 트랜지스터 기판은 서로 교차되게 형성되어 셀영역을 정의하는 게이트라인(102) 및 데이터라인(104), 그 교차부마다 형성된 박막 트랜지스터(106), 게이트라인(102)과 나란하게 형성된 제1 및 제2 불투명 공통라인(116a, 116b)을 포함하는 불투명 공통라인, 상기 제1 불투명 공통라인(116a)과 접속되고 셀영역으로 신장된 투명 공통전극(118), 및 박막 트랜지스터(106)와 접속되고 셀영역으로 신장되어 투명 공통전극(118)의 핑거부(118b)와 교대로 배치되는 화소전극(114)을 구비한

다.

- [0042] 스캔펄스가 공급되는 게이트라인(102)과 데이터신호가 공급되는 데이터라인(104)은 교차 구조로 형성되어 셀영역을 정의한다.
- [0043] 제1 및 제2 불투명 공통라인(116a, 116b)을 포함하는 불투명 공통라인은 게이트라인(102)과 동일한 불투명 금속으로 동시에 형성되고 투명 공통전극(118)과 접속되어 투명 공통전극(118)에 공통전압을 공급한다.
- [0044] 본 발명의 실시 예에 따른 액정표시장치의 박막 트랜지스터 기관은 도 3에 도시된 바와 같이 제1 및 제2 불투명 공통라인(116a, 116b)을 연결하는 연결라인(116c)을 더 구비할 수 있다. 연결라인(116c)은 데이터라인(104)과 나란하게 형성되고, 제1 및 제2 불투명 공통라인(116a, 116b)과 동일한 불투명 금속으로 형성되어 액정표시장치 구동시 셀영역의 빛샘을 차단하는 역할을 한다.
- [0045] 박막 트랜지스터(106)는 게이트라인(102)의 스캔펄스에 응답하여 데이터라인(104)의 데이터신호가 화소전극(114)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(106)는 게이트라인(102)과 접속된 게이트전극(108), 데이터라인(104)과 접속된 소스전극(110), 및 화소전극(114)과 접속된 드레인전극(112)을 구비한다. 또한, 박막 트랜지스터(106)는 게이트전극(108)의 상부에 위치하여 소스전극(110) 및 드레인전극(112) 사이에 채널을 형성하는 활성층(148), 및 소스전극(110) 및 드레인전극(112)과 활성층(148)의 오믹 접촉을 위한 오믹 접촉층(150)을 구비한다.
- [0046] 투명 공통전극(118)은 투명 금속으로 형성되고, 베이스부(118a)와 다수의 핑거부(118b)를 포함한다. 베이스부(118a)는 공통 컨택홀(117)을 통해 제1 불투명 공통라인(116a)과 접속되고 게이트라인(102)과 나란하게 형성된다. 핑거부(118b)는 베이스부(118a)에서 셀영역으로 연장되어 형성되고, 그 끝단이 게이트 절연막(144) 및 보호막(146)을 사이에 두고 제2 불투명 공통라인(116b)과 절연되게 중첩된다.
- [0047] 투명 화소전극(114)은 투명 공통전극(118)과 동일한 투명 금속으로 형성되고, 제1 투명 화소전극(114a)과 다수의 제2 투명 화소전극(114b)을 포함한다. 제2 투명 화소전극(114a)은 화소 컨택홀(113)을 통해 박막 트랜지스터(106)의 드레인전극(112)과 접속되고 게이트라인(102)과 나란하게 형성된다. 제2 투명 화소전극(114b)은 제1 투명 화소전극(114a)에서 셀영역으로 연장되어 투명 공통전극(118)의 핑거부(118b)와 교대로 배치되도록 형성되고, 그 끝단이 게이트 절연막(144) 및 보호막(146)을 사이에 두고 제1 불투명 공통라인(116a)과 절연되게 중첩된다. 투명 화소전극(114)은 불투명 공통라인과 절연되게 중첩되어 스토리지 캐패시터를 형성할 수 있다.
- [0048] 이에 따라, 박막 트랜지스터(106)를 통해 데이터신호가 공급된 제2 투명 화소전극(114b)과, 제1 불투명 공통라인(116a)을 통해 공통전압이 공급된 공통전극(118)의 핑거부(118b) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 셀영역에 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 셀영역을 투과하는 광 투과율이 달라지게 됨으로써 제조가 구현된다.
- [0049] 본 발명의 실시 예에 따른 액정표시장치의 셀영역 내에서 투명 금속으로 형성된 제2 투명 화소전극(114b)과 투명 공통전극(118)의 핑거부(118b)가 교대로 배치되는 영역은 표시영역(C)이 된다. 또한, 불투명 금속으로 형성된 제1 및 제2 불투명 공통라인(116a, 116b)과 연결라인(116c)이 배치되는 영역은 비표시영역이 된다. 즉, 본 발명의 실시 예에 따른 액정표시장치에서 제1 불투명 공통라인(116a)과 중첩되는 제2 투명 화소전극(114b)의 끝단과, 제2 불투명 공통라인(116b)과 중첩되는 투명 공통전극(118) 핑거부(118b)의 끝단은 비표시영역에 위치하게 된다. 따라서, 본 발명의 실시 예에 따른 액정표시장치에서는 종래의 액정표시장치에서 투과율 저하가 발생했던 부분이 비표시영역에 위치하게 됨으로써 투과율이 개선된다.
- [0050] 도 5a 내지 도 5d는 도 4에 도시된 박막 트랜지스터 기관의 제조과정을 나타내는 도면이다. 도 4 및 도 5a 내지 도 5d를 통해 본 발명의 실시 예에 따른 액정표시장치의 제조방법을 설명하도록 한다. 본 도면에서는 4마스크 공정을 통해 설명하지만, 본 발명의 실시 예에 따른 액정표시장치는 마스크 수에 관계없이 적용 가능하다.
- [0051] 먼저, 제1 마스크 공정을 이용하여 기관(142) 상에 게이트라인(102) 및 게이트전극(108)과 제1 및 제2 불투명 공통라인(116a, 116b)을 포함하는 불투명 게이트 금속 패턴이 도 5a에 같이 형성된다.
- [0052] 상세히 하면, 기관(142) 상에 스퍼터링 방법 등의 증착 방법을 통해 불투명 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 불투명 게이트 금속층이 패턴닝됨으로써 게이트라인(102) 및 게이트전극(108)과 제1 및 제2 불투명 공통라인(116a, 116b)을 포함하는 불투명 게이트 금속 패턴이 형성된다. 이때, 제1 및 제2 불투명 공통라인(116a, 116b) 사이를 연결하는 연결라인(116c)이 더 형성될 수 있다. 게이트 금속층으로는 Al, Mo, Cr계 등의 금속이 단일층 또는 이중층 구조로 이용된다.

- [0053] 불투명 게이트 금속 패턴이 형성된 기판(142) 상에 도 5b와 같이 게이트 절연막(144)이 도포된다. 그리고 제2 마스크 공정을 이용하여 게이트 절연막(144) 상에 활성층(148) 및 오믹 접촉층(150)을 포함하는 반도체 패턴과, 데이터라인(104), 소스전극(110), 드레인전극(112)을 포함하는 소스/드레인 금속 패턴이 형성된다.
- [0054] 상세히 하면, 게이트 금속 패턴이 형성된 기판(142) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(144), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다. 여기서, 게이트 절연막(144)의 재료로는 SiO_x, SiN_x 등의 무기 절연 물질이 이용된다. 소스/드레인 금속층으로는 Al, Mo, Cr계 등의 금속이 단일층 또는 이중층 구조로 이용된다. 그 다음, 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 단차를 갖는 포토레지스트 패턴을 형성하게 된다. 단차를 갖는 포토레지스트 패턴을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터라인(104), 소스전극(110), 그 소스전극(110)과 일체화된 드레인전극(112)을 포함하는 소스/드레인 금속 패턴이 형성된다. 그리고, 동일한 포토레지스트 패턴을 이용한 건식 식각 공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(150)과 활성층(148)이 형성된다. 이어서, 포토레지스트 패턴을 애싱하고 노출된 소스/드레인 금속 패턴을 오믹 접촉층(150)과 함께 식각함으로써 소스전극(110) 및 드레인전극(112)이 분리되고, 스트립 공정을 통해 소스/드레인 금속 패턴 위에 남아 있던 포토레지스트 패턴이 제거된다.
- [0055] 소스/드레인 금속 패턴이 형성된 게이트 절연막(144) 상에 제3 마스크 공정을 이용하여 화소 컨택홀(113) 및 공통 컨택홀(117)을 포함하는 보호막(146)이 도 5c와 같이 형성된다.
- [0056] 상세히 하면, 소스/드레인 금속 패턴이 형성된 게이트 절연막(144) 상에 PECVD 등의 증착 방법으로 보호막(146)이 전면 형성된다. 이어서, 보호막(146)이 제3 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 화소 컨택홀(113) 및 공통 컨택홀(117)이 형성된다. 화소 컨택홀(113)은 보호막(146)을 관통하여 드레인전극(112)을 노출시키고, 공통 컨택홀(117)은 보호막(146) 및 게이트 절연막(144)을 관통하여 제1 불투명 공통라인(116a)을 노출시킨다.
- [0057] 여기서, 보호막(146)의 재료로는 게이트 절연막(144)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.
- [0058] 보호막(146) 상에 투명 공통전극(118)과 투명 화소전극(114)을 포함하는 투명 도전 패턴이 도 5d와 같이 형성된다.
- [0059] 상세히 하면, 보호막(146) 상에 스퍼터링 등의 증착 방법으로 투명 도전막이 도포된다. 이어서 제4 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 투명 도전막이 패터닝됨으로써 투명 공통전극(118)과 투명 화소전극(114)을 포함하는 투명 도전 패턴이 형성된다. 투명 공통전극(118)의 베이스부(118a)는 공통 컨택홀(117)을 통해 노출된 제1 불투명 공통라인(116a)에 접속되고, 투명 화소전극(114)의 제1 화소전극(114a)은 화소 컨택홀(113)을 통해 노출된 드레인전극(112)과 접속된다. 투명 공통전극(118)의 핑거부(118b) 끝단은 제2 불투명 공통라인(116b)에 중첩되고, 투명 화소전극(114)의 제2 화소전극(114b) 끝단은 제1 불투명 공통라인(116a)에 중첩되도록 형성된다. 여기서, 투명 도전막의 재료로는 ITO(Indium Tin Oxide) 등이 이용된다.
- [0060] 이와 같은 과정을 거쳐 형성된 박막 트랜지스터 기판은 컬러필터 및 블랙 매트릭스 등이 형성된 컬러필터 기판과 합착되어 본 발명의 실시 예에 따른 액정표시장치의 액정표시패널을 형성한다.

발명의 효과

- [0061] 상술한 바와 같이, 본 발명의 실시 예에 따른 액정표시장치와 그 제조방법은 광의 투과율을 저하시키는 화소전극과 공통전극 각각의 끝단을 불투명 공통라인과 중첩시켜 비표시영역에 형성함으로써 광의 투과율을 개선할 수 있다.
- [0062] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

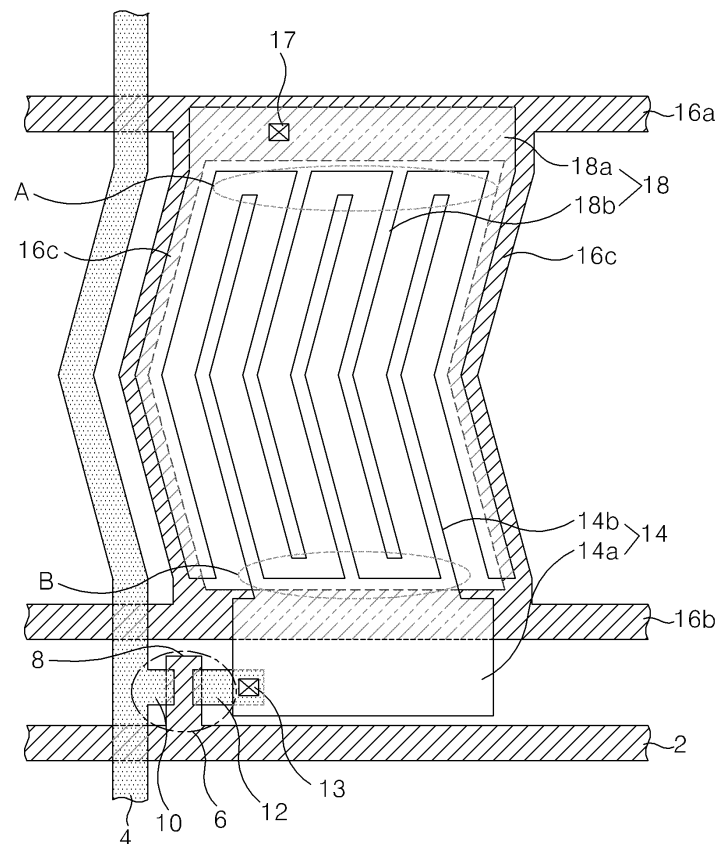
도면의 간단한 설명

- [0001] 도 1은 종래의 액정표시장치를 나타내는 도면.

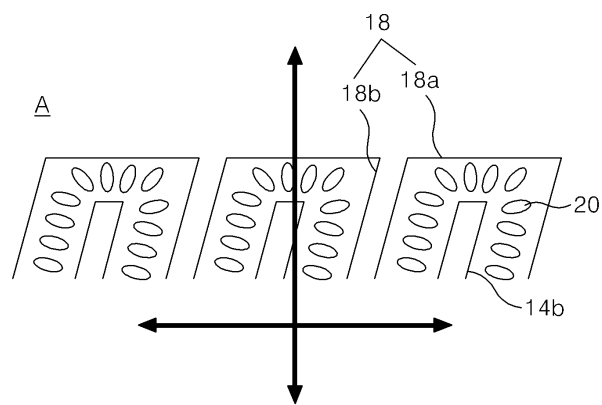
[0002]	도 2는 도 1의 A 영역을 나타내는 도면.	
[0003]	도 3은 본 발명의 실시 예에 따른 액정표시장치를 나타내는 도면.	
[0004]	도 4는 도 3의 I-I'선을 절취한 단면도.	
[0005]	도 5a 내지 도 5b는 본 발명의 실시 예에 따른 액정표시장치의 제조방법을 나타내는 도면.	
[0006]	<도면의 주요 부분에 대한 부호의 간단한 설명>	
[0007]	2, 102 : 게이트라인	4, 104 : 데이터라인
[0008]	6, 106 : 박막 트랜지스터	8, 108 : 게이트전극
[0009]	10, 110 : 소스전극	12, 112 : 드레인전극
[0010]	14, 114 : 화소전극	16a, 16b, 116a, 116b : 공통라인
[0011]	18, 118 : 공통전극	20 : 액정 분자
[0012]	113 : 화소 콘택홀	117 : 공통 콘택홀
[0013]	142 : 기관	144 : 게이트 절연막
[0014]	146 : 보호막	148 : 활성층
[0015]	150 : 오믹 접촉층	

도면

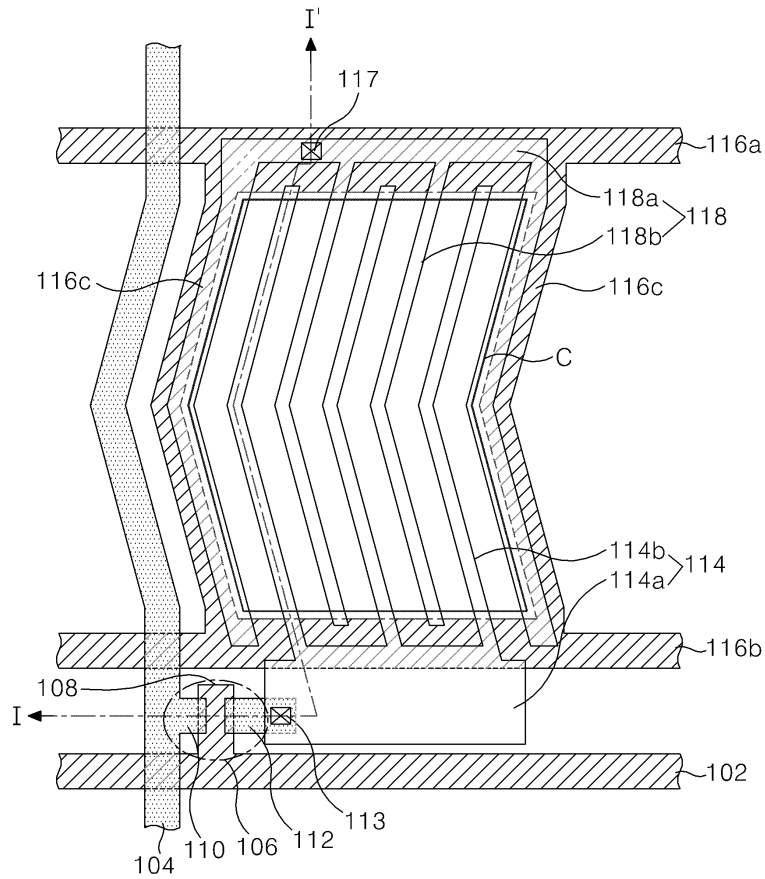
도면1



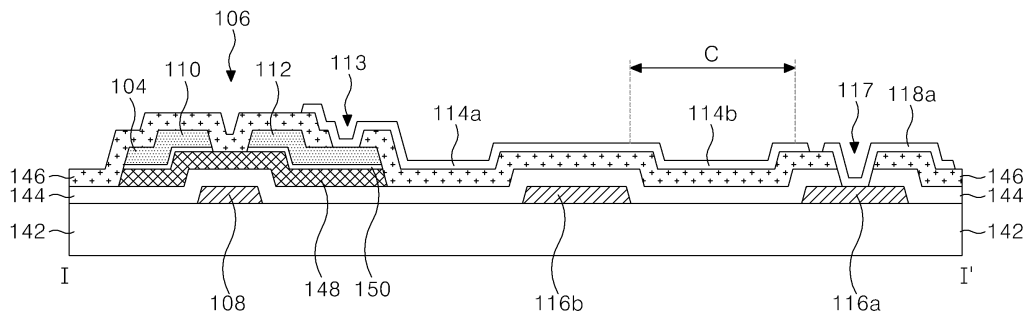
도면2



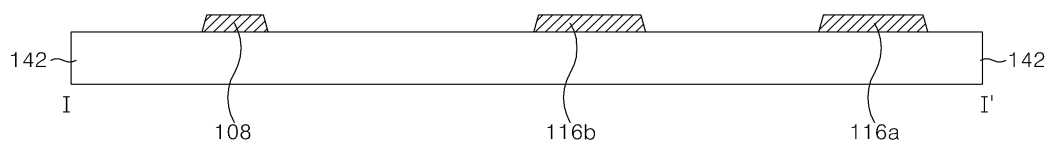
도면3



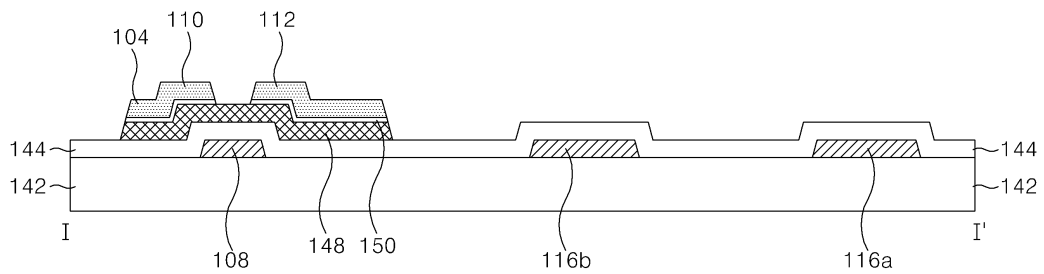
도면4



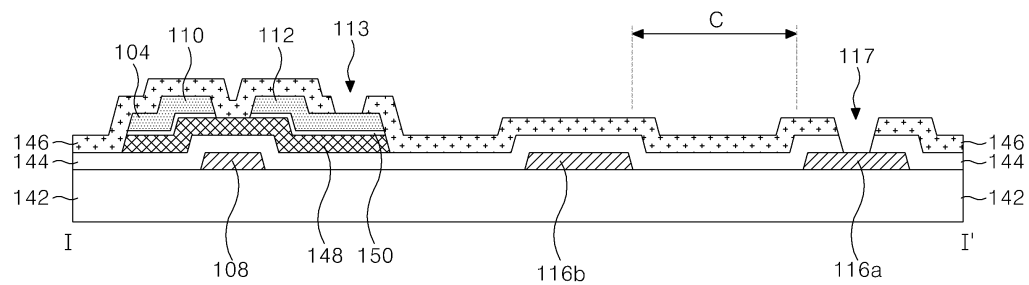
도면5a



도면5b



도면5c



도면5d

