



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월12일
(11) 등록번호 10-1232477
(24) 등록일자 2013년02월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) H03K 19/0175 (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2005-0133606
(22) 출원일자 2005년12월29일
심사청구일자 2010년12월24일
(65) 공개번호 10-2007-0070757
(43) 공개일자 2007년07월04일
(56) 선행기술조사문헌
KR1019990063442 A
KR1019990043124 A
KR1020060104890 A
전체 청구항 수 : 총 12 항

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유재성
서울특별시 영등포구 여의대방로43라길 9, 102동
2302호 (신길동, 삼환아파트)
유준석
서울특별시 서초구 명달로15길 24, 로얄카운티빌
라 302 (서초동)
(74) 대리인
서교준

심사관 : 박남현

(54) 발명의 명칭 레벨 쉬프터 및 이를 이용한 액정표시장치

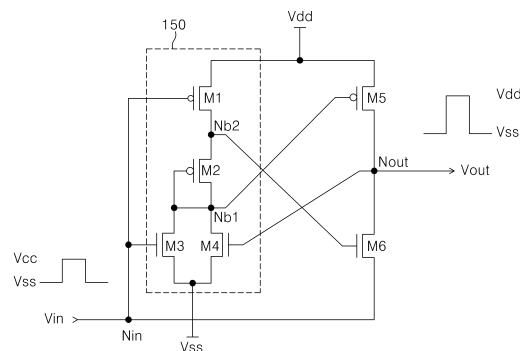
(57) 요약

본 발명의 목적은 소자 특성 변화에 따른 오동작을 예방할 수 있는 레벨 쉬프터와 이를 이용한 액정표시장치에 관한 것이다.

이 레벨 쉬프터는 제1 바이어스 노드 상의 전압에 응답하여 출력 전압으로 고전위 전압을 공급하기 위한 풀-업 트랜지스터와; 제2 바이어스 노드 상의 전압에 응답하여 상기 출력 전압으로 저전위 전압을 공급하기 위한 풀-다운 트랜지스터와; 입력 전압, 상기 출력 전압, 상기 고전위 전압 및 상기 저전위 전압을 공급받아 상기 입력 전압 및 상기 출력 전압의 논리치와 상반되는 바이어스 전압들을 상기 제1 및 제2 바이어스 노드에 공급하는 바이어스 전압 발생부를 구비하고, 상기 입력 전압으로 상기 저전위 전압이 공급되면 상기 저전위 전압을 상기 출력 전압으로 출력하고, 상기 입력 전압으로 상기 고전위 전압과 다른 전위를 가지는 제2 고전위 전압이 공급되면 상기 고전위 전압을 상기 출력 전압으로 출력한다.

대표도 - 도2

110



특허청구의 범위

청구항 1

제1 바이어스 노드 상의 전압에 응답하여 출력 전압으로 고전위 전압을 공급하기 위한 풀-업 트랜지스터와;

제2 바이어스 노드 상의 전압에 응답하여 상기 출력 전압으로 저전위 전압을 공급하기 위한 풀-다운 트랜지스터와;

입력 전압, 상기 출력 전압, 상기 고전위 전압 및 상기 저전위 전압을 공급받아 상기 입력 전압 및 상기 출력 전압의 논리치와 상반되는 바이어스 전압들을 상기 제1 및 제2 바이어스 노드에 공급하는 바이어스 전압 발생부를 구비하고,

상기 입력 전압으로 상기 저전위 전압이 공급되면 상기 저전위 전압을 상기 출력 전압으로 출력하고,

상기 입력 전압으로 상기 고전위 전압과 다른 전위를 가지는 제2 고전위 전압이 공급되면 상기 고전위 전압을 상기 출력 전압으로 출력하는 것을 특징으로 하는 레벨 쉬프터.

청구항 2

제 1 항에 있어서,

상기 풀-업 트랜지스터는 p형 트랜지스터로 형성되고,

상기 풀-다운 트랜지스터는 n형 트랜지스터로 형성되는 것을 특징으로 하는 레벨 쉬프터.

청구항 3

제 2 항에 있어서,

상기 풀-업 트랜지스터는 상기 제1 바이어스 전압이 공급되는 제1 바이어스 노드에 게이트단자, 상기 고전위 전압이 공급되는 고전위 단자에 드레인단자, 그리고 상기 출력 전압이 출력되는 출력 노드에 소스단자가 접속되고,

상기 풀-다운 트랜지스터는 상기 제2 바이어스 전압이 공급되는 제2 바이어스 노드에 게이트단자, 상기 출력 노드에 드레인단자, 상기 입력 전압이 공급되는 입력 노드에 소스단자가 접속되는 것을 특징으로 하는 레벨 쉬프터.

청구항 4

제 3 항에 있어서,

상기 바이어스 전압 발생부는,

직렬로 연결된 제1 및 제2 p형 트랜지스터와 병렬로 연결된 제1 및 제2 n형 트랜지스터를 포함하고,

상기 제2 p형 트랜지스터는 상기 제1 및 제2 n형 트랜지스터와 직렬로 연결되는 것을 특징으로 하는 레벨 쉬프터.

청구항 5

제 4 항에 있어서,

상기 제1 p형 트랜지스터는 상기 입력 노드에 게이트단자, 상기 고전위 단자에 드레인단자, 그리고 상기 제2 바이어스 노드에 소스단자가 접속되고,

상기 제2 p형 트랜지스터는 상기 제2 바이어스 노드에 드레인단자, 그리고 상기 제1 바이어스 노드에 게이트단자 및 소스단자가 접속되고,

상기 제1 n형 트랜지스터는 상기 입력 노드에 게이트단자, 상기 제1 바이어스 노드에 드레인단자, 그리고 상기 저전위 전압이 공급되는 저전위 단자에 소스단자가 접속되고,

상기 제2 n형 트랜지스터는 상기 출력 노드에 게이트단자, 상기 제1 바이어스 노드에 드레인단자, 그리고 상기

저전위 단자에 소스단자가 접속되는 것을 특징으로 하는 레벨 쉬프터.

청구항 6

액정화소어레이들과 상기 액정화소어레이들을 구동하기 위한 구동회로들이 형성된 패널과;

상기 패널의 구동회로에 필요한 구동신호를 발생하는 외부 구동회로와;

상기 외부 구동회로의 전압을 상기 패널 내의 구동회로의 동작에 필요한 전압레벨로 변환하여 변환된 상기 외부 구동회로의 전압을 상기 패널 내의 구동회로에 공급하는 레벨 쉬프터를 구비하고;

상기 레벨 쉬프터는 제1 바이어스 전압에 응답하여 출력 전압에 고전위 전압을 공급하기 위한 풀-업 트랜지스터와, 제2 바이어스 전압에 응답하여 상기 출력 전압에 저전위 전압을 공급하기 위한 풀-다운 트랜지스터와, 입력 전압, 상기 출력 전압, 상기 고전위 전압, 상기 저전위 전압을 공급받고, 상기 바이어스 전압들의 논리치를 상기 입력 전압 및 상기 출력 전압의 논리치와 상반되게 제어하는 바이어스 전압 발생부를 포함하는 것을 특징으로 하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 풀-업 트랜지스터는 p형 트랜지스터로 형성되고,

상기 풀-다운 트랜지스터는 n형 트랜지스터로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 풀-업 트랜지스터는 상기 제1 바이어스 전압이 공급되는 제1 바이어스 노드에 게이트단자, 상기 제2 고전위 전압이 공급되는 고전위 단자에 드레인단자, 그리고 상기 출력 전압이 출력되는 출력 노드에 소스단자가 접속되고,

상기 풀-다운 트랜지스터는 상기 제2 바이어스 전압이 공급되는 제2 바이어스 노드에 게이트단자, 상기 출력 노드에 드레인단자, 상기 입력 전압이 공급되는 입력 노드에 소스단자가 접속되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 바이어스 전압 발생부는,

직렬로 연결된 제1 및 제2 p형 트랜지스터와 병렬로 연결된 제1 및 제2 n형 트랜지스터를 포함하고,

상기 제2 p형 트랜지스터는 상기 제1 및 제2 n형 트랜지스터와 직렬로 연결되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제1 p형 트랜지스터는 상기 입력 노드에 게이트단자, 상기 고전위 단자에 드레인단자, 그리고 상기 제2 바이어스 노드에 소스단자가 접속되고,

상기 제2 p형 트랜지스터는 상기 제2 바이어스 노드에 드레인단자, 그리고 상기 제1 바이어스 노드에 게이트단자 및 소스단자가 접속되고,

상기 제1 n형 트랜지스터는 상기 입력 노드에 게이트단자, 상기 제1 바이어스 노드에 드레인단자, 그리고 상기 저전위 전압이 공급되는 저전위 단자에 소스단자가 접속되고,

상기 제2 n형 트랜지스터는 상기 출력 노드에 게이트단자, 상기 제1 바이어스 노드에 드레인단자, 그리고 상기 저전위 단자에 소스단자가 접속되는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 레벨 쉬프터는,

게이트라인들, 데이터라인들 및 박막트랜지스터들이 형성된 액정패널 상에 직접 실장되어 형성되는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 트랜지스터들은 폴리-실리콘으로 형성되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 액정표시장치에 관한 것으로 특히, 고속 구동이 가능한 레벨 쉬프터와 이를 이용한 액정표시장치에 관한 것이다.
- [0012] 액정표시장치는 전자제품의 경박단소 추세를 만족할 수 있고 양산성이 향상되고 있어 많은 응용분야에서 음극선관을 빠른 속도로 대체하고 있다.
- [0013] 특히, 박막트랜지스터(Thin Film Transistor : 이하, "TFT"라 한다)를 이용하여 액정셀을 구동하는 액티브 매트릭스 타입의 액정표시장치는 화질이 우수하고 소비전력이 낮은 장점이 있으며, 최근의 양산기술 확보와 연구 개발의 성과로 대형화와 고해상도화로 급속히 발전하고 있다.
- [0014] 한편, 액정표시장치에 이용되는 박막트랜지스터(TFT)는 반도체층으로 아몰퍼스-실리콘(Amorphous-Silicon)과 폴리-실리콘(Poly-Silicon) 중 어느 것을 사용하는가에 따라 아몰퍼스-실리콘형과 폴리-실리콘형으로 구분된다. 아몰퍼스-실리콘형 박막트랜지스터는 아몰퍼스-실리콘막이 비교적 균일성이 좋고 특성이 안정된 장점이 있으나 낮은 전하 이동도로 인해 화소밀도를 향상시키기에 어려운 단점이 있다. 반면에, 높은 전하 이동도를 가지는 폴리-실리콘형 박막트랜지스터는 화소밀도 향상에 유리하며, 이에 따라 주변 구동회로들을 액정표시장치 상에 내장하여 실장하는 시스템 온 패널(System On Panel : SOP) 타입의 액정표시장치 제작에 유리하여 제조단가를 낮출 수 있는 장점을 가지고 있다. 이에 따라, 최근에는 폴리-실리콘형 박막트랜지스터를 이용한 시스템 온 패널 타입의 액정표시장치가 각광받고 있다.
- [0015] 폴리-실리콘형 박막트랜지스터를 이용한 시스템 온 패널 타입의 액정표시장치에는 액정셀들이 매트릭스 형태로 배열되는 화소어레이와 함께 화소어레이를 구동하기 위한 구동회로들이 액정패널의 기판 상에 직접 실장된다. 이 구동회로들은 가요성 인쇄 회로(Flexible Printed Circuit) 등으로 액정패널과 접속된 시스템으로부터 제어 신호 및 비디오신호를 공급받아 화소어레이를 구동한다. 이 액정표시장치에는 그래픽카드와 액정표시장치 사이에서 시스템으로부터의 제어신호 및 비디오신호를 구동회로들에 적합한 전압레벨로 전압스윙폭을 변환하기 위한 레벨 쉬프터가 형성된다.
- [0016] 그런데, 기존의 레벨 쉬프터는 고속의 신호에 대한 레벨 쉬프팅(Level Shifting)이 어려워 높은 구동주파수가 요구되는 고해상도의 패널에 그 적용이 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0017] 따라서, 본 발명의 목적은 고속 구동이 가능한 레벨 쉬프터와 이를 이용한 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

- [0018] 상기 목적을 달성하기 위하여 본 발명의 실시예에 따른 레벨 쉬프터는 제1 바이어스 노드 상의 전압에 응답하여 출력 전압으로 고전위 전압을 공급하기 위한 풀-업 트랜지스터와; 제2 바이어스 노드 상의 전압에 응답하여 상기 출력 전압으로 저전위 전압을 공급하기 위한 풀-다운 트랜지스터와; 입력 전압, 상기 출력 전압, 상기 고전위 전압 및 상기 저전위 전압을 공급받아 상기 입력 전압 및 상기 출력 전압의 논리치와 상반되는 바이어스 전압들을 상기 제1 및 제2 바이어스 노드에 공급하는 바이어스 전압 발생부를 구비하고, 상기 입력 전압으로 상기 저전위 전압이 공급되면 상기 저전위 전압을 상기 출력 전압으로 출력하고, 상기 입력 전압으로 상기 고전위 전압과 다른 전위를 가지는 제2 고전위 전압이 공급되면 상기 고전위 전압을 상기 출력 전압으로 출력한다.
- [0019] 상기 풀-업 트랜지스터는 p형 트랜지스터로 형성되고, 상기 풀-다운 트랜지스터는 n형 트랜지스터로 형성된다.
- [0020] 상기 풀-업 트랜지스터는 상기 제1 바이어스 전압이 공급되는 제1 바이어스 노드에 게이트단자, 상기 고전위 전압이 공급되는 고전위 단자에 드레인단자, 그리고 상기 출력 전압이 출력되는 출력 노드에 소스단자가 접속되고, 상기 풀-다운 트랜지스터는 상기 제2 바이어스 전압이 공급되는 제2 바이어스 노드에 게이트단자, 상기 출력 노드에 드레인단자, 상기 입력 전압이 공급되는 입력 노드에 소스단자가 접속된다.
- [0021] 상기 바이어스 전압 발생부는, 직렬로 연결된 제1 및 제2 p형 트랜지스터와 병렬로 연결된 제1 및 제2 n형 트랜지스터를 포함하고, 상기 제2 p형 트랜지스터는 상기 제1 및 제2 n형 트랜지스터와 직렬로 연결된다.
- [0022] 상기 제1 p형 트랜지스터는 상기 입력 노드에 게이트단자, 상기 고전위 단자에 드레인단자, 그리고 상기 제2 바이어스 노드에 소스단자가 접속되고, 상기 제2 p형 트랜지스터는 상기 제2 바이어스 노드에 드레인단자, 그리고 상기 제1 바이어스 노드에 게이트단자 및 소스단자가 접속되고, 상기 제1 n형 트랜지스터는 상기 입력 노드에 게이트단자, 상기 제1 바이어스 노드에 드레인단자, 그리고 상기 저전위 전압이 공급되는 저전위 단자에 소스단자가 접속되고, 상기 제2 n형 트랜지스터는 상기 출력 노드에 게이트단자, 상기 제1 바이어스 노드에 드레인단자, 그리고 상기 저전위 단자에 소스단자가 접속된다.
- [0023] 본 발명의 실시예에 따른 액정표시장치는 액정화소어레이들과 상기 액정화소어레이들을 구동하기 위한 구동회로들이 형성된 패널과; 상기 패널의 구동회로에 필요한 구동신호를 발생하는 외부 구동회로와; 상기 외부 구동회로의 전압을 상기 패널 내의 구동회로의 동작에 필요한 전압레벨로 변환하여 변환된 상기 외부 구동회로의 전압을 상기 패널 내의 구동회로에 공급하는 레벨 쉬프터를 구비하고; 상기 레벨 쉬프터는 제1 바이어스 전압에 응답하여 출력 전압에 고전위 전압을 공급하기 위한 풀-업 트랜지스터와, 제2 바이어스 전압에 응답하여 상기 출력 전압에 저전위 전압을 공급하기 위한 풀-다운 트랜지스터와, 입력 전압, 상기 출력 전압, 상기 고전위 전압, 상기 저전위 전압을 공급받고, 상기 바이어스 전압들의 논리치를 상기 입력 전압 및 상기 출력 전압의 논리치와 상반되게 제어하는 바이어스 전압 발생부를 포함한다.
- [0024] 상기 레벨 쉬프터는 상기 게이트라인들, 상기 데이터라인들 및 상기 박막트랜지스터들과 동일 기판 상에 형성된다.
- [0025] 상기 풀-업 트랜지스터는 p형 트랜지스터로 형성되고, 상기 풀-다운 트랜지스터는 n형 트랜지스터로 형성된다.
- [0026] 상기 풀-업 트랜지스터는 상기 제1 바이어스 전압이 공급되는 제1 바이어스 노드에 게이트단자, 상기 고전위 전압이 공급되는 고전위 단자에 드레인단자, 그리고 상기 출력 전압이 출력되는 출력 노드에 소스단자가 접속되고, 상기 풀-다운 트랜지스터는 상기 제2 바이어스 전압이 공급되는 제2 바이어스 노드에 게이트단자, 상기 출력 노드에 드레인단자, 상기 입력 전압이 공급되는 입력 노드에 소스단자가 접속된다.
- [0027] 상기 바이어스 전압 발생부는, 직렬로 연결된 제1 및 제2 p형 트랜지스터와 병렬로 연결된 제1 및 제2 n형 트랜지스터를 포함하고, 상기 제2 p형 트랜지스터는 상기 제1 및 제2 n형 트랜지스터와 직렬로 연결된다.
- [0028] 상기 제1 p형 트랜지스터는 상기 입력 노드에 게이트단자, 상기 고전위 단자에 드레인단자, 그리고 상기 제2 바이어스 노드에 소스단자가 접속되고, 상기 제2 p형 트랜지스터는 상기 제2 바이어스 노드에 드레인단자, 그리고 상기 제1 바이어스 노드에 게이트단자 및 소스단자가 접속되고, 상기 제1 n형 트랜지스터는 상기 입력 노드에 게이트단자, 상기 제1 바이어스 노드에 드레인단자, 그리고 상기 저전위 전압이 공급되는 저전위 단자에 소스단자가 접속되고, 상기 제2 n형 트랜지스터는 상기 출력 노드에 게이트단자, 상기 제1 바이어스 노드에 드레인단자, 그리고 상기 저전위 단자에 소스단자가 접속된다.
- [0029] 상기 트랜지스터들은 폴리-실리콘으로 형성된다.

- [0030] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통해 명백하게 드러나게 될 것이다.
- [0031] 이하, 도 1 내지 도 3을 참조하여 본 발명의 실시예에 따른 레벨 쉬프터 및 이를 이용한 액정표시장치에 대하여 설명하기로 한다.
- [0032] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정화소어레이(105) 및 액정화소어레이(105)를 구동하기 위한 구동회로(101)가 형성된 액정패널(103)과, 액정패널(103) 내의 구동회로(101)에 필요한 구동신호를 발생하는 외부 구동회로(115)와, 외부 구동회로(115)으로부터의 구동신호를 액정패널(103) 내의 구동회로(101)의 동작에 필요한 전압레벨로 변환하여 변환된 구동신호를 액정패널(103) 내의 구동회로(101)에 공급하는 레벨 쉬프터(110)를 구비한다.
- [0033] 액정패널(103)의 화소어레이(105)에는 다수의 데이터라인들과 다수의 게이트라인들이 교차하고, 그 교차부마다 액정셀을 구동하기 위한 박막트랜지스터가 형성된다. 박막트랜지스터는 게이트라인으로부터의 스캔신호에 응답하여 데이터라인을 경유하여 공급되는 화소전압을 액정셀에 공급한다.
- [0034] 액정패널(103)의 내의 구동회로(101)는 게이트라인들에 스캔신호를 공급하기 위한 게이트 구동회로, 디지털 비디오신호를 아날로그 비디오신호(화소전압)로 변환하여 데이터라인들에 공급하기 위한 데이터 구동회로, 게이트 구동회로와 데이터 구동회로를 제어함과 아울러 디지털 비디오신호를 클럭신호에 맞춰 데이터 구동회로에 공급하는 타이밍 컨트롤러 중 적어도 어느 하나를 포함한다.
- [0035] 외부 구동회로(115)는 액정패널(103) 내의 구동회로(101)가 액정화소어레이(104)를 구동하는데 필요한 구동신호, 즉, 제어신호 및 비디오신호를 발생한다.
- [0036] 레벨 쉬프터(110)는 외부 구동회로(115)으로부터의 구동신호를 액정패널(103) 내의 구동회로(101)의 동작에 필요한 전압레벨로 변환하여 변환된 구동신호를 액정패널(103) 내의 구동회로(101)에 공급한다. 이 레벨 쉬프터(110)는 액정패널(103) 내의 구동회로(101)와 함께 액정패널(103)의 기관상에 직접 실장되어 액정패널(103)에 내장될 수 있다. 레벨 쉬프터(110)는 액정패널(103)에 내장되는 경우 폴리-실리콘을 이용한 박막트랜지스터들로 구성될 수 있다.
- [0037] 도 2 및 도 3은 본 발명의 실시예에 따른 레벨 쉬프터(110)의 회로구성과 주요 노드 상의 전압특성을 나타낸다.
- [0038] 도 2 및 도 3을 참조하면 본 발명의 실시예에 따른 레벨 쉬프터(110)는 제1 바이어스 노드(Nb1) 상의 전압에 응답하여 출력 전압(Vout)으로 고전위 전압(Vdd)을 공급하기 위한 풀-업 트랜지스터(M5)와, 제2 바이어스 노드(Nb2) 상의 전압에 응답하여 출력 전압(Vout)으로 저전위 전압(Vss)을 공급하기 위한 풀-다운 트랜지스터(M6)와, 입력 전압(Vin), 출력 전압(Vout), 고전위 전압(Vdd) 및 저전위 전압(Vss)을 공급받아 입력 전압(Vin) 및 출력 전압(Vout)의 논리치와 상반되는 바이어스 전압들을 제1 및 제2 바이어스 노드(Nb1, Nb2)에 공급하는 바이어스 전압 발생부(150)를 구비하고, 입력 전압(Vin)으로 저전위 전압(Vss)이 공급되면 저전위 전압(Vss)을 출력 전압(Vout)으로 출력하고, 입력 전압(Vin)으로 고전위 전압(Vdd)과 다른 전위를 가지는 제2 고전위 전압(Vcc)이 공급되면 고전위 전압(Vdd)을 출력 전압(Vout)으로 출력한다.
- [0039] p형 트랜지스터로 형성되는 풀-업 트랜지스터(M5)는 제1 바이어스 전압이 공급되는 제1 바이어스 노드(Nb1)에 게이트단자, 고전위 전압(Vdd)이 공급되는 고전위 단자에 드레인단자, 출력 노드(Nout)에 소스단자가 접속된다. 풀-업 트랜지스터(M5)는 제1 바이어스 노드(Nb1) 상의 전압에 응답하여 턴-온되면 출력 노드(Nout) 상의 전압을 고전위 전압(Vdd)으로 충전시킨다.
- [0040] n형 트랜지스터로 형성되는 풀-다운 트랜지스터(M6)는 제2 바이어스 전압이 공급되는 제2 바이어스 노드(Nb2)에 게이트단자, 출력 노드(Nout)에 드레인단자, 입력 전압(Vin)이 공급되는 입력 노드(Nin)에 소스단자가 접속된다. 입력 전압(Vin)으로 저전위 전압(Vss)이 공급될 때, 풀-다운 트랜지스터(M6)는 제2 바이어스 노드(Nb2) 상의 전압에 응답하여 턴-온되면 출력 노드(Nout) 상의 전압을 저전위 전압(Vss)으로 방전시킨다.
- [0041] 풀-업 트랜지스터(M5) 및 풀-다운 트랜지스터(M6)에 의해 출력 노드(Nout) 상에 충전전되는 고전위 전압(Vdd)과 저전위 전압(Vss)은 출력전압(Vout)으로 출력된다.
- [0042] 한편, 위에서 설명한 바와 같이 본 발명의 실시예에 따른 레벨 쉬프터(110)는 입력전압(Vin)이 출력전압(Vout)을 풀-다운 시키는 풀-다운 트랜지스터(M6)의 소스단자에 직접 공급된다. 즉, 풀-다운 트랜지스터(M6)를 턴-온시키기 위한 제2 바이어스 노드(Nb2) 상의 전압은 입력전압(Vin)에 따라 달라지게 된다. 입력전압(Vin)으로 저전위 전압(Vss)이 공급되는 경우 풀-다운 트랜지스터(M6)를 턴-온시키기 위한 제2 바이어스 노드(Nb2) 상의 전

압은 '풀-다운 트랜지스터(M6)의 문턱전압(V_{th})' 이상이 되어야 하며, 입력전압(V_{in})으로 제2 고전위 전압(V_{cc})이 공급되는 경우 풀-다운 트랜지스터(M6)를 턴-오프 시키기 위한 제2 바이어스 노드(Nb2) 상의 전압은 '제2 고전위 전압(V_{cc}) + 풀-다운 트랜지스터(M6)의 문턱전압(V_{th})' 미만이어야 한다. 즉, 턴-온 상태에서 턴-오프 상태로 전환 시 전압의 변동 폭은 '제1 고전위 전압(V_{dd}) - 제2 고전위 전압(V_{cc}) - 풀-다운 트랜지스터(M6)의 문턱전압(V_{th})'가 되어 기존에 구조에서 요구되는 변동 폭인 '제1 고전위 전압(V_{dd}) - 풀-다운 트랜지스터(M6)의 문턱전압(V_{th})'에 비해 적은 전압 변동폭을 가진다. 또한, 풀-다운 트랜지스터(M6)가 턴-온 상태가 되기 위해선 제2 바이어스 노드(Nb2) 상의 전압이 풀-다운 트랜지스터(M6)의 문턱전압(V_{th}) 이상이 되어야 하는데 턴-오프 상태에서 제2 바이어스 노드(Nb2) 상의 전압이 풀-다운 트랜지스터(M6)의 문턱전압(V_{th}) 이상을 유지하고 있으므로, 풀-다운 트랜지스터(M6)는 입력전압(V_{in})으로 저전위 전압(V_{ss})이 공급되는 순간에 턴-온되게 된다. 즉, 풀-다운 트랜지스터(M6)의 턴-온은 제2 바이어스 노드(Nb2) 상의 전압의 변화와 상관 없이 소스단자 상의 전압이 저전위 전압(V_{ss})으로 천이 되는 순간부터 이루어지며, 턴-오프는 적은 게이트단자 전압 변동으로 이루어지므로 레벨 쉬프터(110)의 동작이 빨라지게 된다.

[0043] 바이어스 전압 발생부(150)는 직렬로 연결된 제1 및 제2 p형 트랜지스터(M1, M2)와 병렬로 연결된 제1 및 제2 n형 트랜지스터(M3, M4)를 포함하고, 제2 p형 트랜지스터(M2)는 제1 및 제2 n형 트랜지스터(M3, M4)와 직렬로 연결된다.

[0044] 제1 p형 트랜지스터(M1)는 입력 노드(N_{in})에 게이트단자, 고전위 단자에 드레인단자, 그리고 제2 바이어스 노드(Nb2)에 소스단자가 접속된다.

[0045] 제2 p형 트랜지스터(M2)는 제2 바이어스 노드(Nb2)에 드레인단자, 그리고 제1 바이어스 노드(Nb1)에 게이트단자 및 소스단자가 접속된다. 이 제2 p형 트랜지스터(M2)는 게이트단자와 소스단자가 단락되어 다이오드로 동작한다. 즉, 소스-소스단자 간에 문턱전압 이상의 전압이 순바이어스되면 드레인단자에서 소스단자로 전류가 흐르게 된다.

[0046] 제1 n형 트랜지스터(M3)는 입력 노드(N_{in})에 게이트단자, 제1 바이어스 노드(Nb1)에 드레인단자, 그리고 저전위 전압(V_{ss})이 공급되는 저전위 단자에 소스단자가 접속된다.

[0047] 제2 n형 트랜지스터(M4)는 출력 노드(N_{out})에 게이트단자, 제1 바이어스 노드(Nb1)에 드레인단자, 그리고 저전위 단자에 소스단자가 접속된다. 게이트단자가 출력 노드(N_{out})에 접속된 제2 n형 트랜지스터(M4)는 피드-백(Feed-back)되는 출력전압(V_{out})에 응답하여 동작한다. 이와 같이, 피드-백(Feed-back)되는 출력전압(V_{out})에 응답하여 동작하는 제2 n형 트랜지스터(M4)는 제1 바이어스 노드(Nb1)의 전압을 빠르게 떨어뜨림으로써 풀-업 트랜지스터(M5)의 턴-온을 빠르게 한다. 또한, 제1 바이어스 노드(Nb1)의 전압이 빠르게 떨어지면, 제2 바이어스 노드(Nb2)의 전압도 빠르게 떨어져 풀-다운 트랜지스터(M6)의 턴-오프를 빠르게 한다.

[0048] 이하, 본 발명의 실시예에 따른 레벨 쉬프터의 동작에 대하여 상세히 설명하기로 한다.

[0049] 우선, 입력전압(V_{in})으로 저전위 전압(V_{ss})이 공급되면, 제1 p형 트랜지스터(M1)가 턴-온되고, 제1 n형 트랜지스터(M3)가 턴-오프된다. 제1 p형 트랜지스터(M1)가 턴-온되면, 고전위 전압(V_{dd})이 제2 바이어스 노드(Nb2)에 공급되어 풀-다운 트랜지스터(M6)를 턴-온시켜 출력노드(N_{out})의 전압을 저전위 전압(V_{ss})으로 방전시킨다. 그리고, 제2 바이어스 노드(Nb2)에 공급된 고전위 전압(V_{dd})은 다이오드로 동작하는 제2 p형 트랜지스터(M2)를 경유하여 제1 바이어스 노드(Nb1)에 공급되어 풀-업 트랜지스터(M5)를 턴-오프시킨다. 이 때, 제1 바이어스 노드(Nb1) 상의 전압은 제2 바이어스 노드(Nb2) 상의 전압보다 제2 p형 트랜지스터(M2)의 문턱전압만큼 감소된 전압이다.

[0050] 그리고, 입력전압(V_{in})으로 제2 고전위 전압(V_{cc})이 공급되는 경우 제1 및 제2 바이어스 노드(Nb1, Nb2)의 전압은 제1 및 제2 p형 트랜지스터(M1, M2)와 제1 및 제2 n형 트랜지스터(M3, M4)의 전류 구동 용량에 의해 결정된다. 입력전압(V_{in})으로 제2 고전위 전압(V_{cc})이 공급되면, 제1 p형 트랜지스터(M1)가 턴-오프되고, 제1 n형 트랜지스터(M3)가 턴-온된다. 제1 n형 트랜지스터(M3)가 턴-온되면, 제1 바이어스 노드(Nb1) 상의 전압이 저전위 전압(V_{ss})으로 방전되어 풀-업 트랜지스터(M5)를 턴-온시킨다. 풀-업 트랜지스터(M5)가 턴-온되면, 고전위 전압(V_{dd})으로 출력 노드(N_{out}) 상의 전압이 고전위 전압(V_{dd})으로 충전된다. 그리고, 출력 노드(N_{out}) 상의 고전위 전압(V_{dd})은 피드-백되어 제2 n형 트랜지스터(M4)를 턴-온시킴으로써 제1 바이어스 노드(Nb1)의 방전 경로가 추가로 형성됨으로써 풀-업 트랜지스터(M5)는 더욱 확실하게 턴-온 상태를 유지하게 되어 출력전압(V_{out})으로 고전위 전압(V_{dd})이 안정적으로 공급된다. 이 때, 제2 바이어스 노드(Nb2)에 걸리는 전압은 제1 p형 트랜지스터(M1)와 제2 p형 트랜지스터(M2)의 채널 사이즈 비에 해당하는 전압이 걸리게 되는데, 제1 p형 트랜지스터(M

1)와 제2 p형 트랜지스터(M2)가 동일한 채널 사이즈로 형성되었을 경우 제2 바이어스 노드(Nb2) 상의 전압은 약 고전위 전압(V_{dd})/2가 된다. 따라서, 채널 사이즈를 제2 바이어스 노드(Nb2)에 걸리는 전압과 제2 고전위 전압(V_{cc})의 전압차로 풀-다운 트랜지스터(M6)가 턴-오프 될 수 있도록 제1 p형 트랜지스터(M1)와 제2 p형 트랜지스터(M2)의 채널 사이즈를 적절한 비율로 설계해야 한다. 예를 들어, 고전위 전압(V_{dd})으로 6V가 인가되고, 제2 고전위 전압(V_{cc})로 3V가 인가되는 경우 제1 p형 트랜지스터(M1)와 제2 p형 트랜지스터(M2)를 동일한 채널 사이즈로 형성하면, 제2 바이어스 노드(Nb2)에 걸리는 전압은 약 3V가 되어 풀-다운 트랜지스터(M6)를 턴-오프 시킬 수 있다.

[0051] 한편, 입력전압(V_{in})으로 제2 고전위 전압(V_{cc})이 입력되는 경우 레벨 쉬프터의 이상적인 동작은 제1 바이어스 노드(Nb1) 상의 전압에 의해 풀-업 트랜지스터(M5)에 채널이 충분히 형성됨으로써 풀-업 트랜지스터(M5)를 경유한 고전위 전압(V_{dd})이 전압감소 없이 그대로 출력전압(V_{out})으로써 전달되는 것이다. 이와 같은 동작에 근접하기 위하여 제1 바이어스 노드(Nb1) 상의 전압이 최적의 바이어스 전압 즉, 저전위 전압(V_{ss})을 유지할 수 있도록, 제1 n형 트랜지스터(M3)의 채널 사이즈를 제1 및 제2 p형 트랜지스터(M1, M2)의 채널 사이즈보다 적절한 비율로 크게 설계하는 것이 바람직하다.

[0052] 제2 바이어스 노드(Nb2)의 상의 전압으로 이루어지게 되어 레벨 쉬프터의 고속 동작을 가능하게 한다.

[0053] 상술한 바와 같이 본 발명의 실시예에 따른 레벨 쉬프터(110)는 바이어스 전압 발생부(150)를 구비함으로써 바이어스 전압을 인가하기 위한 별도의 바이어스 전원을 필요로 하지 않으며, 피드-백(Feed-back)되는 출력전압(V_{out})을 이용하여 풀-업 트랜지스터(M5)의 턴-온 및 풀-다운 트랜지스터(M6)의 턴-오프를 빠르게 함과 아울러 풀-다운 트랜지스터(M6)의 바이어스 전압이 풀-다운 트랜지스터(M6)의 문턱전압 이상을 항상 유지하여 풀-다운 트랜지스터(M6)의 턴-온을 빠르게 하고, 적은 게이트단자 전압 변동으로 풀-다운 트랜지스터(M6)를 턴-오프 시킴으로써 고속동작이 가능한 장점이 있다. 본 출원인의 레벨 쉬프터에 대한 동작 실험 결과 최대 50Mhz의 입력 신호에 대하여 안정적인 레벨 쉬프팅(Shifting)을 보여준 바 있으며, 이러한 결과는 본 발명의 실시예에 따른 레벨 쉬프터(110)의 고속 동작의 효과를 뒷받침할 수 있다. 이와 같이 본 발명의 실시예에 따른 레벨 쉬프터(110)는 고속의 신호에 대한 레벨 쉬프팅이 가능하여 높은 구동 주파수를 가지는 고해상도의 패널에 그 적용이 유리하다.

발명의 효과

[0054] 상술한 바와 같이 본 발명의 실시예에 따른 레벨 쉬프터 및 이를 이용한 액정표시장치는 바이어스 전압 발생부를 구비함으로써 바이어스 전압을 인가하기 위한 별도의 바이어스 전원을 필요로 하지 않으며, 피드-백(Feed-back)되는 출력전압(V_{out})을 이용하여 풀-업 트랜지스터(M5)의 턴-온 및 풀-다운 트랜지스터(M6)의 턴-오프를 빠르게 함과 아울러 풀-다운 트랜지스터(M6)의 바이어스 전압이 풀-다운 트랜지스터(M6)의 문턱전압 이상을 항상 유지하여 풀-다운 트랜지스터(M6)의 턴-온을 빠르게 하고, 적은 게이트단자 전압 변동으로 풀-다운 트랜지스터(M6)를 턴-오프 시킴으로써 고속동작이 가능한 장점이 있다. 이와 같이 고속의 신호에 대한 레벨 쉬프팅이 가능한 본 발명의 실시예에 따른 레벨 쉬프터는 높은 구동 주파수를 가지는 고해상도의 패널에 그 적용이 유리하다.

[0055] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면.

[0002] 도 2는 도 1에 도시된 레벨 쉬프터의 회로구성을 나타내는 도면.

[0003] 도 3은 도 2에 도시된 레벨 쉬프터의 구동전압특성을 나타내는 도면.

[0004] <도면의 주요 부호에 대한 설명>

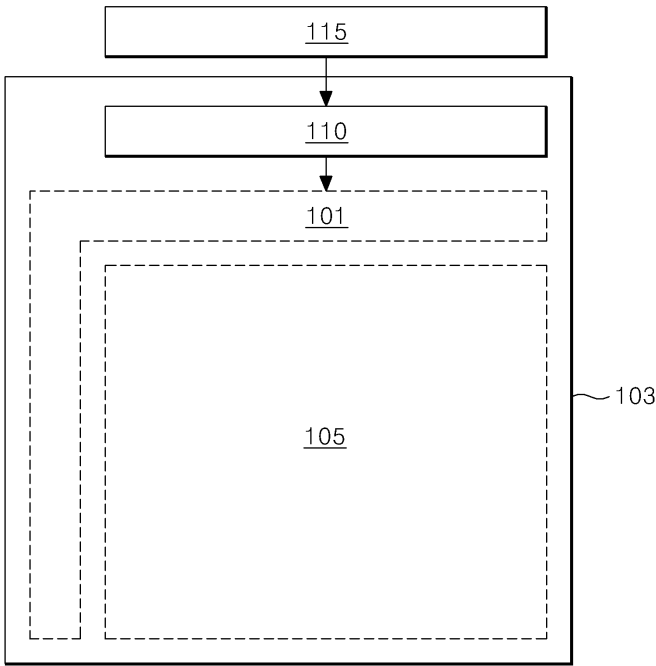
[0005] 101 : 패널 내 구동회로

[0006] 103 : 액정패널

- [0007] 105 : 화소어레이
- [0008] 115 : 외부 구동회로
- [0009] 110 : 레벨 쉬프터
- [0010] 150 : 바이어스 전압발생부

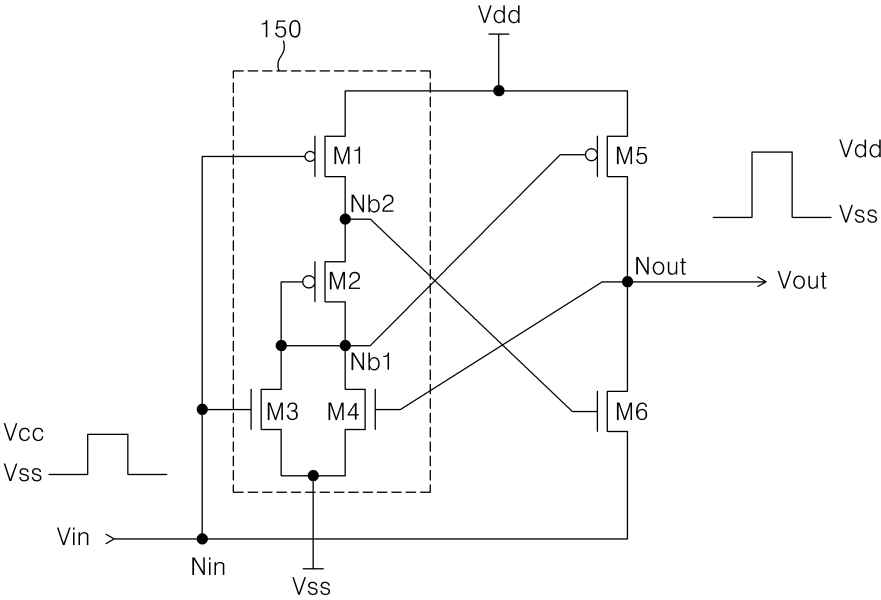
도면

도면1

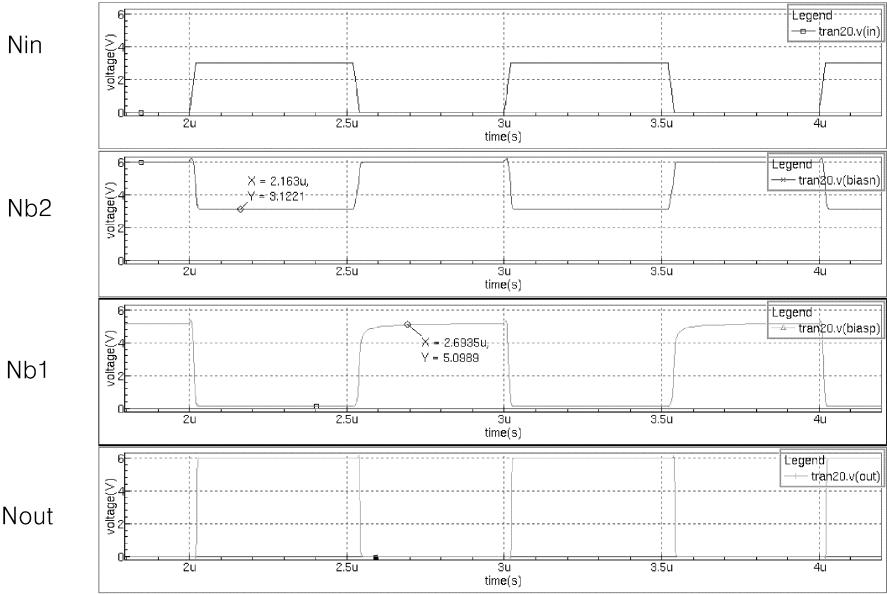


도면2

110



도면3



专利名称(译)	电平移位器和使用它的液晶显示器		
公开(公告)号	KR101232477B1	公开(公告)日	2013-02-12
申请号	KR1020050133606	申请日	2005-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU JAE SUNG 유재성 YOO JUHN SUK 유준석		
发明人	유재성 유준석		
IPC分类号	G09G3/20 G09G3/36 H03K19/0175		
CPC分类号	G09G3/3611 H03K19/01742 G09G2310/0289 G09G2320/0252		
其他公开文献	KR1020070070757A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种电平移位器和使用该电平移位器的液晶显示器，其能够防止由器件特性的变化引起的故障。电平移位器包括上拉晶体管，用于响应第一偏置节点上的电压将高电位电压提供给输出电压；用于响应于在节点下拉晶体管的第二偏置电压供给低电势电压到输出电压的游泳池；偏置电压发生器，用于向第一和第二偏置节点提供偏置电压，偏置电压与输入电压和输出电压的逻辑值相反，以响应输入电压，输出电压，高电位电压和低电位电压，并且当低电位电压被提供给输入电压时，低电位电压被输出作为输出电压，并且当具有不同于高电位电压的电位的第二高电位电压被提供给输入电压时，并输出电压到输出电压。

专利号10-1232477

110

