



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월20일
(11) 등록번호 10-1127826
(24) 등록일자 2012년03월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/1339 (2006.01)

(21) 출원번호 10-2005-0050951

(22) 출원일자 2005년06월14일

심사청구일자 2010년06월01일

(65) 공개번호 10-2006-0130334

(43) 공개일자 2006년12월19일

(56) 선행기술조사문헌

KR1020020040993 A

KR1020040036640 A

JP2004205549 A

KR1020020004277 A

전체 청구항 수 : 총 7 항

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

신세중

대구광역시 남구 자유1길 38 (대명동)

윤성희

경기 고양시 일산구 주엽동 117번지 문촌마을
1603-405

(뒷면에 계속)

(74) 대리인

김용인, 박영복

심사관 : 김효욱

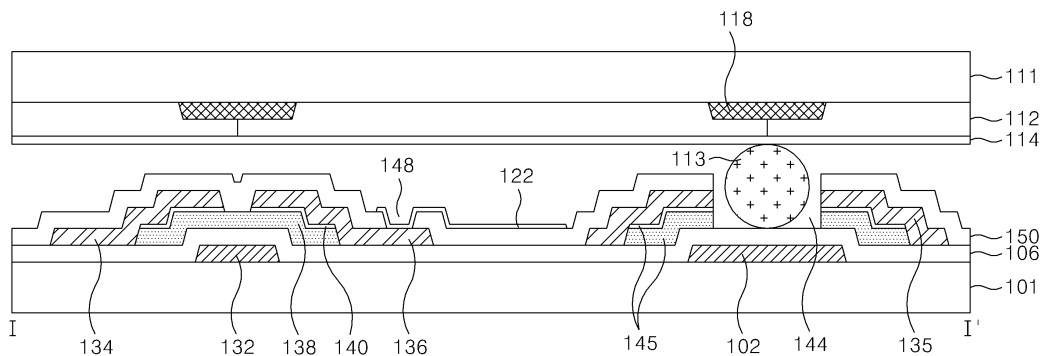
(54) 발명의 명칭 액정표시패널 및 그 제조방법

(57) 요약

본 발명은 볼 스페이서의 이동을 방지할 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.

본 발명의 액정표시패널은 상부기판과; 상기 상부기판과 대향되며 서로 교차되는 데이터라인 및 게이트라인, 상기 데이터라인 및 게이트라인의 교차로 마련되는 화소영역에 형성된 화소전극, 상기 데이터라인에 접속되는 소스전극, 상기 게이트라인에 접속되는 게이트전극 및 상기 화소전극에 접속되는 드레인전극, 상기 게이트라인 위에 형성되는 웰(Well) 형상의 더미 소스/드레인전극패턴을 가지는 하부기판과; 상기 상부기판과 상기 하부기판 사이의 갭을 유지하며 상기 웰 형상의 더미 소스/드레인전극패턴 내부에 수용되는 볼 스페이서를 구비한다.

대표도 - 도4



(72) 발명자

김봉철

대구 북구 팔달동 52-1번지 두산청구 2002 (113동 703호)

이승현

서울특별시 중랑구 동일로 476, 늘푸른동아 아파트 102동 1508호 (면목동)

구교용

경상북도 구미시 인동26길 65, 주공미래아파트 104동 101호 (진평동)

서현진

경북 구미시 구포동 성원아파트 109-602

권당

대전광역시 서구 문정로112번안길 16-7, 1동 101호 (탄방동, 낙원빌라)

특허청구의 범위

청구항 1

상부기판과;

상기 상부기판과 대향되며 서로 교차되는 데이터라인 및 게이트라인, 상기 데이터라인 및 게이트라인의 교차로 마련되는 화소영역에 형성된 화소전극, 상기 데이터라인에 접속되는 소스전극, 상기 게이트라인에 접속되는 게이트전극 및 상기 화소전극에 접속되는 드레인전극, 상기 게이트라인 위에 형성되는 웰(Well) 형상의 더미 소스/드레인전극패턴을 가지는 하부기판과;

상기 상부기판과 상기 하부기판 사이의 갭을 유지하며 상기 웰 형상의 더미 소스/드레인전극패턴 내부에 수용되는 볼 스페이서를 구비하는 것을 특징으로 하는 액정표시패널.

청구항 2

제 1 항에 있어서,

상기 더미 소스/드레인전극패턴은 상기 소스전극 및 상기 드레인전극과 동일물질인 것을 특징으로 하는 액정표시패널.

청구항 3

제 1 항에 있어서,

상기 소스전극 및 상기 드레인전극 아래에 형성되는 활성층 및 오믹 접촉층과;

상기 활성층 및 오믹 접촉층과 동일물질로 상기 더미 소스/드레인전극패턴 아래에 형성되는 더미 반도체패턴을 더 구비하는 것을 특징으로 하는 액정표시패널.

청구항 4

제 3 항에 있어서,

상기 더미 소스/드레인전극패턴 및 더미 반도체패턴은 동일패턴인 것을 특징으로 하는 액정표시패널.

청구항 5

게이트라인 및 상기 게이트라인과 접속되는 게이트전극을 형성하는 단계와;

상기 게이트라인과 교차되는 데이터라인, 상기 데이터라인에 접속되는 소스전극, 상기 게이트라인과 데이터라인의 교차로 마련되는 화소영역에 형성될 화소전극에 접속되는 드레인전극, 상기 게이트라인 위에 웰(Well) 형상의 더미 소스/드레인전극패턴을 형성하는 단계와;

상기 화소영역에 상기 화소전극을 형성하여 하부기판을 마련하는 단계와;

상기 하부기판과 대향되는 상부기판을 마련하는 단계와;

상기 상부기판과 상기 하부기판 사이의 갭을 유지하며 상기 웰 형상의 더미 소스/드레인전극패턴 내부에 수용되는 볼 스페이서 형성하는 단계와;

상기 상부기판과 하부기판을 합착하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 6

제 5 항에 있어서,

상기 소스전극 및 상기 드레인전극 아래에 활성층 및 오믹 접촉층을 형성하는 단계와;

상기 활성층 및 오믹 접촉층과 동일공정으로 상기 더미 소스/드레인전극패턴 아래에 더미 반도체패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 7

제 6 항에 있어서,

상기 더미 소스/드레인전극패턴 및 더미 반도체패턴은 동일 마스크를 사용하여 형성하는 것을 특징으로 하는 액정표시패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 액정표시패널 및 그 제조방법에 관한 것으로 특히, 볼 스페이서의 이동을 방지할 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.
- [0018] 통상적으로, 액정표시패널(Liquid Crystal Display : LCD)은 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정표시패널은 도 1에 도시된 바와 같이 액정(16)을 사이에 두고 서로 대향하는 박막 트랜지스터 기관(70) 및 칼라필터 기관(80)을 구비한다.
- [0019] 칼라필터 기관(80)에는 빛샘 방지를 위한 블랙 매트릭스(18)와, 칼라 구현을 위한 칼라필터(12)와, 화소전극(22)과 수직전계를 이루는 공통전극(14)과, 그들 위에 액정 배향을 위해 도포된 상부 배향막을 포함하는 칼라필터 어레이가 상부기관(11) 위에 형성된다.
- [0020] 박막 트랜지스터 기관(70)에는 서로 교차되게 형성된 게이트라인(2) 및 데이터라인(4)과, 그들(2, 4)의 교차부에 형성된 박막 트랜지스터(30)와, 박막 트랜지스터(30)와 접속된 화소전극(22)과, 그들 위에 액정 배향을 위해 도포된 하부 배향막을 포함하는 박막 트랜지스터 어레이가 하부기관(1) 위에 형성된다.
- [0021] 도 2를 참조하면, 칼라필터 기관(80)과 박막 트랜지스터 기관(70)은 볼 스페이서(13)에 의해서 그 셀 갭이 유지되며, 볼 스페이서(13)는 잉크 젯(InkJet) 등을 이용하여 블랙 매트릭스(18)와 중첩되는 게이트라인(2) 또는 데이터라인(미도시) 위에 형성된다.
- [0022] 한편, 칼라필터 기관(80)과 박막 트랜지스터 기관(70)의 셀 갭 유지를 위한 볼 스페이서(13)는 구형의 형상으로 액정표시패널 내부에 형성됨에 따라, 외부로부터 액정표시패널에 가해지는 충격 특히, 칼라필터 기관(80)과 박막 트랜지스터 기관(70) 합착 후에 상부기관(11)과 하부기관(1)의 외부면에 편광판을 부착하는 공정 또는 신뢰성 테스트의 하나인 진동/충격 테스트에서 액정표시패널에 가해지는 충격에 의해 액정표시패널의 내부에서 쉽게 이동하는 단점이 있다.
- [0023] 이러한 볼 스페이서(13)의 이동은 액정(16)의 광투과율을 방해하여 빛샘을 발생시키며, 빛샘은 액정표시패널에 휘점을 발생시키는 불량 원인이 된다.
- [0024] 또한, 볼 스페이서(13)가 외부로부터의 충격에 의하여 액정표시패널 내부를 이동하여 게이트라인(2) 또는 데이터라인 위가 아닌 화소전극(22) 위 즉, 액정표시패널의 표시영역에 위치하게 되는 경우 액정표시패널의 개구율 감소를 초래하게 된다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

- [0025] 따라서, 본 발명의 목적은 볼 스페이서의 이동을 방지할 수 있는 액정표시패널 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

- [0026] 상기의 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시패널은 상부기관과; 상기 상부기관과 대향되며 서로 교차되는 데이터라인 및 게이트라인, 상기 데이터라인 및 게이트라인의 교차로 마련되는 화소영역에 형성된 화소전극, 상기 데이터라인에 접속되는 소스전극, 상기 게이트라인에 접속되는 게이트전극 및 상기 화소

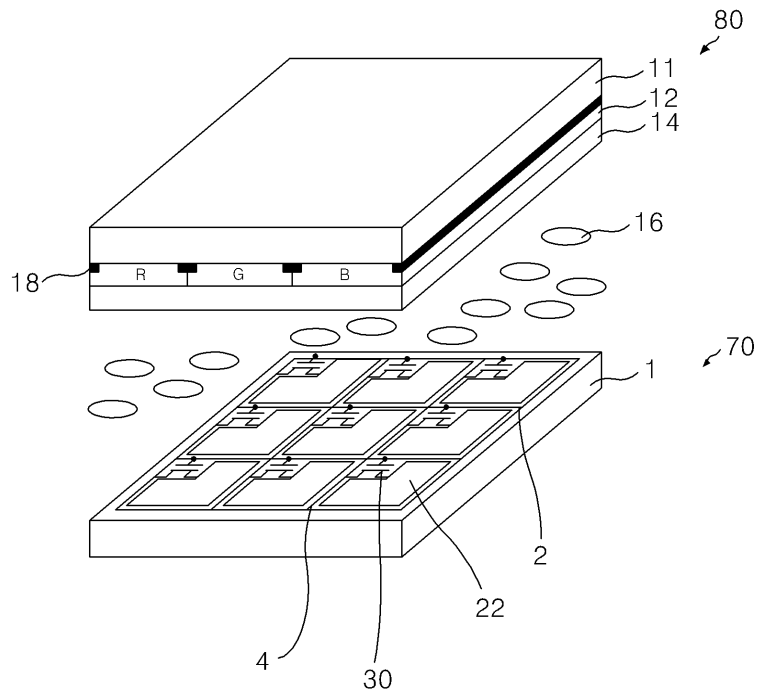
전극에 접속되는 드레인전극, 상기 게이트라인 위에 형성되는 웰(Well) 형상의 더미 소스/드레인전극패턴을 가지는 하부기판과; 상기 상부기판과 상기 하부기판 사이의 갭을 유지하며 상기 웰 형상의 더미 소스/드레인전극패턴 내부에 수용되는 볼 스페이서를 구비한다.

- [0027] 상기 더미 소스/드레인전극패턴은 상기 소스전극 및 상기 드레인전극과 동일물질이다.
- [0028] 상기 소스전극 및 상기 드레인전극 아래에 형성되는 활성층 및 오믹 접촉층과; 상기 활성층 및 오믹 접촉층과 동일물질로 상기 더미 소스/드레인전극패턴 아래에 형성되는 더미 반도체패턴을 더 구비한다.
- [0029] 상기 더미 소스/드레인전극패턴 및 더미 반도체패턴은 동일패턴이다.
- [0030] 본 발명의 실시 예에 따른 액정표시패널의 제조방법은 게이트라인 및 상기 게이트라인과 접속되는 게이트전극을 형성하는 단계와; 상기 게이트라인과 교차되는 데이터라인, 상기 데이터라인에 접속되는 소스전극, 상기 게이트라인과 데이터라인의 교차로 마련되는 화소영역에 형성될 화소전극에 접속되는 드레인전극, 상기 게이트라인 위에 웰(Well) 형상의 더미 소스/드레인전극패턴을 형성하는 단계와; 상기 화소영역에 상기 화소전극을 형성하여 하부기판을 마련하는 단계와; 상기 하부기판과 대향되는 상부기판을 마련하는 단계와; 상기 상부기판과 상기 하부기판 사이의 갭을 유지하며 상기 웰 형상의 더미 소스/드레인전극패턴 내부에 수용되는 볼 스페이서 형성하는 단계와; 상기 상부기판과 하부기판을 합착하는 단계를 포함한다.
- [0031] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0032] 이하, 본 발명의 바람직한 실시 예들을 도 3 내지 도 5e를 참조하여 상세하게 설명하기로 한다.
- [0033] 도 3은 본 발명의 실시 예에 따른 박막 트랜지스터 기판을 나타내는 평면도이며, 도 4는 도 3에 도시된 I-I' 선을 따라 절취한 박막 트랜지스터 기판을 포함하는 액정표시패널을 나타내는 단면도이다.
- [0034] 도 3 및 도 4를 참조하면, 본 발명의 실시 예에 따른 액정표시패널의 칼라필터 기판은 상부기판(111) 위에 게이트라인(102) 또는 데이터라인(104)과 대응되는 위치에 형성되어 셀 영역을 구획하는 블랙 매트릭스(118)와, 블랙 매트릭스(118)에 의해 구획된 셀 영역에 칼라 구현을 위한 칼라필터(112)와, 화소전극(122)과 수직전계를 이루는 공통전극(114)을 구비한다.
- [0035] 액정표시패널의 박막 트랜지스터(Thin Film Transister : 이하, "TFT" 라 함) 기판은 하부기판(101) 위에 게이트 절연막(106)을 사이에 두고 교차하게 형성된 게이트라인(102) 및 데이터라인(104)과, 그들(102, 104)의 교차부마다 형성되는 TFT(130)와, 게이트라인(102) 및 데이터라인(104)의 교차구조로 마련된 셀 영역에 형성된 화소전극(122)을 구비한다. 그리고, TFT 기판은 화소전극(122)과 이전 게이트라인(102)의 중첩부에 형성되는 스토리지 캐패시터(120)를 구비한다.
- [0036] TFT(130)는 게이트라인(102)의 게이트신호에 응답하여 데이터라인(104)의 화소신호를 화소전극(122)에 공급한다. 이를 위하여, TFT(130)는 게이트라인(102)에 접속된 게이트전극(132)과, 데이터라인(104)에 접속된 소스전극(134)과, 화소전극(122)에 접속된 드레인전극(136)과, 게이트전극(132)과 중첩되고 소스전극(134)과 드레인전극(136) 사이에 채널을 형성하는 활성층(138)을 구비한다. 이러한 활성층(138) 위에는 소스전극(134) 및 드레인전극(136)과 오믹 접촉을 위한 오믹 접촉층(140)이 더 형성된다.
- [0037] 또한, 액정표시패널은 칼라필터 기판과 박막 트랜지스터 기판의 셀 갭을 유지하는 볼 스페이서(113)를 더 구비한다. 이러한 볼 스페이서(113)는 잉크 젯(InkJet) 등을 이용하여 블랙 매트릭스(118)와 중첩되는 게이트라인(102) 위에 형성된다.
- [0038] 여기서, 본 발명의 실시 예에 따른 액정표시패널은 상부기판(111)과 하부기판(101)의 합착 시에 볼 스페이서(113)가 형성되는 하부기판(101)의 게이트라인(102) 위에 볼 스페이서(113)의 이동을 방지하는 더미 반도체패턴(145) 및 더미 소스/드레인전극패턴(135)을 더 구비한다.
- [0039] 더미 반도체패턴(145) 및 더미 소스/드레인전극패턴(135)은 그 내부에 볼 스페이서(113)가 수용될 수 있는 공간을 가지는 웰(Well)(144) 형상으로 형성되며, 볼 스페이서(113)는 더미 반도체패턴(145) 및 더미 소스/드레인(135)의 내부 공간 즉, 웰(144)에 수용되도록 형성된다. 이에 따라, 볼 스페이서(113)는 볼 스페이서(113)를 수용하는 더미 반도체패턴(145) 및 더미 소스/드레인전극패턴(135)에 의해 공정 중에 외부로부터 액정표시패널에 가해지는 충격에 의해 액정표시패널의 내부를 이동하지 않게 되며 이 결과, 볼 스페이서(113)의 이동에 의한 빛샘 및 액정표시패널의 개구율 감소를 방지할 수 있다.

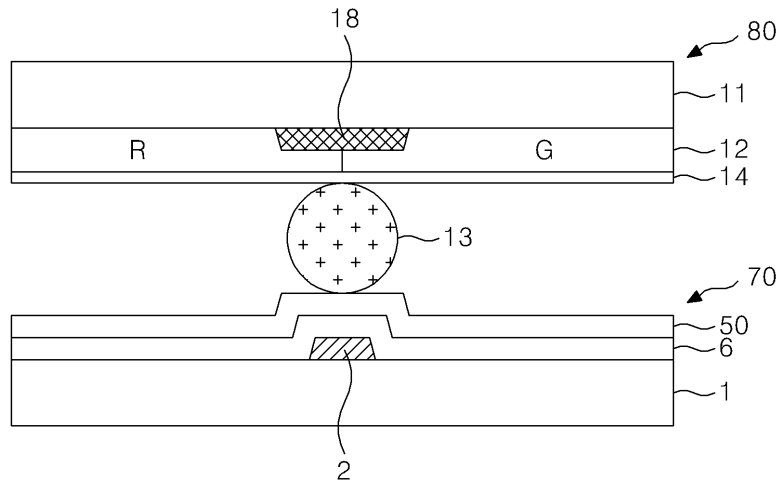
- [0040] 이하, 본 발명의 실시 예에 따른 액정표시패널의 제조방법을 도 5a 내지 5e를 참조하여 설명하면 다음과 같다.
- [0041] 도 5a를 참조하면, 제1 마스크 공정을 이용하여 하부기관(101) 위에 게이트라인(102) 및 게이트전극(132)이 형성된다.
- [0042] 이를 상세히 설명하면, 하부기관(101) 위에 스퍼터링 방법 등의 증착방법을 통해 게이트금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트금속층이 패터닝됨으로써 게이트라인(102) 및 게이트전극(132)이 형성된다. 게이트금속층의 재료로는 알루미늄(Al), 알루미늄/네오듐(Al/Nd)을 포함하는 알루미늄계 금속 등이 이용된다.
- [0043] 이어, 게이트라인(102) 및 게이트전극(132)이 형성된 하부기관(101) 위에 게이트 절연막(106)이 전면도포되며, 도 5b에 도시된 바와 같이 제2 마스크 공정을 이용하여 게이트 절연막(106) 위에 활성층(138) 및 오믹 접촉층(140)과, 상부기관(111)과 하부기관(101)의 합착 시 볼 스페이서(113)가 위치하게 될 하부기관(101)의 게이트라인(102) 위에 볼 스페이서(113)의 이동을 방지하는 더미 반도체패턴(145)이 형성된다. 더미 반도체패턴(145)은 그 내부에 볼 스페이서(113)가 수용될 수 있는 공간을 가지는 웰(144) 형상으로 형성된다.
- [0044] 이를 상세히 하면, 게이트 절연막(112) 위에 PECVD, 스퍼터링 등의 증착방법을 통해 제1 활성층, 제2 활성층이 순차적으로 형성된다. 그 다음, 제2 활성층 위에 포토레지스트막을 형성하고 제2 마스크를 이용하여 하부기관(101) 위에 포토레지스트패턴을 형성한다.
- [0045] 이러한 포토레지스트패턴을 마스크로 이용한 습식 식각 공정으로 활성층(138) 및 오믹 접촉층(140)과, 더미 반도체패턴(145)이 형성된다. 여기서, 제1 활성층으로는 불순물이 도핑되지 않은 비정질실리콘이 이용되며, 제2 활성층으로는 N형 또는 P형의 불순물이 도핑된 비정질실리콘이 이용된다.
- [0046] 그런 다음, 활성층(138) 및 오믹 접촉층(140)과 더미 반도체패턴(145)이 형성된 하부기관(101) 위에 도 5c에 도시된 바와 같이 제3 마스크 공정을 이용하여 소스전극(134) 및 드레인전극(136)과 더미 반도체패턴(145)과 중첩되는 더미 소스/드레인전극패턴(135)이 형성된다.
- [0047] 이를 상세히 하면, 활성층(138) 및 오믹 접촉층(140)과 더미 반도체패턴(145)이 형성된 하부기관(101) 위에 PECVD, 스퍼터링 등의 증착방법을 통해 소스/드레인금속층이 형성된다. 그 다음, 소스/드레인 금속층 위에 포토레지스트막을 형성하고 제3 마스크를 이용한 포토레지스트패턴을 형성한다.
- [0048] 이러한 포토레지스트패턴을 마스크로 이용한 습식 식각 공정으로 소스/드레인금속층이 패터닝됨으로써 데이터라인(104), 데이터라인(104)와 접속된 소스전극(134) 및 드레인전극(136)과, 더미 반도체패턴(145) 위에 더미 소스/드레인전극패턴(135)이 형성된다. 이어서, TFT(130)의 채널부의 소스전극(134) 및 드레인전극(136)과 오믹 접촉층(140)을 식각 공정으로 제거하여 TFT(130)의 채널부의 활성층(138)이 노출되어 소스전극(134)과 드레인전극(136)을 분리한다. 여기서, 소스/드레인금속층의 재료로는 몰리브덴(Mo), 구리(Cu), 등과 같은 금속이 이용된다.
- [0049] 이어서, 소스전극(134) 및 드레인전극(136)과 더미 소스/드레인전극패턴(145)이 형성된 하부기관(101) 위에 무기 절연물질 또는 유기절연물질이 전면 형성됨으로써 도 5d에 도시된 바와 같이 보호막(150)이 형성된다. 이 보호막(150)을 제4 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 드레인전극(136)을 노출시키는 컨택홀(148)이 형성된다.
- [0050] 이후, 보호막(150)이 형성된 하부기관(101) 위에는 도 5e에 도시된 바와 같이 화소전극(122)이 형성된다.
- [0051] 이를 상세히 하면, 보호막(150)이 형성된 하부기관(101) 위에 스퍼터링 등의 증착방법으로 투명금속막과 포토레지스트막이 형성되며 이어서, 제5 마스크를 이용하여 화소전극(122)을 형성한다. 화소전극(122)은 컨택홀(148)을 통하여 노출된 드레인전극(136)과 접촉된다. 투명금속막의 재료로는 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 틴 징크 옥사이드 (Indium Tin Zinc Oxide : ITZO) 및 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 중 어느 하나가 이용된다.
- [0052] 또한, 본 발명의 실시 예에 따른 액정표시패널의 제조 시 소스 및 드레인전극(134, 136)과, 더미 소스/드레인전극패턴(135)을 전술한 제2 마스크 공정에서 반투과 마스크를 이용하여 활성층(138), 오믹 접촉층(140) 및 더미 반도체패턴(145)과 동일패턴으로 함께 형성할 수 있으므로 본 발명의 액정표시패널은 4 마스크 공정을 이용한 제조도 가능하다.

도면

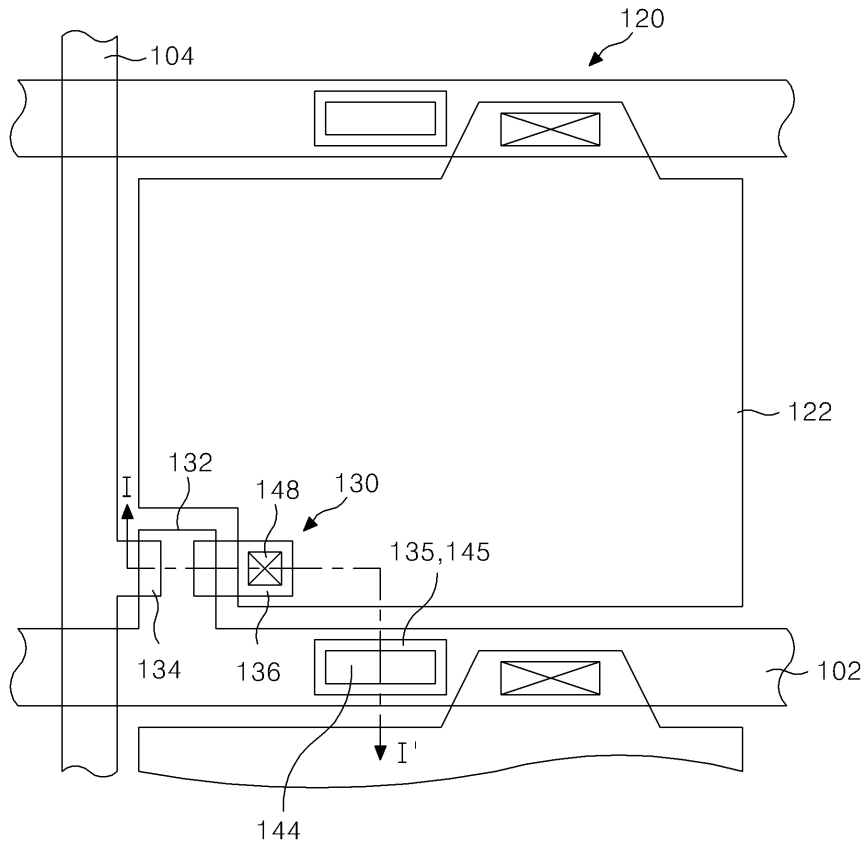
도면1



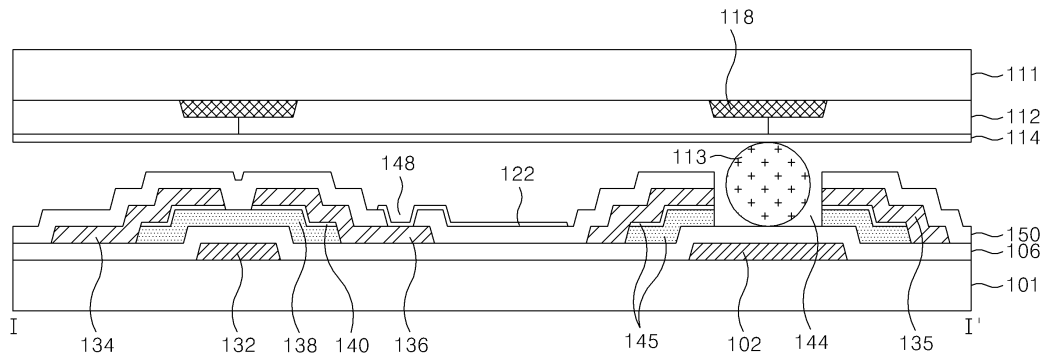
도면2



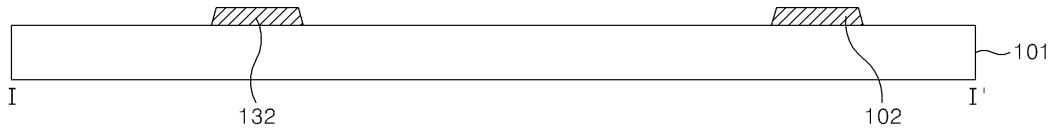
도면3



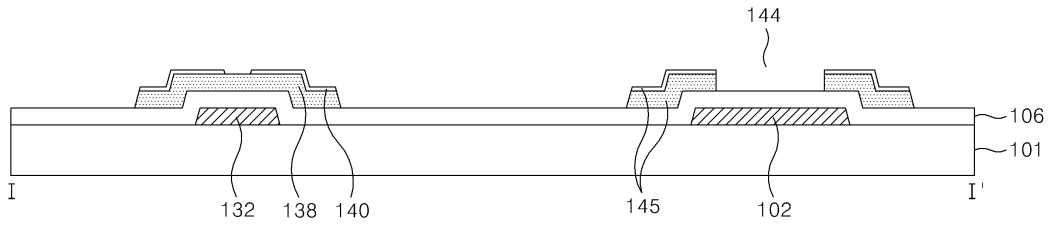
도면4



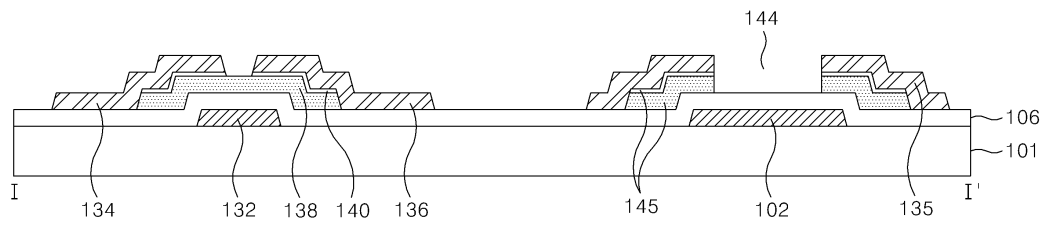
도면5a



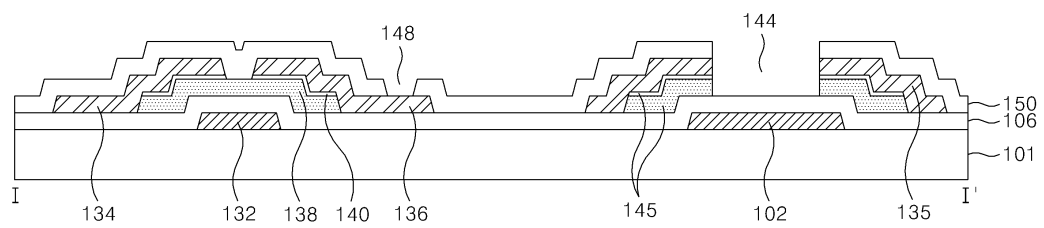
도면5b



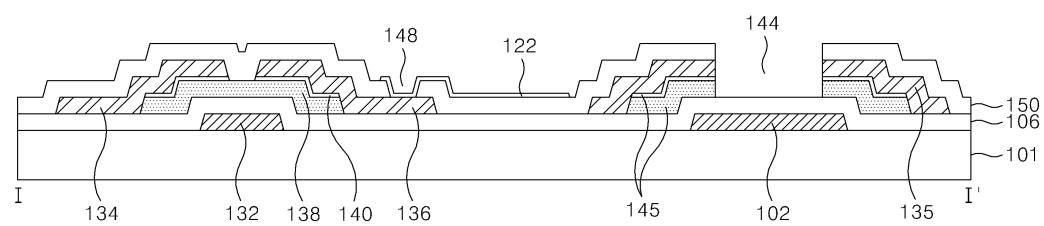
도면5c



도면5d



도면5e



专利名称(译)	标题：液晶显示面板及其制造方法		
公开(公告)号	KR101127826B1	公开(公告)日	2012-03-20
申请号	KR1020050050951	申请日	2005-06-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN SE JONG 신세종 YOON SUNG HOE 윤성희 KIM BONG CHUL 김봉철 LEE SEUNG HYUN 이승현 KOO KYO YONG 구교용 SEO HYEON JIN 서현진 KWON DHANG 권당		
发明人	신세종 윤성희 김봉철 이승현 구교용 서현진 권당		
IPC分类号	G02F1/1339 G02F1/1368		
CPC分类号	G02F1/13394 G02F1/136286		
代理人(译)	Gimyongin Bakyoungbok		
其他公开文献	KR1020060130334A		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD面板及其制造方法，通过形成具有用于容纳球间隔物的阱区的虚设图案来防止球间隔物在LCD面板内移动。组成：下基板（101）面向上基板（111）。数据线和栅极线（102）彼此交叉以限定下基板上方的像素区域。像素电极（122）形成在像素区域中。源电极（134）连接到数据线。栅电极（132）连接到栅极线。漏电极（136）连接到像素电极。在栅极线上方形成具有阱区（144）的虚设图案（135）。球形间隔物（113）放置在虚设图案的阱区中，以保持上基板和下基板之间的间隙。

©KIPO 2007

