



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월17일
(11) 등록번호 10-1074383
(24) 등록일자 2011년10월11일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2005-0058411
(22) 출원일자 2005년06월30일
심사청구일자 2010년06월25일
(65) 공개번호 10-2007-0002748
(43) 공개일자 2007년01월05일
(56) 선행기술조사문헌
JP2002023662 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 용산구 한강로3가 65-228

(72) 발명자

윤수영

경기 고양시 덕양구 행신2동 무원마을10단지 서광
아파트 1010동802호

박권식

서울특별시 강남구 도곡2동 464 개포한신아파트
3-407

전민두

서울특별시 광진구 중곡3동 174-1번지

(74) 대리인

김용인, 심창섭

전체 청구항 수 : 총 6 항

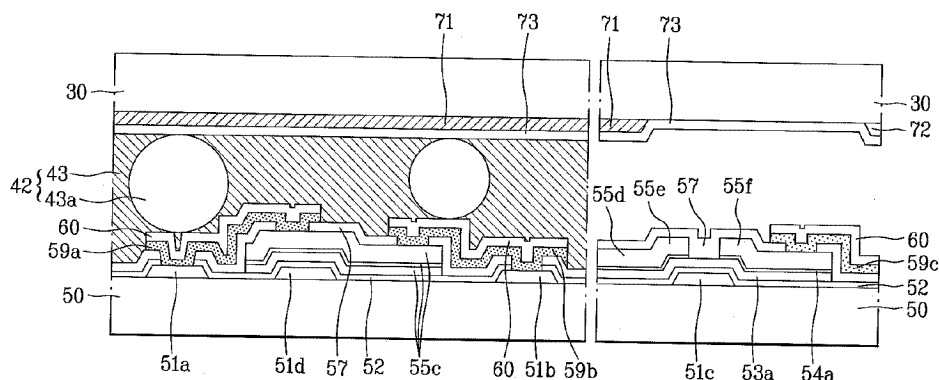
심사관 : 유창훈

(54) 액정표시장치 및 그의 제조방법

(57) 요약

본 발명은 상,하부기판의 공통전극을 연결시키기 위해서, 종래의 은접점 대신에 전도성 볼 스페이서가 섞인 실 라인을 구성한 액정표시장치 및 그의 제조방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표 시장치는 상,하부기판과 그 사이에 충전된 액정층으로 구성된 액정패널과; 상기 하부기판의 일측 또는 양측 상부 에 실장된 게이트 구동부와; 소오스 인쇄회로기판에 각각 연결되어 있는 복수개의 데이터 드라이버들로 구성된 데이터 구동부와; 상기 게이트 구동부와 데이터 구동부에 제어신호 및 화상정보를 출력하는 타이밍 제어부와; 상 기 타이밍 제어부로부터 출력된 제어신호를 상기 게이트 구동부로 입력시키기 위해 일방향으로 배열된 제어신호 라인들과; 상기 제어신호 라인 또는 게이트 구동부 상부에 일방향으로 구성된 투명 도전막과; 상기 투명 도전막 상부에 적층 형성된 절연막과; 상기 합착된 상,하부기판 사이의 외곽부를 따라서 형성되고, 상기 제어신호 라인 또는/및 게이트 구동부의 상부에 오버랩되도록 형성되며, 전도성 볼 스페이서를 구비하여 구성된 셀 라인(seal line)을 포함함을 특징으로 한다.

대표도



특허청구의 범위

청구항 1

상, 하부기관과 그 사이에 증진된 액정층으로 구성된 액정패널과;
 상기 하부기관의 일측 또는 양측 상부에 실장된 게이트 구동부와;
 소오스 인쇄회로기판에 각각 연결되어 있는 복수개의 데이터 드라이버들로 구성된 데이터 구동부와;
 상기 게이트 구동부와 데이터 구동부에 제어신호 및 화상정보를 출력하는 타이밍 제어부와;
 상기 타이밍 제어부로부터 출력된 제어신호를 상기 게이트 구동부로 입력시키기 위해 일방향으로 배열된 제어신호 라인들과;
 상기 제어신호 라인 또는 게이트 구동부 상부에 일방향으로 구성된 투명 도전막과;
 상기 투명 도전막 상부에 적층 형성된 절연막과;
 상기 합착된 상, 하부기관 사이의 외곽부를 따라서 형성되고, 상기 제어신호 라인 또는/및 게이트 구동부의 상부에 오버랩되도록 형성되며, 전도성 불 스페이서를 구비하여 구성된 셀 라인(seal line)을 포함함을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 상, 하부기관이 합착된 상기 액정패널의 내부에는 화상이 표시되는 화소부가 정의되어 있고,
 상기 하부기관의 화소부에는, 수직 교차되어 화소영역을 정의하는 복수개의 게이트 라인 및 데이터라인과,
 상기 각 게이트 라인과 데이터 라인에 의해 정의된 각 화소영역에 형성된 복수개의 화소전극과,
 상기 화소전극 상부에 적층 형성된 절연막과,
 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된 복수개의 박막트랜지스터와,
 상기 상부기관의 화소부에는 블랙 매트릭스에 의해 화소영역별로 분리되어 도포된 칼라필터층과,
 상기 화소전극의 상대 전극인 공통전극이 구비되어 있음을 특징으로 하는 액정표시장치.

청구항 3

하부기관의 일측 또는 양측 상부에 실장된 게이트 구동부와, 상기 게이트 구동부에 제어신호를 출력하기 위한 제어신호 라인을 포함하며, 상기 하부기관에 구동 회로부와 화소부가 제 1, 제 2 영역으로 정의된 액정표시장치의 제조방법에 있어서,
 제 1 마스크를 이용하여 상기 제 1 영역에 일방향으로 게이트 구동 배선과 제어신호 라인을 형성하고, 상기 제 2 영역에 게이트라인과 게이트전극 형성하는 제 1 단계;
 제 2 마스크를 이용하여 상기 제 1 영역에 입력 신호 라인을 형성하고, 상기 제 2 영역에 상기 게이트라인과 중첩으로 배열되어 화소영역을 정의하는 데이터 라인과, 소오스 전극과 드레인 전극을 형성하는 제 2 단계;
 상기 기관 전면에 보호막을 형성하는 제 3 단계;
 제 3 마스크를 이용하여 상기 제 1 영역의 상기 구동 배선에는 제 1 콘택홀, 상기 입력 신호 라인의 양측 상부에는 제 2, 제 3 콘택홀, 상기 제어신호 라인에는 제 4 콘택홀을 형성하고, 상기 제 2 영역의 상기 드레인 전극 상에는 제 5 콘택홀을 형성하는 제 4 단계;
 제 4 마스크를 이용하여 상기 제 1 영역의 상기 제 1 콘택홀에서 상기 제 2 콘택홀에는 제 1 투명 도전막 및 절연막을 적층 형성하고, 상기 제 3 콘택홀에서 상기 제 4 콘택홀에는 제 2 투명 도전막 및 절연막을 적층 형성하고, 상기 제 2 영역의 상기 화소영역에는 상기 제 5 콘택홀에 콘택되도록 화소전극과 절연막을 적층 형성하는 제 5 단계;

상기 하부기판의 외곽부를 에워싸도록 전도성 볼 스페이서가 섞인 씨일재를 형성하는 제 6 단계를 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제 3 항에 있어서,

상기 제 6 단계에서, 상기 씨일재는 상기 화소부 외부의 상기 제어신호 라인 또는 상기 게이트 구동부 상부에 오버랩되도록 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제 3 항에 있어서,

상기 제 2 단계는,

상기 하부기판 상에 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 제 1 금속층을 순차적으로 형성하는 단계;

상기 제 1 금속층 상의 상기 박막 트랜지스터의 채널부에 회절 노광부를 갖고, 상기 제 1 영역의 상기 입력 신호 라인 형성 상부에 형성된 상기 제 2 마스크를 이용한 포토리쓰그래피 공정으로 상기 채널부에서만 얇은 두께를 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 이용한 습식각 공정으로 상기 제 1 금속층을 패터닝하여 상기 데이터 라인, 상기 소오스 전극, 상기 소오스 전극과 일체화된 드레인 전극으로 구성된 소오스/드레인 패턴을 형성하는 단계;

상기 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 상기 n+ 비정질 실리콘층과 상기 비정질 실리콘층을 패터닝하여 상기 제 1 영역에 입력 신호 라인 및 상기 제 2 영역에 오믹 접촉층과 활성층을 형성하는 단계;

상기 포토레지스트 패턴을 애싱(Ashing)한 후, 이를 마스크로 건식 식각하여 상기 채널부의 상기 소오스/드레인 패턴 및 오믹접촉층을 식각하여 상기 소오스 전극과 상기 드레인 전극을 분리하는 단계;

상기 포토레지스트 패턴을 제거하는 단계를 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 3 항에 있어서,

상기 씨일재를 형성한 후, 상기 하부기판과 이에 대향되는 상면에 상부기판을 합착시키는 단계를 더 포함함을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0028] 본 발명은 액정표시장치에 대한 것으로, 특히 하부기판에 게이트 구동부가 내장된 액정패널에서 상, 하부기판의 공통전극을 전도성 볼 스페이서가 섞인 씨 라인으로 구성할 때, 상판과 구동회로의 전기적 쇼트를 방지할 수 있는 액정표시장치 및 그의 제조방법에 관한 것이다.
- [0029] 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- [0030] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)을 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게

개발되고 있다.

- [0031] 이하, 첨부 도면을 참조하여 종래 기술에 따른 액정표시장치에 대하여 설명하면 다음과 같다.
- [0032] 도 1은 종래 기술에 따른 액정표시장치의 레이아웃도이다.
- [0033] 종래 기술에 따른 액정표시장치는 도 1에 도시한 바와 같이, 상,하부기판(10, 11)과 그 사이에 충진된 액정층(미도시)으로 구성된 액정패널(20)과, 하부기판(11)의 예지영역에 복수개의 게이트 드라이버로 구성된 게이트 구동부(12)와, 데이터 TCP(13)에 의해서 소오스 인쇄회로기판(14)에 각각 연결되어 있는 복수개의 드라이버들로 구성된 데이터 구동부(15)와, 상기 상,하부기판(10,11) 사이의 가장자리에 형성되어 상,하부기판(10,11)을 합착시킨 쉘 라인(seal line)(16)으로 구성되어 있다.
- [0034] 상기에서 게이트 구동부(12)와 데이터 구동부(15)를 연결하는 IC는 FPC 또는 COF와 같은 방법을 사용한다. 도 1에는 게이트 COF를 적용한 예를 도시하였다.
- [0035] 상기 게이트 구동부(12)와 데이터 구동부(15)에 제어신호 및 화상정보를 출력하는 타이밍 제어부(미도시)가 더 구비되어 있다.
- [0036] 상기에서 액정패널(20)의 내부에는 화상이 표시되는 화소부(21)가 정의되어 있고, 상기 하부기판(11)에는 수직 교차되어 매트릭스 형태의 화소영역을 정의하는 복수개의 게이트 라인 및 데이터라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 각 화소영역에 형성된 복수개의 화소전극과, 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 화소전극에 인가하는 복수개의 박막트랜지스터(TFT)가 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된다.
- [0037] 상기에서 박막 트랜지스터는 게이트라인의 일측에서 돌출된 게이트전극과, 게이트전극을 포함한 전면에 형성된 게이트 절연막과, 게이트전극을 포함한 상부에 오버랩되어 있는 활성층과, 상기 데이터 라인의 일측에서 오버랩되며 게이트전극 일측에 오버랩되어 있는 소오스전극과, 상기 소오스전극과 이격되어 있는 드레인전극으로 구성된다.
- [0038] 그리고 상기 데이터라인을 포함한 상부에 드레인전극에 제 1 콘택홀을 갖도록 보호막이 형성되어 있고, 제 1 콘택홀을 통해서 드레인전극과 화소전극이 콘택되어 있다.
- [0039] 그리고 상부기판(10)에는 도면에는 도시되어 있지 않지만, 블랙 매트릭스에 의해 화소영역별로 분리되어 도포된 칼라필터층과, 상기 화소전극의 상대 전극인 공통전극이 구비되어 있다.
- [0040] 상기 구성을 갖는 액정표시장치에서 액정은 상,하부기판(10,11) 사이에 구성된 공통전극과 화소전극에 전압이 인가됨에 의해서 구동한다. 따라서 상,하부기판(10,11)의 공통전극과 화소전극에 전압을 인가시키기 위해서는 공통전극이 화소전극과 연결되어 있어야 한다. 이를 위하여 일반적으로 상,하부기판(10,11) 사이에 은접점(Ag-Dot)(17)을 구비시킨다. 도 1에는 상하좌우 4부분의 모서리에 은접점(17)을 위치시켰다.
- [0041] 그러나, 상기 은접점(17)을 형성하는 공정은 그 공정이 복잡하여 많은 시간을 필요로 한다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- [0042] 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로 특히, 상,하부기판의 공통전극을 연결시키기 위해서, 종래의 은접점 대신에 전도성 불 스페이서가 섞인 실 라인을 구성한 액정표시장치 및 그의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0043] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 상,하부기판과 그 사이에 충진된 액정층으로 구성된 액정패널과; 상기 하부기판의 일측 또는 양측 상부에 실장된 게이트 구동부와; 소오스 인쇄회로기판에 각각 연결되어 있는 복수개의 데이터 드라이버들로 구성된 데이터 구동부와; 상기 게이트 구동부와 데이터 구동부에 제어신호 및 화상정보를 출력하는 타이밍 제어부와; 상기 타이밍 제어부로부터 출력된 제어신호를 상기 게이트 구동부로 입력시키기 위해 일방향으로 배열된 제어신호 라인들과; 상기 제어신호 라인 또는 게이트 구동부 상부에 일방향으로 구성된 투명 도전막과; 상기 투명 도전막 상부에 적층 형성된 절연막과; 상기 합착된 상,하부기판 사이의 외곽부를 따라서 형성되고, 상기 제어신호 라인 또는/및 게이트 구동부의 상부에 오버랩되도록 형성되며, 전도성 불 스페이서를 구비하여 구성된 쉘 라인(seal line)을 포함함을 특징으로 한다.

- [0044] 상기 상, 하부기관이 합착된 상기 액정패널의 내부에는 화상이 표시되는 화소부가 정의되어 있고, 상기 하부기관의 화소부에는, 수직 교차되어 화소영역을 정의하는 복수개의 게이트 라인 및 데이터라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 각 화소영역에 형성된 복수개의 화소전극과, 상기 화소전극 상부에 적층 형성된 절연막과, 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된 복수개의 박막트랜지스터와, 상기 상부기관의 화소부에는 블랙 매트릭스에 의해 화소영역별로 분리되어 도포된 칼라필터층과, 상기 화소전극의 상대 전극인 공통전극이 구비되어 있음을 특징으로 한다.
- [0045] 상기와 같은 구성을 갖는 본 발명에 따른 액정표시장치의 제조방법은 하부기관의 일측 또는 양측 상부에 실장된 게이트 구동부와, 상기 게이트 구동부에 제어신호를 출력하기 위한 제어신호 라인을 포함하며, 상기 하부기관에 구동 회로부와 화소부가 제 1, 제 2 영역으로 정의된 액정표시장치의 제조방법에 있어서, 제 1 마스크를 이용하여 상기 제 1 영역에 일방향으로 게이트 구동 배선과 제어신호 라인을 형성하고, 상기 제 2 영역에 게이트라인과 게이트전극 형성하는 제 1 단계; 제 2 마스크를 이용하여 상기 제 1 영역에 입력 신호 라인을 형성하고, 상기 제 2 영역에 상기 게이트라인과 종횡으로 배열되어 화소영역을 정의하는 데이터 라인과, 소오스 전극과 드레인 전극을 형성하는 제 2 단계; 상기 기관 전면에 보호막을 형성하는 제 3 단계; 제 3 마스크를 이용하여 상기 제 1 영역의 상기 구동 배선에는 제 1 콘택홀, 상기 입력 신호 라인의 양측 상부에는 제 2, 제 3 콘택홀, 상기 제어신호 라인에는 제 4 콘택홀을 형성하고, 상기 제 2 영역의 상기 드레인 전극 상에는 제 5 콘택홀을 형성하는 제 4 단계; 제 4 마스크를 이용하여 상기 제 1 영역의 상기 제 1 콘택홀에서 상기 제 2 콘택홀에는 제 1 투명 도전막 및 절연막을 적층 형성하고, 상기 제 3 콘택홀에서 상기 제 4 콘택홀에는 제 2 투명 도전막 및 절연막을 적층 형성하고, 상기 제 2 영역의 상기 화소영역에는 상기 제 5 콘택홀에 콘택되도록 화소전극과 절연막을 적층 형성하는 제 5 단계; 상기 하부기관의 외곽부를 에워싸도록 전도성 불 스페이서가 섞인 씨일재를 형성하는 제 6 단계를 포함함을 특징으로 한다.
- [0046] 상기 제 6 단계에서, 상기 씨일재는 상기 화소부 외부의 상기 제어신호 라인 또는 상기 게이트 구동부 상부에 오버랩되도록 형성하는 것을 특징으로 한다.
- [0047] 상기 제 2 단계는, 상기 하부기관 상에 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 제 1 금속층을 순차적으로 형성하는 단계; 상기 제 1 금속층 상의 상기 박막 트랜지스터의 채널부에 회절 노광부를 갖고, 상기 제 1 영역의 상기 입력 신호 라인 형성 상부에 형성된 상기 제 2 마스크를 이용한 포토리소그래피 공정으로 상기 채널부에서만 얇은 두께를 갖는 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 이용한 습식각 공정으로 상기 제 1 금속층을 패터닝하여 상기 데이터 라인, 상기 소오스 전극, 상기 소오스 전극과 일체화된 드레인 전극으로 구성된 소오스/드레인 패턴을 형성하는 단계; 상기 동일한 포토레지스트 패턴을 이용한 건식 식각 공정으로 상기 n+ 비정질 실리콘층과 상기 비정질 실리콘층을 패터닝하여 상기 제 1 영역에 입력 신호 라인 및 상기 제 2 영역에 오믹 접촉층과 활성층을 형성하는 단계; 상기 포토레지스트 패턴을 애싱(Ashing)한 후, 이를 마스크로 건식 식각하여 상기 채널부의 상기 소오스/드레인 패턴 및 오믹접촉층을 식각하여 상기 소오스 전극과 상기 드레인 전극을 분리하는 단계; 상기 포토레지스트 패턴을 제거하는 단계를 포함함을 특징으로 한다.
- [0048] 상기 씨일재를 형성한 후, 상기 하부기관과 이에 대향되는 상면에 상부기관을 합착시키는 단계를 더 포함함을 특징으로 한다.
- [0049] 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치 및 그의 제조방법에 대하여 설명하면 다음과 같다.
- [0050] 도 2는 본 발명의 실시예에 따른 액정표시장치의 레이아웃도이고, 도 3은 본 발명에 따른 액정패널 에지영역에 위치한 회로부와 화소영역을 자른 구조 단면도이다.
- [0051] 그리고 도 4는 도 3에서 제 1, 제 2 투명 도전막 상에 절연막을 형성하지 않았을 경우의 문제가 되는 액정패널 에지영역에 위치한 회로부와 화소영역을 자른 구조 단면도이다.
- [0052] 본 발명에 따른 액정표시장치는 도 3에 도시한 바와 같이, 상, 하부기관(30, 50)과 그 사이에 충진된 액정층(미도시)으로 구성된 액정패널(40)과, 상기 하부기관(50)의 일측 또는 양측 상부에 실장된 복수개의 게이트 드라이버들로 구성된 게이트 구동부(31)와, 데이터 TCP(32)에 의해서 소오스 인쇄회로기판(33)에 각각 연결되어 있는 복수개의 데이터 드라이버들로 구성된 데이터 구동부(34)와, 상기 게이트 구동부(31)와 데이터 구동부(34)에 제어신호 및 화상정보를 출력하는 타이밍 제어부(미도시)로 구성된다.
- [0053] 상기에서 데이터 구동부(34)는 데이터 TCP(32)를 이용하여 소오스 인쇄회로기판(33)과 연결시키지 않고, 게이트 구동부(31)와 같이 하부기관(50) 상부에 실장시켜 구성시킬 수도 있다.

- [0054] 그리고 상기 타이밍 제어부로부터 출력된 제어신호를 각 게이트 구동부(31)로 입력시키기 위한 제어신호 라인(35)들이 일방향으로 복수개 배열되어 있다. 이때 타이밍 제어부에서는 제어신호로써, 소정의 클럭신호, 게이트 스타트 신호 및 타이밍 신호를 공급하여 게이트 구동부(31)와 데이터 구동부(34)의 구동 타이밍을 제어한다.
- [0055] 그리고 상기 각 제어신호 라인(35)들에 접속되어 게이트 구동부(31)의 게이트 드라이버들로 신호를 입력시키는 입력신호 라인들(미도시)이 복수개 배열되어 있다. 그리고 도면에는 도시되지 않았지만, 하부기관(50)의 각 게이트 패드부에 순차적으로 주사신호를 출력하기 위해서 게이트 구동부(31)로부터 화소부(41)의 각 게이트 패드부로 출력신호 라인들이 연결되어 있다.
- [0056] 상기에서 액정패널(40)의 내부에는 화상이 표시되는 화소부(41)가 정의되어 있고, 상기 하부기관(50)에는 수직 교차되어 화소영역을 정의하는 복수개의 게이트 라인 및 데이터라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 각 화소영역에 형성된 복수개의 화소전극과, 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 화소전극에 인가하는 복수개의 박막트랜지스터가 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된다. 그리고 상부기관(30)에는 블랙 매트릭스에 의해 화소영역별로 분리되어 도포된 칼라필터층과, 상기 화소전극의 상대 전극인 공통전극이 구비되어 있다.
- [0057] 상기 게이트 라인에 순차적으로 턴온(turn on) 신호를 인가하면 그 때마다 해당 라인의 화소전극에 데이터 신호가 인가되므로 영상이 표시된다.
- [0058] 그리고 상기 상,하부기관(30, 50)이 합착되는 외곽부를 따라서 셀 라인(seal line)(42)이 형성되어 있는데, 상기 셀 라인(42)은 상기 제어신호 라인(35) 또는/및 게이트 구동부(31)의 상부에 오버랩되어 있다.
- [0059] 상기 셀 라인(42)은 상기 상,하부기관(30,60)의 공통전극(투명 도전막)을 전기적으로 연결하기 위해서, 전도성 볼 스페이서(43a)를 셀런트(sealant)(43)에 섞어서 구성하였다.(도 2, 도 3 참조) 도 2에서는 화소부(41) 상부의 셀 라인(42) 부분에서 상,하부기관(30)의 공통전극과 연결된다. 예를 들어서 'B'영역에서 이와 같이 연결된다.
- [0060] 이에 의해서, 종래의 은점점(Ag-Dot)을 구비시키지 않고, 셀 라인(42)이 이를 대신하게 하였다.
- [0061] 이때 중요하게 고려할 사항은, 전도성 볼 스페이서를 섞어서 구성한 셀 라인(42)은 도전성을 갖기 때문에 제어신호 라인(35) 또는/및 게이트 구동부(31)와 오버랩 될 경우 제어신호 라인(35)이나 게이트 구동부(31)가 상부기관(30)과 전기적으로 연결되어 회로 구동이 불가능하게 된다.
- [0062] 상기와 같은 문제없이 전도성 볼 스페이서를 셀런트에 섞어서 셀 라인(42)을 구성하기 위해서, 구동회로 전체 즉, 게이트 구동부(31)와 제어신호 라인(35)을 셀 라인(42) 안쪽에 배치하는 것도 생각할 수 있으나, 이렇게 구성하면 액정패널 전체의 크기가 증가하게 되는 문제가 발생한다. 상기 액정패널의 크기는 국제 규격으로 정해져 있으며, 임의의 변경이 불가능하다. 따라서 구동회로 내장 액정패널의 경우 회로 내장을 위한 면적이 제한적이다. 예를 들어 14~17" XGA급 노트북 컴퓨터용 액정패널의 경우에는 셀 라인(42) 안쪽으로 구동회로 전체를 구현하는 것은 불가능하며, 제어신호 라인 또는 게이트 구동부에 오버랩되도록 셀 라인(42)이 위치하게 된다.
- [0063] 상기와 같이 전도성 볼 스페이서를 셀런트에 섞어 셀 라인(42)을 구성하기 위해서는 제어신호 라인(35) 또는/및 게이트 구동부(31) 상부에 위치한 셀 라인(42)속의 전도성 볼 스페이서에 의해서 제어신호 라인(35)과 게이트 구동부(31)가 상부기관(30)의 공통전극과 서로 연결되지 않고, 절연 상태를 유지해야 한다.
- [0064] 그러나, 도 4에 도시한 바와 같이, 신호선 연결을 위해서 투명 도전막(ITO)을 이용하기 때문에 신호선 최상단에 투명 도전막(ITO)이 노출되어 전도성 볼 스페이서에 의해서 상부기관(30)의 공통전극이 제어신호 라인과 전기적으로 연결된다.
- [0065] 본 발명은 전도성 볼 스페이서를 셀런트에 섞어서 셀 라인(42)을 구성시킬 때, 상기와 같이 상부기관(30)과 제어신호 라인(35)이 전기적으로 연결되는 문제를 해결하기 위한 것으로, 도 3에 도시한 바와 같이, 제어신호 라인(35)에 오버랩된 투명 도전막(ITO)상부에는 절연막을 적층 형성하여, 제어신호 라인(35)과 투명 도전막을 상부기관(30)과 절연시키고, 상부기관(30)의 공통전극(73)과 하부기관(50)의 화소전극은 서로 연결시킬 수 있다.
- [0066] 이하, 도면을 참조하여 액정패널 예지에 즉, 도 2의 'A'영역의 구동 회로부와 화소부의 단면 구조를 좀 더 자세히 설명하기로 한다.
- [0067] 상기에서 구동 회로부는 제어신호 라인(이하에서는 클럭라인으로 예시하여 설명함) 및 게이트 구동부가 위치한 부분을 일컫는다.

- [0068] 설명의 편의를 위하여 구동 회로부는 제 1 영역, 화소부는 제 2 영역이라고 정의하여 기술하고자 한다.
- [0069] 도 3에 도시한 바와 같이, 하부기관(50)의 제 1 영역에는 일방향으로 배열된 게이트 구동 배선(51a)과, 제어 신호 라인을 이루는 클럭 라인(51b)이 형성되어 있다. 그리고 제 2 영역에는 게이트 라인이 일방향으로 배열되어 있고, 그의 일측에서 돌출된 게이트전극(51c)이 구비되어 있다.
- [0070] 그리고 상기 구동 배선(51a)과 클럭 라인(51b)과 게이트 전극(51c)을 포함한 하부기관(50) 상부에 게이트 절연막(52)이 형성되어 있다.
- [0071] 상기 게이트 절연막(52)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO_2)으로 형성할 수 있다.
- [0072] 제 1 영역의 상기 구동 배선(51a)과 클럭 라인(51b) 사이의 하부기관(50)상에는 도전성 패턴(51d)과, 상기 도전성 패턴(51d) 상부 전면에 게이트 절연막(52)과, 상기 도전성 패턴(51d)을 포함한 게이트 절연막(52)상에 비정질 실리콘층(53)과 n+ 비정질 실리콘층(54)과 제 1 금속 패턴(55a)이 적층된 입력 신호 라인(55c)이 형성되어 있다.
- [0073] 제 2 영역의 게이트전극(51c)을 포함한 게이트 절연막(52)의 일영역 상부에는 비정질 실리콘층으로 구성된 활성층(53a)이 형성되어 있다.
- [0074] 그리고 상기 게이트 라인(미도시)과 수직 교차하여 화소영역을 정의하도록 데이터 라인(55d)이 형성되어 있고, 데이터라인(55d)의 일측에서 돌출되어 있으며 게이트 전극(51c)의 일측 상부에 오버랩 되도록 소오스 전극(55e)이 형성되어 있고, 소오스 전극(55e)과 이격되어 게이트 전극(51c) 타측 상부에 오버랩 되도록 드레인 전극(55f)이 형성되어 있다. 그리고 상기 활성층(53a)과 소오스 전극(55e) 및 드레인 전극(55f)의 사이에는 n+ 비정질 실리콘층으로 구성된 오픈 콘택층(54a)이 형성되어 있다.
- [0075] 상기 제 1 영역의 입력 신호 라인(55c)은 상기 데이터라인과 동일층상에 형성된다.
- [0076] 그리고, 상기 데이터라인(55d) 및 입력신호 라인(55c)을 포함한 하부기관(50) 전면에 보호막(57)이 형성되어 있는데, 제 1 영역의 구동 배선(51a)에는 제 1 콘택홀(58a)이 형성되어 있고, 입력 신호 라인(55c)의 양측에는 제 2, 제 3 콘택홀(58b, 58c)이 형성되어 있고, 클럭 라인(51b)에는 제 4 콘택홀(58d)이 형성되어 있으며, 제 2 영역의 드레인 전극(55f) 상에는 제 5 콘택홀(58e)이 형성되어 있다.
- [0077] 그리고 제 1 영역의 제 1 콘택홀(58a)에서 제 2 콘택홀(58b)에는 제 1 투명 도전막(59a)이 형성되어 있고, 제 1 영역의 제 3 콘택홀(58c)에서 제 4 콘택홀(58d)에는 제 2 투명 도전막(59b)이 형성되어 있다. 그리고 제 2 영역의 제 5 콘택홀(58e)에는 화소전극(59c)이 형성되어 있다.
- [0078] 상기 입력 신호 라인(55c)은 제 1 투명 도전막(59a)과 제 2 투명 도전막(59b)을 연결하여 구동 배선(51a)과 클럭 라인(51b)을 서로 연결시킨다.
- [0079] 상기에서 제 1, 제 2 투명 도전막(59a, 59b)과 화소전극(59c)의 상부에는 각각 절연막(60)이 적층 구성되어 있다.
- [0080] 그리고 상부기관(30)에는 화소영역을 제외한 영역에 블랙 매트릭스층(71)이 형성되어 있고, 상기 블랙 매트릭스층(71)을 포함한 상부기관(30)의 전면에는 공통전극(73)이 형성되어 있다.
- [0081] 그리고 하부기관(50)의 보호막(57) 및 절연막(60) 상부에 액정패널(40)(도 2 참조)의 외곽부를 따라서 셀 라인(42)이 형성되어 있다.
- [0082] 상기에서 셀 라인(42)은 상기 클럭 라인(51b)과 구동 배선(51a) 상부에 오버랩되어 있다.
- [0083] 상기 셀 라인(42)은 셀런트(43) 내에 전도성 볼 스페이서(43a)를 구비하여 구성되어 있다. 이때 제 1, 제 2 투명 도전막(59a, 59b)과 화소전극(59c)의 상부에 절연막(60)이 더 구비되어 있으므로, 제 1 영역에서는 셀 라인(42)이 구동배선(51a)과 클럭 라인(51b) 상부에 오버랩되더라도 하부기관(50)과 상부기관(30)이 연결되는 문제는 발생되지 않기 때문에 내장된 회로는 정상 동작한다.
- [0084] 그리고 내장회로의 구동을 위한 제 1, 제 2 투명 도전막(59a, 59b) 부분을 제외한 셀 라인(42)에서는 상,하부기관(30, 50)의 공통전극을 연결할 수 있으므로, 종래의 은접점을 제거하여 구성할 수 있다.
- [0085] 도 4는 상기에서 제 1, 제 2 투명 도전막(59a, 59b)과 화소전극(59c)의 상부에 절연막을 구비하지 않았을 경우의 문제를 제시한 도면으로, 도 3과 절연막이 없다는 것을 제외하고는 모두 동일하므로 동일 부호로 나타내었

으며, 상기와 같이 구성할 경우, 썰 라인(42)이 제어신호 라인 또는/및 게이트 구동부에 오버랩되어 구성될 경우, 이 부분에서 썰 라인의 전도성 볼 스페이서에 의해서 제어신호 라인 또는/및 게이트 구동부가 상부기관의 공통전극과 쇼트되는 문제가 발생하게 된다.

- [0086] 이하 다른 부분은 동일하므로 설명은 생략하기로 한다.
- [0087] 다음에, 본 발명의 바람직한 실시예에 따른 액정표시장치의 제조방법에 대하여 설명하면 다음과 같다.
- [0088] 도 5a 내지 도 5k는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정 단면도이다.
- [0089] 먼저, 본 발명의 액정표시장치의 제조방법은, 도 5a에 도시한 바와 같이, 하부기관(50)상에 도전성 금속을 증착하고, 제 1 마스크를 이용한 포토 및 식각 공정을 이용하여 도전성 금속을 패터닝하여, 하부기관(50)의 제 1 영역에는 일방향으로 배열된 게이트 구동 배선(51a)과, 제어 신호 라인을 이루는 클럭 라인(51b)을 형성하고, 제 2 영역에는 일방향으로 배열된 게이트 라인과, 그 일측에서 돌출되는 게이트전극(51c)을 형성한다. 그리고 구동 배선(51a)과 클럭 라인(51b) 사이의 하부기관(50)상에는 도전성 패턴(51d)을 형성한다.
- [0090] 다음에 도 5b에 도시한 바와 같이, 상기 구동 배선(51a)과 클럭 라인(51b)과 게이트 전극(51c)을 포함한 하부기관(50) 상부에 게이트 절연막(52), 비정질 실리콘층(53), n+ 비정질 실리콘층(54), 그리고 소오스/드레인 형성용 제 1 금속층(55)을 순차적으로 형성한다.
- [0091] 상기 게이트 절연막(52)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO₂)으로 형성할 수 있다.
- [0092] 이후에 도 5c에 도시한 바와 같이, 제 2 마스크를 이용한 포토리소그래피 공정으로 제 1 포토레지스트 패턴(56)을 형성한다. 이 경우 제 2 마스크는 제 1 영역에 입력 신호 라인 상부 및 제 1 영역의 박막 트랜지스터 상부에 구성되는데, 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 제 1 포토레지스트 패턴(56)이 다른 소오스/드레인 패턴부 보다 낮은 높이를 갖게 한다.
- [0093] 이어서, 도 5d에 도시한 바와 같이, 제 1 포토레지스트 패턴(56)을 이용한 습식 식각공정으로 제 1 금속층(55)을 패터닝하여, 제 1 영역에는 입력 신호 라인 형성용 제 1 금속 패턴(55a)을 형성시키고, 제 2 영역에는 데이터 라인, 소오스 전극 및 드레인 전극 형성용 제 2 금속패턴(55b)을 일체화되도록 형성한다.
- [0094] 그 다음, 동일한 제 1 포토레지스트 패턴(56)을 이용한 건식 식각공정으로 n+ 비정질 실리콘층(54)과 비정질 실리콘층(53)을 동시에 패터닝한다.
- [0095] 이에 의해서 제 1 영역에는 비정질 실리콘층(53)과 n+ 비정질 실리콘층(54)과 제 1 금속 패턴(55a)이 적층된 입력 신호 라인(55c)이 형성된다.
- [0096] 그리고, 도 5e에 도시한 바와 같이, 제 1 포토레지스트 패턴(56)을 채널부에서 상대적으로 낮은 높이를 갖는 제 1 포토레지스트 패턴(56)이 제거되도록 애싱(Ashing) 공정을 진행한 후, 건식 식각공정으로 채널부의 제 2 금속 패턴(55b) 및 n+ 비정질 실리콘층(54)이 식각된다. 이에 따라, 활성층(53a)과, 소오스 전극(55e)과 드레인 전극(55f)이 전기적으로 분리된다. 그리고 게이트라인과 교차 배열되어 화소영역을 정의하도록 데이터라인(55d)이 형성된다. 그리고 소오스 전극(55e)와 활성층(53a) 사이와 드레인 전극(55d)과 활성층(53a) 사이에 오믹 콘택층(54a)이 형성된다.
- [0097] 이어서, 스트립 공정으로 제 2 금속패턴(55b) 위에 남아 있는 제 1 포토레지스트 패턴(56)을 제거한다.
- [0098] 상기 공정에 의해서 게이트전극(51a)과 활성층(53a)과 소오스전극(55e)과 드레인전극(55f)으로 구성된 박막 트랜지스터(TFT)가 형성된다.
- [0099] 이후에 도 5f에 도시된 바와 같이, 박막 트랜지스터(TFT)를 포함한 하부기관(50) 전면에 PECVD 등의 증착방법으로 보호막(57)을 형성한다.
- [0100] 이후에 보호막(57) 상에 포토레지스트를 도포한 후, 제 3 마스크를 이용 포토 및 식각 공정으로 제 2 포토레지스트 패턴(58)을 형성한다.
- [0101] 상기 제 2 포토레지스트 패턴(58)을 마스크로 보호막(57)을 식각하여 제 1 영역의 구동 배선(51a)에는 제 1 콘택홀(58a), 입력 신호 라인(55c)의 양측에는 제 2, 제 3 콘택홀(58b, 58c), 클럭 라인(51b)에는 제 4 콘택홀(58d)을 형성하고, 제 2 영역의 드레인 전극(55f) 상에는 제 5 콘택홀(58e)을 형성한다.
- [0102] 이후에 제 2 포토레지스트 패턴(58)을 제거한다.

- [0103] 다음에 도 5g에 도시한 바와 같이, 전면에 투명 도전막(59)과 절연막(60)을 차례로 증착한 후, 절연막(60)상에 포토레지스트를 도포한 후, 제 4 마스크를 이용 포토 및 식각 공정으로 제 3 포토레지스트 패턴(61)을 형성한다.
- [0104] 도 5h에 도시한 바와 같이, 상기 제 3 포토레지스트 패턴(61)을 마스크로 절연막(60)과 투명 도전막(59)을 차례로 식각해서, 제 1 영역의 제 1 콘택홀(58a)에서 제 2 콘택홀(58b)에는 제 1 투명 도전막(59a)을 형성하고, 제 1 영역의 제 3 콘택홀(58c)에서 제 4 콘택홀(58d)에는 제 2 투명 도전막(59b)을 형성하고, 제 2 영역의 제 5 콘택홀(58e)에는 화소전극(59c)을 형성한다.
- [0105] 상기 입력 신호 라인(55c)과 제 1 투명 도전막(59a)과 제 2 투명 도전막(59c)을 통하여 구동 배선(51a)과 클럭 라인(51b)이 서로 연결된다.
- [0106] 상기에서와 같이 제 1, 제 2 투명 도전막(59a, 59b)과 화소전극(59c)의 상부에 각각 절연막(60)이 더 구비되도록 한다.
- [0107] 그리고 도면에는 도시되지 않았지만, 하부기관(50)의 보호막 상에 제 1 배향막을 형성한다.
- [0108] 도 5i에 도시한 바와 같이, 상기 하부기관(50)에 상기 구성물들을 형성함과 동시에, 하부기관(50)과 대향되는 상부기관(30)에는 블랙매트릭스(71)와 칼라필터층(72)과 공통전극(73) 및 제 2 배향막(미도시)을 공정 순서에 따라서 순차적으로 형성한다.
- [0109] 이후에, 도 5j에 도시한 바와 같이, 상,하부기관(30, 50) 사이의 액정이 바깥으로 새는 것을 방지하고, 합착공정시 상,하부기관(30, 50)의 접착을 돕기 위해, 하부기관(50)의 외곽부를 에워싸도록 셀 라인(42)을 형성한다. 상기 셀 라인(42)은 셀런트(43)내에 전도성 볼 스페이서(43a)를 섞어서 형성한다.
- [0110] 이때 셀 라인(42)은 화소부 외부의 제어신호 라인() 또는 게이트 구동부() 상부에 오버랩된다.(도 2 참조)
- [0111] 다음에 도 5k에 도시한 바와 같이, 상,하부기관(30, 50)을 합착하고, 가열하여 상기 씨일재를 경화시킴으로써 상,하부기관(30, 50)을 접착시킨다.
- [0112] 상기와 같이 셀 라인(42)에 전도성 볼 스페이서(43a)를 섞어서 형성할 때, 구동 배선(51a)과 클럭 라인(51b)을 연결하기 위한 제 1, 제 2 투명 도전막(59a, 59b)과, 화소전극(59c)의 상부에 각각 절연막(60)을 적층 형성함으로써, 제어신호 라인(35)과 게이트 구동부(31)가 셀 라인(42)에 의해서 상부기관(30)의 공통전극에 쇼트되는 것을 방지시켰다.
- [0113] 즉, 액정패널에 게이트 구동부를 내장한 경우, 셀 라인이 상기 게이트 구동부 또는 이에 신호를 인가하기 위한 제어신호 라인에 오버랩 되어 형성되더라도 전기적으로 연결되지 않아서 내장된 게이트 구동부는 정상 동작을 한다.
- [0114] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- [0115] 따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

발명의 효과

- [0116] 상기와 같은 본 발명에 따른 액정표시장치 및 그의 제조방법은 다음과 같은 효과가 있다.
- [0117] 첫째, 전도성 볼 스페이서가 섞여서 형성된 셀 라인으로 상,하부기관의 공통전극을 연결시킬 수 있으므로 종래의 은접점 공정을 진행하지 않아도 되므로 공정을 단순화시킬 수 있다.
- [0118] 둘째, 내장된 게이트 구동부 또는/및 제어신호 라인 상부에 전도성 볼 스페이서가 섞인 셀 라인을 오버랩 시키더라도, 투명 도전막(ITO)으로 구성된 내장된 게이트 구동부와 제어신호 라인 및 화소전극 상부에 절연막을 적층 형성함으로써, 전도성 볼 스페이서에 의해 내장된 게이트 구동부와 제어신호 라인이 상부기관의 공통전극에 전기적으로 연결되는 것을 방지할 수 있다.

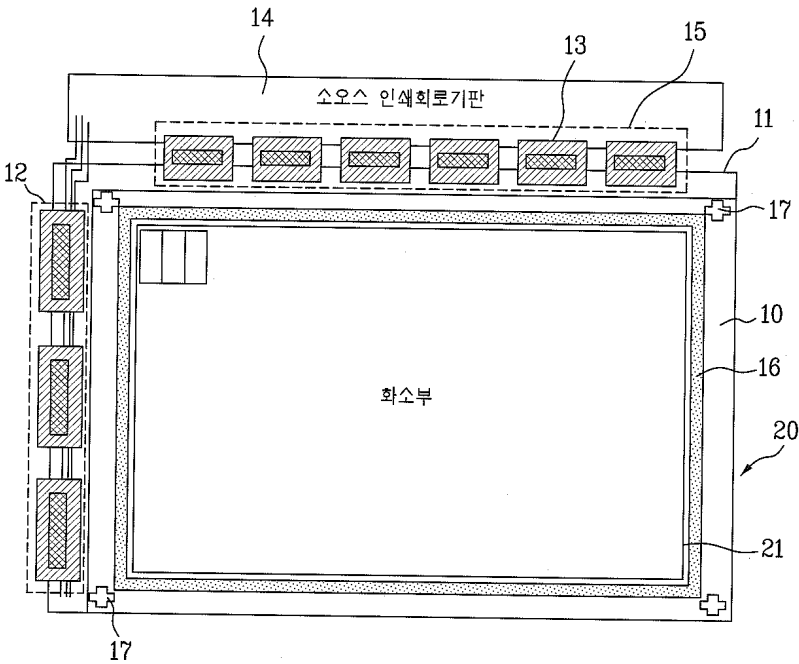
도면의 간단한 설명

- [0001] 도 1은 종래 기술에 따른 액정표시장치의 레이아웃도

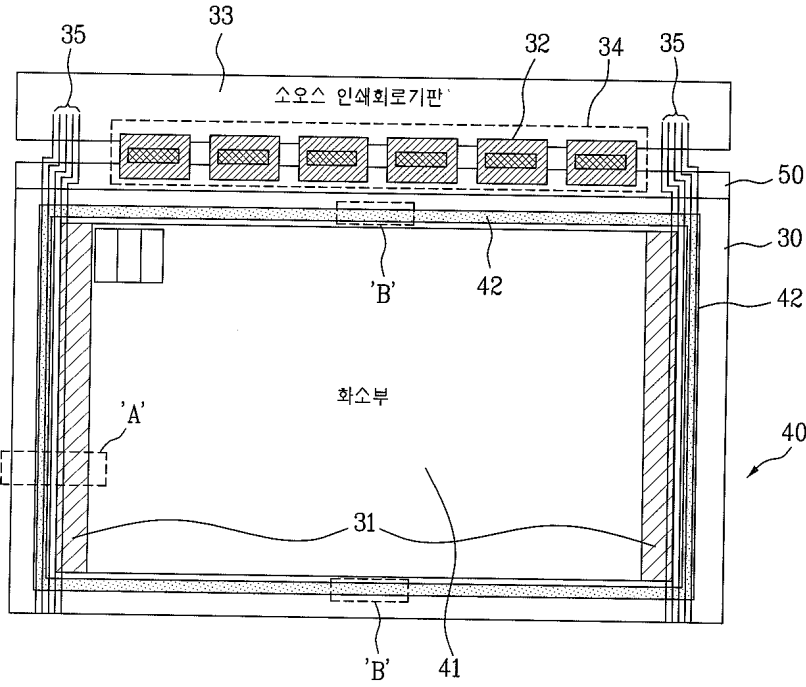
[0002]	도 2는 본 발명의 실시예에 따른 액정표시장치의 레이아웃도	
[0003]	도 3은 본 발명에 따른 액정패널 에지영역에 위치한 회로부와 화소영역을 자른 구조 단면도	
[0004]	도 4는 도 3에서 투명 도전막 상에 절연막을 형성하지 않았을 경우의 문제가 되는 액정패널 에지영역에 위치한 회로부와 화소영역을 자른 구조 단면도	
[0005]	도 5a 내지 도 5k는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 나타낸 공정 단면도	
[0006]	* 도면의 주요 부분에 대한 부호의 설명 *	
[0007]	30 : 상부기관	31 : 게이트 구동부
[0008]	32 : 데이터 TCP	33 : 소오스 인쇄회로기관
[0009]	34 : 데이터 구동부	35 : 제어신호 라인
[0010]	40 : 액정패널	41 : 화소부
[0011]	42 : 셀 라인	43 : 셀런트
[0012]	43a : 전도성 볼 스페이서	50 : 하부기관
[0013]	51a : 구동 배선	51b : 클럭 라인
[0014]	51c : 게이트 전극	51d : 도전성 패턴
[0015]	52 : 게이트 절연막	53 : 비정질 실리콘층
[0016]	53a : 활성층	54 : n+ 비정질 실리콘층
[0017]	54a : 오믹 콘택층	55 : 제 1 금속층
[0018]	55a : 제 1 금속패턴	55b : 제 2 금속패턴
[0019]	55c : 입력 신호 라인	55d : 데이터 라인
[0020]	55e : 소오스 전극	55f : 드레인 전극
[0021]	56 : 제 1 포토레지스트 패턴	57 : 보호막
[0022]	58 : 제 2 포토레지스트 패턴	
[0023]	58a, 58b, 58c, 58d, 58e : 제 1, 제 2, 제 3, 제 4, 제 5 콘택홀	
[0024]	59 : 투명 도전막 59a, 59b : 제 1, 제 2 투명 도전막	
[0025]	59c : 화소전극	60 : 절연막
[0026]	61 : 제 3 포토레지스트 패턴	71 : 블랙매트릭스층
[0027]	72 : 칼라필터층	73 : 공통전극

도면

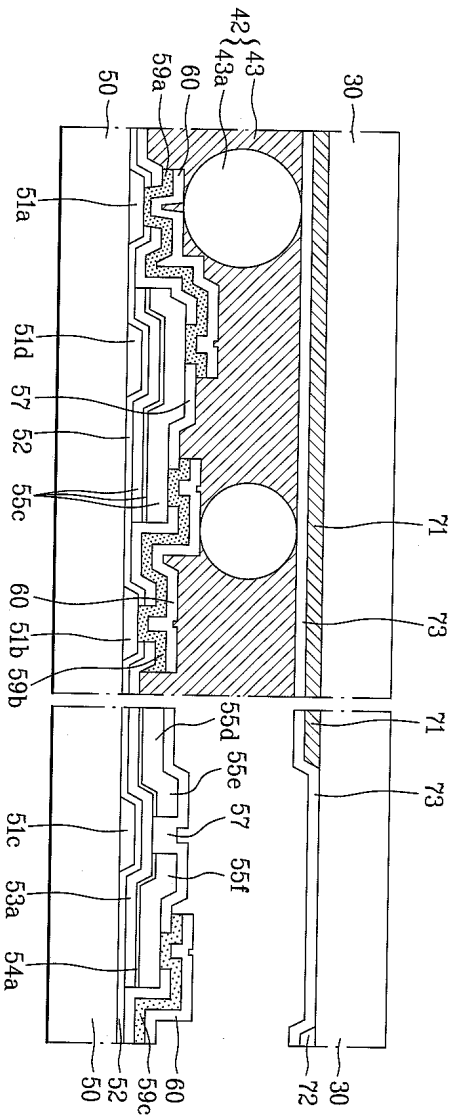
도면1



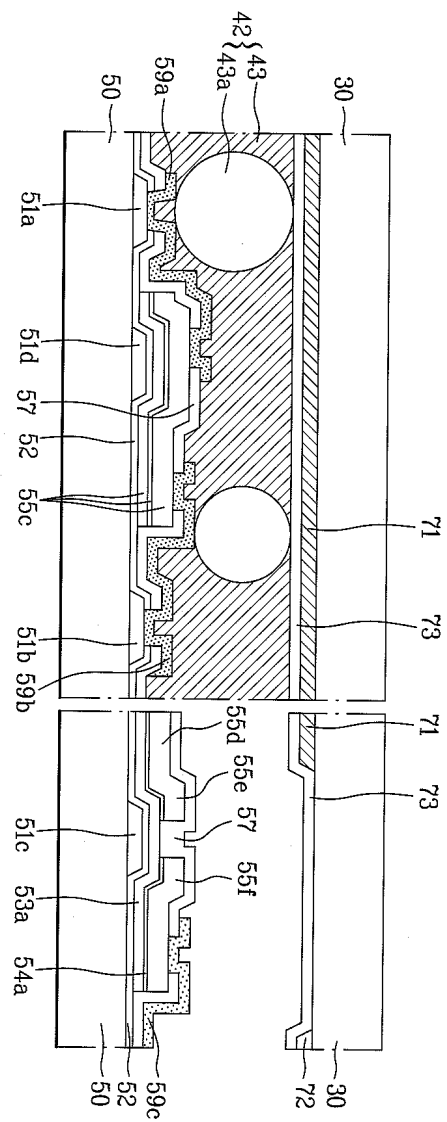
도면2



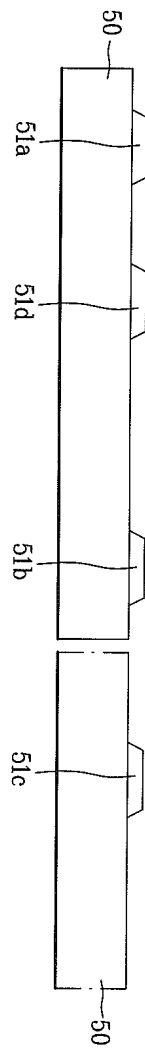
도면3



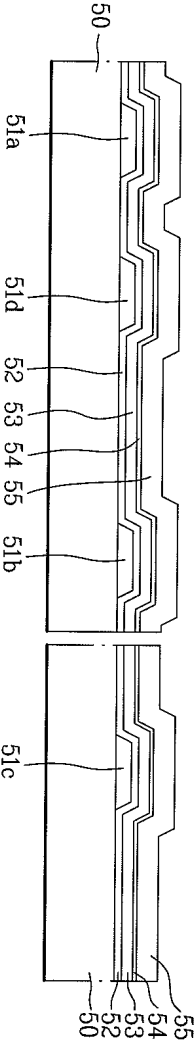
도면4



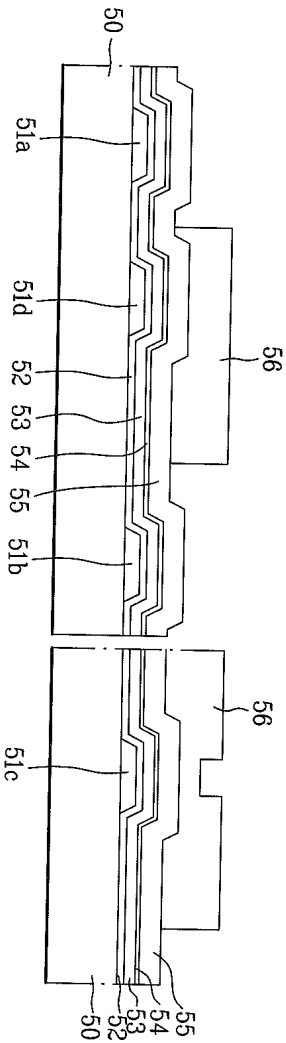
도면5a



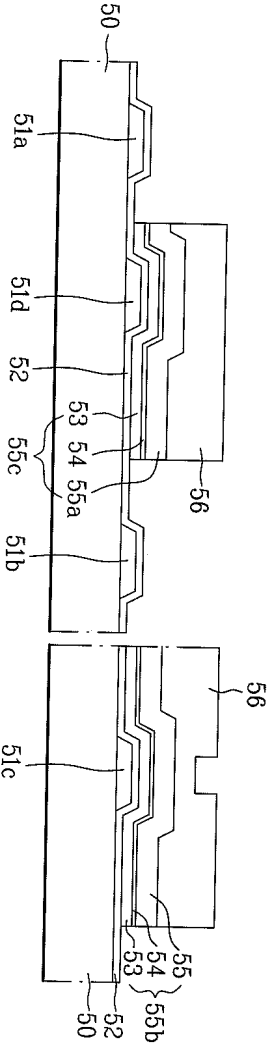
도면5b



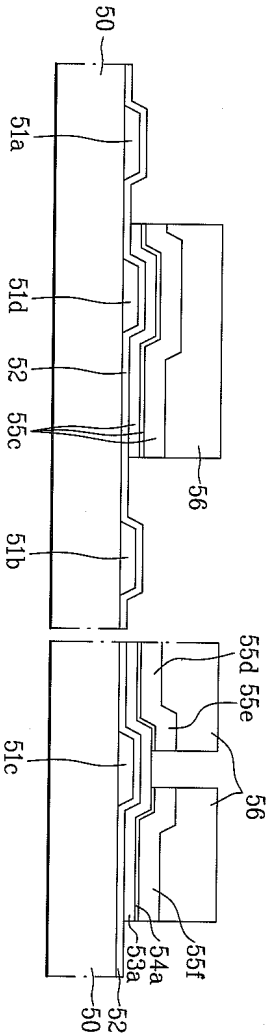
도면5c



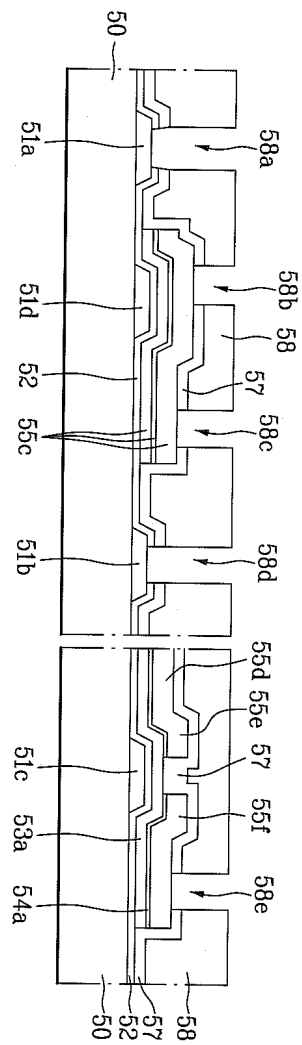
도면5d



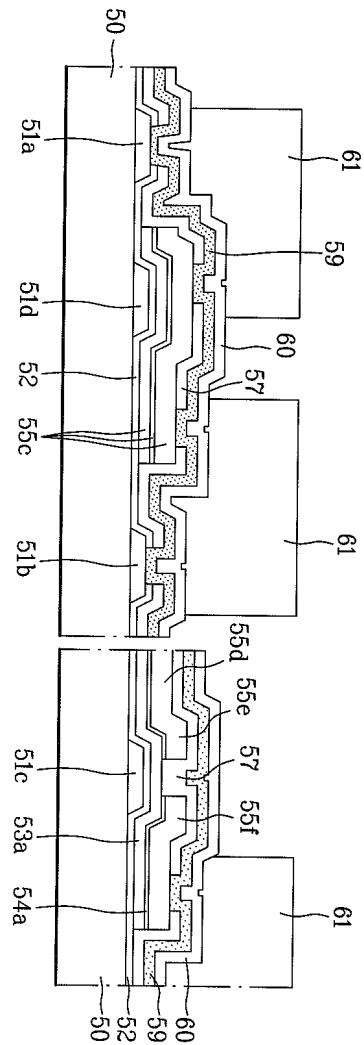
도면5e



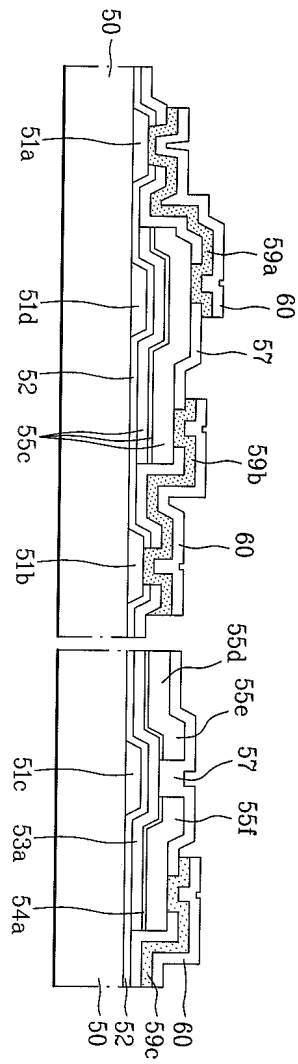
도면5f



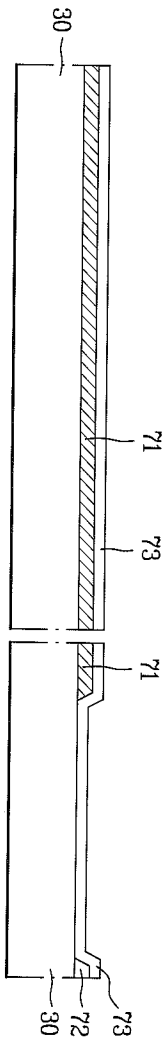
도면5g



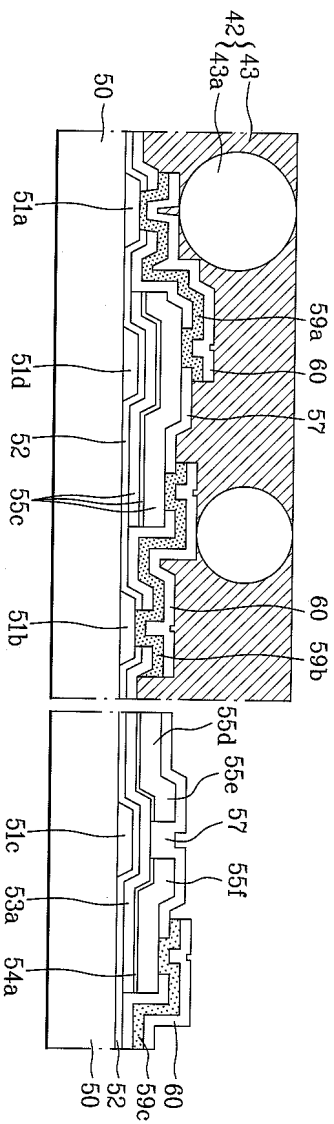
도면5h



도면5i



도면5j



도면5k

