(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G02F 1/13

(45) 공고일자 2003년04월10일
(11) 등록번호 10-0379288
(24) 등록일자 2003년03월27일

(21) 출원번호 10-2000-0060210
(22) 출원일자 2000년10월13일

(65) 공개번호 특2001-0040071
(43) 공개일자 2001년05월15일

(30) 우선권주장 평11-293794호 1999년10월15일 일본(JP)

(73) 특허권자 닛뽄덴끼 가부시끼가이샤
일본국 도요쿄오도 미나토구 시바 5쵸오메 7반 1고

(72) 발명자 시바하라히데오
일본국도쿄도미나토구시바5쵸메7반1고닛뽄덴끼가부시끼가이샤나이

(74) 대리인 최달용

심사관 : 임동재

(54) 갭을 일정하게 유지하기 위한 넓은 주상 스페이서를 갖는액정 디스플레이 패널과 그 제조 방법

요약

본 발명의 IPS(In-Plane-Switching) 액정 디스플레이 패널은 대향 기판(43)으로부터 능동 매트릭스 기판(46)을 분리하기 위한 주상 스페이서(column spacers; 41)와, 상기 기판 사이의 갭을 채우는 액정(10)을 구비하며, 픽셀(R/G/B)에 의해 점유되는 전체 면적에 대한 능동 매트릭스 기판(46)과 주상 스페이서(41) 사이의 전체 접촉 면적의 비율은 갭을 일정하게 유지함으로써 액정 디스플레이 패널을 불균일한 휘도로부터 보호하도록 0.050% 내지 0.150% 사이의 범위에 속한다.

대표도

도 6

색인어
액정 디스플레이 패널, 스페이서, 휘도

명세서

도면의 간단한 설명

도 1은 종래 기술의 IPS 액정 디스플레이 패널에서 구현된 능동 매트릭스 기판의 전극의 레이아웃을 도시한 평면도.

도 2는 종래 기술의 IPS 액정 디스플레이 패널의 구조를 도시한 단면도.

도 3은 종래 기술의 IPS 액정 디스플레이 패널에서 구현된 픽셀/공통 전극과 배향층 사이의 관계를 도시한 개략도.

도 4a 및 도 4b는 상이한 조건 하에서의 액정 분자를 도시한 개략도.

도 5는 본 발명에 따른 액정 디스플레이 패널에서 구현된 픽셀의 레이아웃을 도시한 평면도.

도 6은 액정 디스플레이 패널의 구조를 도시한 도 5의 A-B 라인을 따른 단면도.

도 7은 액정 디스플레이 패널에서 구현된 능동 매트릭스 기판에서 구현된 전극의 레이아웃을 도시한 평면도.

도 8은 접촉 면적/픽셀 점유 면적과 갭의 불균일성 사이의 관계 및 접촉 면적/픽셀 점유 면적과 휘도(brightness)의 불균일성이 발생하는 온도 사이의 관계를 도시한 그래프.

도 9는 본 발명에 따른 다른 액정 디스플레이 패널에서 구현된 주상 스페이서와 픽셀의 레이아웃을 개략적으로 도시한 평면도.

도 10은 본 발명에 따른 또 다른 액정 디스플레이 패널에서 구현된 주상 스페이서와 픽셀의 레이아웃을 개략적으로 도시한 평면도.

도 11a 및 도 11b는 액정 디스플레이 패널에서 구현된 두 종류의 주상 스페이서를 도시한 단면도.

도 12는 본 발명에 따른 또 다른 액정 디스플레이 패널의 구조를 도시한 단면도.

도 13은 액정 디스플레이 패널의 수정예의 구조를 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명

1 : 주사 신호 라인 2 : 투명 공통 전극

3 : 투명 픽셀 전극 4 : 접촉부

5 : 데이터 신호 라인 6a : 투명 절연 기판

7 : 게이트 절연층 10 : 네마틱 액정

18 : 박막 트랜지스터 19 : 편광판

22 : 구형 스페이서 23 : 밀봉 수지층

25 : 주입구 41 : 주상 스페이서

43 : 대향 기판 46 : 능동 매트릭스 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 액정 디스플레이 패널에 관한 것으로서, 특히 스페이서(spacers)에 의해 서로 이격된 기판을 갖는 액정 디스플레이 패널에 관한 것이다.

관련 기술의 설명

액정 디스플레이 패널은 가볍고, 얇고 그리고 소비 전력이 적으며, 이미지 재생 시스템뿐만 아니라 여러 정보 시스템의 단말기로서 사용되고 있다. 액정 디스플레이 패널은 한 쌍의 기판과 상기 한 쌍의 기판 사이의 갭을 채우는 액정을 포함한다. 트위스트 네마틱 액정(twisted nematic liquid crystal)과 슈퍼 트위스트 네마틱 액정(super twisted nematic liquid crystal)은 액정 디스플레이 패널로서 가용한 액정의 전형적인 예이다. 액정 분자는 액정층 양단에 인가되는 전기장의 세기에 따라 경사각을 변화시킨다. 액정 디스플레이 패널은 가상적으로 픽셀로 분할되고, 픽셀 각각은 액정을 포함한다. 드라이버 회로는 픽셀 상에 이미지를 생성하도록 경사각, 즉 액정의 투과율을 선택적으로 변경시킨다. 그러나, 이미지는 액정의 경사각에 의존한다. 만약 관측자가 액정 디스플레이 패널의 법선에 대해서 비스듬하게 서 있다면, 빛은 다른 액정을 통해 관측자에 도달하게 되고, 그 결과 이미지는 망가지게 된다. 즉, 액정 디스플레이 패널은 좁은 시야각을 갖는다.

시야각을 향상시키기 위해서, IPS 기술이 제안되어 있다. 도 1 및 도 2는 IPS 기술이 활용된 종래 기술의 액정 디스플레이 패널을 도시한다. 도 2에 도시된 바와 같이, 종래 기술의 액정 디스플레이 패널은 능동 매트릭스 기판(6)과, 대향 기판(13)과, 액정(10) 및 밀봉층(23)으로 분류된다. 능동 매트릭스 기판(6)은 대향 기판(13)에 반대되며, 액정(10)은 상기 능동 매트릭스 기판(6)과 대향 기판(6) 사이의 갭 사이에서 밀봉층(23)에 의해 밀봉된다. 구형 스페이서(spherical spacer; 22)는 밀봉층(23)을 보강한다. 전기장은 측면에서 생성되어, 액정 분자(10)에 인가된다.

능동 매트릭스 기판(6)은 투명한 절연 기판(6a)과, 편광판(19)과, 주사 신호 라인(1)과, 데이터 신호 라인(5)(도 1 참조)과, 박막 트랜지스터(18)(도 1 참조)와, 공통 전극(2)(도 1 참조)과, 픽셀 전극(3)(도 1 참조)과, 오버코트층(overcoat layer; 8) 및 배향층(9)을 포함한다. 편광판(19)은 상기 투명한 절연 기판(6a)의 외부 표면에 부착되고, 주사 신호 라인(1)과 공통 전극(2)은 상기 투명한 절연 기판(6a)의 내부 표면 상에서 패턴화된다. 주사 신호 라인(1)의 일부는 박막 트랜지스터(18)의 게이트 전극으로서 동작하고, 주사 신호 라인(1)은 상기 공통 전극(2)과 전기적으로 절연된다.

주사 라인(1)과 공통 전극(2)은 박막 트랜지스터(18) 사이에서 공유되는 게이트 절연층(7)으로 피복된다. 데이터 신호 라인(5)은 게이트 절연층(7) 상에서 패턴화된다. 반도체층, 박막 트랜지스터(18)의 소스와 드레인 전극 및 픽셀 전극(3)은 게이트 절연층(7) 상에서 또한 패턴화된다. 소스 전극은 데이터 신호 라인(5)에 선택적으로 연결되고, 드레인 전극은 관련된 픽셀 전극(3)에 연결된다. 소스 전극은 각각 관련된 반도체층과 접촉된 상태로 있게 된다. 드레인 전극은 각각 관련된 반도체층과 접촉된 상태로 있게 되며, 관련된 소스 전극에서 분리되어 있다. 따라서, 게이트 전극, 게이트 절연층(7), 소스 전극, 드레인 전극 및 반도체층은 결합하여 박막 트랜지스터(18)를 형성한다.

데이터 신호 라인(5), 소스 전극, 반도체층, 드레인 전극 및 픽셀 전극(3)은 보호 절연층(8)으로 피복되고, 배향층(9)은 보호 절연층(7) 상에 적층된다. 배향층(9)은 픽셀 전극(3)과 공통 전극(2) 사이에서 생성된 전기장의 전기력선(도 3 참조)의 방향($\theta 3$)에 대해서 $\theta 1$의 방향으로 러빙(rubbing)된다(배향된다). 전기력선은 픽셀/공통 전극(2/3)의 수평 방향에 거의 수직이다.

한편, 대향 기판(13)은 투명 절연 기판(13a), 편광판(19), 칼라 필터(14/15/16), 블랙 매트릭스(17), 오버코트층(11) 및 배향층(9)을 포함한다. 편광판(19)은 투명 절연 기판(13a)의 외부 표면에 부착된다. 편광판(19)의 하나는 θ1 의 방향으로 방향(θ3)으로부터 경사진 편광된 광의 투과 방향을 가지며(도 3 참조), 다른 편광판(19)의 투과 방향은 θ2의 방향으로 방향(θ3)으로부터 기울어진다. 따라서, 편광된 광의 투과 방향은 90도로 서로 교차된다.

칼라 필터와 블랙 매트릭스(17)는 투명 절연 기판(13a)의 내부 표면 상에서 패턴화된다. 블랙 매트릭스(17)는 칼라 필터(14, 15, 및 16)로 피복되며, 상기 칼라 필터(14, 15, 및 16)는 각각 레드, 블루 및 그린의 빛을 띤다. 블랙 매트릭스(17) 아래의 상기 칼라 필터(14, 15, 및 16)의 일부는 중첩된다. 블랙 매트릭스(17)와 칼라 필터(14/15/16)는 오버코트층(11)으로 피복되고, 배향층(9)은 오버코트층(11)에 부착된다. 칼라 필터(14/15/16)의 일부도 오버코트층(11)과 배향층(9)으로 피복되며, 칼라 필터(14/15/16)의 일부, 오버코트층(11)의 일부 및 배향층(9)의 일부는 서로 결합하여 주상(柱狀) 스페이서(column spacer; 21)를 형성한다. 주상 스페이서(21)는 능동 매트릭스 기판(6)과 결합한 상태로 유지되고, 능동 매트릭스 기판(6)과 대향 기판(13) 사이의 갭을 일정하게 한다.

종래 기술의 액정 디스플레이 패널은 다음과 같이 동작한다. 픽셀과 관련된 박막 트랜지스터(18)가 막 오프되었다고 가정하면, 연관된 데이터 신호 라인(5) 상의 비디오 신호는 박막 트랜지스터(18)를 통과하지 못하고, 또한 연관된 픽셀 전극(3)에 도달하지 못한다. 이러한 상황에서, 액정 분자(LC)는 θ1의 방향으로 방향(θ3)으로부터 기울어진 편광된 광의 투과 방향에 평행한 수평 방향을 갖는다. 입사광은 θ1의 방향으로 방향(θ3)으로부터 기울어진 편광된 광의 투과 방향을 갖도록 능동 매트릭스 기판(6)의 편광판(19)을 통해 선형적으로 편광된다. 이 때문에, 선형적으로 편광된 광은 액정 분자(LC)를 통과하고, 대향 기판(13)의 다른 편광판(19)에 도달하게 된다. 그러나, 대향 기판(13)의 편광판(19)은 θ2의 방향으로 방향(θ3)으로부터 기울어진 편광된 광의 투과 방향을 가지며, 선형적으로 편광된 광은 대향 기판(13)의 편광판(19)을 통과할 수 없다. 이것은 픽셀이 어둡다는 것을 의미한다.

한편, 데이터 신호가 박막 트랜지스터(18)를 통해 픽셀 전극(33)에 도달할 때, 픽셀 전극(3)과 공통 전극(2)의 전기장은 액정 분자(LC)가 도 4b에 도시된 바와 같이 픽셀/공통 전극(3/2)에 수직인 수평 방향을 갖도록 한다. 입사광은 능동 매트릭스 기판(6)의 편광판(19)에 의해 선형적으로 편광된다. 선형적으로 편광된 광이 액정(19)을 통과하는 동안, 선형적으로 편광된 광은 이중 반사로 인해 타원형으로 편광된 광으로 변환된다. 타원형으로 편광된 광은 대향 기판(13)의 편광판(19)을 통과하여, 픽셀을 밝게 한다.

종래 기술의 액정 디스플레이 패널 상에 이미지를 생성하기 위해서, 주사 신호는 연관된 박막 트랜지스터(18)가 온 상태가 되도록 주사 라인(1)을 통해 연관된 박막 트랜지스터(18)의 게이트 전극에 선택적으로 공급되고, 데이터 신호는 데이터 신호 라인(5)에 선택적으로 제공된다. 데이터 신호는 온 상태에 있는 박막 트랜지스터(18)를 통과하여, 연관된 픽셀 전극(3)에 도달한다. 따라서, 픽셀은 투명하게 되도록 선택적으로 변경되어, 이미지가 생성된다.

다른 종래 기술의 액정 디스플레이 패널은 능동 매트릭스형 액정 디스플레이 패널로서 공지되어 있다. 종래 기술의 표준 능동 매트릭스형 액정 디스플레이 패널은 능동 매트릭스 기판, 대향 기판 및 밀봉층에 의해 서로 분리된 능동 매트릭스 기판과 대향 기판 사이의 갭을 채우는 액정을 포함한다. 이 경우, 박막 트랜지스터, 블랙 매트릭스 및 칼라 필터는 능동 매트릭스 기판 상에 제조되고, 공통 전극은 대향 전극 상에 형성된다. 박막 트랜지스터는 다이오드나 배리스터로 대체될 수도 있다.

능동 매트릭스 기판과 대향 기판 사이의 갭을 일정하게 유지하기 위해서, 구형 스페이서, 유리 섬유 스페이서(glass fiber spacers) 또는 주상 스페이서가 능동 매트릭스 기판과 대향 기판 사이에 제공된다. 구형 스페이서는 어느 한쪽의

기판의 내부 표면 상에 임의적으로 흩어진다. 이 때문에, 제조업자는 픽셀을 구형 스페이서로부터 보호할 수 없다. 픽셀 상의 구형 스페이서는 바람직하지 않은 광 산란 및/또는 패널 상에 생성되는 이미지 저하의 원인이 된다. 또한, 구형 스페이서는 픽셀 전극과 배향층을 파괴시키기 쉽고, 액정은 픽셀 전극/배향층의 입자로 인해 오염된다. 유리 섬유 스페이서도 또한 어느 한쪽의 기판의 내부 표면 상에 흩어지며, 종래 기술의 액정 디스플레이 패널에서 동일한 문제점과 직면하게 된다.

한편, 주상 스페이서는 포토리소그라피에 의해 생성되며, 주상 스페이서는 적절한 위치에 정확하게 할당된다. 주상 스페이서는 일본국 특허 제2751392호와 일본국 특개평 제10-104606호 및 일본국 특개평 제10-82909호에 개시되어 있다.

일본국 특허 제2751392호와 일본국 특개평 제10-104606호에 개시된 주상 스페이서는 적층 구조를 갖는다. 칼라 필터는 주상 스페이서를 형성하도록 부분적으로 적층된다. 이들 주상 스페이서는 도 1에 도시된 주상 스페이서(21)와 유사하다. 한편, 일본 특개평 제10-82909호에 개시된 주상 스페이서는 오버코트층으로부터 패턴화된다.

일본국 특허 제2751392호와 일본국 특개평 제10-104606호에 개시된 종래 기술의 주상 스페이서는 어떠한 부가적인 단계도 필요로 하지 않는다. 따라서 제조 단가는 증가하지 않는다. 일본국 특개평 제10-82909호에 개시된 종래 기술의 스페이서는 패턴화 단계를 필요로 하며, 따라서 제조 단가가 증가한다.

종래 기술의 능동 매트릭스 액정 디스플레이 패널은 대향 기판 상에 공통 전극과 능동 매트릭스 기판 상에 픽셀 전극을 구비하며, 주상 스페이서는 일반적으로 능동 매트릭스 기판 상에 형성된다. 투명 전극은 주상 스페이서의 상부 표면 상에 형성된다. 공통 전극이 투명 전극에 단락 회로가 되는 것을 방지하기 위해서, 절연층이 필요된다. 한편, 주상 스페이서는 좁은 면적 상에 형성되거나 또는 단락 회로가 무시될 수 있는 영역에 위치된다. 따라서, 표준 능동 매트릭스 액정 디스플레이 패널에 주상 스페이서의 적용에는 많은 문제점이 존재한다. 또한, 표준 능동 매트릭스 액정 디스플레이 패널의 시야각은 IPS 액정 디스플레이 패널의 시야각보다 좁다.

한편, IPS 액정 디스플레이 패널은 표준의 능동 매트릭스 액정 디스플레이 패널에 대한 제한이 없으며, 넓은 시야각을 달성한다. 따라서, IPS 액정 디스플레이 패널은 많은 장점을 가지고 있다.

그러나, 종래 기술의 IPS 액정 디스플레이 패널은 액정 디스플레이 패널의 하부 에지 라인을 따라 가시적인 이미지가 부분적으로 하얗게 되는 문제점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 가시적인 이미지를 하얗게 하지 않는 액정 디스플레이 패널을 제공하는 데 있다.

또한, 부분적으로 하얗게 된 가시적인 이미지가 없는 액정 디스플레이 패널 제조 공정을 제공하는 것이 본 발명의 목적이다.

본 발명자는 종래 기술의 액정 디스플레이 패널에서 나타나는 문제점을 조사하여, 액정 디스플레이 패널이 표면 상에 수직으로 배치될 때 부분적으로 하얗게 된 가시적인 이미지가 높은 주변 온도에서 생성됨을 발견하였다. 본 발명자는 능동 매트릭스 기판과 대향 기판 사이의 갭을 측정하여, 상기 갭이 디스플레이 패널의 하부 에지를 따라 증가함을 발견하였다. 액정 디스플레이 패널의 주변 온도가 높은 경우, 액정과 배향층 사이의 표면 장력은 감소되고, 따라서 가해지는 중력으로 인해 아래로 하강하게 된다. 이것은 디스플레이 패널의 하부 에지를 따른 갭의 증가로 나타난다. 하부 에지를 따른 두꺼운 액정은 가시적인 이미지를 부분적으로 하얗게 한다.

본 발명의 제 1 양상에 따르면, 이미지가 생성되는 다수의 픽셀을 갖는 한 쌍의 기판과, 상기 한 쌍의 기판 사이의 갭을 채우며 이미지를 생성하기 위해 상기 픽셀을 선택적으로 어둡고 밝게 하는 액정 및 상기 한 쌍의 기판의 하나 상에 형성되며 나머지 기판과 접촉을 유지하고 있는 주상 스페이서를 포함하는 액정 디스플레이 패널이 제공되는데,

다수의 픽셀에 의해 차지되고 있는 전체 면적에 대한 상기 주상 스페이서와 나머지 기판 사이의 전체 접촉 면적의 비율은 0.05% 내지 0.15% 범위 내에 있다.

본 발명의 다른 양상에 따르면, 액정 디스플레이 패널을 제조하기 위한 공정이 제공되는데,

(a) 주상 스페이스를 구비하는 한 쌍의 기판을 준비하는 단계와;

(b) 상기 한 쌍의 기판을 서로 정렬하고 결합하여 그 사이에 갭을 생성하는 단계와;

(c) 상기 갭 내에 액정을 주입하는 단계와;

(d) 상기 갭에서 액정을 제거하여 기판의 내부 표면에 가해지는 압력이 대기압 이하가 되도록 하는 단계; 및

(e)상기 갭 내에 남아 있는 액정을 가두는 단계를 포함한다.

본 발명의 액정 디스플레이 패널과 그 제조 방법의 특징과 이점은 첨부된 도면과 연계한 하기의 설명으로부터 더욱 명확해질 것이다.

발명의 구성 및 작용

제 1 실시예

도면의 도 5, 도 6 및 도 7을 참조하면, 본 발명을 구현하는 IPS 액정 디스플레이 패널은 크게 능동 매트릭스 기판(46)과, 대향 기판(43)과, 밀봉층(23) 및 네마틱 액정(10)을 포함한다. 능동 매트릭스 기판(46)은 대향 기판(43)에 반대되며, 밀봉층(23)은 상기 능동 매트릭스 기판(46)과 대향 기판(43) 사이에 갭을 생성한다. 네마틱 액정(10)은 주입구(inlet port; 25)를 통해 갭으로 주입되어, 상기 능동 매트릭스 기판(46)과 상기 대향 기판(43) 사이의 갭은 액정(10)으로 채워진다. 구형 스페이서(22)는 밀봉 수지층(23)을 보강하고, 주상 스페이서(41)는 능동 매트릭스 기판(46)과 대향 기판(43) 사이의 갭을 일정하게 유지한다. 네마틱 액정(10)은 20℃에서 589㎚ 파장에 대해 0.070의 이방성 굴절율(Δn)과 7.0의 양의 이방성 유전 상수(Δε)를 갖는다. 도 5에 잘 도시된 바와 같이, 픽셀(R, G 및 B)은 밀봉 수지층(23) 내의 영역에서 행과 열로 정렬되며, 주상 스페이서(41)는 각각 픽셀(R/G/B)과 관련된다. 단지 두 개의 주상 스페이서(41)에만 도면 부호가 병기되었지만, 동일한 작은 박스는 다른 주상 스페이서(41)를 나타낸다. 픽셀(R, G 및 B)은 레드 필터(45), 그린 필터(16) 및 블루 필터(17)를 각각 포함한다.

능동 매트릭스 기판(46)은 투명 절연 기판(6a)과, 편광판(19)과, 주사 신호 라인(1)과, 데이터 신호 라인(5)과, 박막 트랜지스터(18)와, 투명 공통 전극(2) 및 투명 픽셀 전극(3)을 포함한다. 투명 절연 기판(6a)은 유리 기판이고, 그 두께는 1.1㎜이다. 편광판(19)은 투명 절연 기판(6a)의 외부 표면에 부착되며, 종래 기술의 IPS 액정 디스플레이 패널의 투과 방향과 동일한 평광된 광의 투과 방향을 갖는다. 주사 신호 라인(1)과 공통 전극(2)은 투명 절연 기판(6a)의 내부 표면 상에 패턴화된다(도 7 참조). 주사 신호 라인(1)의 일부는 박막 트랜지스터(18)의 게이트 전극으로서 동작하며, 픽셀 전극(3)은 빗 형상(comb-like shape)을 갖는다. 공통 전극(2)은 접촉부(4)에 접속되며, 주상 스페이서(41)는 하기에 설명되는 바와 같이 접촉부(4) 위의 영역과 접촉된 상태로 유지된다. 접촉부(4)는 종래 기술의 액정 디스플레이 패널의 접촉부(4')보다 더 넓다(도 1 참조).

주사 신호 라인(1)과 공통 전극(2)은 게이트 절연층(7)으로 피복되고, 데이터 신호 라인(5)과, 반도체층 및 픽셀 전극(3)은 게이트 절연층 상에 패턴화된다. 픽셀 전극(3)은 두 갈래로 나누어져서, 두 개의 손가락부를 갖는다. 한편, 각각의 픽셀에 할당된 공통 전극(2)은 세 부분으로 분리되고, 픽셀 전극(3)은 공통 전극(2)과 서로 맞물린다. 픽셀 전극은 게이트 절연층(7)을 통해 10 미크론만큼 공통 전극(2)으로부터 떨어져 있다. 데이터 신호 라인(5)은 박막 트랜지스터(18)의 소스 전극에 선택적으로 접속되며, 픽셀 전극(3)은 박막 트랜지스터(18)와 연관된 드레인 전극에 접속된다. 소스 전극과 드레인 전극은 반도체층과 접촉된 상태로 유지되며, 각각의 소스 전극은 반도체층 상에서 관련된 드레인 전극과 떨어져 있다. 픽셀 전극(3)은 공통 전극(2)과 부분적으로 중첩되며, 중첩된 부분은 게이트 절연층(7)과 함께 그 사이에 기억 커패시터를 형성한다.

박막 트랜지스터(18), 픽셀 전극(3) 및 공통 전극(2)의 관련된 부분은 각 픽셀(R/G/B) 내에 통합되며, 픽셀(R/G/B)은 데이터 신호 라인이 서로 간격을 유지하는 방향에서 270 미크론의 간격으로 그리고 주사 라인(1)이 서로 간격을 유지하는 방향에서 90 미크론의 간격으로 정렬된다.

주사 라인(1)과 데이터 신호 라인(5)은 관련된 칼럼의 픽셀(R, G 또는 B) 사이 그리고 관련된 로우(row)의 픽셀(R, G 및 B) 사이에서 각각 공유되며, 공통 전극(2)은 매트릭스의 픽셀(R/G/B) 사이에서 공유된다. 주사 라인(1), 데이터 신호 라인(5) 및 공통 전극(2)은 인접한 픽셀(R/G/B) 사이에 각각 위치된 영역 위에서 부분적으로 넓어진다. 넓은 부분은 라인 결함을 방지한다. 주사 신호 라인(1)의 넓은 부분과, 데이터 신호 라인(5)의 넓은 부분 및 공통 전극(2)의 넓은 부분은 각각 10미크론, 7미크론 및 7미크론의 폭을 갖는다. 한편, 각 픽셀 전극(3)의 손가락부와 공통 전극(2)의 분리된 부분은 어퍼쳐 비율을 향상시키키 위해 좁은 폭을 가지며, 3미크론의 폭을 갖는다. 데이터 신호 라인(5)은 1600×3, 즉 R 픽셀에 대해서 1600, G 픽셀에 대해서 1600 및 B 픽셀에 대해서 1600 개의 라인을 갖는다. 한편, 주사 신호 라인(1)은 1200개이다. 따라서, 1600×3×1200 개의 픽셀이 픽셀 어레이를 형성한다.

데이터 신호 라인(5), 반도체층, 소스 전극, 드레인 전극 및 픽셀 전극(3)은 패시베이션층(passivation layer; 8)으로 피복되며, 배향층(9)은 패시베이션층(8) 상에 적층된다. 패시베이션층(8)은 질화 실리콘(silicon nitride)으로 형성되고, 배향층(9)은 폴리이미드로 형성된다. 배향층(9)은 러빙을 통해 종래 기술의 IPS 액정 디스플레이 패널과 유사하게 배향된다. 따라서, 능동 매트릭스 기판(46)은 접촉 부분(4)의 면적을 제외하면 능동 매트릭스 기판(6)과 유사하다.

대향 기판(43)은 투명 절연 기판(13a), 편광판(19), 블랙 매트릭스(17), 칼라 필터(14/15/16) 및 오버코트층(11)을 포함한다. 편광판(19)은 투명 절연층(13a)의 외부 표면에 부착되며, 블랙 매트릭스와 칼라 필터(14/15/16)는 투명 절연층(13)의 내부 표면 상에서 패턴화된다. 칼라 필터(14/15/16)는 레드, 블루 및 그린으로 각각 채색되며, 주상 스페이서(41)를 형성하도록 블랙 매트릭스(17) 상에 부분적으로 적층된다. 주상 스페이서(41)는 4.0미크론의 높이를 갖는다. 주상 스페이서(41)는 접촉부(4)와 접촉된 상태로 유지되며, 능동 매트릭스 기판(46)과 대향 기판(43) 사이의 갭을 일정하게 유지한다. 오버코트층(11)은 액정(10)을 칼라 필터(14/15/16)에 포함된 착색제로부터 보호한다.

주상 스페이서(41)는 도 3에 도시된 바와 같이 게이트 전극(1)의 접촉부 위의 영역과 접촉된 상태로 유지된다. 따라서, 주상 스페이서(41)는 픽셀의 매트릭스 내에서 픽셀(R/G/B)의 간격과 동일한 간격으로 정렬된다. 주상 스페이서(41)는 픽셀(R/G/B)의 매트릭스 외부에 더 제공되며(도 5 참조), 밀봉층(23) 사이와 밀봉층(23)과 보조 밀봉층(24) 사이에 위치된다. 그러나, 어떠한 주상 스페이서도 밀봉층(23/24)에 할당된 영역에 제공되지는 않는다. 만약 주상 스페이서(41)가 구형 스페이서(22)와 중첩되면, 능동 매트릭스 기판(46)은 대향 기판(43)으로부터 멀리 떨어지게 된다. 이것이 어떠한 주상 스페이서도 밀봉층(23/24)에 할당된 영역에 제공되지 않는 이유이다.

구형 스페이서(22)의 직경(D1)은 이론적으로 하기의 수학식 1과 같이 주어진다:

수학식 1

$$D1=(A+B+2C+D+E+F+G)\cdot H\cdot B\cdot E\cdot F\cdot G = A+D+2C\cdot H(\text{미크론})$$

여기서 A는 칼라 필터(16)의 두께, B는 오버코트층(11)의 두께, C는 배향층(9)의 두께, D는 주상 스페이서(41)의 높이, E는 패시베이션층(8)의 두께, F는 게이트 절연층(7)의 두께, G는 게이트 전극(1)의 두께, H는 블랙 매트릭스(17)의 두께이며, 그 단위는 미크론이다. 상기 높이 D는 칼라 필터(16)와 오버코트층(11) 사이의 경계로부터 배향층(9) 사이의 경계까지 측정된다. IPS 액정 디스플레이 패널의 실제 제품에 있어서, 구형 스페이서(22)는 블랙 매트릭스(17) 아래의 오버코트층(11)에 부분적으로 삽입되며, 구형 스페이서(22)는 (D1+2) 미크론 이하인 직경(D1')을 갖도록 설계된다. 상기 수학식 1은 구형 스페이서(22) 아래에 주사 라인(1)과 동시에 패턴화된 도전층이 존재한다는 가정하에 주어진다. 만약 게이트 절연층(7)이 구형 스페이서(22) 아래에서 투명 전령 기판(6a)의 내부 표면과 직접적으로 접촉된다면, 상기 직경(D1)은 하기의 수학식 2와 같이 주어질 것이다.

수학식 2

$$D2=(A+B+2C+D+E+F+G)\cdot H\cdot B\cdot E\cdot F = A+D+2C+G\cdot H(\text{미크론})$$

이 경우에도, 구형 스페이서(22)는 (D1+2) 미크론 이하인 직경(D1')을 갖도록 설계된다.

편광판(19)은 도 3에 도시된 편광된 광의 투과 방향을 갖는다. 이 경우, 각($\theta 1$)은 75도이고, $\theta 2$는 -15도이다. 따라서, 편광판(19) 사이의 상대적인 관계는 종래 기술의 IPS 액정 디스플레이 패널의 관계와 유사하다. 배향층(9)은 러빙되고, 능동 매트릭스 기판(46)에 대한 러빙의 방향은 대향 기판(43)에 대한 러빙의 방향에 거의 평행하며, 러빙의 방향은 75도, 즉 $\theta 1$의 방향으로 전기장의 방향($\theta 3$)을 가로지른다.

IPS 액정 디스플레이 패널은 다음과 같이 제조된다. 다수의 능동 매트릭스 기판(46)과 다수의 대향 기판(43)은 단일체 구조(monolithic structures)에서 완성된다. 단일체 구조는 이하 "능동 매트릭스 보드"와 "대향 보드"로 칭해진다. 능동 매트릭스 보드와 대향 보드는 배향층(9)을 러빙함으로써 완성된다. 러빙 단계 이후에, 밀봉층(23 및 24)은 능동 매트릭스 보드의 내부 표면 상에 프린트된다.

계속해서, 능동 매트릭스 보드는 얼라이너(aligner)(도시되지 않음)를 사용함으로서 대향 보드와 조립된다. 먼저, 대향 보드와 능동 매트릭스 보드는 비접촉 상태에서 서로 정렬된다. 대향 보드가 능동 매트릭스 보드와 개략적으로 정렬되면, 대향 보드는 능동 매트릭스 보드와 조립된다. 그러나, 대향 보드가 능동 매트릭스 보드와 접촉하게 될 때 발생되는 충격으로 인해 대향 보드는 능동 매트릭스 보드와 정렬되지 못할 수도 있다. 마지막으로, 대향 보드는 접촉 상태에서 능동 매트릭스 보드와 단단히 정렬된다.

상기 조립(assemblage)과 단단한 정렬은 밀봉층(23/24)이 보드에 단단히 부착되도록 압력하에서 수행된다. 그러나, 만약 고압이 보드에 가해지면, 대향 보드를 능동 매트릭스 보드와 단단히 정렬하는 것은 어려운데, 그 이유는 주상 스페이서(410가 능동 매트릭스 보드 상에서 구르지 않기 때문이다. 만약 스페이서가 구형이라면, 제조업자는 높은 압력에도 불구하고 구형 스페이서의 회전력을 통해 대향 보드를 능동 매트릭스 보드와 단단히 정렬시킬 수 있을 것이다. 그러나, 스페이서(41)는 기둥 형상이고, 구르지 않는다. 이것은 고압이 단단한 정렬의 관점에서 바람직하지 않다는 것을 의미한다. 한편, 만약 압력이 너무 낮으면, 밀봉층(23/24)은 능동 매트릭스 보드 또는 대향 보드에 단단히 부착되지 않는다. 따라서, 보드에 가해지는 압력에 한계를 설정할 필요가 있다.

본 발명가는 보드에 가해지는 압력을 조사하였다. 본 발명가는 적절한 압력의 범위가 0.01N/㎡ 이상 6kN/㎡이하임을 발견했다. 상기 압력 범위는 각각의 주상 스페이서(41)와 능동 매트릭스 보드 사이의 접촉 면적에 상관없이 단단한 정렬과 조립에 적절하다. 만약 압력이 상기 범위 내에 있으면, 밀봉층(23/24)의 부적절한 부착없이 단단한 정렬이 부드럽게 수행된다. 이 때문에, 본 발명가는 조립과 단단한 정렬이 상기 범위 내의 압력하에서 수행되어야 한다고 결론지었다.

단단한 정렬 후에, 밀봉층(23/24)은 압력이 가해지는 상태에서 적절한 온도에서 소성된다. 이 때, 밀봉층(23/24)은 응결되고, 대향 보드는 능동 매트릭스 보드에 고정된다. 밀봉층이 소성되는 동안, 도 5에 도시된 바와 같이 정렬된 주상 스페이서(41)는 갭을 일정하게 유지한다. 만약 주상 스페이서(41)가 밀봉층(23) 내부에만 제공되는 경우, 결합된 보드는 밀봉층(23) 외부에서 부분적으로 눌려지게 되어, 톱과 같이 부분적으로 들어 올려진다. 이것은 불규칙한 갭으로 나타나게 되고, 패널은 거의 검사를 통과하지 못하게 된다. 주상 스페이서(41)는 본 발명에 따라 밀봉층(23) 외부에 균일하게 제공되고, 밀봉층(23) 사이의 주상 스페이서(41)는 보드가 부분적으로 함몰하는 것을 방지한다.

계속해서, 결합된 보드는 다수의 패널로 잘려지고, 네마틱 액정(10)이 주입구(25)로부터 능동 매트릭스 기판(46)과 대향 기판(43) 사이의 갭으로 주입된다. 네마틱 액정(10)의 주입 후, 주입구를 막는다. 네마틱 액정(10)이 갭에 주입될 때, IPS 액정 디스플레이 패널은 약간 팽창된다. IPS 액정 디스플레이 패널은 네마틱 액정의 일부가 흘러 나가도록 안으로 눌려진다. 그 다음, 광 경화성 수지(photo-cured resin)가 주입구(25)로 주입되고, 자외선이 광 경화성 수지에 조사된다. 이때, 광 경화성 수지는 응고되고, 주입구(25)는 폐쇄된다.

액정의 배출(evacuation)은 높은 주변 온도에서 동작하는 IPS 액정 디스플레이 패널의 변형에 효과적이며, 디스플레이 패널 상에 생성되는 이미지에서는 액정 분자의 하강으로 인한 불규칙한 휘도가 방지된다. 디스플레이 패널에 가해지는 내부 압력은 상기 배출 후에 대기압보다 낮은 것으로 간주한다. 액정 디스플레이 패널은 대기압과 내부 압력 사이의 차이로 인해 안쪽으로 변형된다. 내부 압력이 주변 온도와 함께 증가되더라도, 대기압과 초기 내부 압력 사이의 차이는 주변 온도로 인해 내부 압력의 증가를 부분적으로 상쇄하고, 네마틱 액정(10)의 두께를 유지시킨다. 따라서, 주변 온도의 증가로 인해 음의 초기 스트레스(stress)가 디스플레이 패널의 변형에 효과적이다.

마지막으로, 편광판(19)은 대향 기판(43)의 외부 표면과 능동 매트릭스 기판(46)의 외부 표면에 각각 부착된다.

주사 신호와 데이터 신호는 칼라 이미지를 생성하기 위해 순차적으로 IPS 액정 디스플레이 패널에 인가된다. 주사 신호는 픽셀의 로우를 순차적으로 활성화시키고, 데이터 신호는 이미지를 나타내는 데이터 정보를 상기 주사 신호에 의해 순차적으로 활성화된 픽셀의 로우에 전송한다. 픽셀은 노말리 블랙(normally-black)이다. 다시 말하면, 만약 데이터 신호가 저레벨(V_{OFF})에 있다면, 측면 전기장은 픽셀의 액정 분자를 도 4a에 도시된 바와 같이 러빙 방향과 평행하게 유지하고, 액정 분자와 편광판(19)은 픽셀을 어둡게 유지한다.

한편, 데이터 신호가 고레벨(V_{ON})에 있는 경우, 비선택된 주사 신호 라인(1) 상의 전위 레벨이 인가되는 공통 전극과 관련 픽셀 전극 사이에서 전기장이 생성되고, 상기 전기장은 도 4b에 도시된 바와 같이 러빙의 방향에 대해서 액정 분자를 특정 각으로 향하게 하여, 액정 분자와 편광판(19)은 픽셀을 밝게 한다.

수평 라인이 픽셀의 매트릭스에 대해 수직인 방식으로 IPS 액정 디스플레이 패널이 놓여졌다고 가정하면, 네마틱 액정(10)에 대해서 중력이 작용한다. IPS 액정 디스플레이 패널이 일련의 이미지를 생성하고 있는 동안, 주변 온도는 상승하고, 온도 상승은 배향층(9)과 네마틱 액정(10) 사이의 경계에서 마찰의 감소를 유발한다. 마찰의 감소는 네마틱 액정(10)의 표면 장력의 감소에 기인한다. 결과적으로, 네마틱 액정 분자는 디스플레이 패널의 하부 에지를 향해 하강한다. 이 결과 디스플레이 패널의 하부 에지를 따라 네마틱 액정(10)의 두께가 증가하게 된다.

네마틱 액정(10)의 배출이 상기 상술된 바와 같이 두께의 증가에 대해 효과적이지만, 주상 스페이서(41)의 밀도도 액정 디스플레이 패널의 변형에 또한 관련된다. 주상 스페이서(41)는 밀봉층(23)과 함께 액정 디스플레이 패널의 내부 표면에 가해지는 힘을 지지하는 것으로 예상된다. 만약 주상 스페이서(41)가 낮은 밀도에서 밀봉층의 안쪽에 정렬되면, 상기 힘은 적은 수의 주상 스페이서(41) 사이에서 공유되고, 상대적으로 큰 힘이 각각의 주상 스페이서(41)에 가해진다. 이것은 액정 디스플레이 패널이 팽창하기 쉽다는 것을 의미한다. 한편, 만약 주상 스페이서(41)가 높은 밀도에서 정렬되면, 상기 힘은 많은 수의 주상 스페이서(41) 사이에서 공유되고, 상대적으로 적은 힘이 각각의 주상 스페이서(41)에 가해진다. 이것은 액정 디스플레이 패널이 덜 팽창하게 됨을 의미한다.

본 발명가는 주상 스페이서의 접촉 면적과 각 픽셀의 점유 면적 사이의 비율에 대해서 주목했다. 본 발명가는 다수의 액정 디스플레이 패널의 샘플을 제조하였다. 상기 샘플은 능동 매트릭스 기판 상의 배향층(9)과 주상 스페이서(41) 사이의 접촉 면적이 상이하다. 각각의 픽셀(R/G/B)의 점유 면적에 대한 접촉 면적의 비는 횡좌표에 도시된 바와 같이 변경된다(도 8 참조). 먼저, 본 발명가는 액정 디스플레이 패널의 샘플에 대해서 일정한 압력을 인가했고, 능동 매트릭스 기판(46)과 대향 기판(43) 사이의 갭의 변화를 측정했다. 갭의 불균일성은 점선으로 도시하였다. 계속해서, 본 발명가는 주변 온도를 상승시켜, 디스플레이 패널의 하부 에지를 따라 밝은 지점이 발생하는지를 보기 위해 샘플을 점검하였다. 밝은 지점이 관측되는 온도는 실선으로 도시하였다.

음의 초기 스트레스의 관점에서 각각의 픽셀의 점유 면적에 대한 접촉 면적의 비율이 작은 것이 바람직하다(도 8의 점선). 그러나, 만약 상기 비율이 너무 작으면, 주상 스페이서(41)는 능동 매트릭스 기판(46)과 대향 기판(43) 사이의 갭을 일정하게 유지할 수 없게 되어, 갭의 불균일성이 발생한다. 갭의 불균일성은 디스플레이 패널 상에서 생성되는 불균일한 이미지의 원인이 된다. 한편, 디스플레이 패널의 변형에 대한 저항의 관점에서 각각의 픽셀의 점유 면적에 대한 접촉 면적의 비율이 큰 것이 바람직하다(도 8의 실선). 그러나, 상기 비율이 너무 크면, 음의 초기 스트레스는 액정 분자의 하강으로 인해 기판(43/46)에 가해지는 외부력의 작은 부분도 상쇄하지 못한다. 따라서, 절충이 필요 되어진다.

0.100%의 비율이 최적이지만, 상업 제품에는 마진이 허용된다. 상업 제품에 있어서, 갭의 최대 불균일성은 2로 제한되며, 최고 온도는 섭씨 55도이다. 갭의 최대 불균일성은 비율의 최저 한계를 설정하며, 최저 한계는 0.150%이다. 한편, 최고 온도는 비율의 최고 한계를 설정하며, 최고 한계는 0.050%이다. 따라서, 픽셀의 점유 면적에 대한 접촉 면적의 비율은 0.050% 내지 0.150% 사이의 범위에 속해야 한다.

상기 상술된 바와 같이, 각 픽셀(R/G/B)의 점유 면적은 제 1 실시예를 구현하는 IPS 액정 디스플레이 패널에서 270㎛×90㎛이다. 픽셀 점유 면적에 대한 접촉 면적의 비율이 0.100%가 되도록 하기 위해서는, 접촉 면적은 24.3제곱 미크론이다. 접촉 영역이 정사각형인 경우, 접촉 영역은 5㎛×5㎛의 크기를 갖는다.

상기의 설명에서 알 수 있는 바와 같이, 픽셀 영역에 대한 접촉 영역의 비율이 상기 범위 내에 속하기만 하면 액정 디스플레이 패널은 바람직하지 않은 불균일한 휘도가 방지된다.

제 2 실시예

도 9는 다른 액정 디스플레이 패널에서 구현된 주상 스페이서(51)와 픽셀(R/G/B)의 매트릭스를 도시한다. 제 2 실시예를 구현하는 액정 디스플레이 패널에 IPS 기술이 활용되었다. 이 때문에, 제 2 실시예를 구현하는 액정 디스플레이 패널은 주상 스페이서(51)의 레이아웃을 제외하면 제 1 실시예의 구조와 유사하다. 칼라 필터(14/15/16)는 각각 픽셀(R/G/B)에 통합된다.

픽셀(R/G/B)은 매트릭스로 정렬되고, 주상 스페이서(51)는 매트릭스 내에 위치된다. 주상 스페이서(51) 각각은 다수의 픽셀(R/G/B)과 관련된다. 이 겨우, 각각의 주상 스페이서(51)는 6 개의 픽셀(R/G/B)와 관련되고, 관련된 두 픽셀(G) 사이의 경계에 제공된다. 결과적으로, 주상 스페이서(51)는 체크무늬 방식으로(checkerwise) 정렬된다. 접촉 면적이 넓어지더라도, 전체 픽셀 점유 면적에 대한 전체 접촉 면적의 비율은 상기 상술된 비율, 즉 0.050% 내지 0.150% 내에 속하게 된다. 각각의 주상 스페이서(51)의 접촉 면적은 주상 스페이서(41)의 접촉 면적보다 6배 더 넓다.

각각의 픽셀(R/G/B)은 제 1 실시예의 픽셀과 유사하게 270㎛×90㎛의 면적을 차지한다. 6 개의 픽셀(R/G/B)은 270㎛×90㎛×6의 면적을 차지한다. 일 예로 0.01%의 비율을 달성하기 위해서는, 관련 주상 스페이서(51)는 146 제곱 미크론의 면적을 차지해야 한다. 접촉 영역이 직사각형이 경우, 상기 접촉 영역은 15㎛×10㎛의 크기를 갖는다.

제 2 실시예를 구현하는 IPS 액정 디스플레이 패널은 상기 범위 내에 있는 비율 때문에 제 1 실시예의 모든 이점을 달성한다. 또한, 주상 스페이서(51)는 제조업자가 픽셀(R/G/B)의 매트릭스 내에 주상 스페이서(51)를 정확하게 형성할 수 있을 만큼 크다.

제 3 실시예

도 10을 참조하면, 픽셀(R/G/B)이 매트릭스 형태로 정렬되어 있고, 주상 스페이서(A/B)가 픽셀(R/G/B)의 매트릭스에 형성되어 있다. 칼라 필터(14/16/15)는 각각 픽셀(R/G/B)에 통합되며, 주상 스페이서(A/B) 각각은 인접한 두 픽셀(G) 사이의 경계에 형성되어 있다. 제 3 실시예를 구현하는 액정 디스플레이 패널은 능동 매트릭스 기판(46)과 대향 기판을 포함한다. 대향 기판은 주상 스페이서(A/B)를 제외하면 대향 기판(43)과 유사하다.

오버코트층(11)과 배향층(9)이 주상 스페이서(A/B)로부터 제거되었지만, 주상 스페이서(A 및 B)는, 도 11a 및 도 11b에 도시된 바와 같이, 각각 3층 구조 및 2층 구조를 갖는다. 주상 스페이서(A/B)는 픽셀(R/G/B)의 매트릭스에 교대로 배열된다. 주상 스페이서(A)는 주상 스페이서(41)와 동일하며, 능동 매트릭스 기판(46)의 배향층(9)과 접촉되어 있다. 주상 스페이서(B)는 주상 스페이서(A)보다 짧으며, 또한 배향층(9)과 접촉되어 있다. 주상 스페이서(B)가 주상 스페이서(A)와 교대로 배열된 이유는 짧은 주상 스페이서(B)가 짧은 투명 절연 기판(6a/13a)이 대기압의 작용하에서 휘는 것을 허용하기 때문이다. 상세하게는, 액정이 능동 매트릭스 기판(46)과 대향 기판 사이의 갭으로부터 부분적으로 배출될 때, 투명 절연 기판(6a/13a)은 대기압과 음의 내부 압력 사이의 차이로 인해 휘게 된다. 투명 절연 기판(6a/13a)은 소성 단계에서 열 스트레스로 인해 휘게 된다. 주상 스페이서가 긴 간격으로 배치되는 경우, 투명 절연 기판(6a/13a)의 변형은 무시할 수 없다. 짧은 주상 스페이서(B)는 투명 절연 기판(6a/13a)의 변형에 대한 한계를 설정한다. 결과적으로, 액정 디스플레이 패널은 과도한 굴곡(bend)으로 인해 갭의 불균일성이 없다.

전체 픽셀 점유 면적에 대한 전체 접촉 면적의 비율은 0.05%와 0.15% 사이의 범위 내에 속하게 되고, 제 3 실시예를 구현하는 액정 디스플레이 패널은 제 1 실시예의 모든 이점을 달성한다.

제 4 실시예

본 발명을 구현하는 또 다른 액정 디스플레이 패널이 도 13에 도시된다. 제 4 실시예를 구현하는 액정 디스플레이 패널은 픽셀의 매트릭스의 외부에 마련된 주상 스페이서(62)와 저수통(reservoir; 61)을 제외하면 제 1 실시예, 제 2 실시예 또는 제 3 실시예와 유사하다. 제 4 실시예에 통합된 층, 신호 라인 및 스페이서는 제 1 실시예에서 설명된 대응 부분과 동일한 도면 부호로 병기되었다. 주상 스페이서가 41로 표기되었지만, 주상 스페이서(41)는 주상 스페이서(51 또는 A/B)로 대체될 수도 있다.

주상 스페이서(62)는 픽셀의 매트릭스의 외부에 형성된다. 제 1 내지 제 3 실시예와 연계하여 상기 설명된 바와 같이, 만약 전체 접촉 면적이 너무 넓으면, 배출 단계에도 불구하고 주상 스페이서는 능동 매트릭스 기판과 대향 기판 사이의 갭을 일정하게 유지하며, 불균일한 휘도가 상대적으로 낮은 주변 온도에서 발생한다. 한편, 만약 상기 비율이 상기 범위내에 속하게 되면, 액정 디스플레이 패널은 낮은 주변 온도에서 팽창하지 않으며, 미세한 이미지를 생성한다. 그러나, 액정 디스플레이 패널은 왜곡될 수도 있다. 예를 들면, 만약 사용자가 액정 디스플레이 패널을 쿡 찌르게 되면, 액정 디스플레이 패널은 일시적으로 변형되고, 디스플레이되는 이미지도 또한 변형된다. 액정 디스플레이 패널이 일시적으로 변형되는 것을 방지하기 위해서, 주상 스페이서(62)가 밀봉층(23)의 외부에 제공된다. 주상 스페이서(62)는 변형의 한계를 설정한다. 주상 스페이서(62)는 액정 디스플레이 패널의 네 코너에서 변형될 수도 있다.

저수통(61)은 액정 분자 하강 방지에 효과적이다. 액정 분자가 높은 주변 온도에서 하강하더라도, 저수통은 액정 분자를 들어 올리고, 액정 분자가 디스플레이 패널을 부분적으로 팽창시키는 것을 방지한다.

발명의 효과

주상 스페이서(62)와 저수통(61) 중 하나가 본 발명에 따른 액정 디스플레이 패널에서 사용될 수도 있다. 도 13은 저수통(61)만이 형성된 제 4 실시예의 변형예를 도시하고 있다.

상기의 설명에서 알 수 있는 바와 같이, 0.05% 내지 0.150% 사이의 범위에 속하는 비율은 높은 주변 온도에서 액정 분자의 하강으로 인한 불규칙한 휘도에 효과적이다.

본 발명의 특정 실시예가 도시되고 설명되었지만, 당업자는 본 발명의 취지와 범위를 벗어나지 않으면서 여러 변형예와 수정예를 행할 수 있을 것이다.

예를 들면, 오버코트층은 주상 스페이서를 형성하기위해 부분적으로 제거될 수도 있다.

본 발명은 다른 종류의 액정 디스플레이 패널에 적용될 수 있다. 예를 들면, 주상 스페이서(41, 51 또는 A/B)는 칼라 필터와 함께 능동 매트릭스 기판 상에 형성될 수도 있다.

주상 스페이서(51)는 관련된 두 픽셀(R)의 사이 또는 관련된 두 픽셀(B)의 사이의 경계에서 체크 무늬로 위치될 수도 있다.

유사하게, 주상 스페이서(A/B)는 픽셀(R)의 사이 또는 픽셀(B)의 사이의 경계에 위치될 수도 있다.

(57) 청구의 범위

청구항 1.

이미지가 생성되는 다수의 픽셀(R/G/B)을 구비한 한 쌍의 기판(43/46)과,

상기 한 쌍의 기판 사이의 갭을 채우며 상기 이미지를 생성하기 위해 상기 픽셀을 선택적으로 어둡고 밝게 하는 액정(10), 및

상기 한 쌍의 기판의 하나 상에 형성되며 나머지 기판과 접촉 상태로 유지되는 주상 스페이서(41; 51; A/B)를 포함하는 액정 디스플레이 패널에 있어서,

상기 다수의 픽셀(R/G/B)에 의해 점유되는 전체 면적에 대한 상기 주상 스페이서(41; 51; A/B)와 상기 나머지 기판 사이의 전체 접촉 면적은 0.050% 내지 0.150% 범위에 속하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 2.

제 1 항에 있어서,

상기 주상 스페이서(41)는 상기 픽셀과 각각 관련되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 3.

제 1 항에 있어서,

상기 액정(10)의 일부를 누적함으로써 상기 갭의 증가로부터 상기 한 쌍의 기판을 보호하기 위한 상기 기판 사이에 형성된 저수통(61)을 더 포함하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 4.

제 3 항에 있어서,

상기 다수의 픽셀(R/G/B) 외부에 형성된 부가적인 주상 스페이서(62)를 더 포함하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 5.

제 4 항에 있어서,

상기 부가적인 주상 스페이서(62)가 형성된 주변 영역과 상기 다수의 픽셀 사이에 형성된 밀봉층(23/22)을 더 포함하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 6.

제 2 항에 있어서,

상기 주상 스페이서(41; 51; A/B)는 상기 기판의 하나에 형성되며, 스위칭 트랜지스터(18), 상기 스위칭 트랜지스터에 각각 접속된 픽셀 전극(3) 및 공통 전극(2)은 나머지 기판에 통합되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 7.

제 6 항에 있어서,

상기 다수의 픽셀(R/G/B) 주위에 형성되며 스페이서(22)로 보강된 밀봉층(23)을 더 포함하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 8.

제 7 항에 있어서,

상기 스페이서(22)는 구형(spherical)이고, 상기 스페이서(22)의 지름을 DMμm, 상기 기판의 하나 상에 형성된 칼라 필터(14/15/16)의 두께를 Aμm, 상기 칼라 필터(14/15/16)를 피복하는 오버코트층(11)의 두께를 Bμm, 상기 스위칭 트랜지스터(18)와 상기 픽셀 전극(3) 위의 패시베이션층(8)과 상기 오버코트층(11)을 각각 피복하는 배향층(9)의 두께를 Cμm, 상기 주상 스페이서(41)의 높이를 Dμm, 상기 패시베이션층(8)의 두께를 Eμm, 상기 스위칭 트랜지스터(18)의 일부를 형성하는 게이트 절연층(7)의 두께를 Fμm, 상기 스위칭 트랜지스터(18)의 다른 부분을 형성하는 게이트 전극(1)의 두께를 Gμm, 그리고 상기 칼라 필터(14/15/16)에 의해 피복되는 블랙 매트릭스(17)의 두께를 Hμm라 하면,

상기 스페이서(22)의 직경 DM은,

DM=(A+B+2C+D+E+F+G)-H-B-E-G=A+D+2C-H로 표현되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 9.

제 8 항에 있어서,

상기 스페이서(22)의 실제 직경은 상기 직경(DM)+2㎛ 이하인 것을 특징으로 하는 액정 디스플레이 패널.

청구항 10.

제 1 항에 있어서,

상기 주상 스페이서(51; A/B)의 각각은 상기 다수의 픽셀(R/G/B)로부터 선택된 픽셀(G)과 관련되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 11.

제 10 항에 있어서,

상기 주상 스페이서(A/B)는 두 그룹으로 분류되며 그 중 하나는 나머지보다 더 큰 것을 특징으로 하는 액정 디스플레이 패널.

청구항 12.

제 10 항에 있어서,

상기 액정의 일부를 누적함으로써 상기 갭의 증가로부터 상기 한 쌍의 기판을 보호하기 위한 상기 기판 사이에 형성된 저수통(61)을 더 포함하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 13.

제 12 항에 있어서,

부가적인 주상 스페이서(62)가 형성되는 주변 영역과 상기 다수의 픽셀(R/G/B) 사이에 형성된 밀봉층(23/24)을 더 포함하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 14.

제 1 항에 있어서,

실온에서 상기 액정(10)은 상기 기판(43/36)의 내부 표면에 어떠한 전기력도 인가하지 않으면서 대기압보다 낮은 압력을 가하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 15.

(a) 주상 스페이서(41; 51; A/B)를 구비하는 한 쌍의 기판(43/46)을 준비하는 단계와;

(b) 상기 한 쌍의 기판(43/36) 사이에 갭을 생성하기 위해 이들을 서로 정렬하여 조립하는 단계와;

(c) 상기 갭에 액정(10)을 주입하는 단계와;

(d) 상기 기판(43/46)의 내부 표면에 가해지는 압력을 대기압보다 낮게 하기 위해서 상기 갭으로부터 상기 액정(10)의 일부를 배출하는 단계; 및

(e) 상기 갭 내의 상기 액정(10)의 나머지 부분을 가두는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

청구항 16.

제 15 항에 있어서,

상기 단계 (b)에서 0.01N/㎡ 내지 6kN/㎡ 범위의 압력이 상기 기판(43/46)에 인가되는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

청구항 17.

제 15 항에 있어서,

상기 단계 (b)는,

(b-1) 비접촉 상태에서 상기 기판(43/46)을 개략적으로 정렬하는 단계와;

(b-2) 상기 기판을 서로 접촉시키는 단계; 및

(b-3) 0.01N/㎡ 내지 6kN/㎡ 범위의 압력을 인가하면서 상기 기판을 서로 정확하게 정렬하는 부단계를 더 포함하는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

청구항 18.

제 15 항에 있어서,

상기 단계 (d)에서 상기 액정(10)의 일부를 배출하기 위해 상기 기판에 힘이 인가되는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

청구항 19.

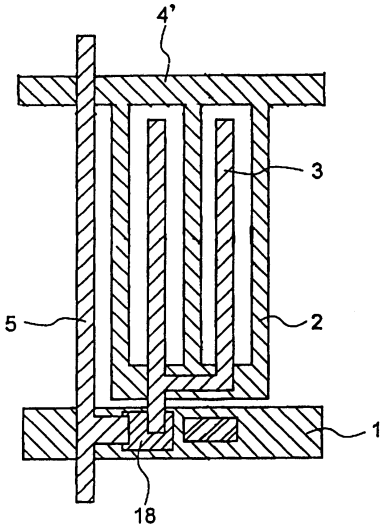
제 15 항에 있어서,

상기 기판의 하나에 형성된 상기 주상 스페이서(41; 51; A/B)는 상기 갭을 생성하기 위해 상기 기판의 나머지 하나와 접촉된 상태로 유지되며, 픽셀(R/G/B)에 의해 점유되는 면적에 대한 상기 기판의 나머지 하나와 상기 주상 스페이서(41; 51; A/B) 사이의 전체 접촉 면적의 비율은 0.050% 내지 0.150% 사이의 범위 내에 있는 것을 특징으로 하는 액정 디스플레이 패널 제조 방법.

도면

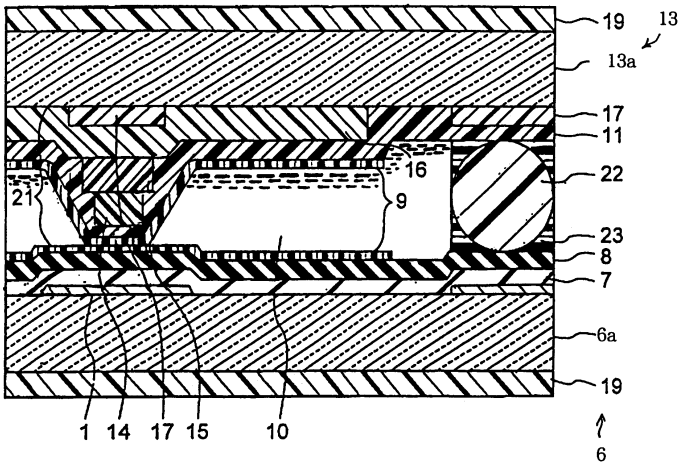
도면 1

종래기술



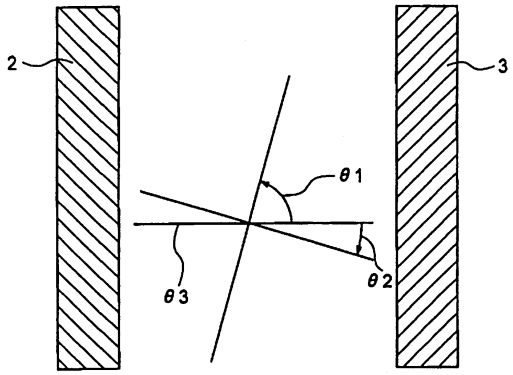
도면 2

종래기술



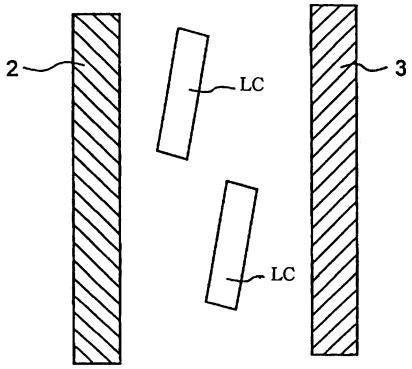
도면 3

종래기술



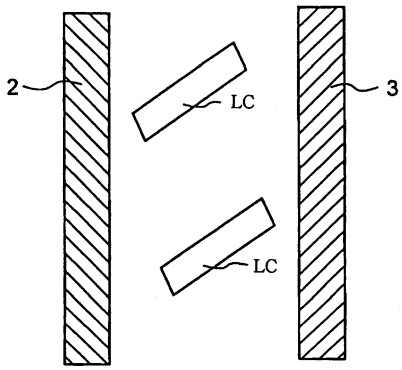
도면 4a

종래기술

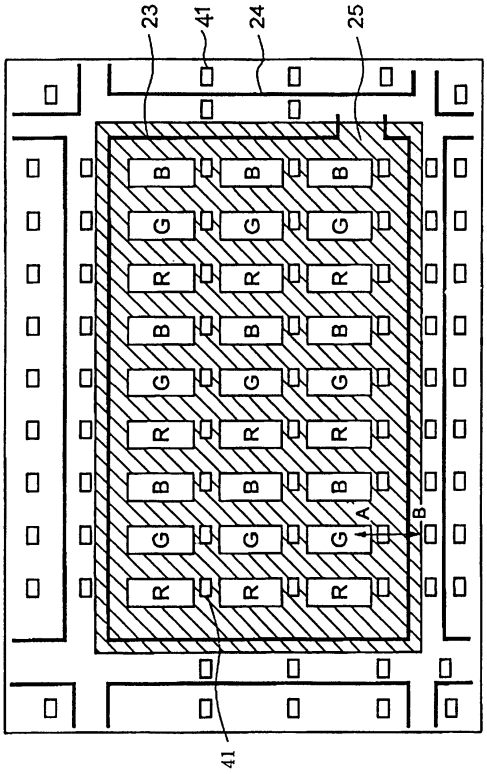


도면 4b

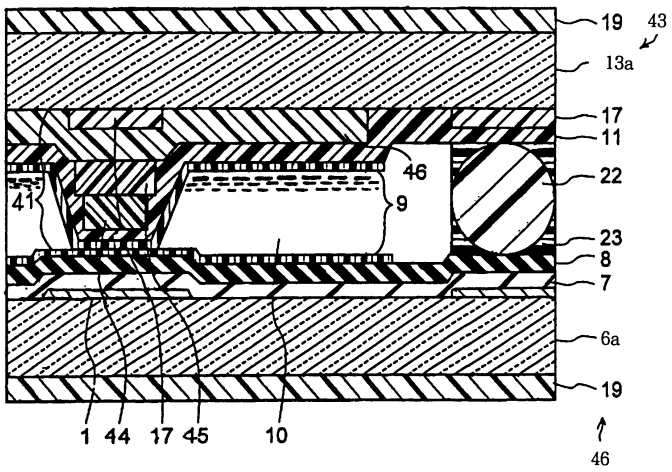
종래기술



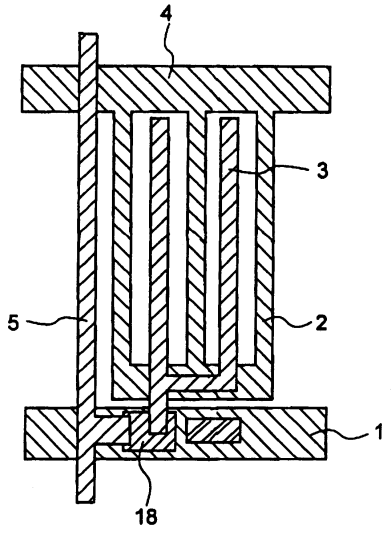
도면 5


23
41
24
25
B
G
R
A
41

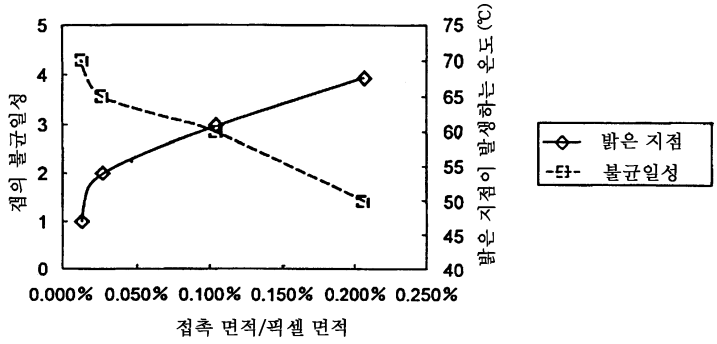
도면 6


19
43
13a
17
11
46
22
41
9
23
8
7
6a
19
1
44
17
45
10
46

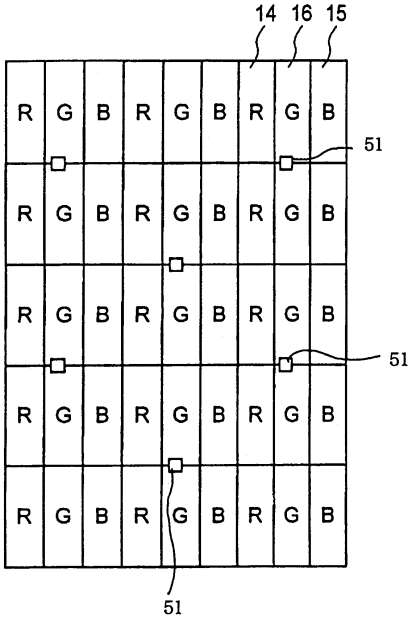
도면 7


4
3
5
2
1
18

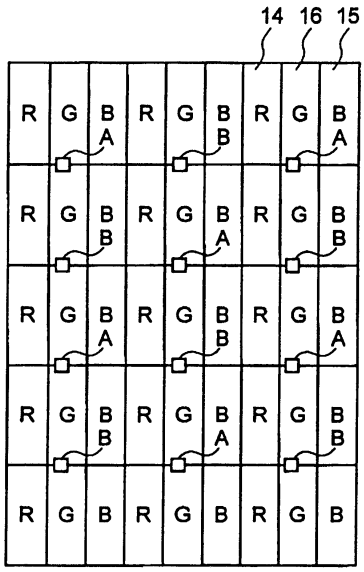
도면 8


5
4
3
2
1
0
75
70
65
60
55
50
45
40
0.000%
0.050%
0.100%
0.150%
0.200%
0.250%
접촉 면적/픽셀 면적
전체의 불균일성
밝은 지점이 발생하는 온도(℃)
밝은 지점
불균일성

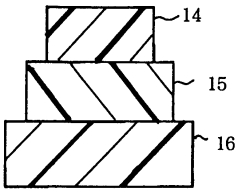
도면 9


14
16
15
R G B R G B R G B
51
51
51

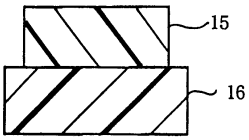
도면 10


14
16
15
R G BA R G BB R G BA
R G BB R G BA R G BB
R G BA R G BB R G BA
R G BB R G BA R G BB
R G B R G B R G B

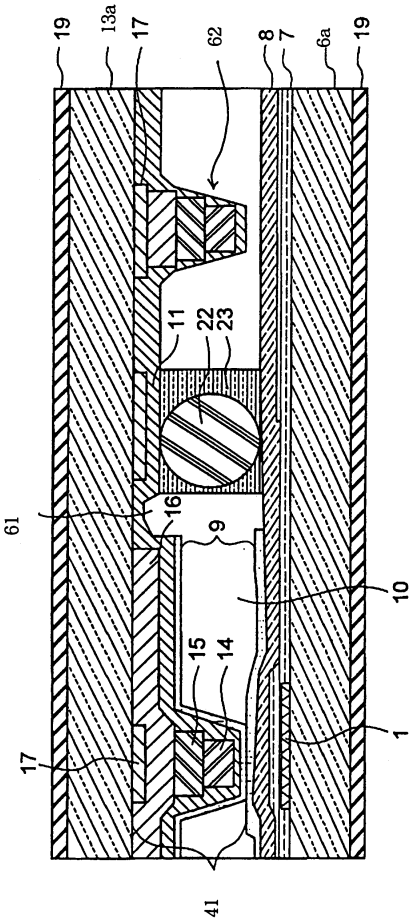
도면 11a



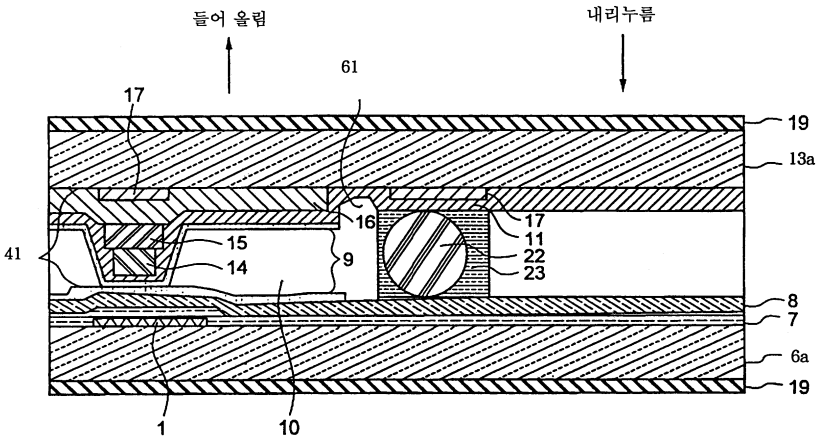
도면 11b



도면 12



도면 13



专利名称(译)	具有宽柱状间隔物的液晶显示板，用于保持间隙恒定		
公开(公告)号	KR100379288B1	公开(公告)日	2003-04-10
申请号	KR1020000060210	申请日	2000-10-13
申请(专利权)人(译)	日本地方自己兴趣可否来.)		
当前申请(专利权)人(译)	日本地方自己兴趣可否来.)		
[标]发明人	SHIBAHARA HIDEO		
发明人	SHIBAHARA,HIDEO		
IPC分类号	G02F1/13 G02F1/1333 G02F1/1343 G02F1/1339		
CPC分类号	G02F1/13394 G02F1/134363 G02F2001/133388 G02F2001/13396		
优先权	1999293794 1999-10-15 JP		
其他公开文献	KR1020010040071A		
外部链接	Espacenet		

摘要(译)

IPS（面内切换）液晶显示面板具有用于将有源矩阵衬底结构与对衬底结构隔开的柱状衬垫，并且液晶填充其间的间隙，其中柱状衬垫之间的总接触面积与由像素占据的总面积的有源矩阵衬底结构落在0.050％至0.150％的范围内，以通过保持间隙恒定来防止液晶显示面板的亮度不均匀。