



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0066013

(43) 공개일자 2007년06월27일

(21) 출원번호 10-2005-0126693

(22) 출원일자 2005년12월21일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 신경주
경기 화성시 태안읍 반월리 신영통현대1차아파트 105-1102호
신성식
경기 성남시 분당구 정자동 미켈란쉐르빌 D동 2601호
박철우
경기 수원시 영통구 매탄2동 한국1차아파트 102동 601호
곽희준
경기 용인시 기흥읍 구갈리 270번지 세종리젠시빌 101-102

(74) 대리인 박영우

전체 청구항 수 : 총 15 항

(54) 액정표시장치와 이에 채용되는 게이트 구동 회로

(57) 요약

향상된 표시 특성을 갖는 액정표시장치와 이에 채용되는 게이트 구동 회로가 개시된다. 데이터 구동부는 표시패널의 데이터 라인들에 데이터 신호들을 제공한다. 게이트 구동부는 정극성 데이터 신호에 상응하여 상대적으로 높은 제1 게이트 오프전압을 갖는 제1 게이트 신호를 표시패널의 게이트 라인에 인가하고, 부극성 데이터 신호에 상응하여 상대적으로 낮은 제2 게이트 오프전압을 갖는 제2 게이트 신호를 표시패널의 게이트 라인에 인가한다. 이에 따라, 정극성 데이터 신호와 부극성 데이터 신호의 충전량은 실질적으로 동일하여 액정표시장치의 표시특성을 향상시킬 수 있다.

대표도

도 6

특허청구의 범위

청구항 1.

복수의 게이트 라인들과 복수의 데이터 라인들에 의해 정의되는 복수의 화소 영역들을 포함하는 표시패널;

상기 데이터 라인들에 데이터 신호들을 제공하는 데이터 구동부; 및

정극성 데이터 신호에 상응하여 상대적으로 높은 제1 게이트 오프전압을 갖는 제1 게이트 신호를 상기 게이트 라인에 인가하고, 부극성 데이터 신호에 상응하여 상대적으로 낮은 제2 게이트 오프전압을 갖는 제2 게이트 신호를 상기 게이트 라인에 인가하는 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서,

홀수번째 게이트 라인은 홀수번째 라인 방향으로 배치된 홀수번째 화소와 짝수번째 라인 방향으로 배치된 짝수번째 화소에 연결되고,

짝수번째 게이트 라인은 짝수번째 라인 방향으로 배치된 홀수번째 화소와 홀수번째 라인 방향으로 배치된 홀수번째 화소에 연결된 것을 특징으로 하는 액정표시장치.

청구항 3.

제2항에 있어서, 상기 데이터 라인은 인접하는 화소들에 서로 다른 극성 데이터 신호들을 전달하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제2항에 있어서, 라인 방향으로 배치된 인접하는 화소들에는 서로 다른 극성 데이터 신호들이 전달되는 것을 특징으로 하는 액정표시장치.

청구항 5.

제1항에 있어서, 상기 게이트 구동부는

수직개시신호 또는 캐리신호에 응답하여 쉬프트 신호를 순차적으로 출력하는 쉬프트 레지스터;

상기 쉬프트 신호가 제공됨에 따라, 화소전압의 극성에 상응하는 극성 신호를 근거로 제1 게이트 온전압 및 제1 게이트 오프전압 또는 제2 게이트 온전압 및 제2 게이트 오프전압을 출력하는 레벨 쉬프터; 및

상기 제1 게이트 온/오프전압 또는 상기 제2 게이트 온/오프전압을 순차적으로 출력하는 출력 버퍼를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제5항에 있어서, 상기 제1 및 제2 게이트 오프전압 각각은 1 프레임 동안 유지되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제1항에 있어서, 상기 게이트 구동부는

제1 수직개시신호 또는 제1 캐리신호에 응답하여 제1 쉬프트 신호를 순차적으로 출력하는 제1 쉬프트 레지스터;

제2 수직개시신호 또는 제2 캐리신호에 응답하여 제2 쉬프트 신호를 순차적으로 출력하는 제2 쉬프트 레지스터;

상기 제1 쉬프트 신호가 제공됨에 따라, 제1 게이트 온전압 및 제1 게이트 오프전압을 출력하는 제1 레벨 쉬프터;

상기 제2 쉬프트 신호가 제공됨에 따라, 제2 게이트 온전압 및 제2 게이트 오프전압을 출력하는 제2 레벨 쉬프터; 및

상기 제1 게이트 온전압 및 제1 게이트 오프전압과 상기 제2 게이트 온전압 및 제2 게이트 오프전압을 순차적으로 출력하는 출력 버퍼를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제7항에 있어서, 상기 제1 및 제2 게이트 오프전압 각각은 1 프레임 동안 유지되는 것을 특징으로 하는 액정표시장치.

청구항 9.

제7항에 있어서, 상기 제1 수직개시신호와 제2 수직개시신호는 1H 구간 지연되는 것을 특징으로 하는 액정표시장치.

청구항 10.

제1항에 있어서, 상기 제1 게이트 신호는 상기 게이트 라인을 액티브시키는 게이트 온전압을 포함하고,

상기 제1 게이트 오프전압은 상기 게이트 온전압에 후속하여 상기 게이트 라인을 인액티브시키는 것을 특징으로 하는 액정표시장치.

청구항 11.

제1항에 있어서, 상기 제2 게이트 신호는 상기 게이트 라인을 액티브시키는 게이트 온전압을 포함하고,

상기 제2 게이트 오프전압은 상기 게이트 온전압에 후속하여 상기 게이트 라인을 인액티브시키는 것을 특징으로 하는 액정표시장치.

청구항 12.

수직개시신호 또는 캐리신호에 응답하여 쉬프트 신호를 순차적으로 출력하는 쉬프트 레지스터;

상기 쉬프트 신호가 제공됨에 따라, 화소전압의 극성에 상응하는 극성 신호를 근거로 제1 게이트 온전압 및 제1 게이트 오프전압 또는 제2 게이트 온전압 및 제2 게이트 오프전압을 출력하는 레벨 쉬프터; 및

상기 제1 게이트 온/오프전압 또는 상기 제2 게이트 온/오프전압을 순차적으로 출력하는 출력 버퍼를 포함하는 것을 특징으로 하는 게이트 구동 회로.

청구항 13.

제12항에 있어서, 공통전압 대비 정극성 화소전압이 출력될 때, 상기 제1 게이트 오프전압은 상기 제2 게이트 오프전압보다 높은 것을 특징으로 하는 게이트 구동 회로.

청구항 14.

제1 수직개시신호 또는 제1 캐리신호에 응답하여 제1 쉬프트 신호를 순차적으로 출력하는 제1 쉬프트 레지스터;

제2 수직개시신호 또는 제2 캐리신호에 응답하여 제2 쉬프트 신호를 순차적으로 출력하는 제2 쉬프트 레지스터;

상기 제1 쉬프트 신호가 제공됨에 따라, 제1 게이트 온전압 및 제1 게이트 오프전압을 출력하는 제1 레벨 쉬프터;

상기 제2 쉬프트 신호가 제공됨에 따라, 제2 게이트 온전압 및 제2 게이트 오프전압을 출력하는 제2 레벨 쉬프터; 및

상기 제1 게이트 온전압 및 제1 게이트 오프전압과 상기 제2 게이트 온전압 및 제2 게이트 오프전압을 순차적으로 출력하는 출력 버퍼를 포함하는 것을 특징으로 하는 게이트 구동 회로.

청구항 15.

제14항에 있어서, 공통전압 대비 정극성 화소전압이 출력될 때, 상기 제1 게이트 오프전압은 상기 제2 게이트 오프전압보다 높은 것을 특징으로 하는 게이트 구동 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치와 이에 채용되는 게이트 구동 회로에 관한 것으로, 보다 상세하게는 향상된 표시 특성을 갖는 액정표시장치와 이에 채용되는 게이트 구동 회로에 관한 것이다.

일반적으로, 액정표시장치는 서로 대향하는 하부 및 상부 기관들과, 상기 기관들 사이에 개재된 액정층을 포함하는 액정표시패널을 갖는다. 상기 액정표시패널은 복수의 화소들로 이루어진다.

각 화소들은 상기 하부 기관에 형성된 스위칭소자와, 상기 스위칭소자에 일단이 연결되고 상기 상부 기관의 공통 전극에 일단이 연결된 액정 캐패시터를 포함한다. 상기 액정 캐패시터는 상기 스위칭소자로부터 전달된 데이터 전압과, 상기 공통 전극에 인가된 공통 전압간의 전위차에 따른 화소전압을 충전한다. 즉, 상기 액정표시장치는 상기 데이터 전압의 변화, 상기 액정 캐패시터의 스토리지 캐패시턴스 변화, 그리고 광의 투과 정도에 따라서 영상을 표시한다.

한편, 액정 물질은 지속적으로 동일한 극성의 전계가 인가되면 액정 물질이 열화되는 문제점이 있다. 따라서, 공통 전압에 대한 화소전압의 극성을 반전시켜 구동하여야 한다. 즉, 현재프레임에서 임의의 한 화소가 정극성의 신호 전압을 받았으면, 그 다음 프레임에서는 반드시 부극성의 신호 전압을 받아야 한다.

이러한 이유로 인해 액정표시장치를 반전 구동하기 위해 프레임 반전 구동 방식(frame inversion method), 라인 반전 구동 방식(line inversion method), 컬럼 반전 구동 방식(column inversion method), 도트 반전 구동 방식(dot inversion method) 등이 적용되고 있다.

이러한 반전 구동 방법들은 일정한 거리를 두고 사람의 눈이 여러 화소들을 동시에 인식하므로 일정한 면적내에서의 각 화소들의 휘도 평균값이 일정한 것을 이용하는 것이다. 이러한 반전 구동법들은 일반적인 디스플레이에서는 유효하여 사용자가 불편을 느끼지 못하지만, 만일 반전 구동법과 동일한 패턴들을 디스플레이하는 경우 여전히 플리커링 문제가 발생한다.

상기 플리커링(flickering)은 액정의 충전 극성을 정극성(+)과 부극성(-)을 주기적으로 반전시키는 과정에서 두 극성간의 투과율 차이가 발생할 때 나타나는 화질 특성으로서, 각 도트들이 평면상에 분포하고, 각각의 도트들을 제어하는 전압의 인가가 한쪽 방향으로만 이루어지므로 액정표시패널의 길이에 따라 RC 지연이 발생하여 각 도트에 동일한 전압을 인가할 수 없기 때문에 발생하는 현상이다.

즉, 라인 반전에서는 가로줄 패턴, 컬럼 반전에서는 세로줄 패턴, 도트 반전에서는 도트 패턴에서 플리커가 발생한다. 이는 이러한 패턴에서는 프레임 반전에서는와 같은 효과로 눈에 인식되기 때문이다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 차등 게이트 오프전압의 공급을 통해 향상된 표시특성을 갖는 액정표시장치를 제공하는 것이다.

본 발명의 다른 목적은 상기한 액정표시장치에 채용되는 게이트 구동 회로를 제공하는 것이다.

발명의 구성

상기한 본 발명의 목적을 실현하기 위하여 일 실시예에 따른 액정표시장치는 표시패널, 데이터 구동부 및 게이트 구동부를 포함한다. 상기 표시패널은 복수의 게이트 라인들과 복수의 데이터 라인들에 의해 정의되는 복수의 화소 영역들을 포함한다. 상기 데이터 구동부는 상기 데이터 라인들에 데이터 신호들을 제공한다. 상기 게이트 구동부는 정극성 데이터 신호에 상응하여 상대적으로 높은 제1 게이트 오프전압을 갖는 제1 게이트 신호를 상기 게이트 라인에 인가하고, 부극성 데이터 신호에 상응하여 상대적으로 낮은 제2 게이트 오프전압을 갖는 제2 게이트 신호를 상기 게이트 라인에 인가한다.

상기한 본 발명의 목적을 실현하기 위하여 일 실시예에 따른 게이트 구동 회로는 쉬프트 레지스터, 레벨 쉬프터 및 출력버퍼를 포함한다. 상기 쉬프트 레지스터는 수직개시신호 또는 캐리신호에 응답하여 쉬프트 신호를 순차적으로 출력한다. 상기 레벨 쉬프터는 상기 쉬프트 신호가 제공됨에 따라, 화소전압의 극성에 상응하는 극성 신호를 근거로 제1 게이트 온전압 및 제1 게이트 오프전압 또는 제2 게이트 온전압 및 제2 게이트 오프전압을 출력한다. 상기 출력버퍼는 상기 제1 게이트 온/오프전압 또는 상기 제2 게이트 온/오프전압을 순차적으로 출력한다.

상기한 본 발명의 목적을 실현하기 위하여 일 실시예에 따른 게이트 구동 회로는 제1 쉬프트 레지스터, 제2 쉬프트 레지스터, 제1 레벨 쉬프터, 제2 레벨 쉬프터 및 출력버퍼를 포함한다. 상기 제1 쉬프트 레지스터는 제1 수직개시신호 또는 제1 캐리신호에 응답하여 제1 쉬프트 신호를 순차적으로 출력한다. 상기 제2 쉬프트 레지스터는 제2 수직개시신호 또는 제2 캐리신호에 응답하여 제2 쉬프트 신호를 순차적으로 출력한다. 상기 제1 레벨 쉬프터는 상기 제1 쉬프트 신호가 제공됨에 따라, 제1 게이트 온전압 및 제1 게이트 오프전압을 출력한다. 상기 제2 레벨 쉬프터는 상기 제2 쉬프트 신호가 제공됨에 따라, 제2 게이트 온전압 및 제2 게이트 오프전압을 출력한다. 상기 출력버퍼는 상기 제1 게이트 온전압 및 제1 게이트 오프전압과 상기 제2 게이트 온전압 및 제2 게이트 오프전압을 순차적으로 출력한다.

이러한 액정표시장치와 이에 채용되는 게이트 구동 회로에 의하면, 정극성 데이터 신호의 충전시 부극성 데이터 신호의 충전에 대응되는 게이트 오프 전압보다 높은 레벨의 게이트 오프 전압을 인가하므로써, 정극성 데이터 신호와 부극성 데이터 신호의 충전량은 실질적으로 동일하여 액정표시장치의 표시특성을 향상시킬 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 1a는 박막트랜지스터의 게이트-소스 전압과 드레인-소스 전류 특성을 측정하는 등가 회로도이고, 도 1b는 박막트랜지스터의 게이트-소스 전압과 드레인-소스 전류 특성을 설명하는 그래프이다. 도 1b에서 상기 박막트랜지스터의 W/L이 $300\mu\text{m}/4.5\mu\text{m}$ 이다.

도 1a를 참조하면, 어몰퍼스-실리콘 박막트랜지스터(a-Si TFT)의 게이트-소스 전압(V_{gs})과 드레인-소스 전류(I_{ds}) 특성을 측정하기 위해 상기 박막트랜지스터의 게이트 전극에 -20 내지 20V의 직류전원을 연결하였고, 드레인 전극에 10V의 직류전원을 연결하였다.

도 1b를 참조하면, 게이트-소스 전압(V_{gs})이 약 -7V일 때 드레인-소스 전류(I_{ds})가 최소이고, 게이트-소스 전압(V_{gs})이 박막트랜지스터의 문턱전압(V_{th}) 이상부터는 크게 증가하여 점점 포화(Saturation)되는 것을 확인할 수 있다.

이러한 특성의 박막트랜지스터를 채용하는 액정표시장치를 구동할 때, 게이트 구동 회로의 출력인 게이트 신호는 20V 이상의 게이트 온전압(V_{ON})과, -7V의 게이트 오프전압(V_{OFF})을 사용한다.

하지만, 정극성 또는 부극성의 화소전압이 충전된 상태에서의 박막트랜지스터의 게이트, 소스 및 드레인 전극에서 감지되는 전압은 하기하는 도 2a 및 도 2b에서 각각 설명한다.

도 2a 및 도 2b는 정극성 및 부극성 충전 상태에서 박막트랜지스터의 각 노드의 전압을 각각 설명하는 등가 회로도들이다.

도 2a 및 도 2b를 참조하면, 데이터 전압으로 대략 0~12V를 사용하고, 공통전압(V_{com})으로 +6V를 사용하면, 상대적으로 화이트 계조를 나타내는 정극성 화소전압은 12V, 상대적으로 블랙 계조를 나타내는 부극성 화소전압은 0V이다.

정극성 화소전압으로 12V가 1 프레임동안 화소 전극에 충전되어 계조를 유지하는 경우, 박막트랜지스터의 게이트, 소스 및 드레인 전극 각각의 전압은 각각 -7V, 12V 및 6V이다.

이 상태에서 드레인-소스 전류(I_{ds})를 확인하기 위해 게이트-소스 전압(V_{gs})을 구하면, 드레인 전극의 전압이 소스 전극의 전압보다 낮으므로 게이트-소스 전압(V_{gs})은 드레인 전극과 게이트 전극의 전압차인 -13V이고, 드레인-소스 전압(V_{ds})은 +6V이다.

따라서, 화소에 충전된 화소전압은 게이트-소스 전압(V_{gs})이 -13V이고, 드레인-소스 전압(V_{ds})이 6V 상태에서의 드레인-소스 전류(I_{ds}) 크기만큼 화소 전극에서 데이터 전극으로 방전된다.

반면에, 부극성 화소전압으로 0V가 1 프레임 동안 화소 전극에 충전되어 계조를 유지하는 경우, 박막트랜지스터의 게이트, 소스 및 드레인 전극에서 유지되는 전압은 각각 -7V, 0V 및 평균 6V이다.

이 상태에서의 드레인-소스 전류(I_{ds})는 드레인 전극의 전압이 소스 전극의 전압보다 높으므로 게이트-소스 전압(V_{gs})은 소스와 게이트 전극의 전압차인 -7V가 되고, V_{ds} 는 드레인에서 소스로 +6V가 인가된다.

따라서, 화소에 충전된 화소전압은 게이트-소스 전압(V_{gs})이 -7V이고, 드레인-소스 전압(V_{ds})이 6V 상태에서의 드레인-소스 전류(I_{ds}) 크기만큼 데이터 전극에서 화소전극으로 충전된다.

그러면, 이하에서 정극성 데이터 신호와 부극성 데이터 신호 각각의 충전 상태에서, 게이트-소스 전압(V_{gs})의 크기 및 드레인-소스 전류(I_{ds})의 방향에 대해 설명한다.

도 3a 및 도 3b는 정극성 및 부극성 충전 상태에서 게이트-소스 전압과 드레인-소스 전류의 방향을 각각 설명하는 등가회로도이다.

도 3a를 참조하면, 정극성 데이터 신호가 충전되었을 때, 게이트-소스 전압(V_{gs})은 -13V이고, 오프전류(I_{off})는 드레인 전극에서 소스 전극으로 흐른다. 왜냐하면, 드레인 전극이 12V이고, 소스 전극이 평균 6V이기 때문이다.

한편, 도 3b를 참조하면, 부극성 데이터 신호가 충전되었을 때, 게이트-소스 전압(V_{gs})은 -7V이고, 오프전류(I_{off})는 소스 전극에서 드레인 전극으로 흐른다. 왜냐하면, 드레인 전극이 0V이고, 소스 전극이 평균 6V이기 때문이다.

이처럼, 오프전류(I_{off})의 크기는 정극성 데이터 신호와 부극성 데이터 신호간에 차이가 존재한다. 왜냐하면, 박막트랜지스터의 오프전류(I_{off}) 영역의 특성이 선형적이지 않고, V-자 형상을 갖기 때문이다. 즉, 게이트-소스 전압(V_{gs})이 음의 방향으로 증가하여 오프전류(I_{off})의 최저점을 벗어나면 오히려 오프전류(I_{off})가 증가하기 때문이다.

도 4는 박막트랜지스터의 게이트-소스 전압과 드레인-소스 전류의 특성을 설명하는 그래프이다. 도 4에서는 상기 박막트랜지스터의 W/L이 $300\mu\text{m}/4.5\mu\text{m}$ 이다.

도 4를 참조하면, 오프전류(I_{off})의 편차의 크기를 살펴보면, 정극성 및 부극성간 게이트-소스 전압(V_{gs})의 차이를 6V로 정하고, 게이트-소스 전압(V_{gs})과 드레인-소스 전류(I_{ds}) 특성에서의 최대 차이를 구하면 정극성 오프전류(I_{off})는 $2.37 \times 10^{-12} [\text{A}]$, 부극성 오프전류(I_{off})는 $2.38 \times 10^{-13} [\text{A}]$ 이다. 즉, 상기 정극성 오프전류와 부극성 오프전류간에는 약 10배의 편차가 발생됨을 알 수 있다.

정극성 및 부극성 오프전류간에 발생하는 약 10배의 편차가 액정표시패널에 미치는 영향을 살펴보면, 오프전류(I_{off})는 화소전압이 화소에 충전되어 1 프레임동안 유지되는 능력과 관계가 있다.

도 5는 정극성 데이터 신호와 부극성 데이터 신호에 대응하는 오프전류 편차로 인해 발생하는 평균 전압(V_{rms})의 차이를 설명하는 파형도이다. 특히, 정극성 및 부극성간 오프전류(I_{off}) 편차에 기인한 드롭전압(V_{drop})의 차이로 인해 1 프레임 동안의 계조로 인지되는 평균전압(V_{rms})이 상이함을 나타낸다.

또한, 정/부극성간 비대칭의 발생 원인인 계조간 액정캐패시터(C_{lc})들의 편차와, 게이트-소스 전압(V_{gs})에 의한 게이트-소스 기생캐패시턴스(C_{gs})들의 편차는 무시하고, 게이트-소스 전압(V_{gs})에 의한 오프전류(I_{off}) 편차만을 나타낸 것이다.

도 5를 참조하면, 정극성에서의 초기의 화소전압과 1 프레임이 지난 후의 화소전압간 차이인 정극성 드롭전압(V_{drop})이 계산된다. W/L= $300/4.5\mu\text{m}$ 에서의 정극성 오프전류(I_{off})는 $2.37 \times 10^{-12} [\text{A}]$ 이므로 W/L= $40/4.5\mu\text{m}$ 에서의 정극성 오프전류(I_{off})는 $0.316 \times 10^{-12} [\text{A}]$ 로 환산된다.

1 프레임동안 오프전류(I_{off})가 $0.316 \times 10^{-12} [\text{A}]$ 로 인해 방전되는 전하량(Q)이 산출된다. 즉, $Q = CV = It$ 의 연산식에 의해 $0.316 \times 10^{-12} \times 16.7 \text{ms} = 5.2772 \times 10^{-15}$ 이고, 스토리지 캐패시터의 캐패시턴스(C_{st})와 액정 캐패시터의 캐패시턴스(C_{lc})의 합이 1.778pF으로 동일하다고 할 때, 이를 전압으로 환산하면 2.968mV이다.

반면에, 부극성에서의 초기의 화소전압과 1 프레임이 지난 후의 화소전압간 차이인 부극성 드롭전압(V_{drop})이 계산된다. W/L= $300/4.5\mu\text{m}$ 에서의 부극성 오프전류(I_{off})는 $2.38 \times 10^{-13} [\text{A}]$ 이므로 W/L= $40/4.5\mu\text{m}$ 에서의 정극성 오프전류(I_{off})는 $0.317 \times 10^{-13} [\text{A}]$ 로 환산된다.

1 프레임동안 오프전류(I_{off})가 $0.317 \times 10^{-13} [\text{A}]$ 로 인해 방전되는 전하량(Q)이 산출된다. 즉, $Q = CV = It$ 의 연산식에 의해 $0.317 \times 10^{-13} \times 16.7 \text{ms} = 5.2939 \times 10^{-16}$ 이고, 스토리지 캐패시터의 캐패시턴스(C_{st})와 액정 캐패시터의 캐패시턴스(C_{lc})의 합이 1.778pF으로 동일하다고 할 때 이를 전압으로 환산해 보면 0.298mV가 된다.

따라서, 정극성 드롭전압(V_{drop})과 부극성 드롭전압(V_{drop})의 차이인 2.670mV만큼 비대칭이다. 이러한 작은 정극성과 부극성간의 비대칭에 의해 액정표시장치를 장시간동안 구동하면 잔상과 같은 불량이 발생된다.

상기한 비대칭의 문제를 개선하기 위해 본 발명에서는 데이터 신호의 극성별 게이트 오프전압(V_{OFF})을 차등으로 인가하는 방법을 제안한다.

도 6은 본 발명에 따른 차등 게이트 오프전압(V_{OFF})을 이용하여 정극성 데이터 신호와 부극성 데이터 신호에 대응하는 오프전류(I_{off}) 편차의 감소를 설명하는 파형도이다.

도 6을 참조하면, 정극성 데이터 신호에 대응하는 프레임에서, 상대적으로 레벨 업된 게이트 오프전압(V_{OFF})이 인가되므로 정극성 게이트-소스 전압(V_{gs})과 부극성 게이트-소스 전압(V_{gs})간의 차이는 감소된다. 따라서, 정극성 및 부극성간의 드롭전압(V_{drop})의 편차가 최소화된다. 상기한 최소화된 드롭전압의 편차에 의해 정극성 데이터 신호와 부극성 데이터 신호의 충전량은 실질적으로 동일하여 액정표시장치의 표시특성은 향상된다.

도 7은 본 발명의 일 실시예에 따른 게이트 구동 회로를 설명하는 블록도이다. 도 8은 도 7에 도시된 게이트 구동 회로의 입출력 파형을 설명하는 파형도이다.

도 7 및 도 8을 참조하면, 게이트 구동 회로(100)는 쉬프트 레지스터(110), 레벨 쉬프터(120) 및 출력 버퍼(130)를 포함한다.

상기 쉬프트 레지스터(110)는 외부에서 제공되는 수직개시신호(STV) 또는 캐리신호(CARRY IN)와 게이트 클럭(CLK)에 응답하여 1-라인 시간 간격으로 하이 레벨인 복수의 쉬프트 레지스터 신호들(SRS1~SRSN)을 순차적으로 이동시켜 레벨 쉬프터(120)에 출력한다.

상기 게이트 구동 회로(100)가 첫 번째 게이트 라인을 포함하는 게이트 라인들에 전기적으로 연결되면, 상기 쉬프트 레지스터(110)는 외부로부터 제공되는 수직개시신호(STV)와 게이트 클럭(CLK)을 근거로 동작한다.

한편, 상기 게이트 구동 회로(100)가 잔여 게이트 라인들에 전기적으로 연결되면, 상기 쉬프트 레지스터(110)는 이전 스테이지에 배치된 게이트 구동 회로로부터 제공되는 캐리신호(CARRY OUT)와 게이트 클럭(CLK)을 근거로 동작한다.

상기 레벨 쉬프터(120)는 상기 쉬프트 레지스터(110)로부터 상기 하이 레벨의 쉬프트 레지스터 신호들(SRS1~SRSN)을 제공받는다. 상기 레벨 쉬프터(120)는 화소전압의 극성에 상응하는 극성 신호(POL)를 제공받는다. 상기 레벨 쉬프터(120)는 외부로부터 제1 게이트 온전압(VON1), 제1 게이트 오프전압(VOFF1), 제2 게이트 온전압(VON2) 및 제2 게이트 오프전압(VOFF2)을 제공받는다.

상기 레벨 쉬프터(120)는 상기 극성 신호(POL)와 상기 쉬프트 레지스터 신호들(SRS1~SRSN)을 근거로 외부로부터 공급되는 제1 게이트 온전압(VON1) 및 제1 게이트 오프전압(VOFF1) 또는 제2 게이트 온전압(VON2) 및 제2 게이트 오프전압(VOFF2)으로 레벨 쉬프팅, 즉 레벨 업시키고, 레벨 쉬프팅 신호(LSS1~LSSN)를 상기 출력 버퍼(130)에 출력한다.

상기 제1 및 제2 게이트 오프전압(VOFF1/VOFF2)은 스위칭소자(TFT)를 턴-오프시킨다. 상기 제1 게이트 오프전압(VOFF1)과 상기 제2 게이트 오프전압(VOFF2)은 서로 다르다.

한편, 상기 제1 및 제2 게이트 온전압(VON1/VON2)은 스위칭소자(TFT)를 턴-온시킨다. 상기 제1 게이트 온전압(VON1)과 상기 제2 게이트 온전압(VON2)은 서로 상이할 수도 있고, 동일할 수도 있다.

상기 출력 버퍼(130)는 상기 레벨 쉬프팅 신호(LSS1~LSSN)를 버퍼링하여 액정표시패널에 형성된 게이트 라인들에 서로 다른 게이트 오프전압을 갖는 게이트 신호들(G1~GN)을 순차적으로 출력한다.

이에 따라, 각각의 게이트 라인들에 독립적으로 서로 다른 레벨의 게이트 오프전압을 인가하므로써, 상기 게이트 라인들을 1 프레임동안 유지시킬 수 있다.

도 9는 본 발명의 다른 실시예에 따른 게이트 구동 회로를 설명하는 블록도이다. 도 10은 도 9에 도시된 게이트 구동 회로의 입출력 파형을 설명하는 파형도이다.

도 9 및 도 10을 참조하면, 게이트 구동 회로(200)는 제1 쉬프트 레지스터(210), 제2 쉬프트 레지스터(220), 제1 레벨 쉬프터(230), 제2 레벨 쉬프터(240) 및 출력 버퍼(250)를 포함한다.

상기 제1 쉬프트 레지스터(210)는 제1 수직개시신호(STV1) 또는 제1 캐리신호(CARRY IN)에 응답하여 제1 쉬프트 레지스터 신호(SRS11~SRS1N)를 제1 레벨 쉬프터(230)에 순차적으로 출력한다.

상기 제2 쉬프트 레지스터(220)는 제2 수직개시신호(STV2) 또는 제2 캐리신호(CARRY IN)에 응답하여 제2 쉬프트 레지스터 신호(SRS21~SRS2N)를 제2 레벨 쉬프터(240)에 순차적으로 출력한다.

상기 제1 레벨 쉬프터(230)는 상기 제1 쉬프트 레지스터 신호(SRS11~SRS1N)가 제공됨에 따라, 제1 게이트 온/오프(VON1, VOFF1)를 출력한다. 상기 제2 레벨 쉬프터(240)는 상기 제2 쉬프트 레지스터 신호(SRS21~SRS2N)가 제공됨에 따라, 제2 게이트 온/오프(VON2, VOFF2)를 출력한다.

상기 제1 및 제2 게이트 오프전압(VOFF1/VOFF2)은 스위칭소자(TFT)를 턴-오프시킨다. 상기 제1 게이트 오프전압(VOFF1)과 상기 제2 게이트 오프전압(VOFF2)은 서로 다르다. 한편, 상기 제1 및 제2 게이트 온전압(VON1/VON2)은 스위칭소자(TFT)를 턴-온시킨다.

상기 출력 버퍼(250)는 상기 제1 게이트 온/오프전압(VON1/VOFF1)과 상기 제2 게이트 온/오프전압(VON2/VOFF2)을 액정표시패널에 형성된 게이트 라인들에 순차적으로 출력한다.

도 10에 도시된 바와 같이, 제1 프레임에서, 제1 수직개시신호(STV1)에 의해 발생하는 게이트 신호들 각각은 제1 게이트 온전압(VON1)과 제1 게이트 오프전압(VOFF1)을 갖고서 순차적으로 출력된다. 상기 제1 프레임에 후속하는 제2 프레임에서, 제2 수직개시신호(STV2)에 의해 발생하는 게이트 신호들 각각은 제2 게이트 온전압(VON2)과 제2 게이트 오프전압(VOFF2)을 갖고서 순차적으로 출력된다.

따라서, 상기 제1 수직개시신호(STV1)와 제2 수직개시신호(STV2)는 화소전압의 반전 주기에 대응하는 시간차를 갖는다.

상기 제1 및 제2 수직개시신호(STV1, STV2)에 동기시켜 제1 클럭(CLK1)과 제2 클럭(CLK2)의 폭을 정하면, 제1 게이트 오프전압(VOFF1)과 제2 게이트 오프전압(VOFF2)은 교호로 출력된다. 예를들어, 상기 화소전압의 반전 주기가 2-라인 반전이면 2개의 게이트 신호들에 대응하는 폭을 갖는다. 또한 화소전압의 반전 주기가 1-라인 반전이면 1개의 게이트 신호에 대응하는 폭을 갖는다.

도 11은 본 발명의 또 다른 실시예에 따른 액정표시장치를 설명하는 블록도이다.

도 11을 참조하면, 액정표시장치(300)는 타이밍 제어부(310), 데이터 구동부(320), 게이트 구동부(330) 및 액정표시패널(340)을 포함한다.

상기 타이밍 제어부(310)는 외부 장치로부터 제1 데이터 신호(DATA1), 각종 동기 신호들(Hsync, Vsync), 데이터 인에이블신호(DE) 및 메인 클럭(MCLK)을 제공받는다.

상기 타이밍 제어부(310)는 제2 데이터 신호(DATA2)와, 제2 데이터 신호(DATA2)의 출력을 위한 데이터 구동 신호(LOAD, STH)를 상기 데이터 구동부(320)에 출력한다.

상기 타이밍 제어부(310)는 제1 게이트 구동 신호(GCK1, STV1) 및 제1 게이트 온/오프전압(VON1/VOFF1)을 상기 게이트 구동부(330)에 출력한다. 상기 타이밍 제어부(310)는 제2 게이트 구동 신호(GCK2, STV2) 및 제2 게이트 온/오프전압(VON2/VOFF2)을 상기 게이트 구동부(330)에 출력한다. 상기 제1 수직개시신호(STV1)는 상기 제2 수직개시신호(STV2)보다 앞선다.

본 실시예에 따른 액정표시장치가 1-라인 반전 구동 방식에 의해 구동되는 경우, 상기 제1 수직개시신호(STV1)와 상기 제2 수직개시신호(STV2)는 일례로 1H 구간만큼 이격된다. 상기 1-라인 반전 구동 방식은 게이트 라인에 대응하여 전기적으로 연결된 화소들이 동일한 극성을 갖고서, 1개의 라인 단위로 서로 인접하는 화소들이 공통전압 대비 서로 다른 극성으로 충전되는 방식이다.

한편, 본 실시예에 따른 액정표시장치가 2-라인 반전 구동 방식에 의해 구동되는 경우, 상기 제1 수직개시신호(STV1)와 상기 제2 수직개시신호(STV2)는 일례로 2H 구간만큼 이격된다. 상기 2-라인 반전 구동은 게이트 라인에 대응하여 전기적으로 연결된 화소들이 동일한 극성을 갖고서, 2개의 라인 단위로 서로 인접하는 화소들이 공통전압 대비 서로 극성으로 충전되는 방식이다.

상기 제2 게이트 온/오프전압(VON2/VOFF2)은 상기 액정표시패널(340)에 형성된 스위칭소자를 정상적으로 턴-온/턴-오프시키는 레벨이다. 본 실시예에서 상기 스위칭소자는 어몰퍼스-실리콘 박막트랜지스터(a-Si TFT)이다.

상기 데이터 구동부(320)는 상기 타이밍 제어부(310)에서 상기 제2 데이터 신호(DATA2)가 수신됨에 따라, 상기 제2 데이터 신호(DATA2)를 데이터 전압(화소전압)으로 변경하고, 변경된 데이터 전압(D1, D2, ..., Dm)(여기서, m은 정수 또는 3의 배수)을 상기 액정표시패널(340)의 데이터 라인에 인가한다.

상기 게이트 구동부(330)는 상기 제1 게이트 구동 신호(GCK1, STV1)에 응답하여 상기 액정표시패널(340)의 게이트 라인들을 활성화하는 게이트 신호(G1, G2, ..., Gn-1, Gn)(여기서, n은 정수)를 상기 액정표시패널(340)의 게이트 라인들에 순차적으로 인가한다.

상기 액정표시패널(340)은 게이트 신호(스캔 신호 또는 주사 신호)(G1, G2, ..., Gn-1, Gn)를 전달하는 복수의 게이트 라인(주사 라인 또는 스캔 라인)들과, 상기 데이터 전압(D1, D2, ..., Dm)을 전달하는 복수의 데이터 라인(소스 라인)들을 포함한다.

도 12는 도 11에 도시된 액정표시패널의 일례를 설명하는 등가회로도이다. 특히, 컬럼 반전 구동 방식을 갖는 액정표시패널의 화소 배치 일례를 나타낸다.

도 12를 참조하면, 액정표시패널(340)은 복수의 게이트 라인들(GLq-1, GLq, GLq+1), 복수의 데이터 라인들(DLp, DLp+1, DLp+2, DLp+3, DLp+4), 서로 인접하는 게이트 라인들 및 서로 인접하는 데이터 라인들에 의해 구획되는 영역에 배치된 복수의 박막트랜지스터 및 상기 박막트랜지스터에 전기적으로 연결된 복수의 액정캐패시터(Clc)를 포함한다.

홀수번째 라인 방향(수평방향)을 따라 배치된 박막트랜지스터는 홀수번째 게이트 라인(GLq) 및 홀수번째 데이터 라인(DLp, DLp+2, DLp+4) 또는 홀수번째 게이트 라인(GLq) 및 짝수번째 데이터 라인(DLp+1, DLp+3)에 전기적으로 연결된다. 상기 홀수번째 라인 방향을 따라 배치된 박막트랜지스터들 각각은 하나의 액정 캐패시터(Clc)에 전기적으로 연결된다.

짝수번째 라인 방향(수평방향)을 따라 배치된 박막트랜지스터는 짝수번째 게이트 라인(GLq-1, GLq+1) 및 홀수번째 데이터 라인(DLp, DLp+2, DLp+4) 또는 짝수번째 게이트 라인(GLq-1, GLq+1) 및 짝수번째 데이터 라인(DLp+1, DLp+3)에 전기적으로 연결된다. 상기 짝수번째 라인 방향을 따라 배치된 박막트랜지스터는 하나의 액정 캐패시터(Clc)에 전기적으로 연결된다.

동작시, 현재 프레임에 대응해서는 상기 홀수번째 라인 방향으로 배치된 복수의 액정 캐패시터(Clc)들은 정극성 데이터 전압을 충전하고, 상기 짝수번째 라인 방향으로 배치된 복수의 액정 캐패시터(Clc)들은 부극성 데이터 전압을 충전한다.

다음 프레임에 대해서는 상기 홀수번째 라인 방향으로 배치된 복수의 액정 캐패시터(Clc)들은 부극성 데이터 전압을 충전하고, 상기 짝수번째 라인 방향으로 배치된 복수의 액정 캐패시터(Clc)들은 정극성 데이터 전압을 충전한다.

따라서, 상기한 화소 배열 구조의 액정표시패널(340)을 갖는 액정표시장치는 1-라인 반전 구동 방식에 의해 구동된다.

도 13은 도 11에 도시된 액정표시패널의 다른 예를 설명하는 등가회로도이다. 특히, 도트 반전 구동 방식을 갖는 액정표시패널의 화소 배치 일례를 나타낸다.

도 13을 참조하면, 액정표시패널(340)은 복수의 게이트 라인들(GLq-1, GLq, GLq+1), 복수의 데이터 라인들(DLp, DLp+1, DLp+2, DLp+3, DLp+4), 서로 인접하는 게이트 라인들 및 서로 인접하는 데이터 라인들에 의해 구획되는 영역에 배치된 복수의 박막트랜지스터 및 상기 박막트랜지스터에 전기적으로 연결된 복수의 액정캐패시터(Clc)를 포함한다.

홀수번째 컬럼 방향(수직방향)을 따라 배치된 박막트랜지스터는 홀수번째 게이트 라인(GLq) 및 홀수번째 데이터 라인(DLp, DLp+2, DLp+4) 또는 짝수번째 게이트 라인(GLq-1, GLq+1) 및 홀수번째 데이터 라인(DLp, DLp+2, DLp+4)에 전기적으로 연결된다. 상기 홀수번째 컬럼 방향을 따라 배치된 박막트랜지스터들 각각은 하나의 액정 캐패시터(Clc)에 전기적으로 연결된다.

짝수번째 컬럼 방향(수직방향)을 따라 배치된 박막트랜지스터는 짝수번째 게이트 라인(GLq-1, GLq+1) 및 짝수번째 데이터 라인(DLp+1, DLp+3) 또는 홀수번째 게이트 라인(GLq) 및 짝수번째 데이터 라인(DLp+1, DLp+3)에 전기적으로 연결된다. 상기 짝수번째 컬럼 방향을 따라 배치된 박막트랜지스터들 각각은 하나의 액정 캐패시터(Clc)에 전기적으로 연결된다.

동작시, 현재 프레임에 대응해서는 상기 홀수번째 컬럼 방향으로 배치된 복수의 홀수번째 액정 캐패시터(Clc)들과 상기 짝수번째 컬럼 방향으로 배치된 복수의 짝수번째 액정 캐패시터(Clc)들은 정극성 데이터 전압을 충전한다. 또한, 상기 홀수번째 컬럼 방향으로 배치된 복수의 짝수번째 액정 캐패시터(Clc)들과 상기 짝수번째 컬럼 방향으로 배치된 복수의 홀수번째 액정 캐패시터(Clc)들은 부극성 데이터 전압을 충전한다.

다음 프레임에 대응해서는 상기 홀수번째 컬럼 방향으로 배치된 복수의 홀수번째 액정 캐패시터(Clc)들과 상기 짝수번째 컬럼 방향으로 배치된 복수의 짝수번째 액정 캐패시터(Clc)들은 부극성 데이터 전압을 충전한다. 또한, 상기 홀수번째 컬럼 방향으로 배치된 복수의 짝수번째 액정 캐패시터(Clc)들과 상기 짝수번째 컬럼 방향으로 배치된 복수의 홀수번째 액정 캐패시터(Clc)들은 정극성 데이터 전압을 충전한다.

따라서, 상기한 화소 배열 구조의 액정표시패널을 갖는 액정표시장치는 도트 반전 구동 방식에 의해 구동된다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 정극성 데이터 신호의 충전시 부극성 데이터 신호의 충전에 대응되는 게이트 오프 전압보다 높은 레벨의 게이트 오프 전압을 인가하므로써, 정극성 데이터 신호와 부극성 데이터 신호의 충전량은 실질적으로 동일하여 액정표시장치의 표시특성을 향상시킬 수 있다.

이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a는 박막트랜지스터의 게이트-소스 전압과 드레인-소스 전류 특성을 측정하는 등가 회로도이고, 도 1b는 박막트랜지스터의 게이트-소스 전압과 드레인-소스 전류 특성을 설명하는 그래프이다.

도 2a 및 도 2b는 정극성 및 부극성 충전 상태에서 박막트랜지스터의 각 노드의 전압을 각각 설명하는 등가 회로도들이다.

도 3a 및 도 3b는 정극성 및 부극성 충전 상태에서 게이트-소스 전압과 드레인-소스 전류의 방향을 각각 설명하는 등가 회로도이다.

도 4는 박막트랜지스터의 게이트-소스 전압과 드레인-소스 전류의 특성을 설명하는 그래프이다.

도 5는 정극성 데이터 신호와 부극성 데이터 신호에 대응하는 오프전류 편차로 인해 발생하는 평균 전압의 차이를 설명하는 파형도이다.

도 6은 본 발명에 따른 차등 게이트 오프전압을 이용하여 정극성 데이터 신호와 부극성 데이터 신호에 대응하는 오프전류 편차의 감소를 설명하는 파형도이다.

도 7은 본 발명의 일 실시예에 따른 게이트 구동 회로를 설명하는 블록도이다.

도 8은 도 7에 도시된 게이트 구동 회로의 입출력 파형을 설명하는 파형도이다.

도 9는 본 발명의 다른 실시예에 따른 게이트 구동 회로를 설명하는 블록도이다.

도 10은 도 9에 도시된 게이트 구동 회로의 입출력 파형을 설명하는 파형도이다.

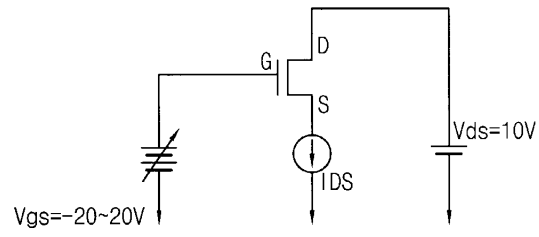
도 11은 본 발명의 또 다른 실시예에 따른 액정표시장치를 설명하는 블록도이다.

도 12는 도 11에 도시된 액정표시패널의 일례를 설명하는 등가회로도이다.

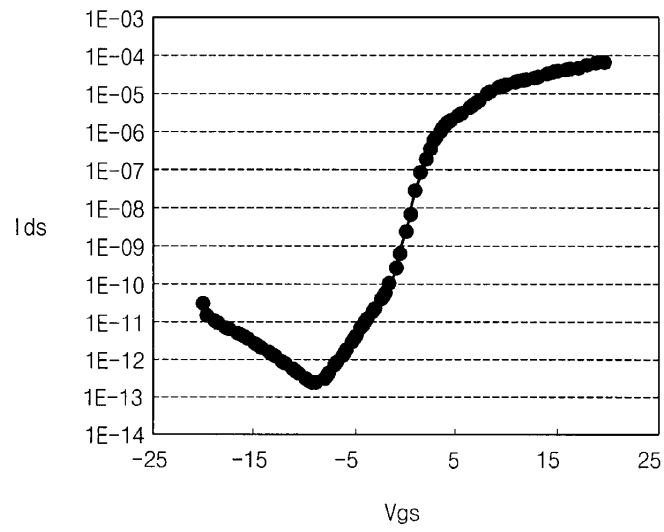
도 13은 도 11에 도시된 액정표시패널의 다른 예를 설명하는 등가회로도이다.

도면

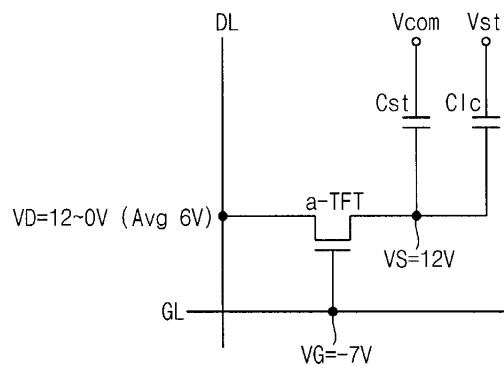
도면1a



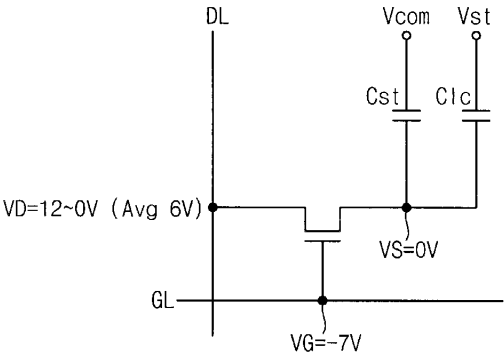
도면1b



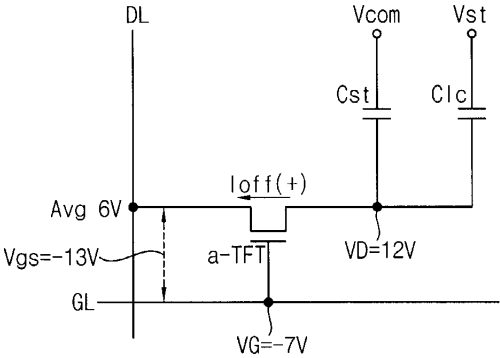
도면2a



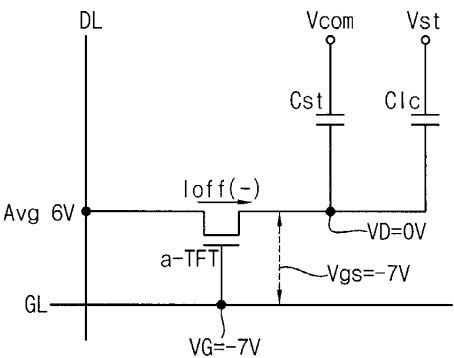
도면2b



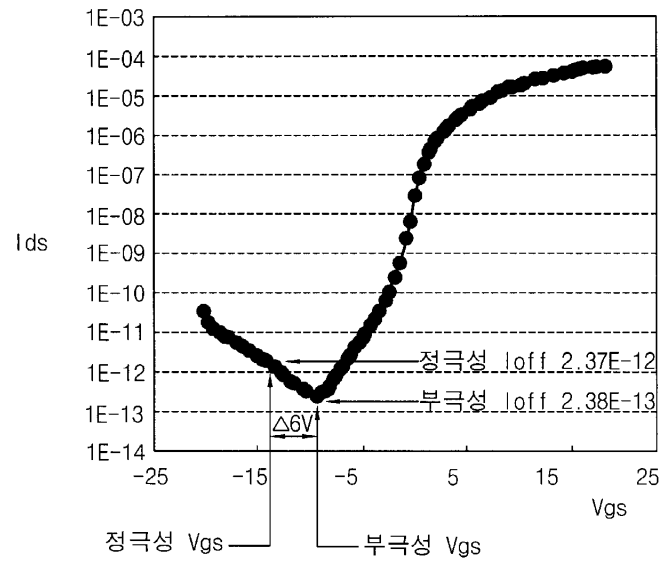
도면3a



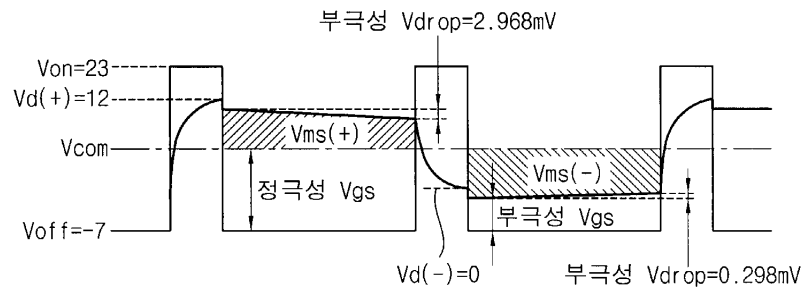
도면3b



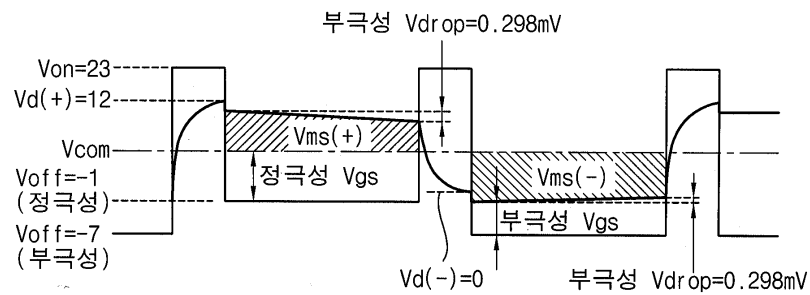
도면4



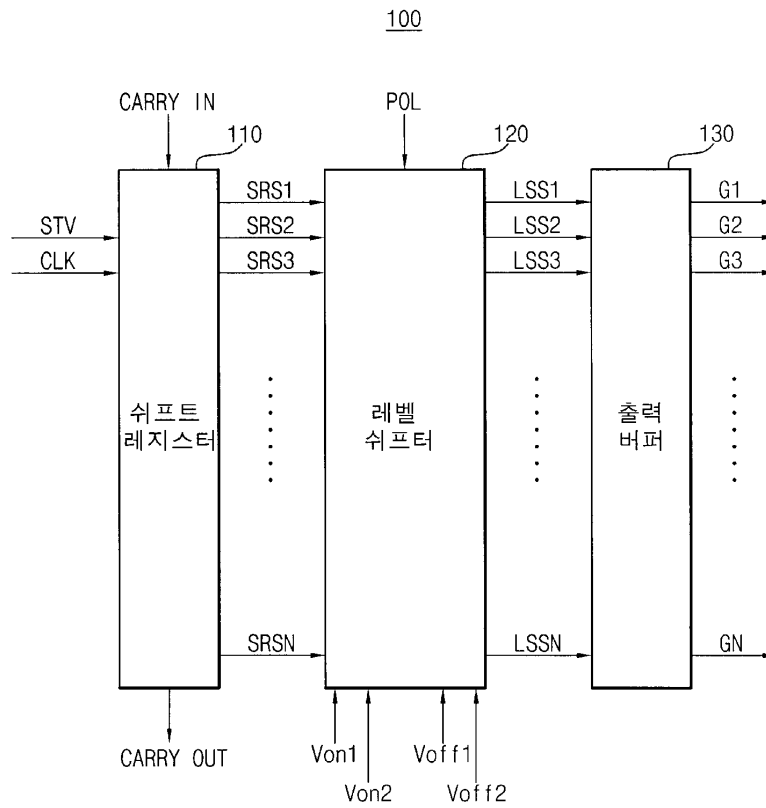
도면5



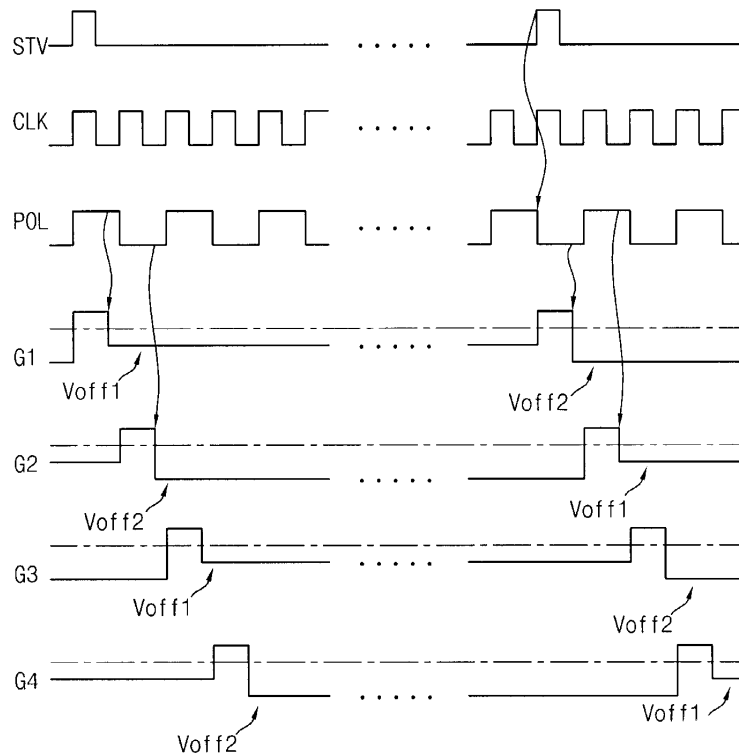
도면6



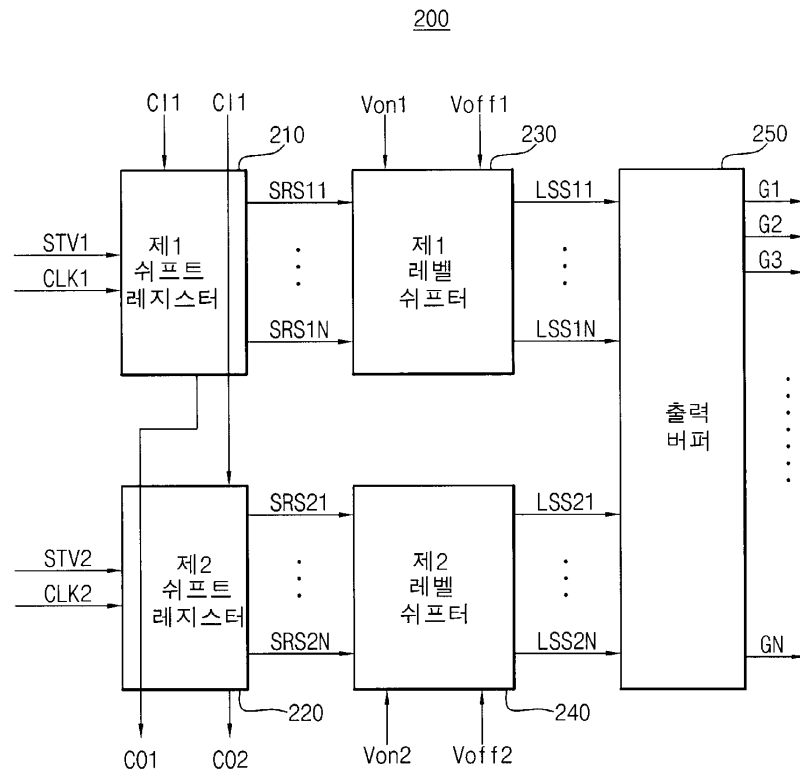
도면7



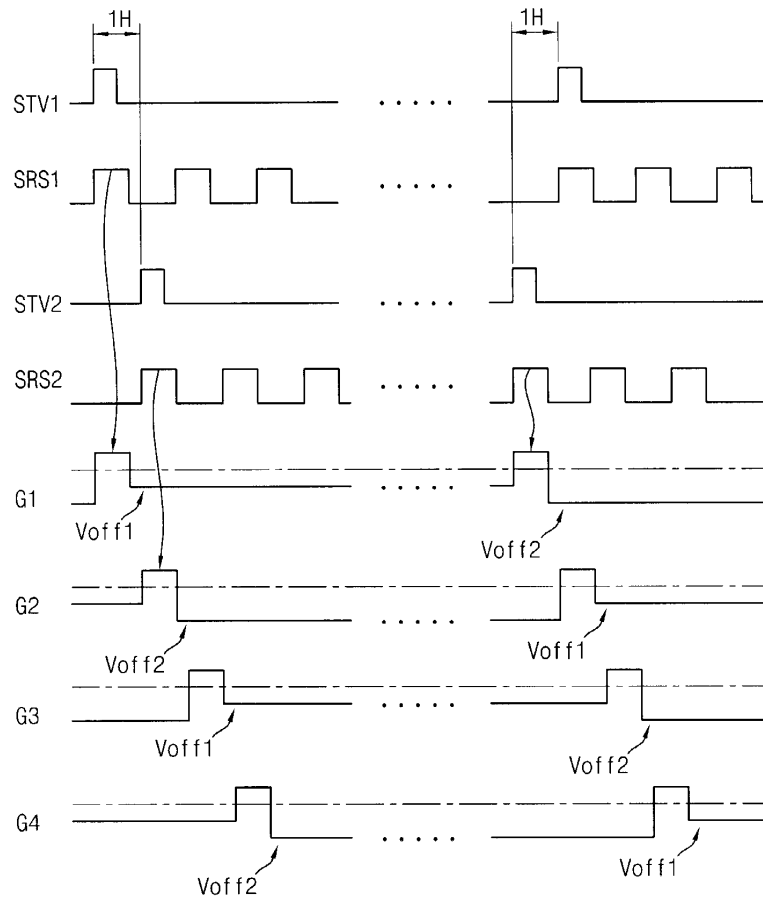
도면8



도면9

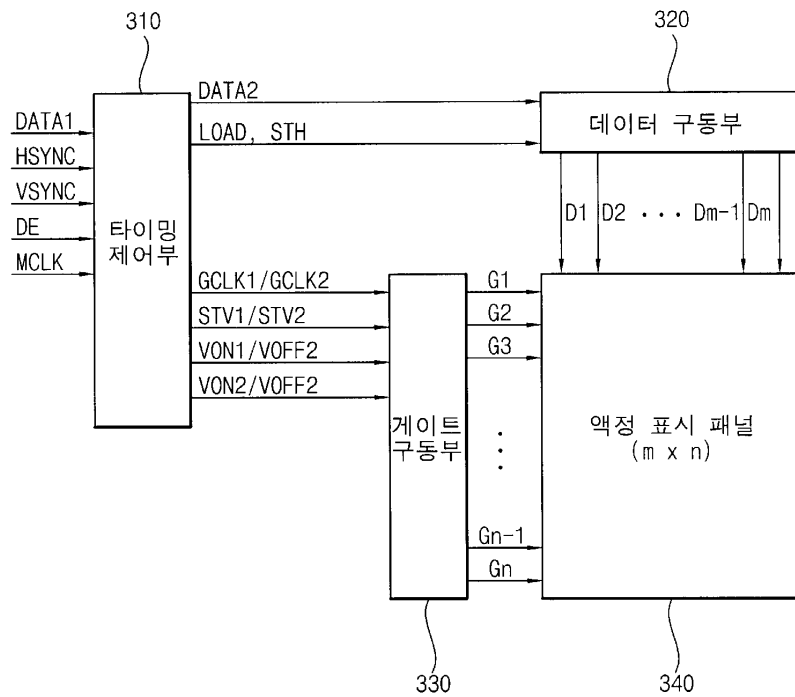


도면10

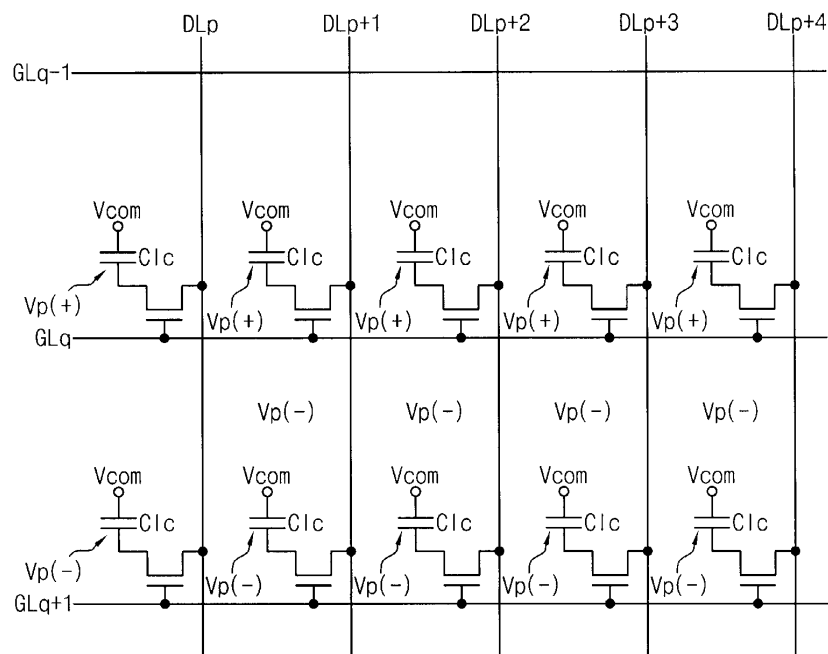


도면11

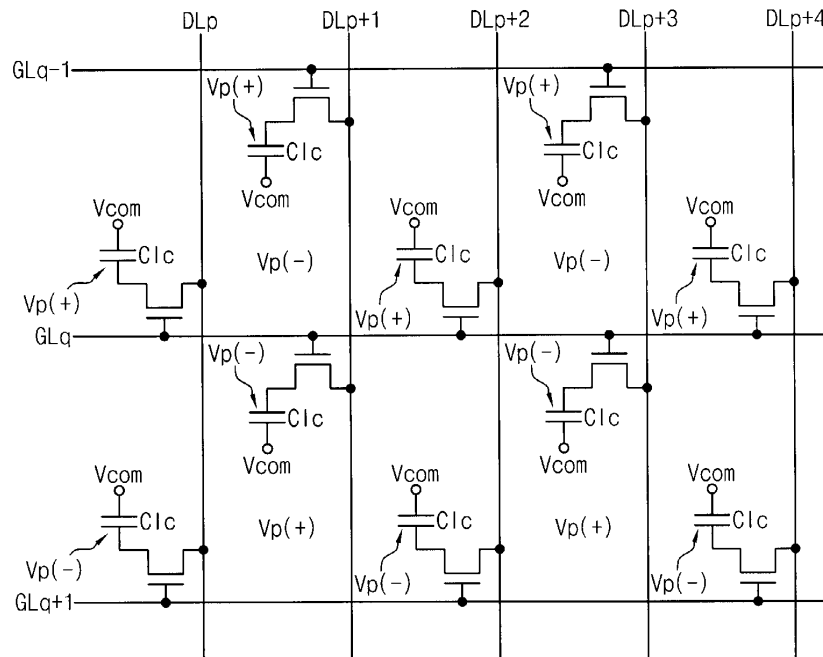
300



도면12



도면13



专利名称(译)	液晶显示器件和其中采用的栅极驱动电路		
公开(公告)号	KR1020070066013A	公开(公告)日	2007-06-27
申请号	KR1020050126693	申请日	2005-12-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SHIN KYOUNG JU 신경주 SHIN SEONG SIK 신성식 PARK CHEOL WOO 박철우 KWAK HEE JUNE 박희준		
发明人	신경주 신성식 박철우 박희준		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G3/3614 G09G2310/0286 G09G2310/0289 G09G2320/0247		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种具有改进的指示特性的液晶显示器和所采用的栅极驱动电路。数据驱动器向显示面板的数据线提供数据信号。栅极驱动单元对应于极性数据信号，并且相对高的第一栅极截止电压，具有第二栅极截止电压的第二栅极信号授权第一栅极信号具有在显示面板的栅极线中并且对应于负数据信号，并且在显示面板的栅极线中被授权相对较低。因此，负数据信号和极性数据信号的电荷量实质上相同，并且可以改善液晶显示器的指示特性。液晶，栅极，截止电压，栅极截止电压，电荷量，反转。

