



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0052501
(43) 공개일자 2007년05월22일

(21) 출원번호 10-2005-0110206
(22) 출원일자 2005년11월17일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 우철민
경상북도 상주시 내서면 능암리 산 119번지

(74) 대리인 김영호

전체 청구항 수 : 총 13 항

(54) 게이트 구동회로와 그 리페어 방법 및 이를 이용한액정표시장치

(57) 요약

본 발명은 불량률을 줄일 수 있는 게이트 구동회로와 그 리페어 방법 및 이를 이용한 액정표시장치에 관한 것이다.

이 게이트 구동회로는 각각 스타트 입력단자에 접속된 입력배선 및 출력단자에 접속된 출력배선을 포함하고, 상기 입력배선을 경유하여 입력받은 스타트신호를 쉬프트시켜 상기 출력배선을 통해 출력하는 다수의 스테이지들과; 상기 다수의 스테이지들과 동일한 회로구성을 가지며 상기 다수의 스테이지들과 함께 동일 기판 상에 형성되는 더미 스테이지와; 상기 다수의 스테이지들 중 k번째 스테이지의 입력배선 및 상기 더미 스테이지의 출력배선과 접속 가능한 제1 더미 배선과; 상기 k번째 스테이지의 입력배선 및 상기 더미 스테이지의 입력배선과 접속 가능한 제2 더미 배선과; 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 중 k+1번째 스테이지의 입력배선과 접속 가능한 제3 더미 배선을 구비하고, 상기 다수의 스테이지들의 입력배선은 각각 이전 스테이지의 출력배선에 접속되며, 상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기판 상에 형성된다.

대표도

도 5

특허청구의 범위

청구항 1.

각각 스타트 입력단자에 접속된 입력배선 및 출력단자에 접속된 출력배선을 포함하고 상기 입력배선을 경유하여 입력받은 스타트신호를 쉬프트시켜 상기 출력배선을 통해 출력하는 다수의 스테이지들과;

상기 다수의 스테이지들과 동일한 회로구성을 가지며 상기 다수의 스테이지들과 함께 동일 기관 상에 형성되는 더미 스테이지와;

상기 다수의 스테이지들 중 k번째 스테이지의 입력배선 및 상기 더미 스테이지의 출력배선과 접속 가능한 제1 더미 배선과;

상기 k번째 스테이지의 입력배선 및 상기 더미 스테이지의 입력배선과 접속 가능한 제2 더미 배선과;

상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 중 k+ 1번째 스테이지의 입력배선과 접속 가능한 제3 더미 배선을 구비하고,

상기 다수의 스테이지들의 입력배선은 각각 이전 스테이지의 출력배선에 접속되며,

상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기관 상에 형성되는 것을 특징으로 하는 게이트 구동회로.

청구항 2.

제 1 항에 있어서,

레이저 조사에 의해 상기 k 번째 스테이지 출력배선의 상기 k+ 1 번째 스테이지 입력배선과의 교차점과 상기 k 번째 스테이지 출력단자 사이가 단선되는 것을 특징으로 하는 게이트 구동회로.

청구항 3.

제 2 항에 있어서,

상기 제1 더미 배선은 적어도 일부가 절연층을 사이에 두고 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 각각의 출력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 출력배선 및 상기 k 번째 스테이지의 출력배선에 전기적으로 접속되는 것을 특징으로 하는 게이트 구동회로.

청구항 4.

제 1 항 내지 제 3 항 중 어느 하나에 있어서,

상기 제2 더미 배선은 적어도 일부가 절연층을 사이에 두고 상기 더미 스테이지의 입력배선 및 상기 다수의 스테이지들 각각의 입력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 입력배선 및 상기 k 번째 스테이지의 입력배선에 전기적으로 접속되는 것을 특징으로 하는 게이트 구동회로.

청구항 5.

제 4 항에 있어서,

상기 제3 더미 배선은 적어도 일부가 절연층을 사이에 두고 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 각각의 입력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 출력배선 및 상기 k+ 1 번째 스테이지의 입력배선에 전기적으로 접속되는 것을 특징으로 하는 게이트 구동회로.

청구항 6.

제 4 항에 있어서,

상기 더미 스테이지의 출력배선에 접속된 제1 배선과,

상기 상기 $k+1$ 번째 스테이지의 입력배선에 접속된 제2 배선을 더 구비하고,

상기 제3 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 제1 배선 및 상기 제2 배선과 중첩되고, 레이저 조사에 의해 상기 제1 배선 및 상기 제2 배선에 전기적으로 접속되는 것을 특징으로 하는 게이트 구동회로.

청구항 7.

각각 스타트 입력단자에 접속된 입력배선 및 출력단자에 접속된 출력배선을 포함하고 상기 입력배선을 경유하여 입력받은 스타트신호를 쉬프트시켜 상기 출력배선을 통해 출력하는 다수의 스테이지들과, 상기 다수의 스테이지들과 동일한 회로구성을 가지며 상기 다수의 스테이지들과 함께 동일 기판 상에 형성되는 더미 스테이지와, 상기 다수의 스테이지들 중 k 번째 스테이지의 입력배선 및 상기 더미 스테이지의 출력배선과 접속 가능한 제1 더미 배선과, 상기 k 번째 스테이지의 입력배선 및 상기 더미 스테이지의 입력배선과 접속 가능한 제2 더미 배선과, 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 중 $k+1$ 번째 스테이지의 입력배선과 접속 가능한 제3 더미 배선을 구비하고, 상기 다수의 스테이지들의 입력배선은 각각 이전 스테이지의 출력배선에 접속되며, 상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기판 상에 형성되는 게이트 구동회로에 있어서,

상기 더미 스테이지의 출력배선과 상기 제1 더미 배선을 전기적으로 접속시키는 단계와;

상기 제1 더미 배선과 상기 다수의 스테이지들 중 k 번째 스테이지의 출력배선을 전기적으로 접속시키는 단계와;

상기 더미 스테이지의 입력배선과 상기 제2 더미 배선을 전기적으로 접속시키는 단계와;

상기 제2 더미 배선과 상기 다수의 스테이지들 중 k 번째 스테이지의 입력배선을 전기적으로 접속시키는 단계와;

상기 더미 스테이지의 출력단자와 상기 제3 더미 배선을 전기적으로 접속시키는 단계와;

상기 제3 더미 배선과 상기 다수의 스테이지들 중 $k+1$ 번째 스테이지의 입력배선을 전기적으로 접속시키는 단계와;

상기 k 번째 스테이지 출력배선의 상기 $k+1$ 번째 스테이지 입력배선과의 교차점과 상기 k 번째 스테이지의 출력단자 사이를 단선시키는 단계를 포함하는 것을 특징으로 하는 게이트 구동회로의 리페어 방법.

청구항 8.

상호 교차하는 다수의 게이트라인들 및 다수의 데이터라인들과;

상기 게이트라인들과 데이터라인들의 교차부에 형성된 박막트랜지스터와;

각각 스타트 입력단자에 접속된 입력배선 및 출력단자에 접속된 출력배선을 포함하고 상기 입력배선을 경유하여 입력받은 스타트신호를 쉬프트시켜 상기 출력배선을 통해 출력하는 다수의 스테이지들, 상기 다수의 스테이지들과 동일한 회로구성을 가지며 상기 다수의 스테이지들과 함께 동일 기판 상에 형성되는 더미 스테이지, 상기 다수의 스테이지들 중 k 번째 스테이지의 입력배선 및 상기 더미 스테이지의 출력배선과 접속 가능한 제1 더미 배선, 상기 k 번째 스테이지의 입력배선 및 상기 더미 스테이지의 입력배선과 접속 가능한 제2 더미 배선, 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 중 $k+1$ 번째 스테이지의 입력배선과 접속 가능한 제3 더미 배선을 포함하고, 상기 다수의 스테이지들의 상기 입력배선은 각각 이전 스테이지의 출력배선에 접속되며, 상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기판 상에 형성되어 상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로와;

상기 데이터라인들에 데이터 전압을 공급하는 데이터 구동회로를 구비하고,

상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 8 항에 있어서,

레이저 조사에 의해 상기 k 번째 스테이지 출력배선의 상기 k+1 번째 스테이지 입력배선과의 교차점과 상기 k 번째 스테이지 출력단자 사이가 단선되는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 9 항에 있어서,

상기 제1 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 각각의 출력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 출력배선 및 상기 k 번째 스테이지의 출력배선에 전기적으로 접속되는 것을 특징으로 하는 액정표시장치.

청구항 11.

제 8 항 내지 제 10 항 중 어느 하나에 있어서,

상기 제2 더미 배선은 적어도 일부가 절연층을 사이에 두고 상기 더미 스테이지의 입력배선 및 상기 다수의 스테이지들 각각의 입력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 입력배선 및 상기 k 번째 스테이지의 입력배선에 전기적으로 접속되는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 11 항에 있어서,

상기 제3 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 각각의 입력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 출력배선 및 상기 k+1 번째 스테이지의 입력배선에 전기적으로 접속되는 것을 특징으로 하는 액정표시장치.

청구항 13.

제 11 항에 있어서,

상기 더미 스테이지의 출력배선에 접속된 제1 배선과,

상기 상기 k+1 번째 스테이지의 입력배선에 접속된 제2 배선을 더 구비하고,

상기 제3 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 제1 배선 및 상기 제2 배선과 중첩되고, 레이저 조사에 의해 상기 제1 배선 및 상기 제2 배선에 전기적으로 접속되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 불량률을 줄일 수 있는 게이트 구동회로와 그 리페어 방법 및 이를 이용한 액정표시장치에 관한 것이다.

최근 게이트 구동회로를 액정패널에 내장함으로써 비용절감 및 경박화에 유리한 GIP(Gate In Panel)형 액정표시장치에 대한 관심이 높아지고 있다.

도 1을 참조하면, 종래의 GIP형 액정표시장치는 다수의 게이트라인(G1 내지 Gn)과 다수의 데이터라인들(D1 내지 Dm)이 교차하고 그 교차부에 형성되어 액정셀(Clc)들을 구동하는 박막트랜지스터(Thin Film Transister : 이하 TFT라 한다)들 및 게이트라인들(G1 내지 Gn)에 순차적으로 스캔펄스를 공급하는 게이트 구동회로(2)를 포함하는 액정패널(3)과, 액정패널(13)의 데이터라인들(D1 내지 Dm)에 데이터 전압을 공급하는 데이터 구동회로(1)를 구비한다.

액정패널(3)은 두 장의 어레이 기판 사이에 액정분자들이 주입된다. 이 액정패널(3)의 하부 어레이 기판 상에는 게이트라인들(G1 내지 Gn)과 데이터라인들(D1 내지 Dm)이 상호 교차하도록 형성된다. 게이트라인들(G1 내지 Gn)과 데이터라인들(D1 내지 Dm)의 교차부에 형성된 TFT는 게이트라인(G1 내지 Gn)으로부터의 스캔펄스에 응답하여 데이터라인들(D1 내지 Dn)을 경유하여 공급되는 데이터 전압을 액정셀(Clc)에 공급한다. 이를 위하여, TFT의 게이트전극은 게이트라인(G1 내지 Gn)에 접속되고, 소스전극은 데이터라인(D1 내지 Dm)에 접속되며, 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 또한, 이 하부 어레이 기판 상에는 1 수평주기마다 스타트신호를 순차적으로 쉬프트시켜 스캔펄스를 발생하는 게이트 구동회로로 구성되어 게이트라인들(G1 내지 Gn)에 순차적으로 스캔펄스를 공급하는 게이트 구동회로(2)가 형성된다. 이 게이트 구동회로(2)는 하부 어레이 기판 상에 형성되는 다른 소자들과 함께 형성된다. 액정패널(3)의 상부 어레이 기판 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정패널(3)의 상부 어레이 기판과 하부 어레이 기판 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정패널(3)의 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 구동회로(1)는 게이트 구동회로, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이버 집적회로들로 구성된다. 데이터 드라이버 집적회로는 TCP(Tape Carrer Package)를 이용하여 액정패널(3)의 하부 어레이 기판 상에 부착되거나 칩 온 글라스(Chip On Glass) 방식 등으로 액정패널(3)의 하부 어레이 기판 상에 직접 실장된다. 이 데이터 구동회로(1)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다.

도 2는 도 1의 게이트 구동회로(2)의 회로 구성을 나타낸다.

도 2를 참조하면, 게이트 구동회로(2)는 종속적으로 접속된 n 개의 스테이지들(S1 내지 Sn)을 구비한다. 제1 내지 제n 스테이지(S1 내지 Sn)는 각각 스타트 입력단자(TI1 내지 TIn)에 접속된 입력배선(LI1 내지 LIn) 및 출력단자(TO1 내지 TOn)에 접속된 출력배선(LO1 내지 LOn)을 포함하고, 입력배선(LI1 내지 LIn)을 경유하여 입력받은 스타트신호를 쉬프트시켜 출력배선(LO1 내지 LOn)을 통해 출력한다. 이 게이트 구동회로의 제2 내지 제n 스테이지의 입력배선(LI2 내지 LIn)은 각각 이전 스테이지의 출력배선(LO1 내지 LOn-1)에 접속된다. 이러한 게이트 구동회로에서 제1 스테이지(S1)에는 스타트신호로써 스타트펄스(Vst)가 입력되고 제2 내지 제n 스테이지들(S2 내지 Sn)에는 스타트신호로써 이전 단 출력신호가 입력된다. 또한, 각 스테이지(S1 내지 Sn)는 동일한 회로구성을 가지며 클럭신호에 응답하여 스타트펄스(Vst) 또는 이전 단 출력신호를 쉬프트시킴으로써 1 수평기간의 펄스폭을 가지는 스캔펄스를 발생한다.

그런데, 이와 같은 게이트 구동회로(2)에서 어느 하나의 스테이지에 이물질, 패턴이상 등의 원인으로 동작에 이상이 생긴 경우, 즉, 제1 내지 제n 게이트라인(G1 내지 Gn) 중 k 번째 게이트라인에 스캔펄스를 공급하는 스테이지가 비정상적으로 동

작하는 경우 도 3의 (a)에서 보는 바와 같이 액정패널의 표시화면(5) 상의 k 번째 수평라인(7)에 대하여 구동불량이 발생하거나, 또는 도 3의 (b)에서 보는 바와 같이 액정패널의 표시화면(5) 상의 k 번째 수평라인(7) 이하의 모든 영역에 대하여 구동불량이 발생할 수 있다.

이와 같이 게이트 구동회로(2)의 불량은 GIP형 액정표시장치에서는 게이트 구동회로만의 불량이 아닌 액정패널 전체의 불량으로 이어져 많은 비용손실이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 불량률을 줄일 수 있는 게이트 구동회로와 그 리페어 방법 및 이를 이용한 액정표시장치에 관한 것이다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 따른 게이트 구동회로는 각각 스타트 입력단자에 접속된 입력배선 및 출력단자에 접속된 출력배선을 포함하고, 상기 입력배선을 경유하여 입력받은 스타트신호를 쉬프트시켜 상기 출력배선을 통해 출력하는 다수의 스테이지들과; 상기 다수의 스테이지들과 동일한 회로구성을 가지며 상기 다수의 스테이지들과 함께 동일 기판 상에 형성되는 더미 스테이지와; 상기 다수의 스테이지들 중 k번째 스테이지의 입력배선 및 상기 더미 스테이지의 출력배선과 접속 가능한 제1 더미 배선과; 상기 k번째 스테이지의 입력배선 및 상기 더미 스테이지의 입력배선과 접속 가능한 제2 더미 배선과; 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 중 k+1번째 스테이지의 입력배선과 접속 가능한 제3 더미 배선을 구비하고, 상기 다수의 스테이지들의 입력배선은 각각 이전 스테이지의 출력배선에 접속되며, 상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기판 상에 형성된다.

상기 게이트 구동회로에서 상기 제1 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 각각의 출력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 출력배선 및 상기 k 번째 스테이지의 출력배선에 전기적으로 접속된다.

상기 게이트 구동회로에서 상기 k 번째 스테이지의 출력배선은 레이저 조사에 의해 상기 k+1 번째 스테이지의 입력배선과의 교차점과 상기 k 번째 스테이지의 출력단자 사이가 단선된다.

상기 게이트 구동회로에서 상기 제2 더미 배선은 적어도 일부가 절연층을 사이에 두고 상기 더미 스테이지의 입력배선 및 상기 다수의 스테이지들 각각의 입력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 입력배선 및 상기 k 번째 스테이지의 입력배선에 전기적으로 접속된다.

상기 게이트 구동회로에서 상기 제3 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 각각의 입력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 출력배선 및 상기 k+1 번째 스테이지의 입력배선에 전기적으로 접속된다.

상기 게이트 구동회로에서 상기 더미 스테이지의 출력배선에 접속된 제1 배선과, 상기 k+1 번째 스테이지의 입력배선에 접속된 제2 배선을 더 구비하고, 상기 제3 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 제1 배선 및 상기 제2 배선과 중첩되고, 레이저 조사에 의해 상기 제1 배선 및 상기 제2 배선에 전기적으로 접속된다.

본 발명의 실시예에 따른 액정표시패널은 상호 교차하는 다수의 게이트라인들 및 다수의 데이터라인들과; 상기 게이트라인들과 데이터라인들의 교차부에 형성된 박막트랜지스터와; 각각 스타트 입력단자에 접속된 입력배선 및 출력단자에 접속된 출력배선을 포함하고, 상기 입력배선을 경유하여 입력받은 스타트신호를 쉬프트시켜 상기 출력배선을 통해 출력하는 다수의 스테이지들, 상기 다수의 스테이지들과 동일한 회로구성을 가지며 상기 다수의 스테이지들과 함께 동일 기판 상에 형성되는 더미 스테이지, 상기 다수의 스테이지들 중 k번째 스테이지의 입력배선 및 상기 더미 스테이지의 출력배선과 접속 가능한 제1 더미 배선, 상기 k번째 스테이지의 입력배선 및 상기 더미 스테이지의 입력배선과 접속 가능한 제2 더미 배선, 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 중 k+1번째 스테이지의 입력배선과 접속 가능한 제3 더미 배선을 포함하고, 상기 다수의 스테이지들의 상기 입력배선은 각각 이전 스테이지의 출력배선에 접속되며, 상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기판 상에 형성되어 상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로와; 상기 데이터라인들에 데이터 전압을 공급하는 데이터 구동회로를 구비하고, 상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기판 상에 형성된다.

상기 액정표시장치에서 상기 제1 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 각각의 출력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 출력배선 및 상기 k 번째 스테이지의 출력배선에 전기적으로 접속된다.

상기 액정표시장치에서 상기 k 번째 스테이지의 출력배선은 레이저 조사에 의해 상기 k+1 번째 스테이지의 입력배선과의 교차점과 상기 k 번째 스테이지의 출력단자 사이가 단선된다.

상기 액정표시장치에서 상기 제2 더미 배선은 적어도 일부가 절연층을 사이에 두고 상기 더미 스테이지의 입력배선 및 상기 다수의 스테이지들 각각의 입력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 입력배선 및 상기 k 번째 스테이지의 입력배선에 전기적으로 접속된다.

상기 액정표시장치에서 상기 제3 더미 배선은 적어도 일부가 상기 절연층을 사이에 두고 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 각각의 입력배선들과 중첩되고, 레이저 조사에 의해 상기 더미 스테이지의 출력배선 및 상기 k+1 번째 스테이지의 입력배선에 전기적으로 접속된다.

본 발명의 실시예에 따른 게이트 구동회로의 리페어 방법은 각각 스타트 입력단자에 접속된 입력배선 및 출력단자에 접속된 출력배선을 포함하고, 상기 입력배선을 경유하여 입력받은 스타트신호를 쉬프트시켜 상기 출력배선을 통해 출력하는 다수의 스테이지들과, 상기 다수의 스테이지들과 동일한 회로구성을 가지며 상기 다수의 스테이지들과 함께 동일 기판 상에 형성되는 더미 스테이지와, 상기 다수의 스테이지들 중 k 번째 스테이지의 입력배선 및 상기 더미 스테이지의 출력배선과 접속 가능한 제1 더미 배선과, 상기 k 번째 스테이지의 입력배선 및 상기 더미 스테이지의 입력배선과 접속 가능한 제2 더미 배선과, 상기 더미 스테이지의 출력배선 및 상기 다수의 스테이지들 중 k+1 번째 스테이지의 입력배선과 접속 가능한 제3 더미 배선을 구비하고, 상기 다수의 스테이지들의 입력배선은 각각 이전 스테이지의 출력배선에 접속되며, 상기 다수의 스테이지들, 상기 더미 스테이지 및 상기 더미 배선들은 동일 기판 상에 형성되는 게이트 구동회로에 있어서, 상기 더미 스테이지의 출력배선과 상기 제1 더미 배선을 전기적으로 접속시키는 단계와; 상기 제1 더미 배선과 상기 다수의 스테이지들 중 k 번째 스테이지의 출력배선을 전기적으로 접속시키는 단계와; 상기 더미 스테이지의 입력배선과 상기 제2 더미 배선을 전기적으로 접속시키는 단계와; 상기 제2 더미 배선과 상기 다수의 스테이지들 중 k 번째 스테이지의 입력배선을 전기적으로 접속시키는 단계와; 상기 더미 스테이지의 출력단자와 상기 제3 더미 배선을 전기적으로 접속시키는 단계와; 상기 제3 더미 배선과 상기 다수의 스테이지들 중 k+1 번째 스테이지의 입력배선을 전기적으로 접속시키는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면을 참조한 실시예에 대한 설명을 통하여 명백히 드러나게 될 것이다.

이하 도 4 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 다수의 게이트라인(G1 내지 Gn)과 다수의 데이터라인들(D1 내지 Dm)이 교차하고 그 교차부에 형성되어 액정셀(Clc)을 구동하는 TFT들 및 게이트라인들(G1 내지 Gn)에 순차적으로 스캔펄스를 공급하는 게이트 구동회로(12)를 포함하는 액정패널(13)과, 액정패널(13)의 데이터라인들(D1 내지 Dm)에 데이터 전압을 공급하는 데이터 구동회로(11)를 구비한다.

액정패널(13)은 두 장의 어레이 기판 사이에 액정분자들이 주입된다. 이 액정패널(13)의 하부 어레이 기판 상에는 게이트라인들(G1 내지 Gn)과 데이터라인들(D1 내지 Dm)이 상호 교차하도록 형성된다. 게이트라인들(G1 내지 Gn)과 데이터라인들(D1 내지 Dm)의 교차부에 형성된 TFT는 게이트라인(G1 내지 Gn)으로부터의 스캔펄스에 응답하여 데이터라인들(D1 내지 Dn)을 경유하여 공급되는 데이터 전압을 액정셀(Clc)에 공급한다. 이를 위하여, TFT의 게이트전극은 게이트라인(G1 내지 Gn)에 접속되고, 소스전극은 데이터라인(D1 내지 Dm)에 접속되며, 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 또한, 이 하부 어레이 기판 상에는 1 수평주기마다 스타트신호를 순차적으로 쉬프트시켜 스캔펄스를 발생하여 이 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급하는 게이트 구동회로(12)가 형성된다. 이 게이트 구동회로(12)는 하부 어레이 기판 상에 형성되는 다른 소자들과 함께 형성된다. 액정패널(13)의 상부 어레이 기판 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정패널(13)의 상부 어레이 기판과 하부 어레이 기판 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정패널(13)의 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 구동회로(11)는 게이트 구동회로, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 데이터 드라이브 집적회로는 TCP를 이용하여 액정패널(13)의 하부 어레이 기관 상에 부착되거나 칩 온 글라스 방식 등으로 액정패널(13)의 하부 어레이 기관 상에 직접 실장된다. 이 데이터 구동회로(11)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다.

도 5는 도 4의 게이트 구동회로(12)의 회로 구성을 나타낸다.

도 5를 참조하면, 본 발명에 따른 게이트 구동회로(12)는 각각 스타트 입력단자(TI1 내지 TIN)에 접속된 입력배선(LI1 내지 LIN) 및 출력단자(TO1 내지 TON)에 접속된 출력배선(LO1 내지 LON)을 포함하고 입력배선(LI1 내지 LIN)을 경유하여 입력받은 스타트신호를 쉬프트시켜 출력배선(LO1 내지 LON)을 통해 출력하는 제1 내지 제n 스테이지(S1 내지 Sn)와, 제1 내지 제n 스테이지(S1 내지 Sn)와 동일한 회로구성을 가지며 제1 내지 제n 스테이지(S1 내지 Sn)와 함께 동일 기관 상에 형성되는 더미 스테이지(SD)와, 제1 내지 제n 스테이지(S1 내지 Sn) 중 k번째 스테이지의 입력배선(LIk) 및 더미 스테이지의 출력배선(LO)과 접속 가능한 제1 더미 배선(L1)과, k번째 스테이지의 입력배선(20) 및 더미 스테이지(SD)의 입력배선(20)과 접속 가능한 제2 더미 배선과, 더미 스테이지(SD)의 출력배선(22) 및 제1 내지 제n 스테이지(S1 내지 Sn) 중 k+1번째 스테이지의 입력배선(20)과 접속 가능한 제3 더미 배선(20)을 구비하고, 제2 내지 제n 스테이지(S2 내지 Sn)의 입력배선(LI2 내지 LIN)은 각각 이전 스테이지의 출력배선(LO1 내지 LON-1)에 접속된다.

제1 내지 제n 스테이지(S1 내지 Sn) 각각은 레지스터는 각각 스타트 입력단자(TI1 내지 TIN)에 접속된 입력배선(LI1 내지 LIN) 및 출력단자(TO1 내지 TON)에 접속된 출력배선(LO1 내지 LON)을 포함하고, 입력배선(LI1 내지 LIN)을 경유하여 입력받은 스타트신호를 클럭신호(CLK)에 맞춰 쉬프트시켜 출력배선(LO1 내지 LON)을 통해 출력한다. 제1 스테이지(S1)의 입력배선(LI1)에는 스타트신호로써 스타트펄스(Vst)가 입력되고, 이전 스테이지의 출력배선에 각각 접속된 제2 내지 제n 스테이지(S2 내지 Sn)의 입력배선(LI2 내지 LIN)에는 스타트신호로써 이전 스테이지의 출력신호가 입력된다.

더미 스테이지(SD)는 제1 내지 제n 스테이지(S1 내지 Sn)와 동일한 회로구성을 가진다. 즉, 더미 스테이지(SD)도 스타트 입력단자(TI)에 접속된 입력배선(LI) 및 출력단자(TO)에 접속된 출력배선(LO)을 포함하고, 입력배선(LI)을 경유하여 스타트신호가 입력되면, 이 스타트신호를 클럭신호(CLK)에 맞춰 쉬프트시켜 출력배선(LO)을 통해 출력하게 된다. 이 더미 스테이지(SD)는 제1 내지 제n 스테이지(S1 내지 Sn)와 함께 동일 기관 상에 형성된다.

제1 더미 배선(L1)은 적어도 일부가 절연층을 사이에 두고 더미 스테이지(SD)의 출력배선(LO) 및 제1 내지 제n 스테이지(S1 내지 Sn)의 출력배선(LO1 내지 LON)들과 중첩되고, 레이저 조사에 의해 더미 스테이지(SD)의 출력배선(LO) 및 제1 내지 제n 스테이지(S1 내지 Sn) 중 k번째 스테이지의 출력배선(LOk)과 전기적으로 접속 가능하도록 형성된다.

제2 더미 배선(L2)은 적어도 일부가 절연층을 사이에 두고 더미 스테이지(SD)의 입력배선(LI) 및 제1 내지 제n 스테이지(S1 내지 Sn)의 입력배선(LI1 내지 LIN)들과 중첩되고, 레이저 조사에 의해 더미 스테이지(SD)의 입력배선(LI) 및 제1 내지 제n 스테이지(S1 내지 Sn) 중 k번째 스테이지의 입력배선(LIk)과 전기적으로 접속 가능하도록 형성된다.

제3 더미 배선(L3)은 적어도 일부가 절연층을 사이에 두고 더미 스테이지(SD)의 출력배선(LO) 및 제1 내지 제n 스테이지(S1 내지 Sn)의 입력배선(LI1 내지 LIN)들과 중첩되고, 레이저 조사에 의해 더미 스테이지(SD)의 출력배선(LO) 및 제1 내지 제n 스테이지(S1 내지 Sn) 중 k+1 번째 스테이지의 입력배선(LIk+1)에 전기적으로 접속 가능하도록 형성된다.

이러한 제1 내지 제n 스테이지(S1 내지 Sn), 더미 스테이지(SD) 및 제1 내지 제3 더미 배선들(L1 내지 L3)은 동일 기관 상에 형성된다.

이하 도 6을 참조하여 게이트 구동회로(12)의 더미 스테이지(SD)를 이용한 리페어 방법을 설명하기로 한다.

예를 들어, 제2 스테이지가 비정상적으로 동작할 경우, 더미 스테이지(SD)의 출력라인(LO)과 제1 더미 라인(L1)의 중첩부(P1)에 레이저를 조사하여 더미 스테이지(SD)의 출력라인(LO)과 제1 더미 라인(L1)을 전기적으로 접속시키고, 제2 스테이지(S2)의 출력라인(LO2)과 제1 더미 라인(L1)의 중첩부(P2)에 레이저를 조사하여 제2 스테이지(S2)의 출력라인(LO2)과 제1 더미 라인(L1)을 전기적으로 접속시킨다. 즉, 더미 스테이지(SD)의 출력라인(LO)과 제2 스테이지(S2)의 출력라인(LO2)이 제1 더미 라인(L1)을 경유하여 전기적으로 접속되도록 한다. 그리고, 더미 스테이지(SD)의 입력라인(20)과 제2 더미 라인(L2)의 중첩부(P3)에 레이저를 조사하여 더미 스테이지(SD)의 입력라인(20)과 제2 더미 라인(L2)을 전기적으로 접속시키고, 제2 스테이지(S2)의 입력라인(20)과 제2 더미 라인(L2)의 중첩부(P4)에 레이저를 조사하여 제2 스테이지

(S2)의 입력라인(LI2)과 제2 더미 라인(L2)을 전기적으로 접속시킨다. 즉, 더미 스테이지(SD)의 입력라인(LI)과 제2 스테이지(S2)의 입력라인(LI2)이 제2 더미 라인(L2)을 경유하여 전기적으로 접속되도록 한다. 그리고, 더미 스테이지(SD)의 출력라인(LO)과 제3 더미 라인(L3)의 중첩부(P6)에 레이저를 조사하여 더미 스테이지(SD)의 출력라인(LO)과 제3 더미 라인(L3)을 전기적으로 접속시키고, 제3 스테이지(S3)의 입력라인(LI3)과 제3 더미 라인(L3)의 중첩부(P7)에 레이저를 조사하여 제3 스테이지(S3)의 입력라인(LI3)과 제3 더미 라인(L3)을 전기적으로 접속시킨다. 즉, 더미 스테이지(SD)의 출력라인(LO)과 제3 스테이지(S3)의 입력라인(LI3)이 제3 더미 라인(L3)을 경유하여 전기적으로 접속되도록 한다.

또한, 제2 스테이지(S2)에서 불필요한 출력이 발생하는 것을 방지하기 위하여 제3 스테이지(S3)의 입력라인(LI3)과 제2 스테이지의 출력라인(LO2)의 교차점(N2)과 제2 스테이지(S2)의 출력단자(TO2) 사이지점(P5)에 레이저를 조사하여 단선시킨다.

한편, 이 게이트 구동회로(12)는 도 7에서 보는 바와 같이 상술한 게이트 구동회로(12)의 회로 구성 및 그 리페어 방법에서 제3 더미라인(L3)을 생략한 회로 구성 및 그 리페어 방법도 가능하다.

발명의 효과

상술한 바와 같이 본 발명에 따른 게이트 구동회로와 그 리페어 방법 및 이를 이용한 액정표시장치는 액정패널 상에 형성되는 게이트 구동회로에 포함된 다수의 스테이지들 중 비정상적으로 동작하는 스테이지가 발생할 경우 이 비정상적으로 동작하는 스테이지와 대체 가능한 더미 스테이지를 구비하여 게이트 구동회로를 리페어 함으로써 게이트 구동회로의 불량률을 줄일 수 있어 비용절감의 효과를 가진다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 도면.

도 2는 도 1의 게이트 구동회로의 회로 구성을 나타내는 도면.

도 3은 도 1의 액정패널의 표시화면상 구동불량을 나타내는 도면.

도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면.

도 5는 도 4의 게이트 구동회로의 회로 구성을 나타내는 도면.

도 6은 도 5의 게이트 구동회로의 리페어 방법을 나타내는 도면.

도 7은 도 5의 게이트 구동회로의 다른 회로 구성 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

1, 11 : 데이터 구동회로 2, 12 : 게이트 구동회로

3, 13 : 액정표시패널 G1, G2, ..., Gn : 게이트라인

D1, D2, ..., Dm : 데이터라인 S1, S2, ..., Sn : 스테이지

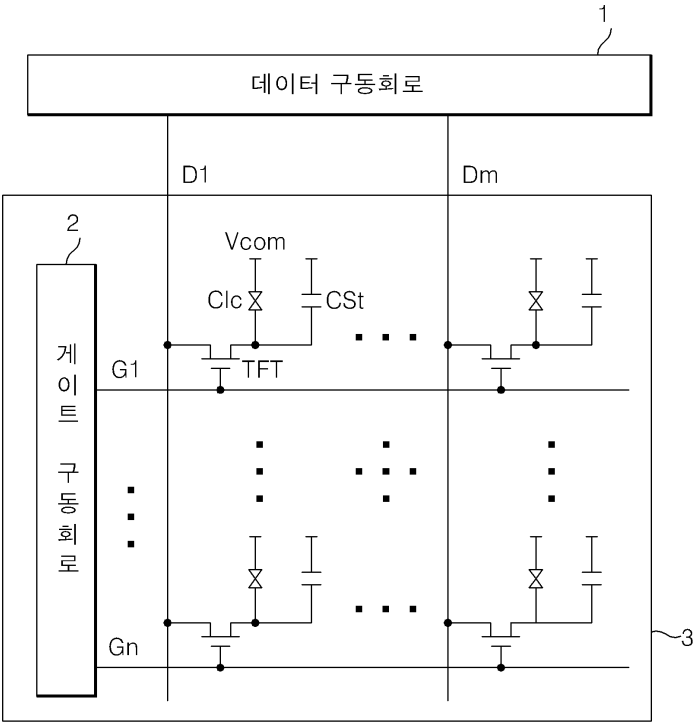
TI1 내지 TIn : 스타트 입력단자 TO1 내지 TOn : 출력단자

LI1 내지 LIn : 입력배선 LO1 내지 LOn : 출력배선

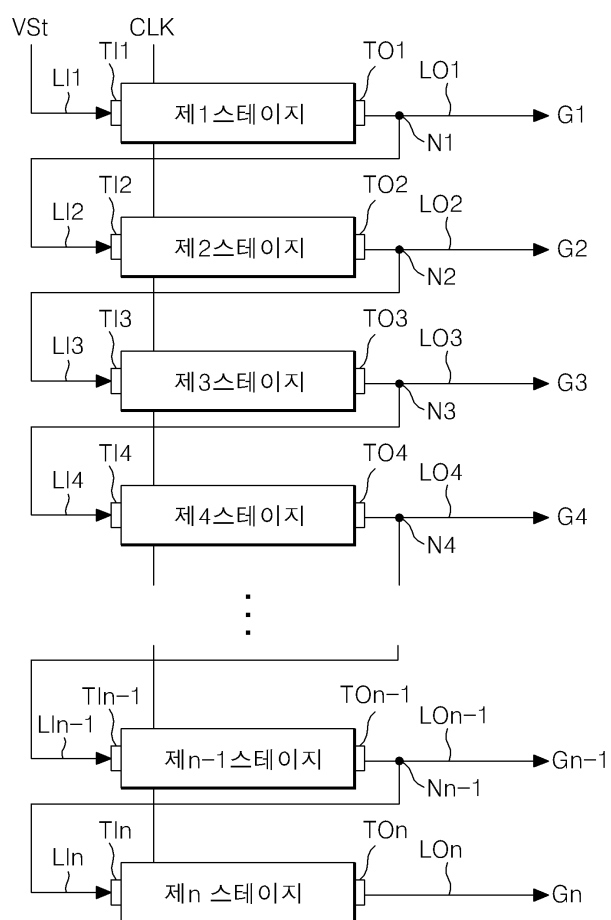
L1 내지 L3 : 더미 배선

도면

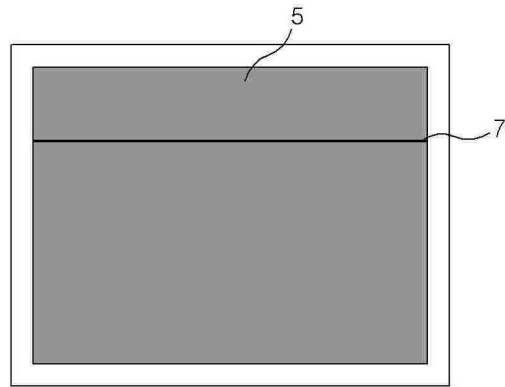
도면1



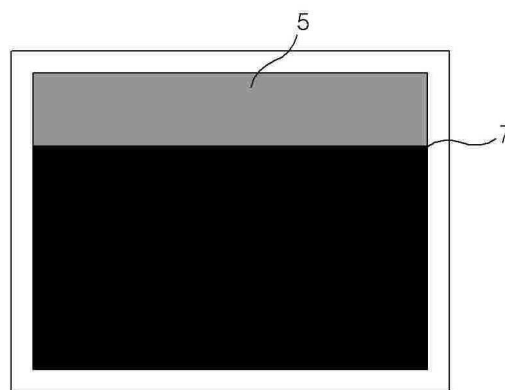
도면2



도면3

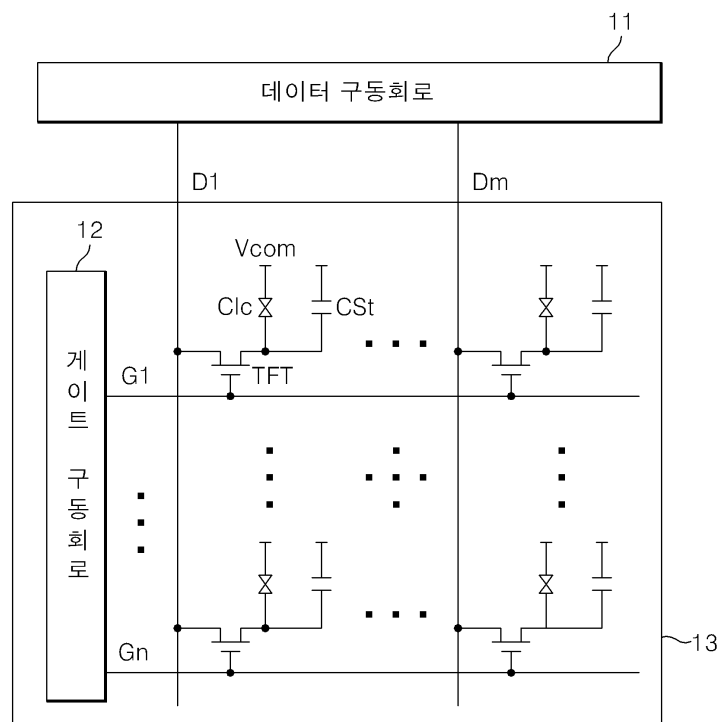


(a)

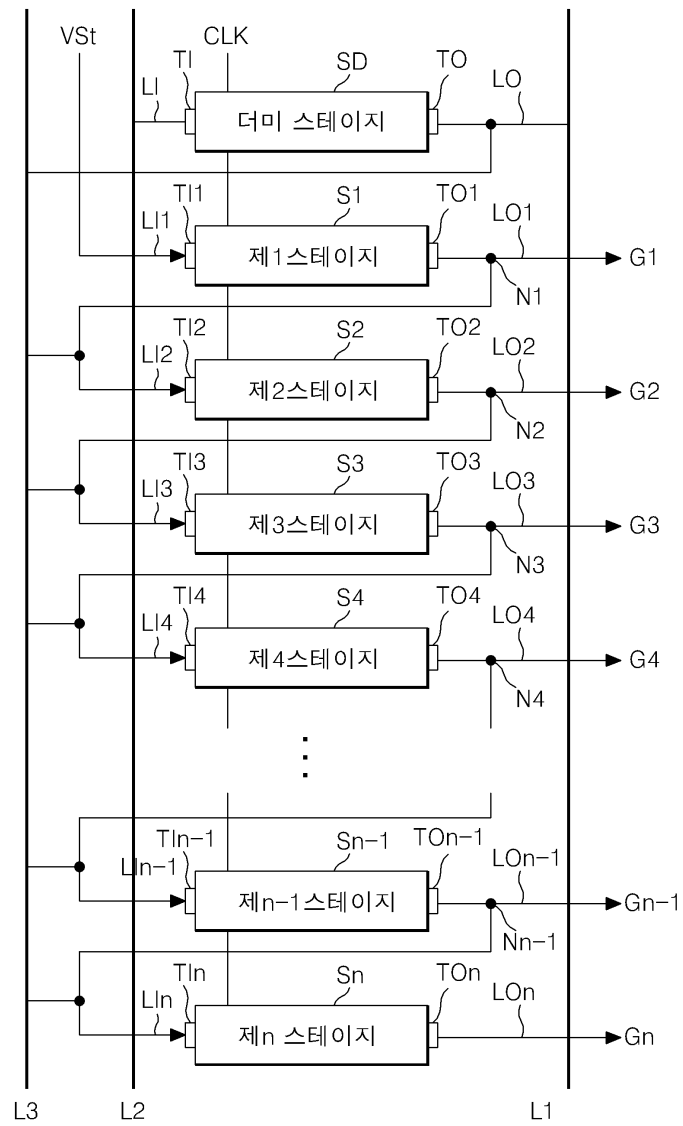


(b)

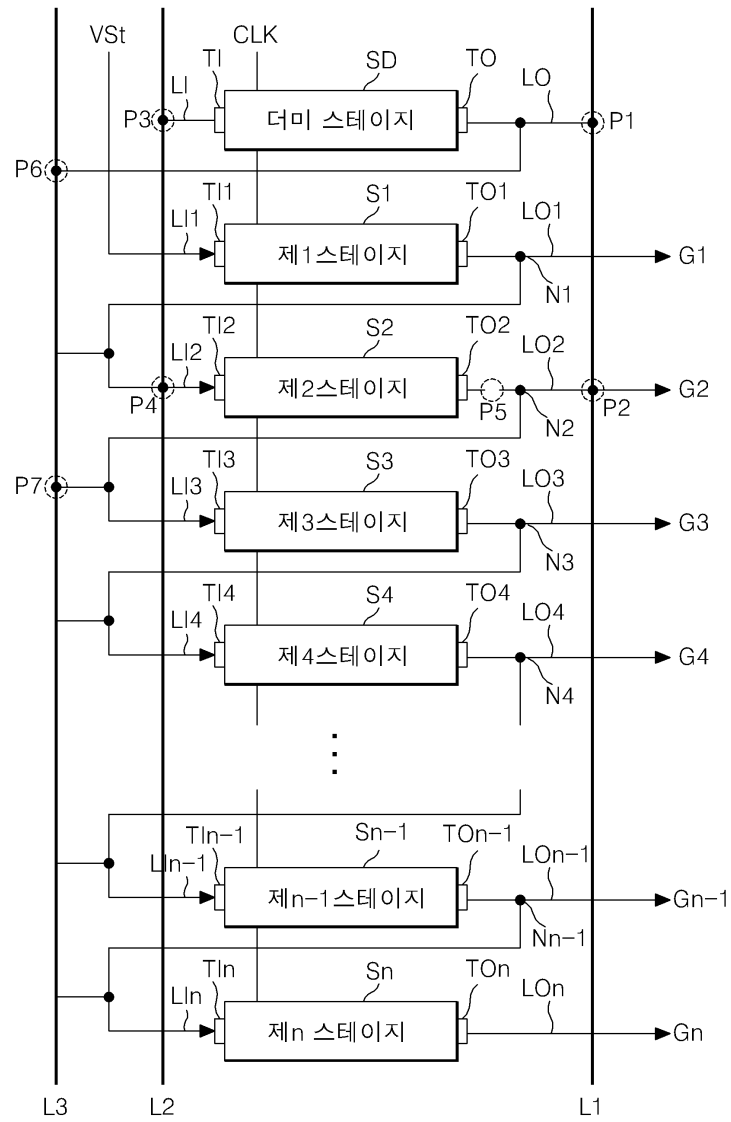
도면4



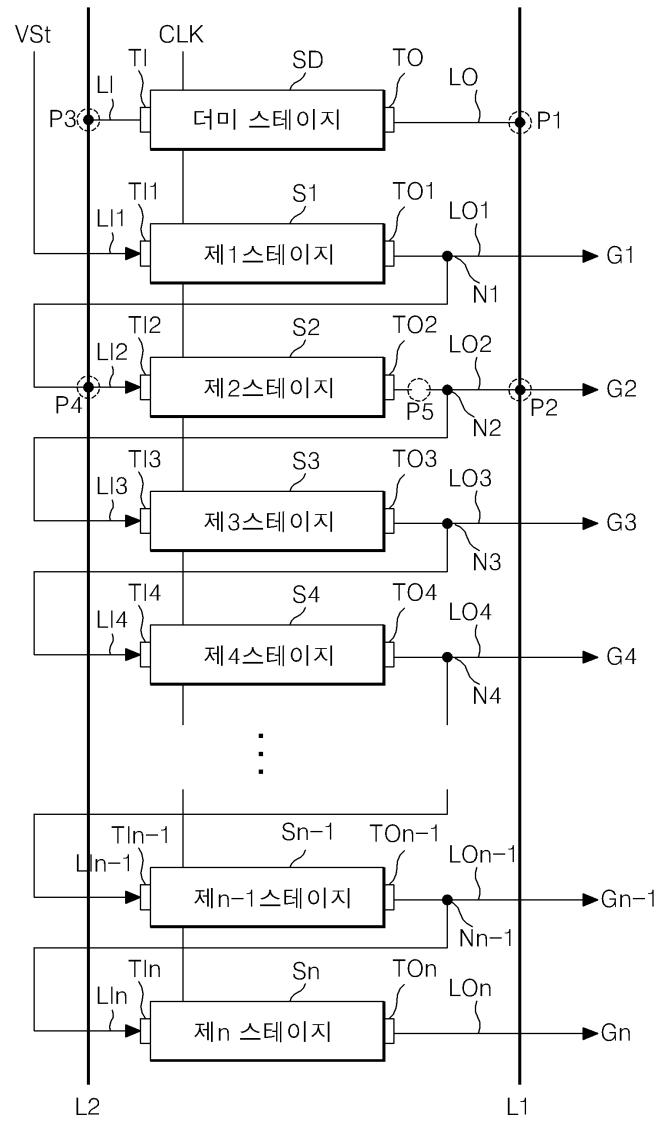
도면5



도면6



도면7



本发明涉及栅极驱动电路和用于降低故障率的修复方法以及使用该栅极驱动电路的液晶显示器。该栅极驱动电路具有多级，它通过输出线输出，它通过输入线移动输入的输入线，它包括连接到相应的起始输入端的输入线和连接到输出端的输出线和相同的电路配置为多个阶段。并且在具有多级的同一板上形成虚设级，多级和虚设级中的k数级输入线的输出线和可连接的第一虚拟线，k数的输入线的输入线存在阶段和虚设级以及可连接的第二虚拟布线，以及虚设级的输出线和多级中的k + 1级的输入线以及可连接的第三虚拟线。多级输入线连接到相应前级的输出线。并且多级，虚拟级和虚拟线形成在同一板上。

