



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0035428
G02F 1/136 (2006.01) (43) 공개일자 2007년03월30일

(21) 출원번호 10-2006-0092660
(22) 출원일자 2006년09월25일
심사청구일자 2006년09월25일

(30) 우선권주장 JP-P-2005-00279398 2005년09월27일 일본(JP)

(71) 출원인 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자 이노우에 카즈노리
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반3고 미쓰비시덴키가부시
키가이샤 나이
무라카미 하루미
일본국 구마모토 고시시 미요시 997 멜코 디스플레이 테크놀로지가부시
키가이샤 나이
아라키 토시오
일본국 구마모토 고시시 미요시 997 멜코 디스플레이 테크놀로지가부시
키가이샤 나이
이시가 노부아키
일본국 구마모토 고시시 미요시 997 멜코 디스플레이 테크놀로지가부시
키가이샤 나이

(74) 대리인 권태복
이화익

전체 청구항 수 : 총 10 항

(54) 표시장치 및 그 제조 방법

(57) 요약

층간 절연막의 핀홀이나 결함에 기인하는 전극간의 단락 불량을 방지하고, 고신뢰성을 가지는 액정표시장치를 제공한다. 본 발명의 일 양태에 따른 액정표시장치는, TFT어레이 기관(101)과, TFT어레이 기관(101)에 대향배치되는 컬러필터 기관(102)과, 양 기관을 서로 붙이는 씨일 패턴(40)을 구비하고, 컬러필터 기관(102)은, 대향전극(42)을 가지고, TFT어레이 기관(101)은, 게이트 배선(4)과, 게이트 배선(4)위에 형성되는 게이트 절연막(6)과, 게이트 배선(4)과 게이트 절연막(6)을 통해 교차 배치되는 소스 배선(11)과, 소스 배선(11)위에 2층으로 형성되는 층간 절연막(14, 18)과, 씨일 패턴(40) 아래에 설치되어, 이 씨일 패턴(40)에 의해 대향전극(42)과 전도되는 공통 전극배선(37)을 가지고, 씨일 패턴(40)은, 소스 배선(11)과 층간 절연막(14, 18)을 통해 중첩하는 것이다.

대표도

특허청구의 범위

청구항 1.

TFT가 어레이 모양으로 형성된 TFT어레이 기판과,
 상기 TFT어레이 기판에 대향배치되는 대향기판과,
 상기 TFT어레이 기판과 상기 대향기판을 서로 붙이는 씨일 패턴을 구비하는 액정표시장치이며,
 상기 대향기판은, 대향전극을 가지고,
 상기 TFT어레이 기판은,
 제1의 도전층과,
 상기 제1의 도전층위에 형성되는 제1의 절연막과,
 상기 제1의 도전층과 상기 제1의 절연막을 통해 교차 배치되는 제2의 도전층과,
 상기 제2의 도전층 위에 2층 이상으로 형성되는 제2의 절연막과,
 상기 씨일 패턴 아래 설치되어, 이 씨일 패턴에 의해 상기 대향전극과 전도되는 공통 전극배선을 가지며,
 상기 씨일 패턴은, 상기 제2의 도전층과 상기 제2의 절연막을 통해 중첩하는 것을 특징으로 하는 표시장치.

청구항 2.

제 1항에 있어서,
 상기 TFT어레이 기판은, 상기 제2의 절연막위에 설치되는 제3의 도전층을 가지고,
 상기 제2의 도전층과 상기 제3의 도전층 사이의 상기 제2의 절연막은 2층 이상으로 형성되는 것을 특징으로 하는 표시장치.

청구항 3.

제 1항 또는 제 2항에 있어서,
 상기 제2의 절연막의 콘택홀은,
 2층 이상의 제2의 절연막의 상층의 개구부가, 하층의 개구부보다도 크게 형성되고,
 상기 제2의 절연막의 단면형상이 계단 모양 또는 순 테이퍼모양이 되고 있는 것을 특징으로 하는 표시장치.

청구항 4.

제 1항 또는 제 2항에 있어서,

2층 이상으로 형성된 상기 제2의 절연막의 상층의 층두께가, 하층의 층두께보다도 얇아지고 있는 것을 특징으로 하는 표시장치.

청구항 5.

제 3항에 있어서,

2층 이상으로 형성된 상기 제2의 절연막의 상층의 층두께가, 하층의 층두께보다도 얇아지고 있는 것을 특징으로 하는 표시장치.

청구항 6.

기판위에 제1의 도전층을 형성하고,

상기 기판위에 공통 전극배선을 형성하고,

상기 제1의 도전층위에, 제1의 절연막을 형성하고,

상기 제2의 절연막위에 제2의 도전층을 형성하고,

상기 제2의 도전층위에, 2층 이상의 제2의 절연막을 형성하고, TFT어레이 기판을 제조하며,

상기 TFT어레이 기판에 대향전극을 가지는 대향기판을 대향배치하여,

상기 TFT어레이 기판과 상기 대향기판을, 상기 제2의 전극과 상기 제2의 절연막을 통해 중첩하도록 설치된 씨일 패턴에 의해 서로 붙이고,

상기 씨일 패턴이 상기 공통 전극배선과 중첩하는 영역에 있어서, 상기 씨일 패턴을 통해, 상기 대향전극과 상기 공통 전극 배선을 전도시키는 것을 특징으로 하는 표시장치의 제조방법.

청구항 7.

제 6항에 있어서,

상기 제2의 절연막 위에 제3의 도전층을 형성하고,

상기 제2의 도전층과 상기 제3의 도전층 사이의 상기 제2의 절연막을 2층 이상으로 형성하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 8.

제 6항 또는 제 7항에 있어서,

2층 이상으로 형성된 상기 제2의 절연막의 상층에, 하층에 형성된 개구부보다도 큰 개구부를 형성하고, 상기 제2의 절연막에 콘택홀을 형성하며,

상기 콘택홀 위에 상기 씨일 패턴을 설치하여 상기 공통 전극배선과 상기 대향전극을 전도시키는 것을 특징으로 하는 표시 장치의 제조방법.

청구항 9.

제 6항 또는 제 7항에 있어서,

2층 이상으로 형성된 상기 제2의 절연막 중 하층의 절연막을 형성하고, 상기 하층의 절연막보다도 막두께가 얇은 상층의 절연막을 형성하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 10.

제 8항에 있어서,

2층 이상으로 형성된 상기 제2의 절연막 중 하층의 절연막을 형성하고, 상기 하층의 절연막보다도 막두께가 얇은 상층의 절연막을 형성하는 것을 특징으로 하는 표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 절연막을 끼운 도전층의 단락에 의한 불량방지와 제품 비율을 향상시킬 수 있는 표시장치 및 그 제조 방법에 관한 것이다.

최근, 특허문헌 1에 개시되어 있는 바와 같이, 액티브 매트릭스(active matrix)형태의 액정표시장치에 있어서, 액정에 인가하는 전계의 방향을 기판에 대하여 평행한 방향으로 하는 횡방향 전계방식이, 주로 초광 시야각을 얻는 방법으로서 이용되고 있다. 이 방식을 채용하면, 시각방향을 변화시켰을 때의 콘트라스트(contrast)의 변화나 계조 레벨의 반전이 대부분 없어지는 것이 밝혀지고 있다.

특허문헌 1에 있어서는, 한 쌍의 대향전극이 하층의 소스(source)배선을 사이에 두고 서로 분리하여 배치되고 있다. 이 때문에, 소스 배선에 전압이 인가된 상태에 있어서는, 그 전압에 의해 전계가 발생하고, 박막트랜지스터(transistor) (이하, TFT라고 적는다) 어레이 기판과 컬러필터(color filter)기판 사이에 배치된 액정의 배향상태가 변화된다. 이 때문에, 한 쌍의 대향전극의 형성 폭을 넓게 할 필요가 있으며, 빛의 투과가 제한되므로, 패널 표시부의 개구율이 낮아진다는 문제가 있었다.

이러한 문제점을 해결하기 위한 횡방향 전계방식의 디바이스(device)구조가, 예를 들면 특허문헌 2에 개시되어 있다. 이 특허문헌 2에서는, 대향전극이 소스 배선을 덮고, 양자가 서로 겹치도록 배치되어 있다. 이러한 구성에 의하면, 소스 배선으로부터 발생하는 전계가 대향전극에 의해 차단되므로, 이 전계가 액정까지 미치지 않고, 액정의 배향상태의 변화를 저감시킬 수 있다. 따라서, 빛의 투과를 제한하는 대향전극의 폭을 좁게 할 수 있고, 개구율을 높게 할 수 있다.

상기한 바와 같이 개구율을 높게 하기 위해서, 소스 배선과 상부의 전극을 중첩시키는 기술에 관해서는, 액정에 인가하는 전계의 방향을 기판에 대하여 수직 방향으로 하는 종래의 일반적인 방식에 있어서도 마찬가지이며, 예를 들면 특허 문헌 3에도 개시되고 있다. 이 방식에 있어서, 화소전극과 대향하는 대향전극은, 화소전극이 형성된 TFT어레이 기판과 대향하여 붙여지는 컬러필터 기판에 형성된다.

특허문헌 4에 있어서는, TFT어레이 기판과 컬러필터 기판이 도전성을 가지는 씨일 패턴을 접착층으로서 붙여져 구성되는 액정표시장치를 개시하고 있다. TFT어레이 기판에 형성된 공통 전극배선과 컬러필터 기판에 형성된 공통 전극은, 이 도전성을 가지는 씨일 패턴을 통해 전기적으로 접속된다. 이 공통 전극이 화소전극과 대향하는 대향전극이 된다.

[특허문헌 1] 일본국 공개특허공보 특개평 8-254712호 공보

[특허문헌 2] 일본국 공개특허공보 특개2003-307748호 공보

[특허문헌 3] 일본국 공개특허공보 특개평9-325358호 공보

[특허문헌 4] 일본국 공개특허공보 특개2001-249345호 공보

발명이 이루고자 하는 기술적 과제

그러나, 특허문헌 2의 경우에는, 층간 절연막을 통해 상층의 대향전극이 하층의 소스 배선을 덮고, 양자가 서로 겹치도록 배치되어 있다. 이 때문에, 서로 겹치는 영역의 층간 절연막에 핀홀(pinhole)이나 결손 등이 있으면, 상층의 대향전극과 하층의 소스 배선이 전기적으로 단락하여 표시 불량이 되고, 제조율의 저하나 신뢰성을 저하시키는 등의 문제가 생긴다.

또한 특허문헌 3의 경우에 있어서는, 층간 절연막을 통해 상층의 화소전극과 하층의 소스 배선이 일부 겹치고 있기 때문에, 상기와 같은 문제가 생긴다.

또한, 특허문헌 4의 경우에 있어서는, TFT어레이 기판과 컬러필터 기판을 접착하기 위한 도전성 씨일 패턴이, TFT어레이 기판에 형성된 액정표시장치의 화상표시 영역을 둘러싸도록 도포 형성된다. 이 때문에, 이 도전성 씨일 패턴과 하층의 소스 배선이 서로 겹치는 영역에서 층간 절연막에 핀홀이나 결손 등이 있으면, 도전성 씨일 패턴을 통해, 하층의 소스 배선과 대향기판에 형성된 공통 전극이 전기적으로 단락하여 표시 불량이 되고, 제조율의 저하나 신뢰성을 저하시키는 등의 문제를 초래하였다.

상기 층간 절연막의 핀홀이나 결손 등의 결함은, 예를 들면 패터닝(patterning)가공을 행하기 위한 레지스트 패턴(resist pattern)형성시에 레지스트층의 기포나, 레지스트 현상시의 현상액 안에 포함되는 기포가 원인으로 발생하거나, 층간 절연막의 성막시에 발생한 막안의 이물질이 원인으로 발생하여, 실질적으로 이들의 결함의 발생을 제로(zero)로 하는 것은 어렵다.

본 발명은, 이러한 사정을 배경으로서 이루어진 것으로서, 본 발명의 목적은, 층간 절연막의 핀홀이나 결함에 기인하는 전극 간의 단락 불량을 방지하여, 높은 제품 비율, 고신뢰성을 가지는 액정표시장치의 실현과 그 제조 방법을 얻는 데 있다.

발명의 구성

본 발명의 제1의 양태에 따른 액정표시장치는, TFT가 어레이 모양으로 형성된 TFT어레이 기판과, 상기 TFT어레이 기판에 대향배치되는 대향기판과, 상기 TFT어레이 기판과 상기 대향기판을 서로 붙이는 씨일 패턴을 구비하는 액정표시장치이며, 상기 대향기판은, 대향전극을 가지고, 상기 TFT어레이 기판은, 제1의 도전층과, 상기 제1의 도전층위에 형성되는 제1의 절연막과, 상기 제1의 도전층과 상기 제1의 절연막을 통해 교차 배치되는 제2의 도전층과, 상기 제2의 도전층 위에 2층 이상으로 형성되는 제2의 절연막과, 상기 씨일 패턴 아래 설치되어, 이 씨일 패턴에 의해 상기 대향전극과 전도되는 공통 전극배선을 가지고, 상기 씨일 패턴은, 상기 제2의 도전층과 상기 제2의 절연막을 통해 중첩하는 것이다. 이러한 구성으로 함으로써, 층간 절연막의 결함 등에 기인하는 씨일 패턴을 통한 도전층간의 단락 불량을 방지할 수 있다.

본 발명의 제2의 양태에 따른 액정표시장치는, 상기의 액정표시장치이며, 상기 TFT어레이 기판은, 상기 제2의 절연막위에 설치되는 제3의 도전층을 가지고, 상기 제2의 도전층과 상기 제3의 도전층 사이의 상기 제2의 절연막은 2층 이상으로 형성되는 것이다. 이러한 구성으로 함으로써, 층간 절연막의 결함 등에 기인하는 도전층간의 단락 불량을 더욱 방지할 수 있다.

본 발명의 제3의 양태에 따른 액정표시장치는, 상기의 액정표시장치이며, 상기 제2의 절연막의 콘택홀에 있어서, 2층 이상의 제2의 절연막의 상층의 개구부가, 하층의 개구부보다도 크게 형성되어, 상기 제2의 절연막의 단면형상이 계단모양 또는 순 테이퍼모양이 되고 있는 것이다. 이러한 구성으로 함으로써, 콘택홀의 단차부에 있어서의 단선 불량을 방지할 수 있다.

본 발명의 제4의 양태에 따른 액정표시장치는, 상기의 액정표시장치이며, 2층 이상으로 형성된 상기 제2의 절연막의 상층의 층두께가, 하층의 층두께보다도 얇아지는 것이다. 이러한 구성을 가지는 것으로, 신뢰성이 높은 액정표시장치를 제공할 수 있다.

본 발명의 제5의 양태에 따른 액정표시장치의 제조 방법은, 기판위에 제1의 도전층을 형성하고, 상기 기판위에 공통 전극 배선을 형성하고, 상기 제1의 도전층위에, 제1의 절연막을 형성하고, 상기 제2의 절연막위에 제2의 도전층을 형성하고, 상기 제2의 도전층위에, 2층 이상의 제2의 절연막을 형성하고, TFT어레이 기판을 제조하고, 상기 TFT어레이 기판에 대향 전극을 가지는 대향기판을 대향배치하여, 상기 TFT어레이 기판과 상기 대향기판을, 상기 제2의 전극과 상기 제2의 절연막을 통해 중첩하도록 설치된 씨일 패턴에 의해 서로 붙이고, 상기 씨일 패턴이 상기 공통 전극배선과 중첩하는 영역에 있어서, 상기 씨일 패턴을 통해, 상기 대향전극과 상기 공통 전극배선을 전도시킨다. 이에 따라 층간 절연막의 핀홀이나 결함에 기인하는 씨일 패턴을 통한 도전층 간의 단락 불량을 방지할 수 있는 고품위의 액정표시장치를 제조할 수 있다.

본 발명의 제6의 양태에 따른 액정표시장치의 제조 방법은, 상기의 제조 방법에 있어서, 상기 제2의 절연막 위에 제3의 도전층을 형성하고, 상기 제2의 도전층과 상기 제3의 도전층 사이의 상기 제2의 절연막을 2층 이상으로 형성한다. 이에 따라 층간 절연막의 핀홀이나 결함에 기인하는 도전층 사이의 단락 불량을 방지할 수 있는 고품위의 액정표시장치를 제조할 수 있다.

본 발명의 제7의 양태에 따른 액정표시장치의 제조 방법은, 상기의 제조 방법에 있어서, 2층 이상으로 형성된 상기 제2의 절연막의 상층에, 하층에 형성된 개구부보다도 큰 개구부를 형성하고, 상기 제2의 절연막에 콘택홀을 형성하며, 상기 콘택홀 위에 상기 씨일 패턴을 설치하여 상기 공통 전극배선과 상기 대향전극을 전도시킨다. 이에 따라 콘택홀의 단차부에 있어서의 단선 불량을 방지할 수 있는 액정표시장치를 제조할 수 있다.

본 발명의 제8의 양태에 따른 액정표시장치의 제조 방법은, 상기의 제조 방법에 있어서, 2층 이상으로 형성된 상기 제2의 절연막 중 하층의 절연막을 형성하고, 상기 하층의 절연막보다도 막두께가 얇은 상층의 절연막을 형성한다. 이에 따라 신뢰성이 높은 액정표시장치를 높은 제조율로 제조할 수 있다.

실시예 1

도 1은, 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 평면도를 도시하고 있다. 또한 도 2는, 도 1에 나타내는 액정표시 장치용 TFT어레이 기판의 단면도를 도시하고 있다. 한편, 도 2의 단면도는, 도 1에 있어서의 X-X'의 단면에 더해, 게이트(gate)단자부와 소스 단자부의 단면구조를 나타내고 있다.

이 액정표시 장치용 TFT어레이 기판에는, 유리(glass)기판등의 투명절연성 기판(1)위에 적어도 1종류 이상의 도전성 박막을 성막함으로써 형성되는 최하층의 제1의 도전층(게이트 전극(2), 저장용량 공통전극(3), 게이트 배선(4), 게이트 단자(5))이 설치된다. 또한 이 최하층의 제1의 도전층의 일부 또는 전부를 피복하도록, 제1의 절연막인 게이트 절연막(6)이 설치된다. 이 게이트 절연막(6)위에는, 적어도 1종류 이상의 도전성 박막으로 이루어지는 제2의 도전층(소스(source)전극(9), 드레인(drain)전극(10), 소스 배선(11), 소스 단자(12))이 설치된다.

또한 이 제2의 도전층 위에는, 제2의 절연막인 2층의 층간 절연막(14, 18)이 설치된다. 이 2층의 층간 절연막 중 제1의 층간 절연막(14)과 게이트 절연막(6)에는, 콘택홀(15)(도 10참조)이 설치된다. 또한 제1의 층간 절연막(14)에는, 콘택홀(16, 17)(도 10 및 도 12참조)이 설치된다. 한편, 제2의 층간 절연막(18)에는, 콘택홀(19, 20, 21)(도 12참조)이 설치된다. 콘택홀(19)은, 콘택홀(15)에 대응하는 위치에 설치된다. 또한 콘택홀(20)은, 콘택홀(16)에 대응하는 위치에 설치되어 있다. 또한, 콘택홀(21)은, 콘택홀(17)에 대응하는 위치에 설치된다.

층간 절연막(18) 위에는, 상기 층간 절연막(14, 18) 및 콘택홀(15, 16, 17)의 적어도 일부를 덮도록, 제3의 도전층(화소전극(22), 게이트 단자 패드(pad)(23), 소스 단자 패드(24))이 설치된다. 제3의 도전층은, 적어도 1종류 이상의 도전성 박막에 의해 형성되어 있다.

도 10, 12, 14에 나타나 있는 바와 같이, 제3의 도전층 중, 화소전극(22)은, 콘택홀17 및 21을 통해 드레인 전극(10)에 전기적으로 접속되어 있다. 또한 게이트 단자 패드(23)는, 콘택홀15 및 19을 통해, 게이트 단자(5)에 전기적으로 접속되어 있다. 한편, 소스 단자 패드(24)는, 콘택홀16 및 20을 통해 소스 단자(12)를 접속하고 있다. 또한 화소전극(22)은, 층간 절연막(14, 18)의 적어도 한쪽에 의해 드레인 전극(10)과 전기적으로 절연되어 있다.

따라서, 본 실시예에 따른 TFT어레이 기판은, 층간 절연막(14, 18)이라는 적어도 2층으로 이루어지는 적층구조의 층간 절연막을, 제1의 도전층과 제3의 도전층사이 및 제2의 도전층과 제3의 도전층 사이에 형성한 구성을 가지고 있다. 또한 이 층간 절연막(14, 18)에 형성되는 콘택홀은, 적어도 2회 이상의 공정에 의해 형성되고 있다.

이 액정표시 장치용 TFT어레이 기판의 제조 방법을 도 2 및 도 3~도 14를 참고로 하여 설명한다. 또한, 도 3~도 14에 포함되는 단면도는, 도 2와 마찬가지로, 도 1에 있어서의 X-X'의 단면에 더하여, 게이트 단자부와 소스 단자부의 단면구조를 제조 공정을 따라 도시한 것이다.

(A)제1의 공정

우선, 유리 기판 등의 투명절연성 기판(1)위에 제1의 금속박막이 성막된다. 그 후에 제1회제의 포토리소그래피 프로세스(photolithography process)(사진제판공정)에 의해, 상기 제1의 금속박막이 패터닝 된다. 이에 따라 도 2, 도 3 및 도 4에 나타나 있는 바와 같이, 적어도 게이트 전극(2), 저장용량 공통전극(3), 게이트 배선(4) 및 게이트 단자(5)가 형성된다. 이들의 제1의 금속박막으로서는, 전기적 비저항값이 낮은 Al(알루미늄)(aluminum)또는 Mo(몰리브덴)(molybdenum)이나, 이들을 주성분으로 하는 합금이 적절히 이용된다.

적합한 실시예로서, 여기에서는 우선, 투명절연성 기판(1)위에, 공지한 Ar가스(gas)를 사용한 스퍼터링(sputtering)법으로 Al막이 200nm의 두께로 성막된다. 스퍼터링 조건은, DC마그네트론 스퍼터링(magnetron sputtering)방식으로, 성막 파워(power)밀도 $3\text{W}/\text{cm}^2$, Ar가스유량40sccm으로 한다.

계속해서, 공지한 Ar가스에 N_2 가스를 혼합한 가스를 사용한 반응성 스퍼터링법에 의해 질소(N)원자를 첨가한 AlN합금이 50nm의 두께로 성막된다. 이 스퍼터링 조건은, 성막 파워 밀도 $3\text{W}/\text{cm}^2$, Ar가스 유량40sccm, N_2 가스 유량20sccm으로 한다. 이상에 의해, 제1의 금속박막으로서 200nm두께의 Al막과 그 상층에 60nm두께의 AlN막을 가지는 2층막이 형성된다. 한편, 이 때의 상층 AlN막의 N원소조성은, 예를 들면 약 18wt%가 된다.

그 후에 레지스트 패턴을 형성하고, 공지한 인산+ 질산을 포함하는 용액을 사용하여 2층막을 에칭(etching) 한 후에 레지스트 패턴을 제거한다. 이에 따라 도 2, 도 3 및 도 4에 나타나 있는 바와 같이 게이트 전극(2), 저장용량 공통전극(3), 게이트 배선(4) 및 게이트 단자(5)의 각각의 패턴이 형성된다.

여기에서, 상기 게이트 단자(5)는, 게이트 배선(4)의 연장선 위에 있고, 또 상기 저장용량 공통전극(3)은, 상기 게이트 배선(4)이나 상기 게이트 단자(5)와 전기적으로 접속되지 않는다는 관계를 가진다.

(B)제2의 공정

다음에 제1의 절연막(게이트 절연막)(6)과, 실리콘(silicon)등으로 이루어지는 반도체 능동막(7)과, 불순물 원자를 첨가한 실리콘 등으로 이루어지는 오믹 콘택(obmic contact)막(8)이 순차 성막된다. 그 후에 제2회제의 포토리소그래피 프로세스(사진제판공정)에서, 도 2, 도 5 및 도 6에 나타나 있는 바와 같이 반도체 능동막(7)과 오믹 콘택막(8)의 패턴이 형성된다. 이 때, 반도체 능동막(7) 및 오믹 콘택막(8)의 형상은, 박막트랜지스터(TFT)를 형성하는 영역을 포함하는 동시에, 후술의 제3의 공정에서 형성되는 소스 전극(9) 및 소스 배선(11)의 패턴형성영역을 포함하도록, 크게, 연속한 형상으로 설정된다.

이 제2의 공정의 적합한 실시예로서, 우선, 화학적 기상성막(CVD)법을 사용하여 제1의 절연막(게이트 절연막)(6)으로서 질화 실리콘(SiN_x :x는 정수)막이 400nm의 두께로, 반도체 능동막(7)으로서 아모퍼스 실리콘(amorphous silicon) (a-Si)막이 150nm의 두께로, 오믹 콘택막(8)으로서 인(phosphorus)(P)을 불순물원자로서 첨가한 n^+ 형 아모퍼스 실리콘(n^+ a-Si)막이 30nm의 두께로 순차 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 불소계 가스를 사용한 드라이 에칭법으로 아모퍼스 실리콘막(7) 및 오믹 콘택막(8)을 에칭한 후에, 레지스트 패턴을 제거한다. 이에 따라 반도체막(7, 8)이 형성된다.

(C)제3의 공정

다음에 제2의 금속박막을 성막한 후에, 제3회째의 포토리소그래피 프로세스(사진제판공정)에 의해 이 제2의 금속박막이 패터닝 된다. 이에 따라 도 2, 도 7 및 도 8과 같이, 소스 전극(9), 드레인 전극(10)(화소 드레인), 소스 배선(11) 및 소스 단자(12)가 형성된다.

이러한 제2의 금속박막으로서, 전기적 비저항값이 낮고, 오믹 콘택막(8)과의 양호한 콘택(contact)특성을 가지며, 이 뒤의 프로세스(process)에서 형성되는 화소전극(22)과의 콘택 특성에 뛰어난 등의 이점을 가지는 재료를 사용하는 것이 바람직하다. 제2의 금속박막으로서, 이러한 특성을 가지는 재료인 예를 들면 몰리브덴(Mo)을 기초로 하여 이것에 니오브(niobium)(Nb)나 텅스텐(tungsten)(W)등을 첨가한 합금을 선택하는 것이 가능하다.

이 제3의 공정의 적합한 실시예로서, 우선, 공지한 Ar가스를 사용한 스퍼터링법에 의해, 제 2금속 박막으로서 Mo에 10wt%이하, 예를 들면, 예를 들면 5wt%의 Nb를 첨가한 MoNb합금이, 200nm의 두께로 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 인산(phosphoric acid)+ 질산을 포함하는 용액을 사용하여 제2의 금속박막이 에칭된다. 또한 계속해서, 공지한 불소계 가스를 사용한 드라이에칭(dryetching)법으로, 적어도 소스 전극(9)과 드레인 전극(10) 사이의 오믹 콘택막(8)을 제거한 후에, 레지스트 패턴을 제거한다. 이에 따라 소스 전극(9), 드레인 전극(10), 소스 배선(11) 및 소스 단자(12)가 형성된다. 또한 이 때, TFT의 채널(channel)부(13)가 형성된다.

(D)제4의 공정

다음에 제2의 절연막의 하층으로서 제1의 층간 절연막(14)이 성막된다. 그 후에 제4회째의 포토리소그래피 프로세스(사진제판공정)에 의해 제1층간 절연막(14)이 패터닝 된다. 이에 따라 도 2, 도 9 및 도 10과 같이, 제1의 층간 절연막(14)에, 적어도 제1의 금속박막인 게이트 단자(5)의 표면까지 관통하는 콘택홀(15)과, 제2의 금속박막 중 소스 단자(12)의 표면까지 관통하는 콘택홀(16)과, 드레인 전극(10)의 표면까지 관통하는 콘택홀(17)이 동시에 형성된다.

이 제4의 공정의 적합한 실시예로서, 우선, CVD법을 사용하고, 제1의 층간 절연막(14)으로서 질화 실리콘(SiNx)막이 200nm의 두께로 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 불소계 가스를 사용한 드라이에칭법으로 이 질화 실리콘막을 에칭한 후에, 레지스트 패턴을 제거한다. 이에 따라 게이트 단자(5)용의 콘택홀(15), 소스 단자(12)용의 콘택홀(16) 및 드레인 전극(10)(화소 드레인)용의 콘택홀(17)이 형성된다.

이 경우, 레지스트 패턴에 있어서 거품 등에 의해 발생한 결함부가 존재하면, 드라이에칭에 의해, 그 결함부 바로 아래의 질화 실리콘막(제1의 층간 절연막(14))이 에칭되어, 핀홀(pinhole)이 형성된다.

(E)제5의 공정

다음에 재차(D) 제4의 공정과 동일한 공정을 제5의 공정으로서 반복한다. 즉, 제2의 절연막의 상층으로서, 제2의 층간 절연막(18)이 성막된다. 그 후에 제5회째의 포토리소그래피 프로세스(사진제판공정)에 의해 제2의 층간 절연막(18)이 패터닝 된다. 이에 따라 도 2, 도 11 및 도 12와 같이, 제4의 공정(D)와 같이 게이트 단자(5)용의 콘택홀(19), 소스 단자(12)용의 콘택홀(20) 및 드레인 전극(화소 드레인)(10)용의 콘택홀(21)이 형성된다.

이 때, 콘택홀(19, 20, 21)은, 각각 대응하는 제4의 공정(D)에서 형성된 콘택홀(15, 16, 17)의 외경 치수보다도 큰 것이 바람직하다. 즉, 각 콘택홀의 단면형상이 계단 모양이 되도록 해 두는 것이 바람직하다.

또한 제2의 층간 절연막(18)의 막두께는, 제1의 층간 절연막(14)의 막두께보다도 얇게 형성해 두는 것이 바람직하다.

이 제5의 공정의 적합한 실시예로서, 우선, CVD법에 의해 제2의 층간 절연막(18)으로서 질화 실리콘(SiNx)막이 100nm의 두께로 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 불소계 가스를 사용한 드라이에칭법으로 상기 질화 실리콘막을 에칭한 후에 레지스트 패턴을 제거한다. 이에 따라 게이트 단자(5)용의 콘택홀(19), 소스 단자(12)용의 콘택홀(20) 및 드레인 전극(화소 드레인)용의 콘택홀(21)이 형성된다.

이 경우, 레지스트 패턴에 있어서 거품 등에 의해 발생한 결함부가 존재하면, 드라이에칭에 의해, 그 결함부 바로 아래의 질화 실리콘막(제2의 층간 절연막(18))은 에칭되어, 핀홀(pinhole)이 형성된다.

(F)제6의 공정

마지막으로, 도 2, 도 13 및 도 14와 같이, 투명도전성 박막을 성막한 후, 제6회째(사진제판공정)에 의해, 이 투명 도전막을 사용하고, 화소(3), 소스 단자 패드(24)의 패턴이 각각 형성되고 있다. 화소전극(22)은, 콘택홀(17, 21)을 통해, 하층의 드레인 전극(10)과 전기적으로 접속된다. 또한 게이트 단자 패드(23)는, 콘택홀(15, 19)을 통해, 하층의 게이트 단자(5)와 전기적으로 접속된다. 소스 단자 패드(24)는, 콘택홀(16, 20)을 통해, 하층의 소스 단자(12)와 전기적으로 접속된다. 이에 따라 이 실시예 1에 따른 액정표시 장치용 TFT어레이 기판이 완성된다.

제6의 공정의 적합한 실시예로서, 우선, 투명도전성 박막으로서 산화인듐(indium)(In_2O_3)과 산화주석(tin)(SnO_2)을 혼합한 ITO막이, 공지한 Ar가스를 사용한 스퍼터링법으로 100nm의 두께로 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 염산+ 질산을 포함하는 용액을 사용하여 에칭한 후에 레지스트 패턴을 제거한다. 이에 따라 빛을 투과시키는 화소전극(22), 게이트 단자 패드(23) 및 소스 단자 패드(24)가 형성된다.

이와 같이 하여 완성시킨 TFT어레이 기판에 있어서는, 제1의 층간 절연막(14)과 제2의 층간 절연막(18)으로 이루어지는 적어도 2층의 적층구조가, 하층과 상층의 배선이나 전극(게이트 전극(2), 저장용량 공통전극(3), 게이트 배선(4), 게이트 단자(5)라는 제1의 도전층 및 드레인 전극(10), 소스 배선(11) 및 소스 단자(12)라는 제2의 도전층과, 화소전극(22), 게이트 단자 패드(23) 및 소스 단자 패드(24)라는 제3의 도전층)을 전기적으로 절연하고 있다. 이 때문에, 1층의 층간 절연막만 설치하고 있는 예에 비해, 하층과 상층의 배선이나 전극의 전기적 단락이나 전기적 단락에 의한 표시 불량을 효과적으로 방지하는 것이 가능하다.

도 15에, 상층인 화소전극(22)과 하층인 소스 전극(11)의 중첩부의 단면을 나타낸다. 도 15는, 도 1의 Y-Y'로 나타내는 개소의 단면을 도시하고 있다. 또한 비교를 위해, 도 16에, 층간 절연막이 1층만 있는 경우의 단면도를 도시한다. 핀홀 결함(25, 26)은, 제1의 층간 절연막(14) 및 제2의 층간 절연막(18)에 있어서, 막 결손이나, 콘택홀 등의 패턴을 형성할 때의 레지스트 패턴에 기포 등의 결함이 발생함으로써 발생한다.

도 16에서는, 층간 절연막(14)이 1층 있을 뿐이며, 핀홀 결함(25)에 의해 소스 배선(11)의 표면이 노출되어버린다. 이 때문에, 투명도전성 박막을 성막했을 때, 소스 배선(11)과 화소전극(22)과의 전기적 단락이 발생하게 된다. 한편, 본 실시예 1을 나타낸 도 15에 있어서는, 핀홀 결함(25)과 핀홀 결함(26)이 다른 위치에서 발생하고 있기 때문에, 소스 배선(11)이 노출하지 않는다. 이에 따라 소스 배선(11)과 화소전극(22)과의 전기적 단락이 발생하지 않는다. 물론, 도 15에 있어서, 핀홀 결함(25)과 핀홀 결함(26)이 같은 위치에서 발생한 경우에는, 소스 배선(11)과 화소전극(22)과의 전기적 단락이 발생하게 된다. 그러나, 제1의 층간 절연막(14)에서의 핀홀 결함(25)과 제2의 층간 절연막(18)에서의 핀홀 결함(26)이 완전 같은 위치에서 발생하여 겹칠 확률은 현저히 낮다고 생각된다. 따라서, 본 실시예 1에 따른 발명에 의해 전기적 단락이나 전기적 단락에 의한 표시 불량을 효과적으로 방지할 수 있다.

또한, 본 실시예 1에 있어서는, 특히 제2의 층간 절연막(18)에 형성하는 복수의 콘택홀(19, 20, 21)의 외경치수를, 도 1 및 도 2와 같이, 각각 대응하는 제1의 층간 절연막(14)의 콘택홀(15, 16, 17)의 외경보다도 크게 설정하고 있다. 이에 따라 상층 전극막인 화소전극(22), 게이트 단자 패드(23), 소스 단자 패드(24)의 콘택홀 단차부에 있어서의 단선 불량을 방지할 수 있다.

또한 제2의 층간 절연막(18)의 막두께를, 제1의 층간 절연막(14)의 막두께보다도 얇게 형성하고 있다. 이 때문에, 레지스트 패턴에 기포 등의 결함이 생기는 것에 의한 핀홀 결함(25, 26)등이 발생한 경우에도, 제2의 층간 절연막(18)만을 관통시키기 위한 공지한 불소계 가스를 사용한 드라이에칭법으로 에칭하면 된다. 따라서, 에칭 및 CVD법을 사용해서 형성한 질화 실리콘(SiN_x)막의 면내 균일성을 고려했을 경우에, 에칭 시간을 최소시간으로 할 수 있으며, 보다 신뢰성이 높고, 제조율을 향상시키는 효과를 얻을 수 있다.

따라서, 본 실시예 1에 의한 TFT어레이 기판과, 공통 전극 및 컬러필터 등을 가지는 대향기판을 서로 붙여, 이들 사이에 전기 광학재료로서 액정을 끼워 제조되는 전기광학표시장치는, 액정표시장치로서, 제조율을 향상시켜 생산 능력을 향상시킬 수 있으므로 생산 원가(cost)를 저감하여 저가로 공급하는 것이 가능하게 된다.

또 액정표시장치에 한하지 않고, 본 실시예 1에 의한 TFT어레이 기판의 화소전극(22)위에 전기 루미네선스(electroluminescence)(EL)등의 발광형의 전기광학재료를 패턴형성하고, 이 EL패턴을 밀폐 밀봉하도록 이 실시예 1에 의한 TFT어레이 기판과 대향기판을 서로 붙임으로써, EL형의 표시장치를 제조율이 좋도록 제조하는 것이 가능하다.

또한, 이 실시예 1에서는, 층간 절연막(14)과 층간 절연막(18)의 2층으로 이루어지는 적층구조를 형성하고 있었지만, 이에 한정하지 않고, 예를 들면 또한 제2의 층간 절연막의 상층에, 제3의 층간 절연막을 형성한 3층 이상의 구조로 해도 된다. 다층구조가 되면 될 수록 각 층에 발생하는 막의 결손이나 핀홀 불량률의 보완을 확실하게 할 수 있다. 단, 실제로는 2층 구조로 함으로써 막의 결손이나 핀홀을 거의 보완 할 수 있다. 따라서, 공정의 복잡화를 피하기 위해서, 층간 절연막은 2층 구조 또는 많아도 3층 구조로 충분하다.

이상과 같이, 층간 절연막(14)과 층간 절연막(18)과의 2층으로 이루어지는 적층구조를 형성하는 동시에, 이 층간 절연막(14, 18)에 형성되는 콘택홀을 적어도 2회 이상의 공정으로 형성하고 있다. 이 때문에, 층간 절연막(14, 18)에 핀홀이나 결손이 발생해도, 콘택홀 이외에서의 전극간의 단락 불량을 방지할 수 있고, 신뢰성이 높은 전기광학장치를 높은 제조율로 제조하는 것이 가능하게 된다.

실시예 2

본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기관의 평면도를 도 17에, 마찬가지로 그 단면도를 도 18에 각각 나타낸다. 도 18의 단면도는, 도 17에 있어서의 X-X'의 단면에 더하여, 게이트 단자부와 소스 단자부의 단면구조를 나타내고 있다. 한편, 실시예 2에서는, 전술한 실시예 1과 같은 기능을 가지는 요소에 관해서는 동일한 부호를 붙이고 있다.

이 액정표시 장치용 TFT어레이 기관은, 도 17 및 도 18 과 같이, 화소전극(35)과 대향전극(36)을 가지고 있다. 화소전극(35)과 대향전극(36)은, 서로 대향하도록 배치되어 있다. 화소전극(35)은, 콘택홀17, 21을 통해 드레인 전극(10)과, 콘택홀(30, 33)을 통해 저장용량 콘택막(28)과 각각 전기적으로 접속되어 있다. 또한 대향전극(36)은, 콘택홀(31, 34)을 통해 저장용량 공통전극(3)과 전기적으로 접속되어 있다. 본 실시예에 따른 TFT어레이 기관은, 화소전극(35)과 대향전극(36) 사이에서 막면에 대하여 대략 평행이 되는 방향으로 전계가 인가되는 구조를 가진다. 이 액정표시 장치용 TFT어레이 기관의 제조 방법도 도 18 - 도 30을 참고로 하여 설명한다.

(A)제1의 공정

우선, 유리 기관 등의 투명절연성 기관(1)위에 제1의 금속박막이 성막된다. 그 후 제1회째의 포토리소그래피 프로세스(사진제판공정)에 의해 제1의 금속박막이 패터닝 된다. 이에 따라 도 18, 도 19 및 도 20과 같이, 적어도 게이트 전극(2), 저장용량 공통전극(3), 게이트 배선(4)이 형성된다.

또한, 도 19에 나타나 있는 바와 같이 저장용량 공통전극(3)은, 평면상 동일 패턴으로 형성된다. 제1의 금속박막으로서는, 전기적 비저항값이 낮은 Al, Mo나, 이들을 주성분으로 하는 합금을 사용하는 것이 바람직하다.

이 제1의 공정의 적합한 실시예로서, 우선, 공지한 Ar가스를 사용한 스퍼터링법으로 Al막이 200nm의 두께로 성막된다. 스퍼터링 조건은, DC마그네트론 스퍼터링 방식으로, 성막 파워 밀도 $3\text{W}/\text{cm}^2$, Ar가스 유량40sccm으로 한다.

계속해서, 공지한 Ar가스에 N_2 가스를 혼합한 가스를 사용한 반응성 스퍼터링법에 의해 질소(N)원자를 첨가한 AlN합금이 50nm의 두께로 성막된다. 이 스퍼터링 조건은, 성막 파워 밀도 $3\text{W}/\text{cm}^2$, Ar가스 유량40sccm, N_2 가스 유량20sccm으로 한다. 이상에 의해, 제1의 금속박막으로서 200nm두께의 Al막과 그 상층에 50nm두께의 AlN막을 가지는 2층막이 형성된다. 한편, 이 때의 상층AlN막의 N원소 조성은, 예를 들면 약 18wt%로 한다.

그 후에 레지스트 패턴을 형성하고, 공지한 인산+ 질산을 포함하는 용액을 사용해서 상기 2층막을 에칭한 후에 레지스트 패턴을 제거한다. 이에 따라 게이트 전극(2), 저장용량 공통전극(3), 게이트 배선(4)의 각각의 패턴이 형성된다.

(B)제2의 공정

다음에 제1의 절연막(게이트 절연막)(6)과, 실리콘 등으로 이루어지는 반도체 능동막(7)과, 불순물 원자를 첨가한 실리콘 등으로 이루어지는 오믹 콘택막(8)이 순차 성막된다. 그 후에 제2회째의 포토리소그래피 프로세스(사진제판공정)에서, 도 18, 도 21 및 도 22와 같이, 반도체 능동막(7)과 오믹 콘택막(8)이 패터닝 된다. 이 때, 반도체 능동막(7)과 오믹 콘택막(8)은, 박막트랜지스터(TFT)를 형성하는 영역을 포함하고, 또한 이 TFT를 형성하는 영역으로부터 연장함과 동시에 후술의 제3의 공정에서 형성되는 소스 배선(11)의 패턴에 포괄되도록 연속하는 형상이 되도록 패턴 형성된다.

이 제2의 공정의 적합한 실시예로서, 화학적 기상성막(CVD)법을 사용하여 제1의 절연막(게이트 절연막)(6)으로서 질화 실리콘(SiN_x : x는 정수)막이 400nm의 두께로, 반도체 능동막(7)으로서 아모퍼스 실리콘(a-Si)막이 150nm의 두께로, 오믹 콘택막(8)으로서 인(P)을 불순물 원자로서 첨가한 n^+ 형 아모퍼스 실리콘(n^+ a-Si)막이 30nm의 두께로 순차 성막된다. 그리고, 레지스트 패턴을 형성하여, 공지한 불소계 가스를 사용한 드라이에칭법으로 아모퍼스 실리콘막과 오믹 콘택막(8)을 에칭한 후 레지스트 패턴을 제거하여 반도체막(7, 8)이 형성된다.

(C)제3의 공정

다음에 제2의 금속박막이 성막된다. 그 후에 제3회째의 포토리소그래피 프로세스(사진제판공정)에 의해 제2의 금속박막이 패터닝 되어, 도 18, 도 23 및 도 24와 같이, 소스 전극(9), 드레인 전극(10), 소스 배선(11) 및 저장용량 콘택막(28)이 형성된다. 제2의 금속박막으로서는, 전기적 비저항값이 낮고, 오믹 콘택막(8)과의 양호한 콘택 특성을 가지는 것, 또한 이 뒤의 프로세스에서 형성되는 화소전극(35)과의 콘택 특성이 뛰어난 등의 이점을 가지는 재료를 사용하는 것이 바람직하다. 제2의 금속박막으로서는, 이러한 특성을 가지는 재료인 예를 들면 몰리브덴(Mo)을 기초로 하여 이것에 니오브(Nb)나 텅스텐(W)등을 첨가한 합금을 선택하는 것이 가능하다.

이 제3의 적합한 실시예로서, 우선, Mo에 10wt%이하, 예를 들면 5wt%의 Nb를 첨가한 MoNb합금이, 공지한 Ar가스를 사용한 스퍼터링법으로 200nm의 두께로 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 인산+ 질산을 포함하는 용액을 사용하여 에칭한다. 또한 계속해서 공지한 불소계 가스를 사용한 드라이에칭법으로 적어도 소스 전극(9)과 드레인 전극(10) 사이의 오믹 콘택막(8)을 제거한 후에, 레지스트 패턴을 제거한다. 이에 따라 소스 전극(9), 드레인 전극(10), 소스 배선(11), 저장용량 콘택막(28) 및 TFT의 채널부(13)가 형성된다.

(D)제4의 공정

다음에 제2의 절연막의 하층으로서 제1의 층간 절연막(29)이 CVD법을 사용하여 성막된다. 그 후에 도 18, 도 25 및 도 26과 같이, 제4회째의 포토리소그래피 프로세스(사진제판공정)에 의해 패터닝 하고, 콘택홀(31, 30, 17)이 동시에 형성된다. 콘택홀(31)은, 적어도 상기 제1의 금속박막의 저장용량 공통전극(3)의 표면까지 관통한다. 또한 콘택홀(30)은, 제2의 금속박막의 우리 저장용량 콘택막(28)의 표면까지 관통한다. 또한 콘택홀(17)은, 드레인 전극(10)의 표면까지 관통한다.

이 제4의 공정의 적합한 실시예로서, 우선, 제1의 층간 절연막(29)으로서 CVD법을 사용하여 질화 실리콘(SiN_x)막이 200nm의 두께로 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 불소계 가스를 사용한 드라이에칭법으로 상기 질화 실리콘막을 에칭한 후에, 레지스트 패턴을 제거한다. 이에 따라 저장용량 공통전극(3)용 콘택홀(31), 저장용량 콘택막(28)용 콘택홀(30) 및 드레인 전극(10)(화소 드레인)용 콘택홀(17)이 형성된다.

이 경우, 레지스트 패턴에 있어서 거품 등에 의해 발생한 결함부가 존재하면, 드라이에칭에 의해, 그 결함부 바로 아래의 질화 실리콘막(제1의 층간 절연막(29))은 에칭되어, 핀홀(25)이 형성된다.

(E)제5의 공정

다음에 제5의 공정으로서, 다시 제4의 공정(D)과 동일한 공정을 반복한다. 즉, 우선, 제2의 절연막의 상층으로서 제2의 층간 절연막(32)이 성막된다. 그 후에 제5회째의 포토리소그래피 프로세스(사진제판공정)에 의해 패터닝 하고, 도 18, 도 27 및 도 28과 같이, 저장용량 공통전극(3)용 콘택홀(34), 저장용량 콘택막(28)용 콘택홀(33) 및 드레인 전극(10)(화소 드레인)용 콘택홀(21)이 형성된다.

이 때, 콘택홀(21, 33, 34)은, 제4의 공정(D)에서 각각 대응하도록 형성된 콘택홀(17, 30, 31)의 외경치수보다도 큰 것이 바람직하다. 즉, 각 콘택홀의 단면형상이 계단 모양으로 되도록 해 두는 것이 바람직하다.

또 제2의 층간 절연막(32)의 막두께는, 제1의 층간 절연막(29)의 막두께보다도 얇게 형성해 두는 것이 바람직하다.

이 제5의 공정의 적합한 실시예로서, 우선, 제2의 층간 절연막(32)으로서 CVD법을 사용하여 질화 실리콘(SiN_x)막이 100nm의 두께로 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 불소계 가스를 사용한 드라이에칭법으로 상기 질화 실리콘막을 에칭한 후에 레지스트 패턴을 제거한다. 이에 따라 저장용량 공통전극(3)용 콘택홀(34), 저장용량 콘택막(28)용 콘택홀(33) 및 드레인 전극(10)(화소 드레인)용 콘택홀(21)이 형성된다.

이 경우, 레지스트 패턴에 있어서 거품 등에 의해 발생한 결함부가 존재하면, 드라이에칭에 의해, 그 결함부 바로 아래의 질화 실리콘막(제2의 층간 절연막(32))은 에칭되어버리므로 핀홀(26)이 형성된다.

(F)제6의 공정

마지막으로, 도 18, 도 29 및 도 30과 같이, 투명도전성 박막을 성막한 후에, 제6회계의 포토리소그래피 프로세스(사진제판공정)에 의해, 이 투명도전성 박막을 사용하여 화소전극(35) 및 대향전극(36)이 패턴형성된다.

이 때, 화소전극(35)은, 콘택홀(17, 21, 30, 33)을 통해, 하층의 드레인 전극(10) 및 저장용량 콘택막(28)에 각각 전기적으로 접속된다.

또한 대향전극(36)은, 콘택홀(31, 34)을 통해, 하층의 저장용량 공통전극(3)에 전기적으로 접속된다. 또한, 대향전극(36)은, 적어도 그 일부가 하층의 소스 배선(11) 위를 덮는 형상이 된다.

이와 같이 하여, 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판이 완성된다.

본 실시예에 따른 TFT어레이 기판에 있어서는, 화소전극(35)과 대향전극(36)은 서로 완전히 분리되고 있으며, 또한, 양자 패턴의 한번의 적어도 일부는 서로 대략 평행하게 대향하는 형상을 가지도록 패턴형성된다.

이 제6의 공정의 적합한 실시예로서, 여기서는 우선 투명도전성 박막으로서 산화인듐(In_2O_3)과 산화주석(SnO_2)을 혼합한 ITO막을 공지한 Ar가스를 사용한 스퍼터링법으로 100nm두께로 성막된다. 그 후에 레지스트 패턴을 형성하고, 공지한 염산+ 질산을 포함하는 용액을 사용하여 에칭한 후 레지스트 패턴을 제거하고, 화소전극(35) 및 대향전극(36)이 형성된다.

이 실시예 2에 있어서도, 상기의 실시예 1과 동일한 효과를 얻을 수 있다.

덧붙여, 이 실시예 2의 경우, 도 17 및 도 18에 나타나 있는 바와 같이, 특히 대향전극(36)이 하층의 소스 배선(11)과 오버랩(overlap)하는 영역에 있어서, 실시예 1에서 도 15 및 도 16을 사용하여 설명한 효과와 동일한 효과를 나타내고 있다. 즉, 층간 절연막이 1층만 있는 구조는, 층간 절연막의 결손, 핀홀 결함(25, 26)등이 양자의 전기적 단락 불량에 직결하는 구조가 된다. 그러나, 본 실시예에 있어서는, 층간 절연막(29, 32)을 2층 구조로 하고, 또한 콘택홀을 2회 이상의 공정에 의해 형성하는 것을 특징으로 하므로, 이 불량의 방지에 큰 효과가 있다.

따라서, 이 실시예 2에 의한 TFT어레이 기판과, 공통 전극 및 컬러필터 등을 가지는 대향기판을 서로 붙여, 이들 사이에 액정을 끼워 제조되는 횡방향 전계방식의 액정표시장치는, 제조율을 향상시켜 생산 능력을 향상시킬 수 있으므로 생산 원가를 저감하여 저가로 공급하는 것이 가능하게 된다.

또한, 이 실시예 2에서도, 층간 절연막(29)과 층간 절연막(32)의 2층으로 이루어지는 적층구조를 형성했지만, 이에 한정하지 않고, 예를 들면 또한 제3의 층간 절연막을 형성한 3층 구조로 해도 된다.

또한 상기의 실시예 1, 2에서는, 제1의 금속박막으로서 Al(알루미늄)막과 그 상층에 N(질소)원자를 첨가한 AlN막을 형성한 2층막으로 했다. 이것은, 금속박막을 Al로 하는 것으로, 전극이나 배선의 전기 저항을 낮게 하는 동시에, 상층에 AlN막을 설치하는 것으로 투명 도전막ITO막으로 이루어지는 게이트 단자 패드(23)(도 2참조)가 콘택홀(15, 19)을 통해 게이트 단자(5)와 전기적으로 접속된 경우나, 대향전극(36)이 콘택홀(31, 34)을 통해 저장용량 공통전극(3)과 전기적으로 접속된 경우 등의 계면의 콘택 저항을 양호하게 하기 위함이다.

또한 상층에 AlN막을 형성함으로써, 일반적으로 힐록(hillock)으로서 알려져 있는 약 100℃ 이상으로 가열했을 때 Al막 표면에 발생하는 돌기를 억제할 수 있다. 또한, AlN/Al의 2층 구조로 하는 것으로, Al계 금속의 에칭액으로서 공지한 인산+ 질산을 포함하는 용액으로 일괄 에칭할 수 있다는 장점도 있다. 또한, 상기 각 실시예에 있어서는, 상층의 Al에는 약 18Wt%의 N원자를 첨가한 AlN막을 사용했지만, 이것에 한정되는 것은 아니다. 본 출원인의 평가에 의하면, 상층의 Al에 첨가하는 N원자 조성이 5-26wt%이면 본 발명과 동등한 효과를 얻을 수 있음을 확인하고 있다. 혹은 첨가원소도 N(질소)원자에 한정되지 않고 탄소(C)원자나 산소(O)원자를 첨가시켜도 좋다. 상층의 Al에 첨가하는 원소의 종류나 첨가량은 스퍼터링법에 있어서, 공지한 Ar가스에 혼합하는 가스의 종류와 유량을 임의로 변화시킴으로써 실시하는 것이 가능하다. 예를 들면 N_2 가스를 대신하여 O_2 가스, CO_2 가스 또는 대기 가스를 혼합한 반응성 스퍼터링을 행하는 것이 가능하다.

또한, 모체가 되는 금속박막으로서, Al막 대신에, Al에 네오디뮴(neodymium)(Nd)이나 가돌리늄(gadolinium)(Gd), 란탄(lanthanum)(La)등의 희토류 금속원소나 이트륨(yttrium)(Y)을 첨가한 Al합금을 사용한 Al합금-N/Al합금의 2층막으로 하는 것도 가능하다. 이 경우에는 전술한 프로세스의 가열공정에 있어서의 힐록 발생 방지의 마진(margin)을 높일 수 없으며, 제품의 제조율이나 신뢰성을 향상시킬 수 있기 때문에 더욱 바람직하다. Al에 첨가하는 Nd, Gd, La, Y원소의 첨가량은 5wt%이하, 바람직하게는 0.1-5wt%의 범위로 하는 것이 바람직하다. 이것은, 0.1wt%미만이면 힐록 억제 효과를 충분히 얻는 것이 어렵고, 그리고, 5wt%를 넘는 첨가량에서는 Al합금 바로 그 자체의 비 저항이 높아지게 되어($5\mu\Omega\text{cm}$ 이상), 저 저항의 장점이 손상되기 때문이다.

또한 상기의 실시예 1, 2에서는, 제2의 금속박막으로서 Mo(몰리브덴)에 첨가량10wt%이하, 예를 들면 첨가량5wt%에서 Nb를 가한 MoNb합금을 사용했지만, 이것에 한정되지 않는다. Nb원자의 첨가에 의해 Mo의 내식성, 특히 순수에 대한 내식성을 향상시킬 수 있다. 또한, 이것에 더해서 Al계 금속으로서 공지한 인산+ 질산을 포함하는 용액에 대한 급격한 에칭 부식속도를 억제하여 제어할 수 있다. 이 때문에, 실시예 1, 2의 경우에는, 제1의 금속박막으로서 사용한 Al계 합금막의 에칭 용액을 MoNb합금용의 에칭액으로서 공용하는 것이 가능하게 된다는 장점이 있다. 이러한 효과를 얻기 위한 Mo로의 Nb의 첨가량은 2.5-10wt%인 것이 바람직하다. 또는, 제2의 금속박막으로서 Mo에 30-50wt%의 W를 첨가한 MoW막을 사용한 경우에도, 동일한 효과를 얻는 것이 가능하다.

또한 상기 실시예 1, 2에 있어서는, 투명도전성 박막으로서 산화인듐(In_2O_3)과 산화주석(SnO_2)을 혼합시킨 ITO막을 사용했지만, 이것에 한정되지 않는다. 투명도전성 박막으로서, 산화인듐, 산화주석, 산화아연(ZnO)의 단체 또는 이들을 혼합시킨 것을 사용해도 된다. 예를 들면 산화인듐에 산화아연을 혼합시킨 IZO막을 사용했을 경우에는, 공지한 Ar가스를 사용한 스퍼터링법으로 투명도전성 박막을 비정질의 상태로 성막할 수 있고, 상기의 실시예에서 사용한 염산+ 질산을 포함하는 강산계 용액이 아닌 존산계와 같은 약산용액을 에칭액으로서 사용할 수 있게 된다. 이 경우, 이 실시예와 같이 제1 및 제2의 금속박막에 내산성에 부족한 Al계나 Mo계등의 합금막을 사용했을 경우에는, 투명도전성 박막 에칭시의 약액의 침투에 의한 이들 Al계, Mo계 합금막의 부식 단선을 방지할 수 있기 때문에 바람직하다.

또한 산화인듐에 산화주석과 산화아연을 적당량 혼합시킨 ITZO막을 사용했을 경우에는, 비정질상태로 형성한 막을 가열함으로써 화학적으로 안정된 결정질 상태로 할 수 있기 때문에, 내식성이 높고, 신뢰성이 높은 액정표시장치를 제조율이 좋도록 제조할 수 있게 된다. 한편, 산화인듐, 산화주석, 산화아연 각각의 스퍼터 막의 산소조성이 산화물의 화학량론 조성보다도 적고, 그 결과, 투과율값이나 비저항값 등의 특성이 불량인 경우에는, 스퍼터링 가스로서 Ar가스 뿐만아니라 O_2 가스나 H_2O 가스를 혼합시킨 가스를 사용하여 성막하는 것이 바람직하다.

또한, 상기 실시예 1, 2에 있어서는, 제1 및 제2의 층간 절연막을 CVD법을 사용하여 형성한 질화 실리콘(SiN_x)막으로 했지만, 한정된 막을 지정하는 것은 아니다. 제1, 제2의 어느 것, 혹은 양쪽의 층간 절연막에, 산화 실리콘(SiO_x)막이나, 그 밖에도 유기계의 수지막을 도포 형성하여 사용해도 되는 것은 물론이다. 특히 감광성의 유기수지막을 층간 절연막으로서 사용할 경우에는, 콘택홀을 포토리소그래피 프로세스로 형성하는 것이 가능하다. 이 때문에, 이것을 제2의 층간 절연막으로서 사용할 경우에는, 막두께를 제1의 층간 절연막의 그것보다도 얇게할 필요는 없다.

또한 상기 각 실시예에서는, 제2의 층간 절연막(18, 32)에 형성되는 콘택홀의 외형치수를, 제1의 층간 절연막(14, 29)에 형성되는 콘택홀의 외형크기보다도 각각 크게 형성하고, 콘택홀의 단면형상이 계단 모양이 되도록 설정하고 있었지만, 각 콘택홀의 벽면을 경사지게 하여, 순 테이퍼 모양으로 형성해도 된다.

실시예 3

본 발명의 실시예 3에 따른 액정표시 장치용의 액정 패널(panel)에 대해서, 도 31-도 34를 참조하여 설명한다. 도 31은, 본 실시예에 따른 액정표시 패널에 이용되는 TFT어레이 기관(101)의 평면도이다. 도 32는, 도 31에 나타내는 TFT어레이 기관(101)을 사용한 액정표시 패널을 나타내는 평면도이다. 도 33은 도 32에 있어서의 X-X'단면도이며, 도 34는 도 32에 있어서의 Y-Y'단면도이다. 여기에서, 도 31은, 예를 들면 전술한 실시예 1의 공정을 사용해서 작성된 액정표시 장치용의 TFT어레이 기관(101)을 나타내는 것이며, 실시예 1과 같은 요소에 대해서는, 동일한 부호를 붙이고 있다. 또한 도 32에 있어서는, 설명을 위해, TFT어레이 기관(101)에 대향하는 대향기관인 컬러필터 기관(102)의 도시를 생략하고 있다.

본 실시예에 따른 액정표시 장치용의 액정표시 패널은, 도 33 및 도 34에 나타나 있는 바와 같이 TFT어레이 기판(101)과, 이에 대향배치되어, 씨일 패턴(40)을 통해 붙여지는 컬러필터 기판(102) 사이에 액정을 끼우는 구성을 가지고 있다. 본 실시예에 따른 액정표시 패널은, 도전성의 씨일 패턴(40)에 의해 TFT어레이 기판(101)에 형성된 공통 전극 패드(38)와, 컬러필터 기판(102)에 형성된 대향전극(42)이 전도하는 구성을 가지고 있다.

여기에서, 본 실시예에 따른 TFT어레이 기판(101)에 대해서 도 31을 참조하여, 상세하게 설명한다. 도 31은, 액정표시 장치용의 TFT어레이 기판(101)을 도시한 도면이다. 유리 기판 등의 투명절연성 기판(1)위에, 적어도 1종류 이상의 도전성 박막을 성막함으로써 형성되는 최하층의 제1의 도전층인 금속막이 형성되어 있다. 여기에서는, 저장용량 공통전극(3)과, 게이트 배선(4)과, 게이트 단자(5)와, 후술하는 대향기판인 컬러필터 기판에 형성된 대향전극에 전위를 공급하기 위한 공통 전극배선(37) 및 공통 전극 패드(38)가 제1의 도전층에 의해 형성되어 있다.

또한, 이들 최하층의 배선, 전극의 일부 등을 덮도록, 게이트 절연막(6)(도 2, 도 33 및 도 34참조)이 형성되어 있다. 또한 이 게이트 절연막(6)위에는, 적어도 1종류 이상의 도전성 박막으로 이루어지는 제2의 도전층인 금속막이 형성되어 있다. 여기에서는, 게이트 배선(4)과 게이트 절연막(6)을 통해 직교하는 소스 배선(11)과, 소스 단자부(12)가 제2의 도전층에 의해 형성되어 있다. 게이트 배선(4)과 소스 배선(11)으로 둘러싸인 영역에는, 각각 화소전극(도시하지 않음)이 배치된다. 이 매트릭스 모양으로 배치된 복수의 화소전극이, 화상표시 영역을 형성한다.

또한 이들의 전극 위에는, 2층으로 형성되는 제2의 절연막으로서, 제1의 층간 절연막(14)과 제2의 층간 절연막(18)(도 2, 도 33 및 도 34참조)이 형성된다. 그리고, 게이트 절연막(6) 및 층간 절연막(14, 18)에는, 콘택홀(39)이 설치된다. 이 콘택홀부(39)에 있어서는, 상기 공통 전극 패드(38)의 표면이 노출되어 있다.

TFT부, 그 밖의 배선 및 전극 등에 관해서는, 여기에서는 상세하게 설명하지 않지만, 이들의 구조 및 제조 공정은, 실시예 1에 기재된 구조 및 제조 공정에 각각 준하고 있다.

또한, 이 액정표시 장치용의 액정표시 패널의 구조를, 도 32, 도 33 및 도 34을 참조하여 상세하게 설명한다.

도 32에 나타나 있는 바와 같이 본 실시예에 따른 액정표시 장치용의 액정표시 패널에는, TFT어레이 기판(101)에 형성된 공통 전극 패드(38)위에 적어도 중첩하도록 셀재를 도포한 씨일 패턴(40)이 설치된다. 또한 씨일 패턴(40)은, 복수의 화소전극으로 이루어지는 화상표시 영역을 둘러싸도록 설치되어 있다. 즉, 공통 전극배선(37) 및 공통 전극 패드(38)는, 씨일 패턴(40) 아래에 설치된다. 또한 제1의 층간 절연막(14)과 제2의 층간 절연막(18)과의 2층의 층간 절연막을 통해, 씨일 패턴(40)과 제2의 도전층이 중첩하고 있다. 이 씨일 패턴(40)에 의해, 컬러필터(도시 생략)와 대향전극(42)이 적어도 형성된 컬러필터 기판(102)(도 33 및 도 34참조)이, TFT어레이 기판(101)과 일정한 간격을 가지고 대향하여 붙여지게 된다. 또한, 모노크롬(monochrome)의 표시를 행할 경우 등에는, 컬러필터는 설치하지 않아도 된다.

또한 씨일 패턴(40)의 한변의 중앙부에는, 셀재를 배치하지 않는 개구부가 형성되어 있다. 여기에서는, 투명절연성 기판(1)의 한변측에 형성된 게이트 단자(5)가 배치된 변에 대향하는 변에, 셀재를 배치하지 않는 개구부가 형성되어 있다. 또한 개구부는 공통 전극 패드(38)이외의 영역에 형성된다. 이 개구부가, 액정을 주입하기 위한 액정주입구(41)가 된다(도 32참조).

씨일 패턴(40)을 형성하는 셀재는, 접착제의 기능과 함께, 전기적 도전성의 기능을 가지고 있다. TFT 어레이 기판(101)과 컬러필터 기판(102)이, 씨일 패턴(40)을 통해 붙여지는 것으로, 콘택홀부(39)의 공통 전극 패드(38)과 컬러필터 기판(102)상의 대향전극(42)이 전기적으로 접속된다(도 33 및 도 34참조). 이것에 의해, 화상표시 구동시에 TFT어레이 기판(101)측으로부터 입력되는 임의의 공통 전극전위가 컬러필터측의 대향전극(42)에 공급되어, 정상적인 화상표시가 행해진다. 한편, 대향전극(42)은, 통상, 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO)의 단체 또는 이들을 혼합시킨 투명도전성 박막이 이용된다.

이러한 셀재로서는, 예를 들면 열경화형의 에폭시(epoxy)계 수지재료에, 도전성 미립자를 포함시킨 것을 사용할 수 있다. 도전성 미립자로서는, 미세하게 분쇄된, 예를 들면 금(Au), 은(Ag), 동(Cu), 니켈(nickel)(Ni) 및 이들을 주성분으로 하는 금속 입자를 사용해도 되고, 이들의 금속을 포함하는 도전 페이스트(paste)를 사용해도 된다. 또는, 탄성변형이 가능한 플라스틱 비즈(plastic beads)를 임의의 크기로 가공하고, 그 표면에 전술한 금속을 도금(plating)법이나 증착법 등을 사용하

여 부착 형성한 것을 사용하는 것도 가능하다. 쉘재에 포함되는 도전성 입자의 크기에 편차가 있어서, 특이적으로 사이즈(size)가 큰 것이 포함될 경우에는, 붙여진 양 기관의 간격에 편차가 생길 가능성이 있다. 이 때문에, 입자의 크기를 임의로 제어할 수 있는 플라스틱 비즈의 표면에 금속을 형성한 도전성 미립자를 사용하는 것이 바람직하다.

씨일 패턴(40)은, TFT어레이 기관(101)측에 형성해도 좋고, 컬러필터 기관(102)측에 형성해도 좋다. 공통 전극 패드(38)부에 확실하게 중첩시키기 위해서는, TFT어레이 기관(101)측에 형성하는 것이 바람직하다. 씨일 패턴(40)은, 예를 들면 인쇄법을 사용하여 형성하는 것이 가능하다. 씨일 패턴(40)을 형성한 후에, 양 기관을 대향시켜 열압착함으로써, 양 기관이 서로 붙여지게 된다.

상기한 바와 같이 붙여진 양 기관에는, 쉘재가 배치되지 않는 액정주입구(41)이 형성되고 있으며, 여기에서 양 기관의 간격에 액정(도시 생략)이 주입된 후에, 상기 액정주입구(41)를 밀봉재(도시 생략)로 밀봉함으로써, 본 발명의 실시예 3에 따른 액정표시 장치용의 액정표시 패널이 구성된다.

도 33에 나타나 있는 바와 같이 본 발명의 실시예에서는, 2층의 층간 절연막(14, 18)을 통해 씨일 패턴(40)과 제2의 도전층인 소스 배선(11)이 중첩하고 있다. 즉, TFT어레이 기관(101)의 소스 단자(12)부에 가까운 소스 배선(11)부에 있어서는, 소스 배선(11)은, 제1의 층간 절연막(14)과 제2의 층간 절연막(18)과의 적어도 2층의 층간 절연막으로 덮이고, 도전성을 가지는 쉘재와 전기적 절연성을 유지하는 구조가 된다. 따라서, 층간 절연막 14 및 18에 막의 결손부나 핀홀(25, 26)이 발생했다고 해도, 이들에 의해 소스 배선(11)과 쉘재가 전기적으로 단락할 가능성은 현저히 낮아지므로, 표시 불량을 효과적으로 방지하는 것이 가능하다.

또한 도 34에 나타나 있는 바와 같이 TFT어레이 기관(101)의 게이트 단자부(5)에 가까운 게이트 배선(4)위는, 2층의 층간 절연막에 더해서 제1의 절연막인 게이트 절연막(6)에 덮여지고 있다. 이 때문에, 원래 게이트 배선(4)과 쉘재와의 전기적 단락이 생길 가능성은 낮다. 또한, 본 발명의 실시예와 같이, 제1의 층간 절연막(14)과 제2의 층간 절연막(18)의 적어도 2층 혹은 2층 이상으로 구성함으로써, 보다 전기적 단락 불량의 마진을 높이는 것이 가능하다.

또한 도 33 및 도 34에 나타나 있는 바와 같이 제2의 층간 절연막(18)에 형성하는 콘택홀의 외경치수를, 각각 대응하는 제1의 층간 절연막(14)의 콘택홀의 외경보다도 크게 설정하는 것이 바람직하다. 즉, 하층의 제1의 층간 절연막(14)의 개구부보다도, 상층의 제2의 층간 절연막(18)의 개구부의 크기를 크게 하고, 제2의 절연막의 콘택홀의 단면형상을 계단 모양 또는 순테이퍼 모양으로 한다. 이에 따라 씨일 패턴(40)의 콘택홀 단차부에 있어서의 단선 불량을 방지할 수 있다.

또한 제2의 층간 절연막(18)의 막두께는, 제1의 층간 절연막(14)의 막두께 보다도 얇게 형성해 두는 것이 바람직하다. 이 경우, 실시예 1과 마찬가지로, 제2의 층간 절연막(18)에 콘택홀을 형성할 때의 드라이에칭 시간을 제1의 층간 절연막(14)의 드라이에칭 시간보다도 짧게 할 수 있다. 따라서, 레지스트 패턴에 기포등의 핀홀 결함이 발생한 경우에도, 층간 절연막에 발생하는 핀홀은, 제1과 제2의 층간 절연막(14, 18)을 완전히 관통하는 경우는 없어진다. 따라서, 전기적 단락에 의한 불량을 효과적으로 방지하는 것이 가능하다.

여기에서, 도 2, 도 32, 도 33, 도 34를 참조하여, 실시예 3에 따른 액정표시 장치용의 액정표시 패널의 제조 방법에 대해서, 상세하게 설명한다.

우선, 실시예 1에 있어서 설명한 바와 같이, TFT어레이 기관(101)을 형성한다. 상기한 바와 같이, 투명절연성 기관(1)위에 각 배선, 전극 등을 적층형성한다. 구체적으로는, 투명절연성 기관(1)위에, 제1의 도전층인 게이트 전극(2), 저장용량 공통전극(3), 게이트 배선(4), 게이트 단자(5)를 형성한다. 또한 후술하는 대향기관인 컬러필터 기관에 형성된 대향전극에 전위를 공급하기 위한 공통 전극배선(37) 및 공통 전극 패드(38)를 제1의 도전층에 의해 형성한다. 다음에 제1의 절연막(게이트 절연막(6))과, 반도체막(반도체 능동막(7))과 오믹 콘택막(8)을 패턴형성한다. 다음에 제2의 도전층인 소스 전극(9), 드레인 전극(10)(화소 드레인), 소스 배선(11) 및 소스 단자(12)를 형성한다.

다음에 제2의 절연막의 하층으로서 제1의 층간 절연막(14)을 형성한다. 그리고, 제2의 절연막의 상층으로서 제2의 층간 절연막(18)을 형성한다. 그 후에 제3의 도전층인 화소전극(22)과, 게이트 단자 패드(23)와, 소스 단자 패드(24)를 각각 패턴형성하고, 액정표시 장치용 TFT어레이 기관(101)이 완성된다.

다음에 컬러필터 기관(102)을 형성한다. 구체적으로는, 유리등의 투명도전성 기관위에 R, G, B 각 색에 착색된 착색층을 가지는 컬러필터(도시하지 않음)와, ITO등의 투명도전성 박막으로 이루어지는 대향전극(42)을 순차 적층형성한다.

그리고, TFT어레이 기관(101)위에 형성된 공통 전극 패드(38)위에 중첩함과 동시에, 복수의 화소전극으로 이루어지는 화상표시 영역을 둘러싸도록, 상기의 썬재를 도포하고, 썬일 패턴(40)을 형성한다. 또한 이 썬일 패턴(40)의 한변에는, 액정주입구(41)를 형성하도록, 썬재를 설치하지 않는 부분을 형성한다.

그리고, 썬일 패턴(40)이 형성된 TFT어레이 기관(101)과 컬러필터 기관(102)을 대향배치하여 열압착함으로써, 양 기관을 썬일 패턴(40)에 의해 일정한 간격을 갖고 서로 붙인다. 이에 따라 콘택홀부(39)의 공통 전극 패드(38)와 컬러필터 기관(102)상의 대향전극(42)이 썬일 패턴(40)을 통해 전기적으로 접속된다. 그 후에 액정주입구(41)로부터, 양 기관과 썬일 패턴(40)에 의해 형성된 공간에, 액정을 주입한다. 그리고, 양 기관의 간격에 액정(도시 생략)이 주입된 후에, 상기 액정주입구(41)를 밀봉재(도시 생략)로 밀봉함으로써, 본 발명의 실시예 3에 따른 액정표시 장치용의 액정표시 패널을 제조할 수 있다.

이와 같이 하여 완성시킨 TFT어레이 기관을 가지는 액정 패널에 있어서는, 제1의 층간 절연막(14)과 제2의 층간 절연막(18)으로 이루어지는 적어도 2층으로 이루어지는 적층구조가, 하층의 배선이나 전극(제1의 도전층 및 제2의 도전층)과 상층의 배선이나 전극(제3의 도전층)을, 전기적으로 절연하고 있다. 이 때문에, 1층의 층간 절연막 설치하고 있는 예에 비해, 하층과 상층의 배선이나 전극의 전기적 단락이나 전기적 단락에 의한 표시 불량을 효과적으로 방지하는 것이 가능하다.

또한 본 발명의 실시예에서는, 상기한 바와 같이, TFT어레이 기관(101)의 소스 단자(12)부에 가까운 소스 배선(11)부에 있어서는, 소스 배선(11)은, 제1의 층간 절연막(14)과 제2의 층간 절연막(18)의 적어도 2층의 층간 절연막으로 덮여져 있다. 이 때문에, 층간 절연막 14 및 18에, 막의 결손부나 핀홀(25, 26)이 발생했다고 해도, 이들에 의한 소스 배선(11)과 썬재와의 단락을 효과적으로 억제하고, 표시 불량을 방지하는 것이 가능하다. 또한, TFT어레이 기관(101)의 게이트 단자부(5)에 가까운 게이트 배선(4)위에 있어서도, 2층의 층간 절연막에 더하여 게이트 절연막(6)에 덮이고 있으므로, 더욱 전기적 단락 불량의 마진을 높이는 것이 가능하다.

또한, 본 실시예에서는, 공통 전극 패드(38)와 콘택홀(39)을, TFT어레이 기관(101)의 화상표시 영역의 4구석에 형성하도록 했지만, 이것에 한정하는 것은 아니다. 예를 들면 도 35에 나타나 있는 바와 같이 화상표시 영역을 둘러싸는 공통 전극 배선(37)의 임의의 위치에, 공통 전극 패드(38)와 콘택홀(39)을 각각 대응하도록 복수개 형성하는 것도 가능하다. 이 경우, 보다 많은 콘택홀(39)을 통해 공통 전극 패드(38), 도전성 썬일 패턴(40) 및 대향전극(42)과의 전기적 접속을 행하는 것이 가능하게 되므로, 전체의 접속 전기 저항을 저감할 수 있다.

또한 가령, 콘택홀(39)의 일부에서 전기적 접속의 불량이 생겼다고 해도, 다른 여러개의 콘택홀(39)에서 전기적 접속을 보장하는 것이 가능하게 되므로, 대향전극으로의 전기적 접속 불량에 의한 표시 불량을 효과적으로 방지하는 것이 가능하다. 따라서, 대향전극으로의 전기적 접속 불량에 의한 표시 불량을 효과적으로 방지하는 것이 가능하다. 또한 특히, 공통 전극 패드(38)의 패턴을 설치할 필요는 없고, 공통 전극배선(37)의 임의의 바로 위에 콘택홀(39)을 형성하고, 썬일 패턴(40)과의 전기적 접속을 행하는 것도 가능하다.

또한, 상기의 실시예에서는, 표시장치의 일례인 액티브 매트릭스형 액정표시장치에 관하여 설명했지만, 본 발명은 액티브 매트릭스형 액정표시장치에 한정되는 것이 아니다. 즉, 어레이 기관과, 대향기관 사이에, 액정이나 입자나 액체등의 표시 재료가 설정된 표시장치이면, 적용가능하다. 따라서, 한 쌍의 기관에 표시 재료가 끼워진 셀(cell)구성을 가지는 전자 페이퍼(paper)등에도 적용가능하다.

발명의 효과

층간 절연막의 핀홀이나 결함에 기인하는 도전층간의 단락 불량을 방지하고, 높은 제조율, 고신뢰성을 가지는 액정표시장치의 실현과 그 제조 방법을 얻을 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기관을 나타내는 평면도,

도 2는 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기관을 나타내는 단면도,

도 3은 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기관의 제조 공정을 나타내는 평면도,

도 4는 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 5는 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 6은 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 7은 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 8은 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 9는 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 10은 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 11은 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 12는 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 13은 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 14는 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 15는 본 발명의 실시예 1에 따른 액정표시 장치용 TFT어레이 기판의 일부를 나타내는 단면도,
 도 16은 다른 비교예에 따른 액정표시 장치용 TFT어레이 기판의 일부를 나타내는 단면도,
 도 17은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판을 나타내는 평면도,
 도 18은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판을 나타내는 단면도,
 도 19는 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 20은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 21은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 22는 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 23은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 24는 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 25는 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 26은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 27은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 28은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,
 도 29는 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 평면도,
 도 30은 본 발명의 실시예 2에 따른 액정표시 장치용 TFT어레이 기판의 제조 공정을 나타내는 단면도,

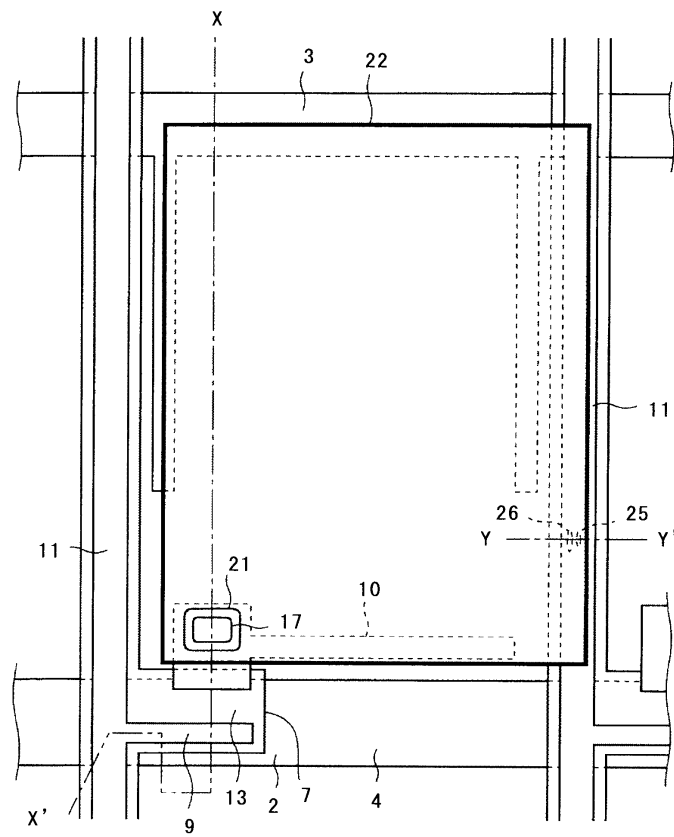
도 31은 본 발명의 실시예 3에 따른 액정표시 장치용 TFT어레이 기판을 나타내는 평면도,
 도 32는 본 발명의 실시예 3에 따른 액정표시 장치용 액정표시 패널을 나타내는 평면도,
 도 33은 본 발명의 실시예 3에 따른 액정표시 장치용 액정표시 패널을 나타내는 단면도,
 도 34는 본 발명의 실시예 3에 따른 액정표시 장치용 액정표시 패널을 나타내는 단면도,
 도 35는 본 발명의 실시예 3에 따른 액정표시 장치용 액정표시 패널을 나타내는 단면도이다.

[도면의 주요부분에 대한 부호의 설명]

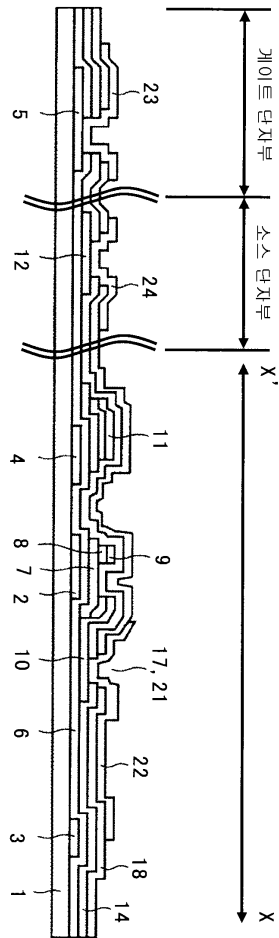
1 : 투명절연성 기판 2 : 게이트 전극
 3 : 저장용량 공통전극 4 : 게이트 배선
 5 : 게이트 단자 6 : 게이트 절연막
 7 : 반도체 능동막 8 : 오믹 콘택막
 9 : 소스 전극 10 : 드레인 전극
 11 : 소스 배선 12 : 소스 단자
 13 : 채널부 14, 18, 29, 32 : 층간 절연막
 15, 16, 17, 19, 20, 21, 30, 32, 33, 34 : 콘택홀
 20, 21, 33, 34 : 콘택홀
 22 : 화소전극 23 : 게이트 단자 패드
 24 : 소스 단자 패드 26 : 핀홀 결합
 28 : 저장용량 콘택막 31, 34 : 콘택홀
 35 : 화소전극 36 : 대향전극
 37 : 공통 전극배선 38 : 공통 전극 패드
 39 : 콘택홀 41 : 씨일 패턴
 42 : 대향전극 101 : TFT어레이 기판
 102 : 컬러필터 기판

도면

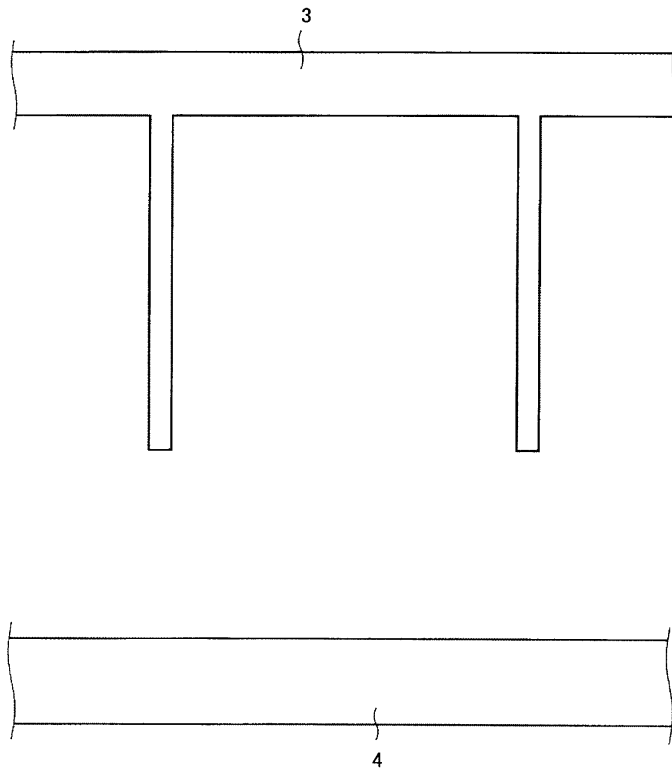
도면1



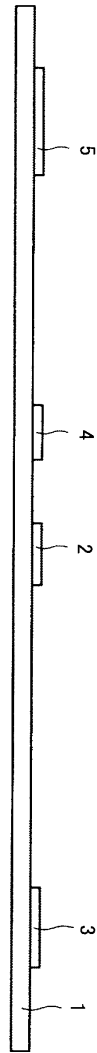
도면2



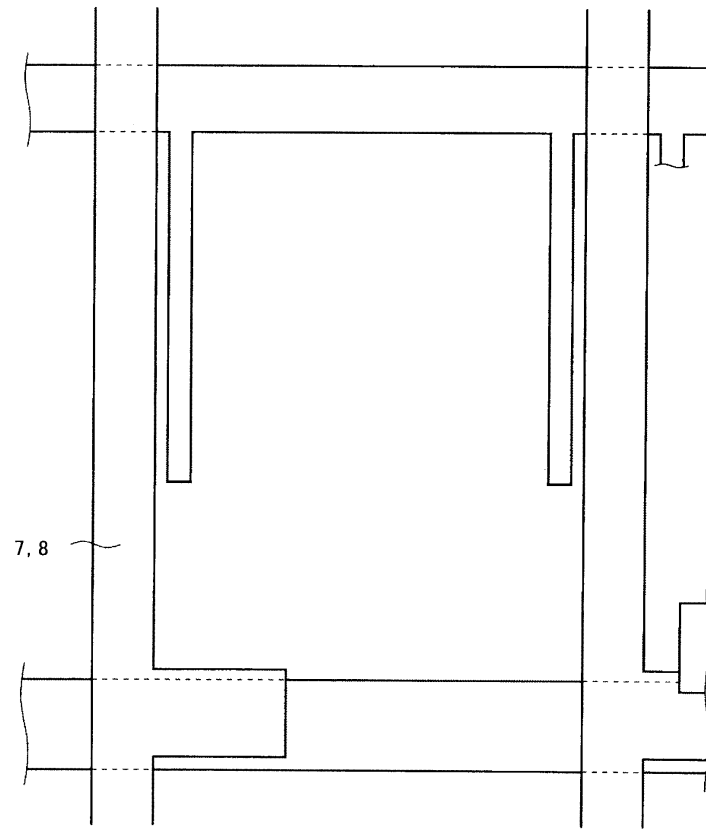
도면3



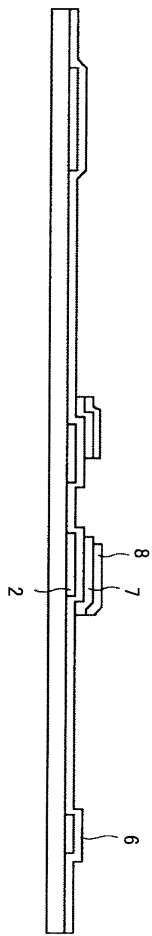
도면4



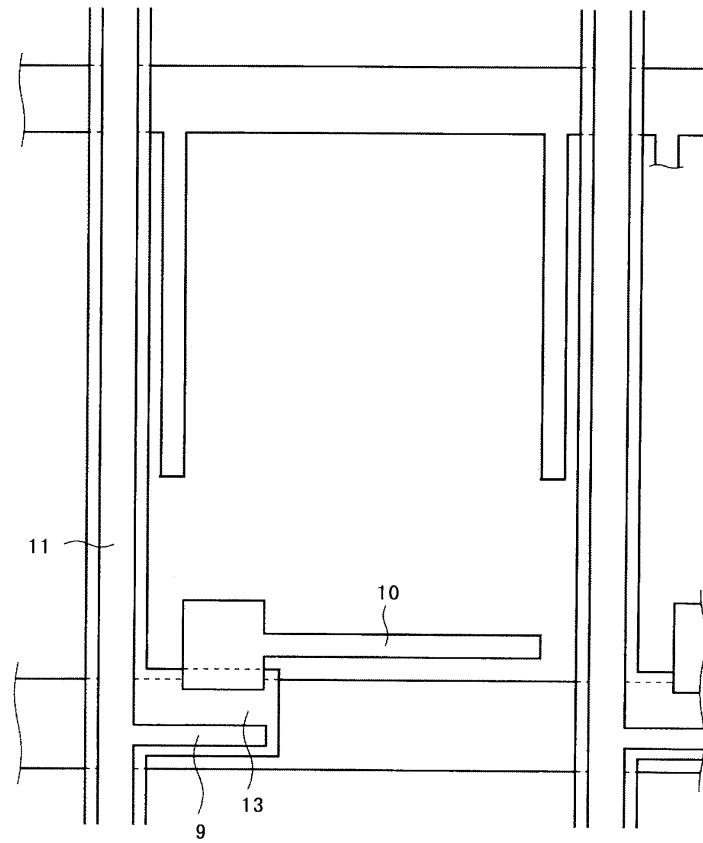
도면5



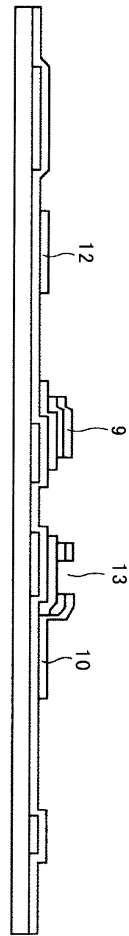
도면6



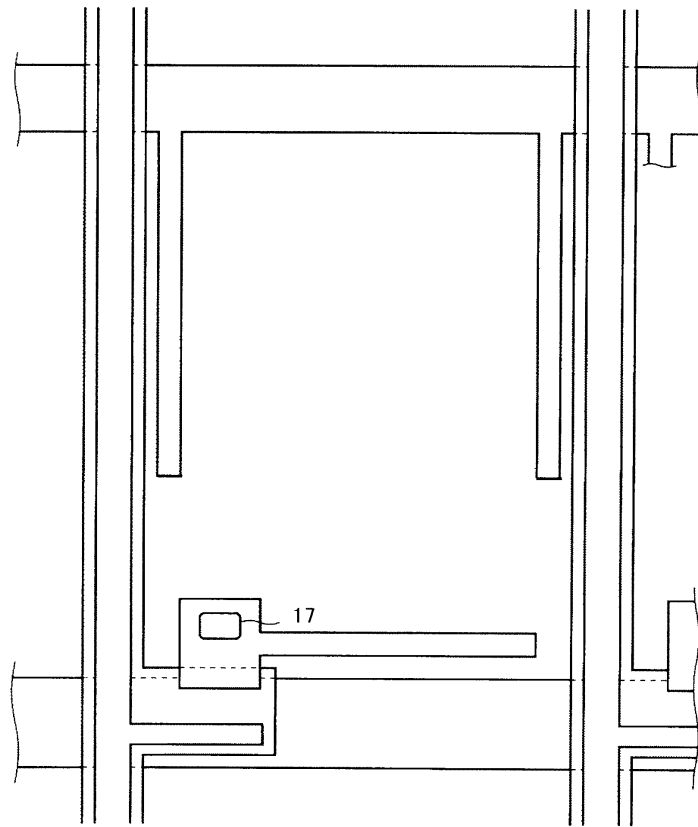
도면7



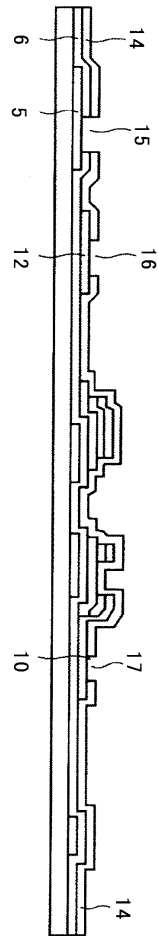
도면8



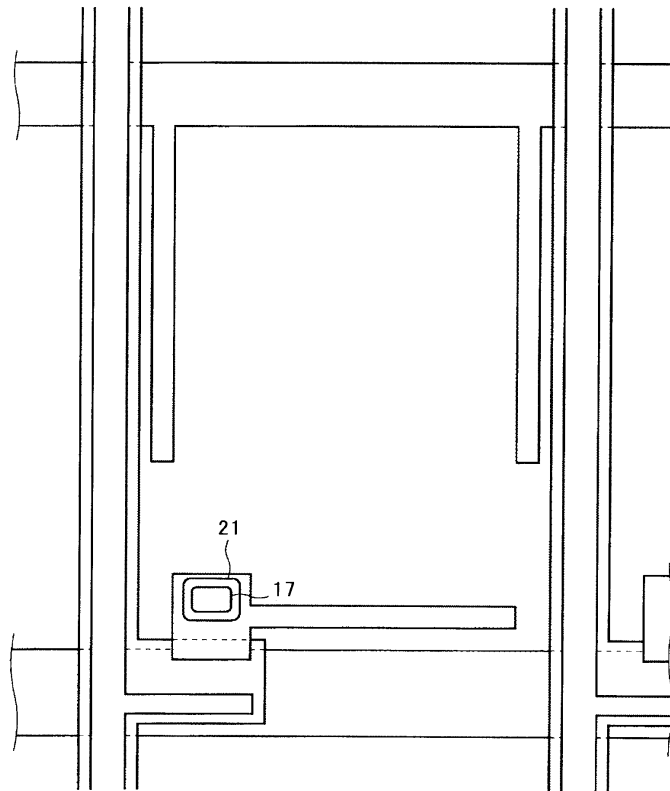
도면9



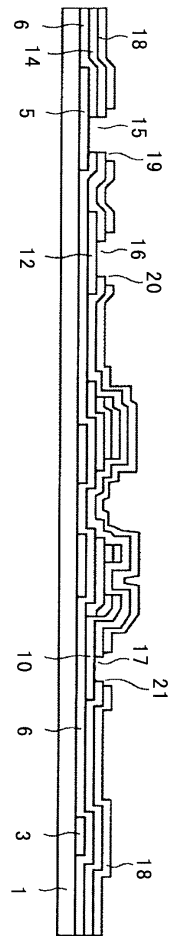
도면10



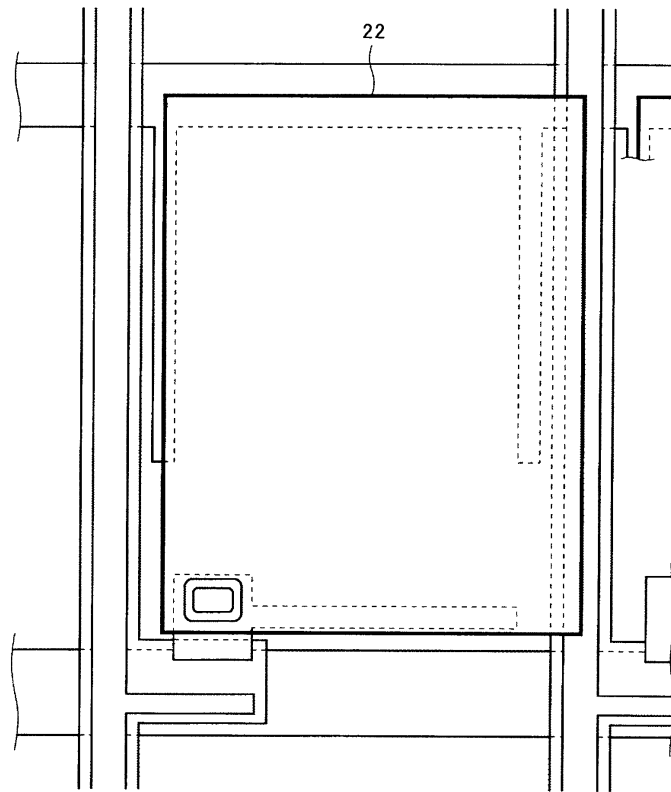
도면11



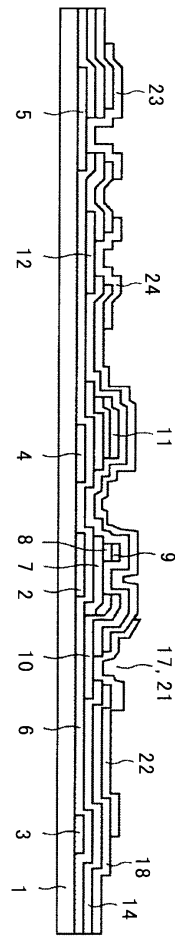
도면12



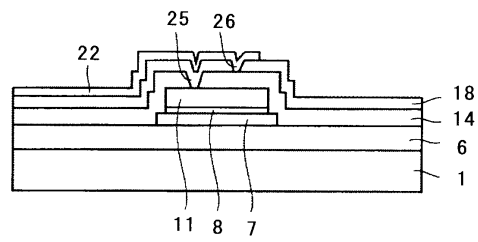
도면13



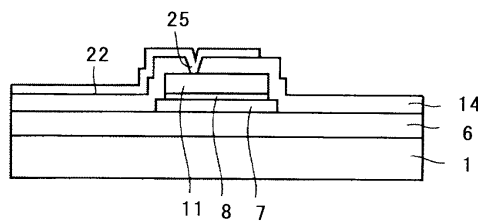
도면14



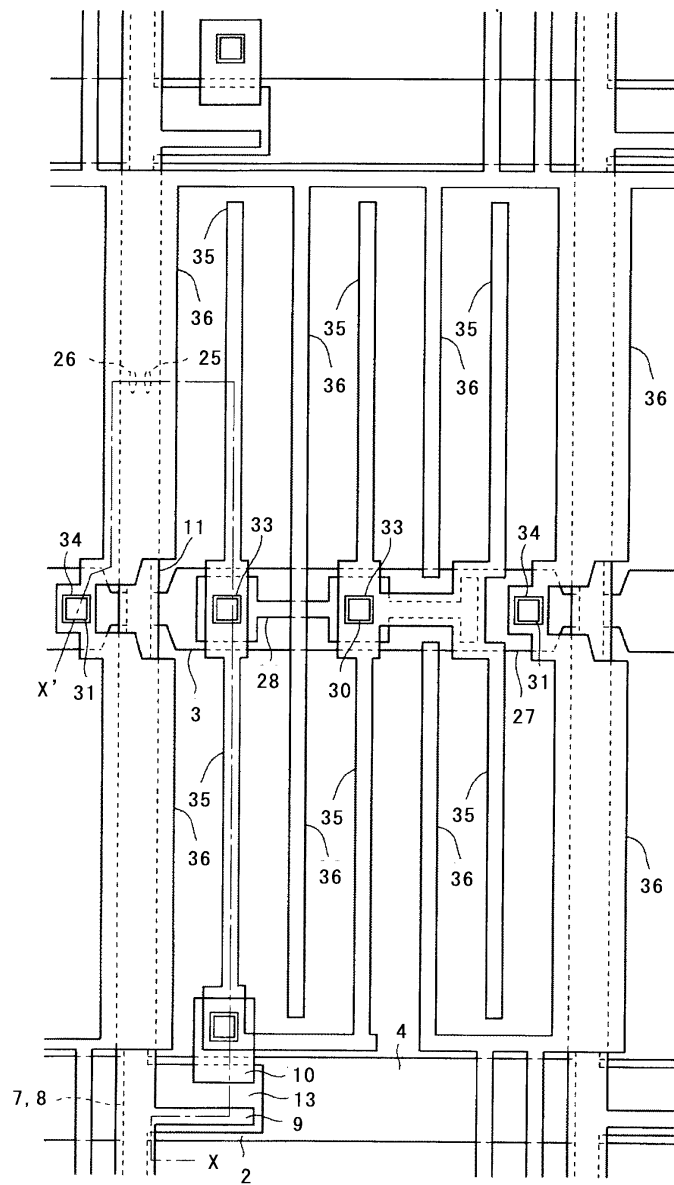
도면15



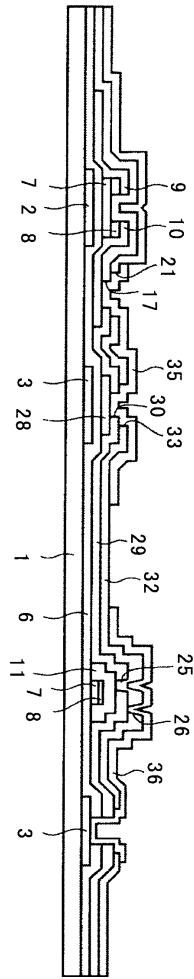
도면16



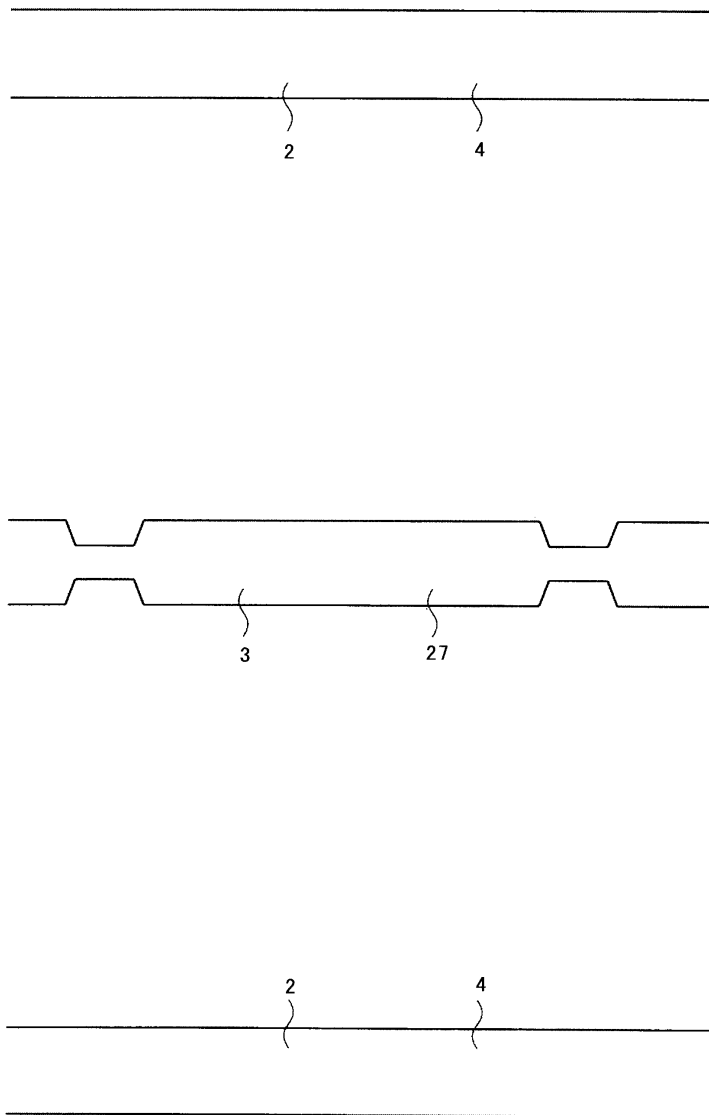
도면17



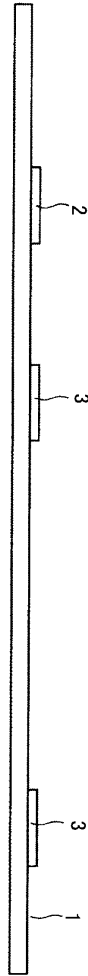
도면18



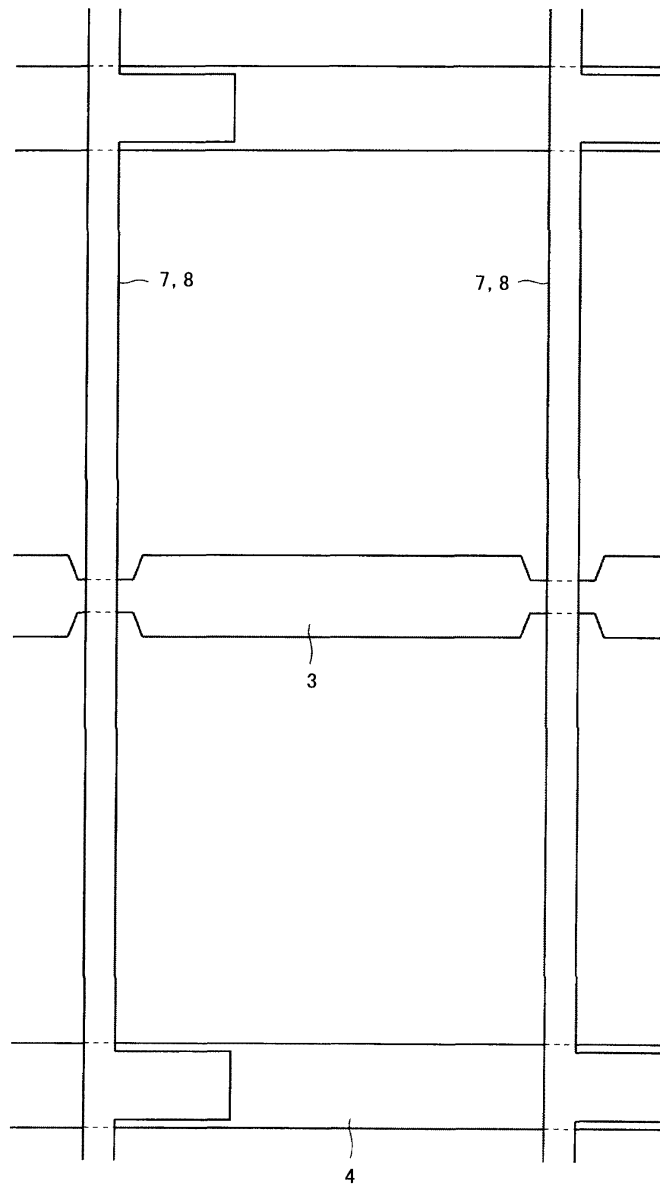
도면19



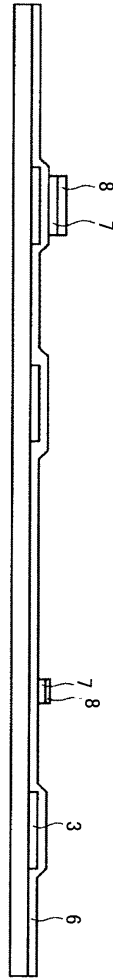
도면20



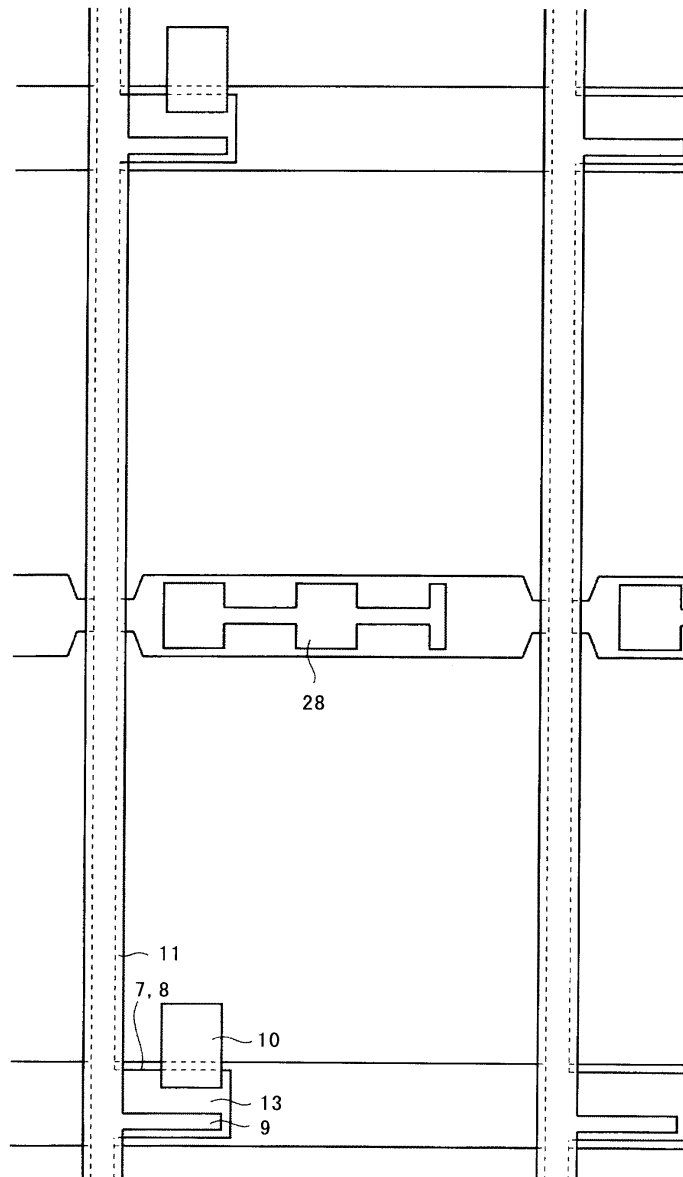
도면21



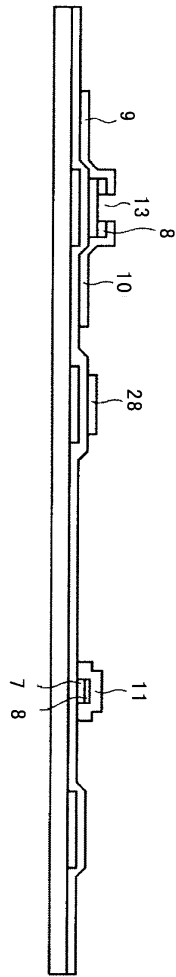
도면22



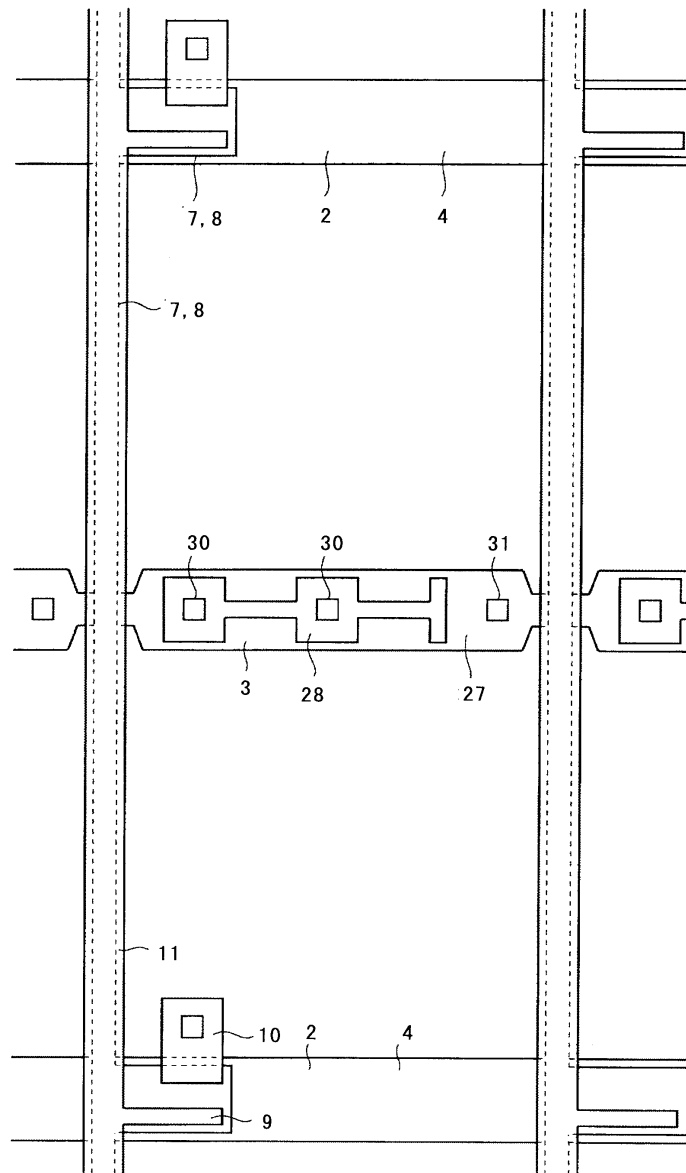
도면23



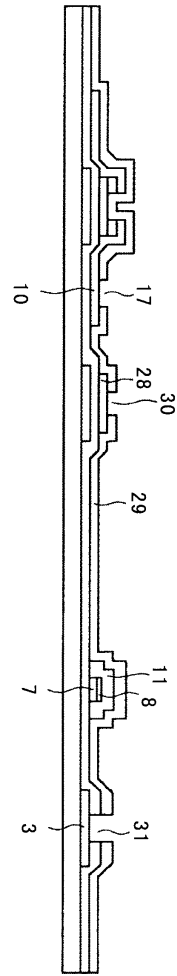
도면24



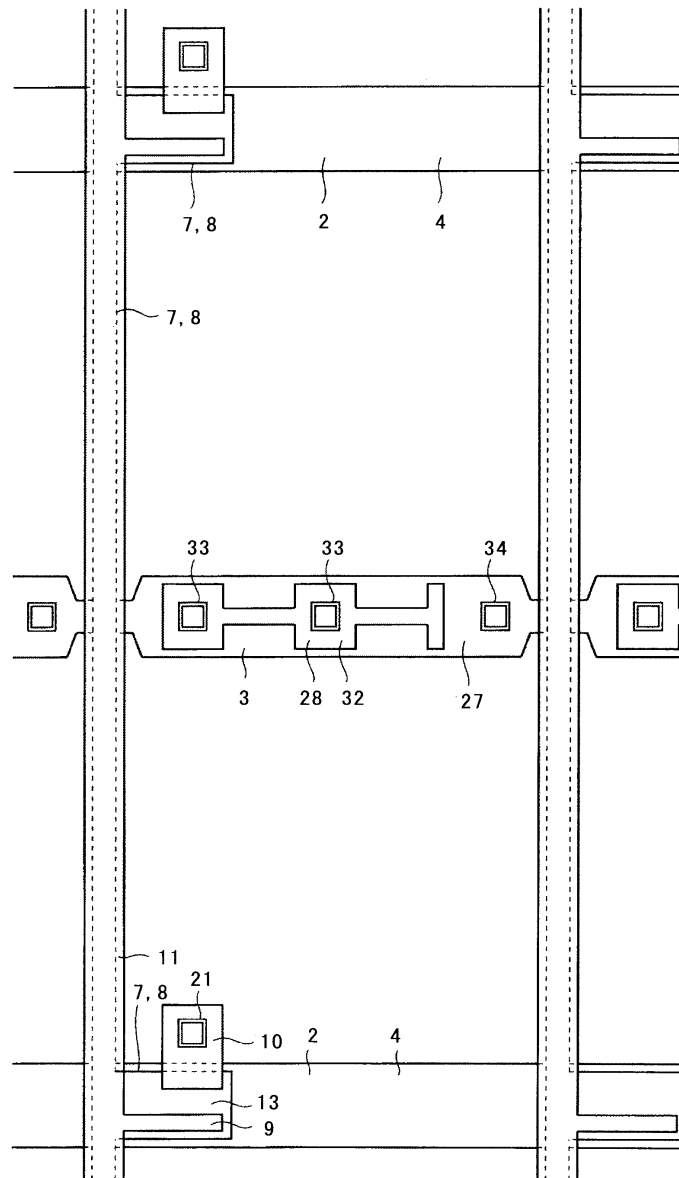
도면25



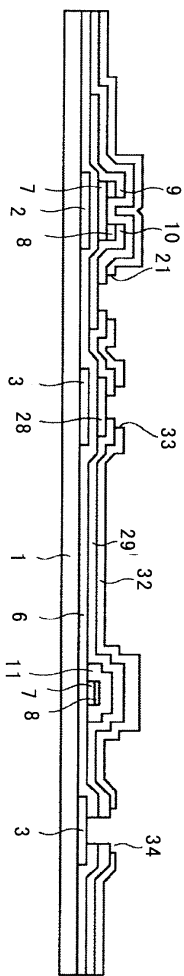
도면26



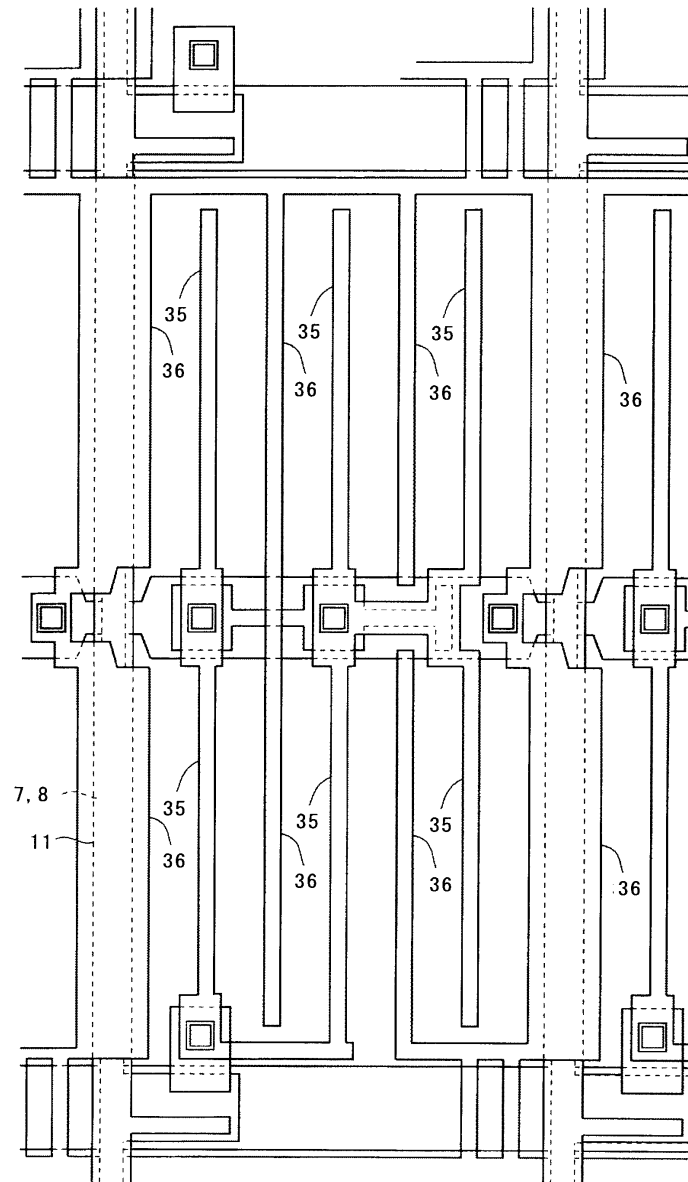
도면27



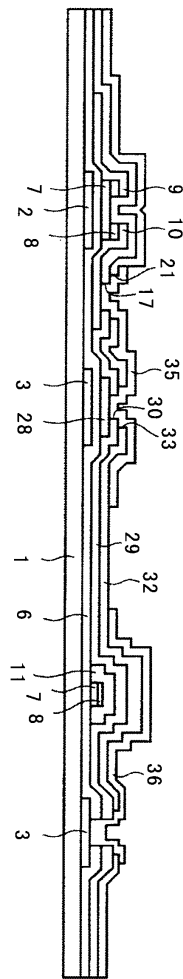
도면28



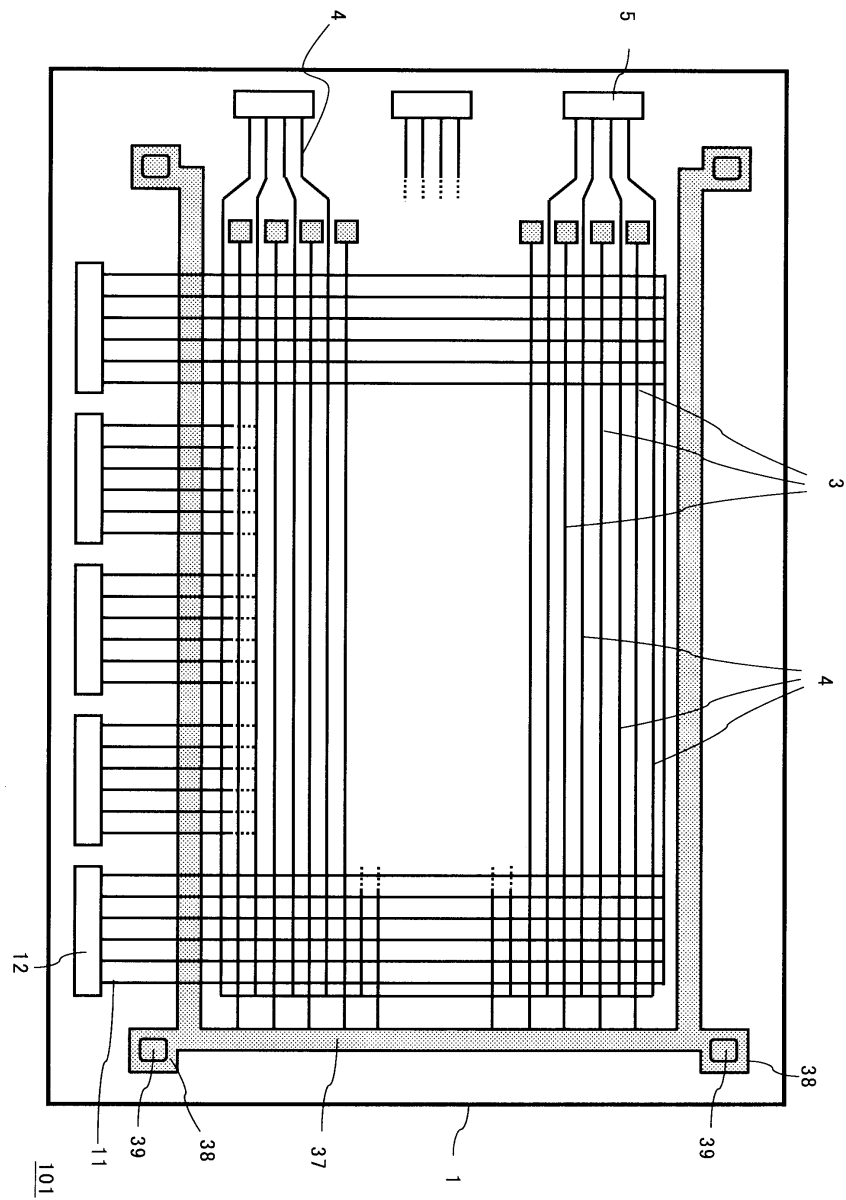
도면29



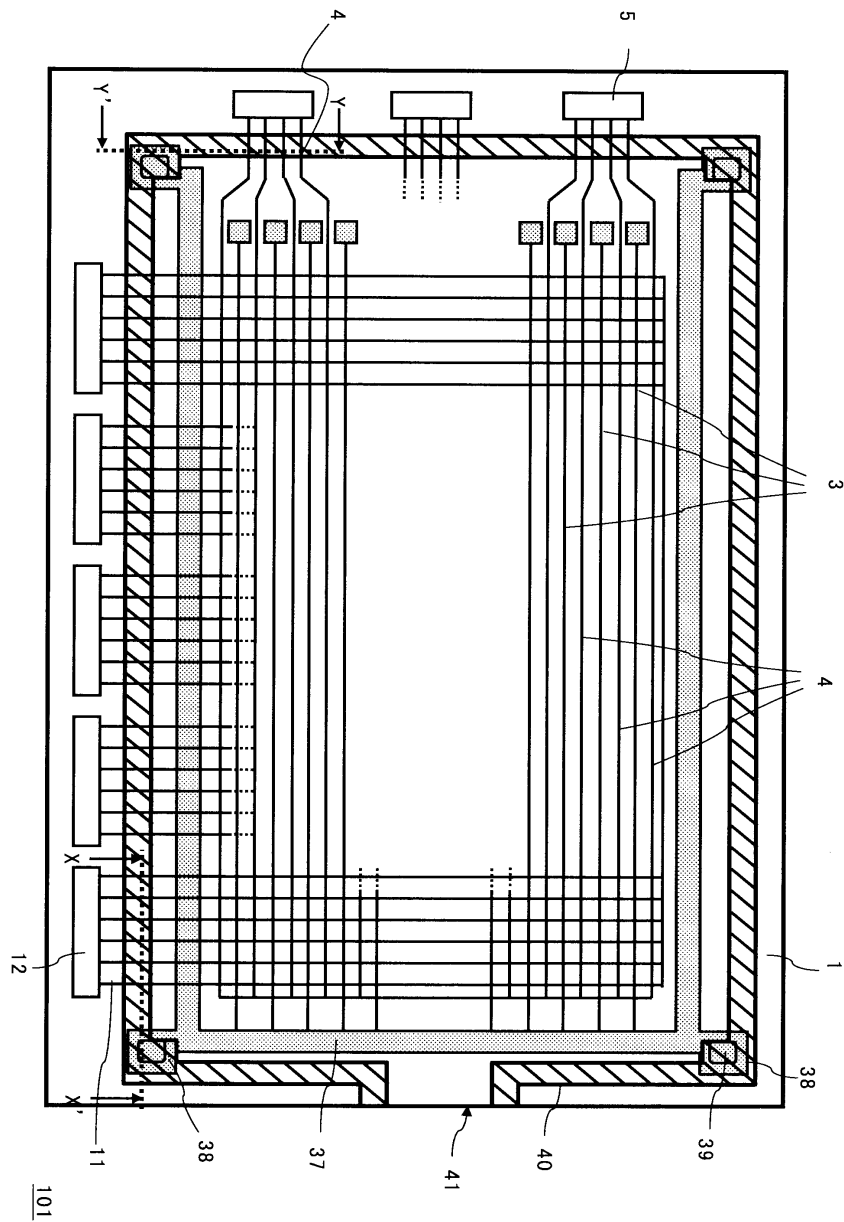
도면30



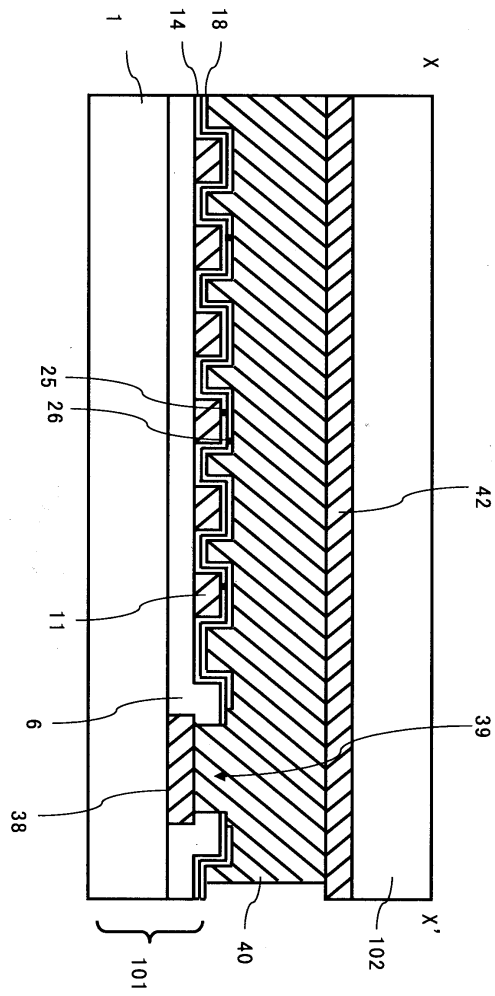
도면31



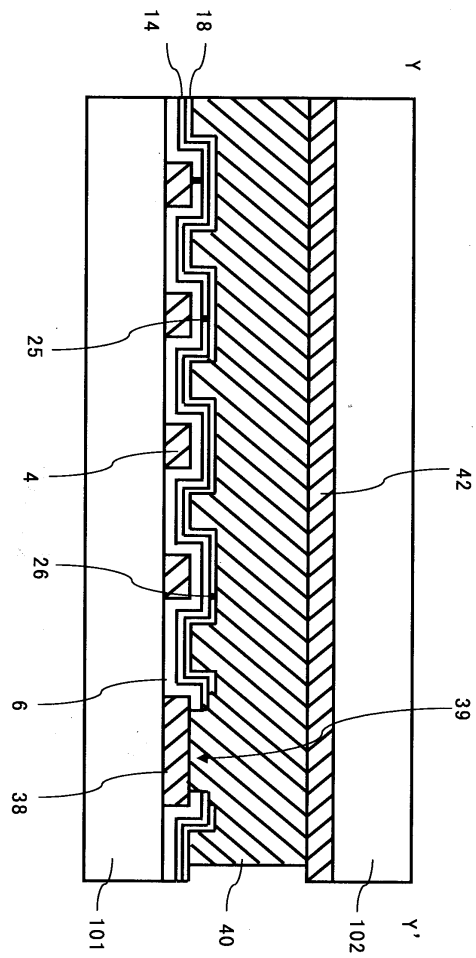
도면32



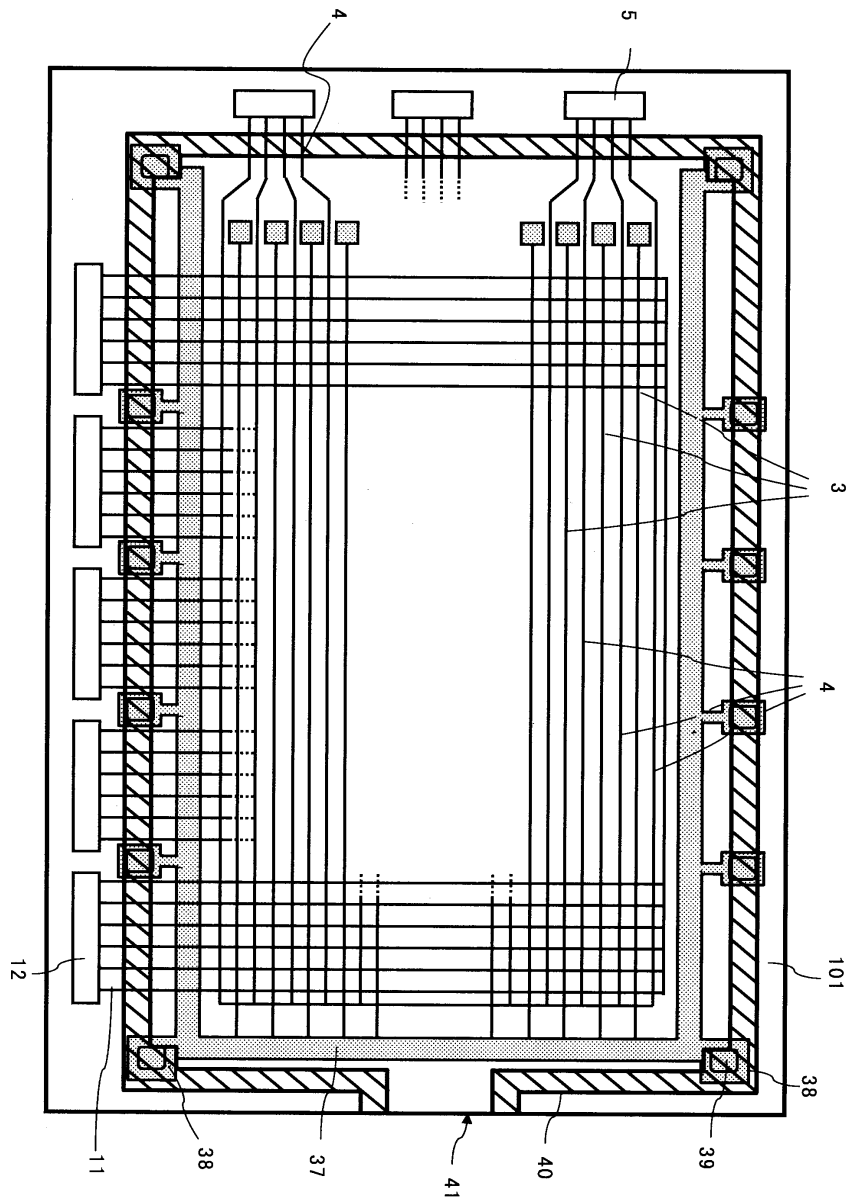
도면33



도면34



도면35



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020070035428A	公开(公告)日	2007-03-30
申请号	KR1020060092660	申请日	2006-09-25
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	INOUE KAZUNORI 이노우에카즈노리 MURAKAMI HARUMI 무라카미하루미 ARAKI TOSHIO 아라키토시오 ISHIGA NOBUAKI 이시가노부아키		
发明人	이노우에카즈노리 무라카미하루미 아라키토시오 이시가노부아키		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1341 G02F1/1345 G02F1/136213 G02F2201/121 H01L27/124 H01L27/1248		
代理人(译)	权泰BOK LEE HWA我		
优先权	2005279398 2005-09-27 JP		
其他公开文献	KR100832512B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，其能够防止由于层间绝缘膜的针孔或缺陷引起的电极间的短路故障，并且具有高可靠性。根据本发明实施例的液晶显示装置包括TFT阵列基板101，与TFT阵列基板101相对设置的滤色器装置102，密封图案40用于将两个基板粘合在一起。滤色器基板102具有对电极42，基板101包括栅极布线4，形成在栅极布线4上的栅极绝缘膜6，栅极布线4和栅极绝缘膜6在源极配线11上形成两层的层间绝缘膜14和18以及在密封图案40下形成的层间绝缘膜14和18并且具有公共电极布线37，其通过密封图案40传导到对电极42.密封图案40由源布线形成

