



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G09G 3/36 (2006.01) (11) 공개번호 10-2007-0000881
G09G 3/20 (2006.01) (43) 공개일자 2007년01월03일

(21) 출원번호 10-2005-0056544
(22) 출원일자 2005년06월28일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 강신호
경기도 수원시 팔달구 인계동 384번지 주공아파트 112-105
홍진철
경북 구미시 오태동 대동3차아파트 102동 1105호
하성철
경북 칠곡군 석적면 중리 224-1번지 204동 518호
(74) 대리인 김영호

전체 청구항 수 : 총 4 항

(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 액정표시장치는 제1 출력 제어신호에 응답하여 차지쉐어전압을 데이터라인으로 출력하는 제1 트랜지스터와; 상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지쉐어전압보다 높은 프리차지전압을 상기 데이터라인으로 출력하는 제2 트랜지스터와; 상기 제1 및 제2 출력 제어신호 중 적어도 어느 하나에 응답하여 데이터 전압을 상기 데이터라인으로 출력하는 제3 트랜지스터와; 상기 출력 제어신호들과 상기 데이터전압의 극성을 제어하기 위한 극성제어신호에 응답하여 상기 트랜지스터들을 제어하기 위한 논리회로를 구비한다.

대표도

도 6

특허청구의 범위

청구항 1.

제1 출력 제어신호에 응답하여 차지쉐어전압을 데이터라인으로 출력하는 제1 트랜지스터와;

상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지웨어전압보다 높은 프리차지전압을 상기 데이터라인으로 출력하는 제2 트랜지스터와;

상기 제1 및 제2 출력 제어신호 중 적어도 어느 하나에 응답하여 데이터 전압을 상기 데이터라인으로 출력하는 제3 트랜지스터와;

상기 출력 제어신호들과 상기 데이터전압의 극성을 제어하기 위한 극성제어신호에 응답하여 상기 트랜지스터들을 제어하기 위한 논리회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 제1 트랜지스터는 상기 제1 소스출력인에이블신호에 의해 제어되는 제1 n 타입 트랜지스터를 구비하고;

상기 제2 트랜지스터는 상기 데이터 전압의 극성이 정극성일 때 상기 제2 출력 제어신호에 응답하여 정극성 프리차지전압을 상기 데이터라인으로 출력하는 제2 n 타입 트랜지스터와, 상기 데이터 전압의 극성이 부극성일 때 상기 제2 출력 제어신호에 응답하여 부극성 프리차지전압을 상기 데이터라인으로 출력하는 제3 n 타입 트랜지스터를 구비하며;

상기 제3 트랜지스터는 p 타입 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 논리회로는,

상기 제1 및 제2 출력 제어신호를 논리합하여 상기 p 타입 트랜지스터를 제어하는 OR 게이트와;

비반전된 상기 제2 출력 제어신호와 상기 극성제어신호를 논리곱하여 상기 제2 n 타입 트랜지스터를 제어하는 제1 AND 게이트와;

비반전된 상기 제2 출력 제어신호와 반전된 상기 극성제어신호를 논리곱하여 상기 제3 n 타입 트랜지스터를 제어하는 제2 AND 게이트를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제1 출력 제어신호에 응답하여 차지웨어전압을 데이터라인으로 출력하는 단계와;

상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지웨어전압보다 높은 프리차지전압을 상기 데이터라인으로 출력하는 단계와;

상기 제1 및 제2 출력 제어신호 중 적어도 어느 하나에 응답하여 데이터 전압을 상기 데이터라인으로 출력하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

액정표시장치(Liquid Crystal Display)는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다.

액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

이러한 액정표시장치는 도 1과 같이 다수의 데이터라인들(5)과 다수의 게이트라인들(6)이 교차되며 그 교차부에 액정셀들을 구동하기 위한 TFT들이 형성된 액정표시패널(2)과, 데이터라인들(5)에 데이터를 공급하기 위한 데이터 구동부(3)와, 게이트라인들(6)에 스캔펄스를 공급하기 위한 게이트 구동부(4)와, 데이터 구동부(3)와 게이트 구동부(4)를 제어하기 위한 타이밍 콘트롤러(1)를 구비한다.

액정표시패널(2)은 두 장의 유리기판 사이에 액정이 주입되며, 그 하부 유리기판 상에 데이터라인들(5)과 게이트라인들(6)이 직교된다. 데이터라인들(5)과 게이트라인들(6)의 교차부에 형성된 TFT는 게이트라인(6)으로부터의 스캔펄스에 응답하여 데이터라인들(5)로부터의 데이터를 액정셀에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(6)에 접속되며, 소스전극은 데이터라인(5)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 또한, 액정표시패널(2)의 하부유리기판 상에는 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor, Cst)가 형성된다.

타이밍 콘트롤러(1)는 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직 동기신호(H, V) 및 클럭신호(CLK)를 입력받고 게이트 구동부(4)를 제어하기 위한 게이트 제어신호(GDC)를 발생함과 아울러 데이터 구동부(3)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 또한, 타이밍 콘트롤러(1)는 시스템으로부터의 데이터(RGB)를 데이터 구동부(3)에 공급한다. 데이터 제어신호(DDC)는 소스스위프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함하여 데이터 구동부(3)에 공급된다. 게이트 제어신호(GDC)는 게이트스타트펄스(GSP), 게이트스위프트클럭(GSC) 및 게이트출력인에이블(GOE) 등을 포함하여 게이트 구동부(4)에 공급된다.

게이트 구동부(4)는 타이밍 콘트롤러(1)로부터의 게이트 제어신호(GDC)에 응답하여 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터, 스캔펄스의 스윙폭을 액정셀(Clc)의 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터, 출력버퍼 등으로 구성된다. 이 게이트 구동부(4)는 스캔펄스를 게이트라인(6)에 공급함으로써 그 게이트라인(6)에 접속된 TFT들을 턴-온(Turn-on)시켜 데이터의 화소전압 즉, 아날로그 감마보상전압이 공급될 1 수평라인의 액정셀들(Clc)을 선택한다. 데이터 구동부(3)로부터 발생하는 데이터들은 스캔펄스에 의해 선택된 수평라인의 액정셀(Clc)에 공급된다.

데이터 구동부(3)는 타이밍 콘트롤러(1)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데이터라인들(5)에 공급하게 된다. 이 데이터 구동부(3)는 타이밍 콘트롤러(1)로부터의 디지털 데이터(RGB)를 샘플링하고 그 데이터를 래치한 다음, 아날로그 감마전압으로 변환하게 된다. 이 데이터 구동부(3)는 도 2와 같은 구성을 가지는 다수의 데이터 집적회로(Integrated Circuit : 이하, "IC"라 한다)(2a)로 구현된다.

각각의 데이터 IC(3a)는 도 2와 같이 타이밍 콘트롤러(1)로부터 디지털 데이터(RGB)가 입력되는 데이터 레지스터(21)와, 샘플링 클럭을 발생하기 위한 쉬프트 레지스터(22)와, 쉬프트 레지스터(22)와 k(단, k는 m보다 작은 정수) 개의 데이터라인들(DL1 내지 DLk) 사이에 접속된 제1 래치(23), 제2 래치(24), 디지털/아날로그 변환기(Digital to Analog Converter : 이하, "DAC"라 한다)(25) 및 출력회로(26)와, 감마기준전압 발생부(4)와 DAC(25) 사이에 접속된 감마전압 공급부(27)를 구비한다.

데이터 레지스터(21)는 타이밍 콘트롤러(1)로부터의 디지털 데이터(RGB)를 제1 래치(23)에 공급한다. 쉬프트 레지스터(22)는 타이밍 콘트롤러(1)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(22)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터(22)에 캐리신호(CAR)를 전달하게 된다. 제1 래치(23)는 쉬프트 레지스터(22)로부터 순차적으로 입력되는 샘플링신호에 응답하

여 데이터 레지스터(21)로부터의 디지털 데이터(RGB)를 순차적으로 샘플링한다. 제2 래치(24)는 제1 래치(23)로부터 입력되는 데이터를 래치한 다음, 래치된 데이터를 타이밍 콘트롤러(1)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다. DAC(25)는 제2 래치(24)로부터의 데이터를 감마전압 공급부(27)로부터의 감마전압(DGH,DGL)으로 변환하게 된다. 감마전압(DGH,DGL)은 디지털 입력 데이터의 계조값 각각에 대응하는 아날로그 전압이다. 출력회로(26)는 데이터라인들 각각에 접속된 출력 버퍼(Output Buffer)를 포함한다. 감마전압 공급부(27)는 감마기준전압 발생부(4)로부터 입력되는 감마 기준전압을 세분화하여 각 계조에 대응하는 감마전압을 DAC(25)에 공급하게 된다.

이러한 데이터 IC(3a)는 액정표시장치가 대형화, 고정세화로 발전하면서 부하가 증가하고 구동 주파수가 상승하여 발열량이 많아지게 되었다. 이러한 데이터 IC(3a)의 발열로 인하여 데이터 IC(3a)의 구동 신뢰성이 떨어지게 되었고 심지어는 발화되는 등의 안전상 위험성이 커지고 있다. 데이터 IC(3a)의 발열을 일으키는 주요 원인은 도 3과 같이 출력버퍼(26a)이다. 이 출력버퍼(26a)의 내부저항성분을 통해 흐르는 전류(i_{SOURCE} , i_{SINK})로 인한 전력소모에 의해 데이터 IC(3a)가 발열된다.

최근에는 액정셀의 충전특성을 개선하고 소비전력을 줄이기 위하여 이웃하는 데이터라인들을 접속시켜 그 데이터라인들 사이의 차지 쉐어로 인하여 발생하는 차지쉐어전압(Charge share voltage)으로 데이터라인을 프리차지한 후에 데이터라인들을 분리한 상태에서 데이터전압을 각 데이터라인에 공급하는 차지쉐어 방식이나 미리 설정된 외부전압인 프리차지전압(Pre-charge)으로 데이터라인을 프리차지시킨 후에 데이터전압을 그 데이터라인에 공급하는 프리차지 방식으로 데이터 IC가 구현되고 있는 추세에 있다.

차지쉐어 방식은 도 4와 같이 차지쉐어전압(Vshare)으로부터 데이터전압으로 변하는 출력버퍼 구동구간에서 출력버퍼(26a)에 많은 전류가 흘러 발열과 소비전력이 크게 된다. 프리차지 방식은 도 5와 같이 데이터전압이 높을 때 예를 들면 노멀리 블랙(Normaly black)에서 화이트전압에서 미리 비교적 높은 외부전압으로 공급되는 프리차지전압(+Vpre, -Vpre)로 인하여 출력버퍼(26a)의 구동영역의 전압이 줄어들어 데이터 IC(3a)의 온도를 낮출 수 있으나 중간 이하의 데이터전압에서 높은 외부에서 공급되는 프리차지전압(+Vpre, -Vpre)으로 인하여 낮은 데이터전압의 프리차지 구동영역(51, 52)에서 데이터 IC(3a)의 온도가 상승하고 소비전력이 급증한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법을 제공함에 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 제1 출력 제어신호에 응답하여 차지쉐어전압을 데이터라인으로 출력하는 제1 트랜지스터와; 상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지쉐어 전압보다 높은 프리차지전압을 상기 데이터라인으로 출력하는 제2 트랜지스터와; 상기 제1 및 제2 출력 제어신호 중 적어도 어느 하나에 응답하여 데이터 전압을 상기 데이터라인으로 출력하는 제3 트랜지스터와; 상기 출력 제어신호들과 상기 데이터전압의 극성을 제어하기 위한 극성제어신호에 응답하여 상기 트랜지스터들을 제어하기 위한 논리회로를 구비한다.

상기 제1 트랜지스터는 상기 제1 소스출력인에이블신호에 의해 제어되는 제1 n 타입 트랜지스터를 구비한다.

상기 제2 트랜지스터는 상기 데이터 전압의 극성이 정극성일 때 상기 제2 출력 제어신호에 응답하여 정극성 프리차지전압을 상기 데이터라인으로 출력하는 제2 n 타입 트랜지스터와, 상기 데이터 전압의 극성이 부극성일 때 상기 제2 출력 제어신호에 응답하여 부극성 프리차지전압을 상기 데이터라인으로 출력하는 제3 n 타입 트랜지스터를 구비한다.

상기 제3 트랜지스터는 p 타입 트랜지스터를 구비한다.

상기 논리회로는 상기 제1 및 제2 출력 제어신호를 논리합하여 상기 p 타입 트랜지스터를 제어하는 OR 게이트와; 비반전된 상기 제2 출력 제어신호와 상기 극성제어신호를 논리곱하여 상기 제2 n 타입 트랜지스터를 제어하는 제1 AND 게이트와; 비반전된 상기 제2 출력 제어신호와 반전된 상기 극성제어신호를 논리곱하여 상기 제3 n 타입 트랜지스터를 제어하는 제2 AND 게이트를 구비한다.

상기 액정표시장치의 구동방법은 제1 출력 제어신호에 응답하여 차지쉐어전압을 데이터라인으로 출력하는 단계와; 상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지쉐어전압보다 높은 프리차지전압을 상기 데이터라인으로 출력하는 단계와; 상기 제1 및 제2 출력 제어신호 중 적어도 어느 하나에 응답하여 데이터 전압을 상기 데이터라인으로 출력하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 6 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6은 본 발명의 실시예에 따른 액정표시장치의 데이터 IC의 회로 구성을 보여 주는 회로도이며, 도 7은 도 6에 도시된 소스출력인에이블신호들(SOE1, SOE2)와 극성제어신호(POL)의 파형을 보여 주는 파형도이다.

도 6 및 도 7을 참조하면, 본 발명의 실시예에 따른 액정표시장치의 데이터 IC는 데이터 레지스터(61), 래치(62), 비교기(63), DAC(63), 출력버퍼(64), AND 게이트들(65, 66), OR 게이트(67), 및 트랜지스터들(pT, nT1, nT2, nT3)를 구비한다.

도 7에 있어서, 제1 소스출력인에이블신호(SOE1)는 차지쉐어전압(V-Share)의 출력을 지시하는 제어신호이며, 제2 소스출력인에이블신호(SOE2)는 프리차지전압(V-POS, V-NEG)의 출력을 지시하는 제어신호이다. 제2 소스출력인에이블신호(SOE2)는 제1 소스출력인에이블신호(SOE1)의 한 펄스폭 만큼 쉬프트된다. 이 소스출력인에이블신호들(SOE1, SOE2)은 1 수평기간 간격으로 발생된다. 극성제어신호(POL)는 1 수평기간 주기로 그 논리값이 반전되어 액정표시패널의 데이터라인들에 공급되는 데이터전압의 극성을 제어한다. 이러한 소스출력인에이블신호들(SOE1, SOE2)과 극성제어신호(POL)는 타이밍 콘트롤러에서 발생된다.

데이터 레지스터(61)는 타이밍 콘트롤러로부터의 디지털 데이터들을 래치(62)에 공급한다. 래치(62)는 쉬프트 레지스터로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(61)로부터의 디지털 데이터를 순차적으로 샘플링하여 래치한 다음, 동시에 출력하여 데이터의 직렬체계를 병렬체계로 변환한다. DAC(63)는 래치(62)로부터의 데이터를 아날로그 감마전압으로 변환한다. 출력버퍼(64)는 DAC(63)로부터의 아날로그 전압을 손실없이 p 타입 트랜지스터(pT)의 드레인단에 공급한다.

제1 소스출력인에이블신호(SOE1)는 제1 n 타입 트랜지스터(nT1)를 제어하여 프리차지전압(V-POS, V-NEG)에 앞서 차지쉐어전압(V-Share)으로 액정표시패널의 데이터라인을 프리차지시킨다.

제1 n 타입 트랜지스터(nT1)의 게이트단자에는 제1 소스출력인에이블신호(SOE1)가 공급된다. 그리고 제1 n 타입 트랜지스터(nT1)의 드레인단자는 출력버퍼(64)의 출력단에 접속되고, 소스단자는 데이터 IC의 출력단자를 경유하여 액정표시패널의 데이터라인에 접속된다. 이 제1 n 타입 트랜지스터(nT1)는 제1 소스출력인에이블신호(SOE1)에 응답하여 차지쉐어전압(V-Share)을 액정표시패널의 데이터라인에 공급한다.

OR 게이트(67)는 제1 소스출력인에이블신호(SOE1)와 제2 소스출력인에이블신호(SOE2)를 논리합 연산하여 출력신호를 발생하고 그 출력신호로 p 타입 트랜지스터(pT)를 제어한다.

p 타입 트랜지스터(pT)의 게이트단자는 OR 게이트(67)의 출력단에 접속되고 드레인단자는 출력버퍼(64)의 출력단에 접속된다. 그리고 p 타입 트랜지스터(pT)의 소스단자는 데이터 IC의 출력단자를 경유하여 액정표시패널의 데이터라인에 접속된다. 이 p 타입 트랜지스터(pT)는 OR 게이트(67)의 출력에 응답하여 출력버퍼(64)로부터의 데이터전압을 액정표시패널의 데이터라인에 공급한다.

제1 AND 게이트(65)의 제1 입력단자에는 제2 소스출력인에이블신호(SOE2)가 공급되고 제2 입력단자에는 극성제어신호(POL)가 공급된다. 이 제1 AND 게이트(65)는 제2 소스출력인에이블신호(SOE2)와 극성제어신호(POL)를 논리합 연산하여 제2 n 타입 트랜지스터(nT2)를 제어한다.

제2 n 타입 트랜지스터(nT2)의 게이트단자는 제1 AND 게이트(65)의 출력단에 접속되고 드레인단자는 출력버퍼(64)의 출력단에 접속된다. 그리고 제2 n 타입 트랜지스터(nT2)의 소스단자는 데이터 IC의 출력단자를 경유하여 액정표시패널의 데이터라인에 접속된다. 이 제2 n 타입 트랜지스터(nT2)는 제1 AND 게이트(65)의 출력에 응답하여 정극성 프리차지전압(V-POS)을 액정표시패널의 데이터라인에 공급한다.

제2 AND 게이트(66)의 제1 입력단자에는 제2 소스출력인에이블신호(SOE2)가 공급되고 제2 입력단자에는 극성제어신호(POL)가 공급된다. 제1 입력단자는 비반전입력단자이고 제2 입력단자는 반전입력단자이다. 이 제2 AND 게이트(66)는 제2 소스출력인에이블신호(SOE2)와 반전된 극성제어신호(POL)를 논리합 연산하여 제3 n 타입 트랜지스터(nT3)를 제어한다.

제3 n 타입 트랜지스터(nT3)의 게이트단자는 제2 AND 게이트(66)의 출력단에 접속되고 드레인단자는 출력버퍼(64)의 출력단에 접속된다. 그리고 제3 n 타입 트랜지스터(nT3)의 소스단자는 데이터 IC의 출력단자를 경유하여 액정표시패널의 데이터라인에 접속된다. 이 제3 n 타입 트랜지스터(nT3)는 제2 AND 게이트(66)의 출력에 응답하여 부극성 프리차지전압(V-NEG)을 액정표시패널의 데이터라인에 공급한다.

한편, 차지쉐어전압(V-Share)은 데이터 IC의 외부에 배치된 전원회로에서 별도로 발생될 수도 있고 데이터 IC 내에서 데이터라인들의 차지쉐어로 생성되는 전압일 수도 있다. 이러한 차지쉐어전압(V-Share)은 정극성 프리차지전압(V-POS)보다 낮고 부극성 프리차지전압(V-NEG)보다 낮은 전압 범위 내에서 두 개 이상으로 나뉘어질 수 있다.

본 발명에 따른 액정표시장치의 데이터 IC는 도 8에서와 같이 제1 소스출력인에이블신호(SOE1)에 따라 차지쉐어전압(V-Share)으로 액정표시패널의 데이터라인을 1차 프리차지한 후에 제2 소스출력인에이블신호(SOE2)에 따라 프리차지전압(V-POS, V-NEG)으로 데이터라인을 2차 프리차지시킨 후에 데이터전압을 데이터라인에 공급한다. 그결과, 본 발명에 따른 데이터 IC는 도 8과 같이 출력버퍼(64)의 동작구간을 줄여 데이터 IC 발열온도를 낮출 수 있다.

한편, 본 발명에 따른 데이터 IC에서 차지쉐어전압은 정극성 프리차지전압(V-POS)보다 낮고 부극성 프리차지전압(V-NEG)보다 낮은 전압 범위 내에서 두 개 이상으로 나뉘어질 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치와 그 구동방법은 차지쉐어전압으로 데이터라인을 1차 프리차지시킨 후에 그 차지쉐어전압 보다 높은 프리차지전압으로 데이터라인을 2차 프리차지시켜 출력버퍼의 동작을 줄임으로써 데이터 IC의 발열 온도를 낮추고 소비전력을 줄일 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 액정표시장치를 개략적으로 나타내는 블록도.

도 2는 도 1에 도시된 데이터 구동부를 상세히 나타내는 블록도.

도 3은 출력버퍼 내의 내부저항과 그 내부저항을 통해 흐르는 전류를 나타내는 회로도.

도 4는 외부 프리차지 전압으로 데이터라인을 프리차지하는 프리차지방식의 일예를 보여 주는 파형도.

도 5는 차지쉐어 전압으로 데이터라인을 프리차지하는 차지쉐어방식의 일예를 보여 주는 파형도.

도 6은 본 발명의 실시예에 따른 액정표시장치의 아날로그 샘플링 장치를 나타내는 회로도.

도 7은 도 6에 도시된 소스출력인에이블신호들과 극성제어신호를 나타내는 파형도이다.

도 8은 본 발명의 실시예에 따른 액정표시장치의 데이터 집적회로로부터 출력되는 파형의 일예를 나타내는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 타이밍 컨트롤러 2 : 액정표시패널

3 : 데이터 구동부 4 : 게이트 구동부

21, 61 : 데이터 레지스터 22 : 쉬프트 레지스터

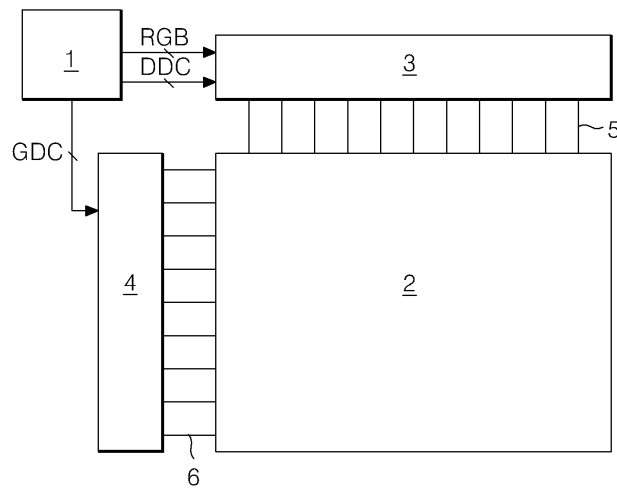
23, 24, 62 : 래치 25, 63 : 디지털/아날로그 변환기

26a, 64 : 출력버퍼 27 : 감마전압 공급부

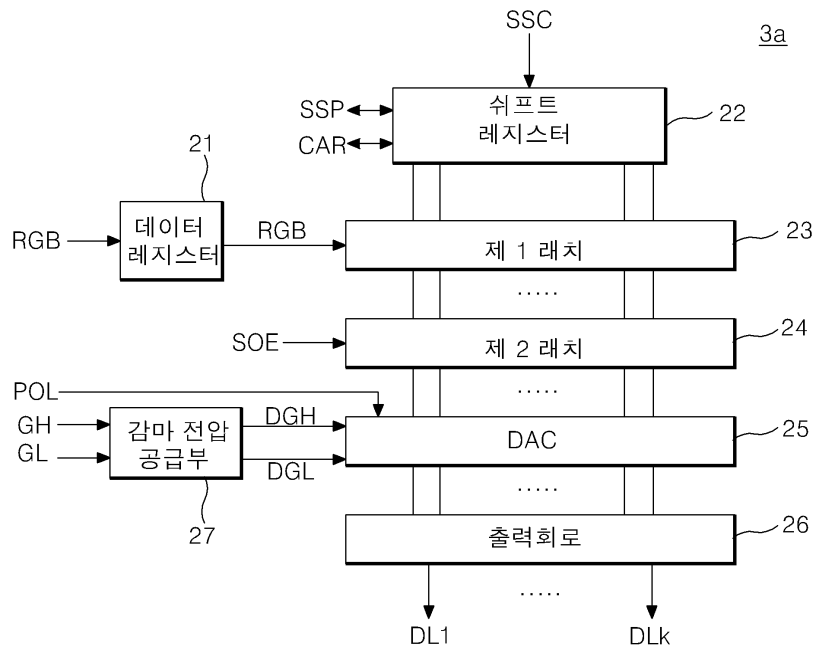
65, 66 : AND 게이트 67 : OR 게이트

도면

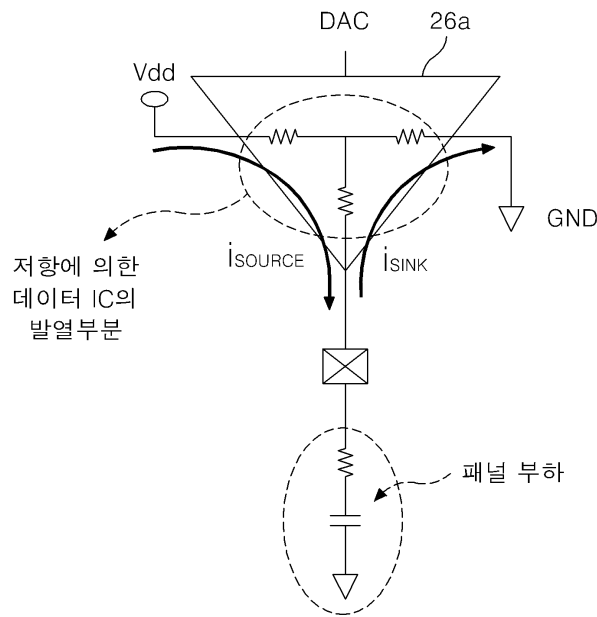
도면1



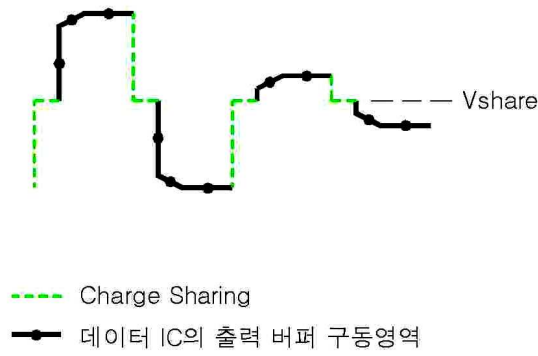
도면2



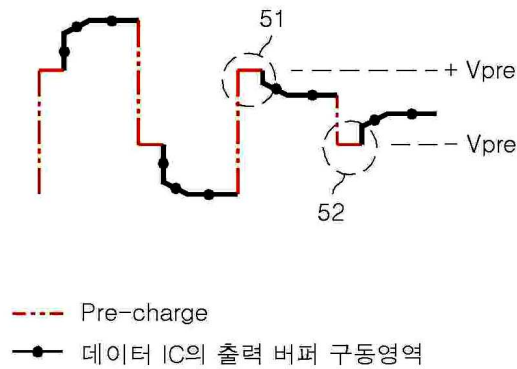
도면3



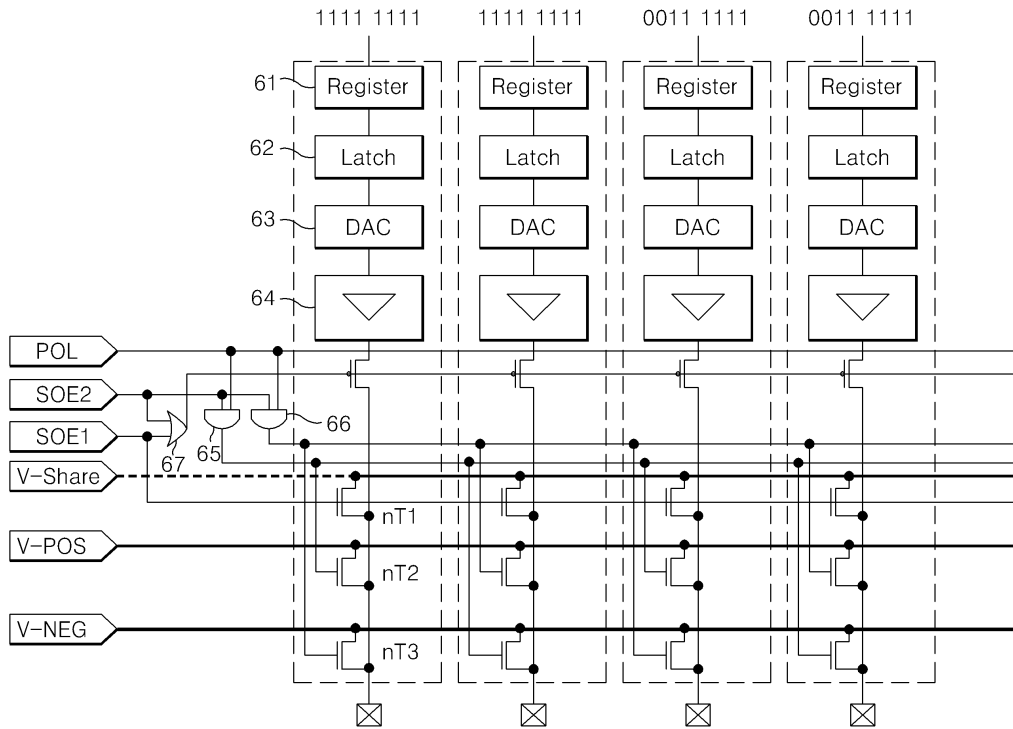
도면4



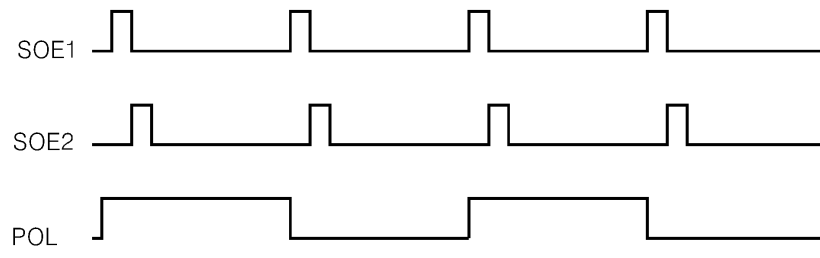
도면5



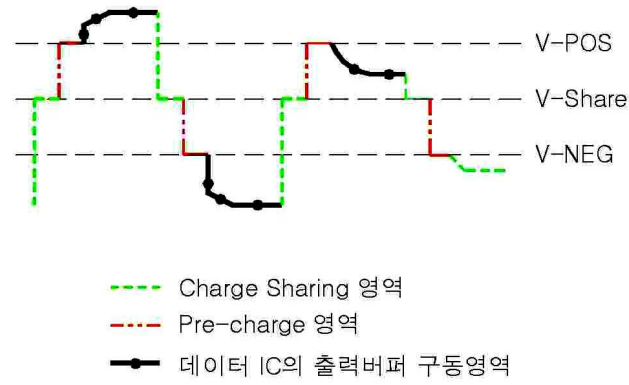
도면6



도면7



도면8



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020070000881A	公开(公告)日	2007-01-03
申请号	KR1020050056544	申请日	2005-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG SIN HO 강신호 HONG JIN CHEOL 홍진철 HA SUNG CHUL 하성철		
发明人	강신호 홍진철 하성철		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G2310/027 G09G2330/021 G09G3/3614 G09G2330/023 G09G2310/08 G09G3/3688 G09G2310/0248		
其他公开文献	KR101167407B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示器及其驱动方法，通过使用电荷共享电压和高于电荷共享电压的预充电电压对数据线预充电两次来降低LCD（液晶显示器）的功耗。

