(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 특2003-0062279
(43) 공개일자 2003년07월23일

(21) 출원번호 10-2003-0002782
(22) 출원일자 2003년01월15일

(30) 우선권주장 JP-P-2002-00007565 2002년01월16일 일본(JP)
JP-P-2002-00233699 2002년08월09일 일본(JP)

(71) 출원인 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 다나까시게끼
일본나라껭나라시마루야마1-1079-154

오가와요시노리
일본나라껭야마또따까다시소오네1-7-8

(74) 대리인 주성민
구영창

심사청구 : 있음

(54) 계조 표시용 기준 전압 발생 회로 및 그것을 이용한 액정표시 장치

요약

본 발명은 표시 데이터를 디지털-아날로그 변환할 때에 이용하는 계조 표시용 기준 전압을 생성하는 계조 표시용 기준 전압 발생 회로에 관한 것으로, 상기 회로는 복수 레벨의 기준 전압을 생성하는 기준 전압 생성부와, 상기 기준 전압의 조정량을 기억하는 보정 정보 기억부와, 보정 정보 기억부에 기억된 조정량에 기초하여 상기 기준 전압을 조정하는 조정부를 포함한다.

대표도

도 1

색인어

계조 표시용 기준 전압 발생 회로, 불휘발성 메모리, 소스 드라이버, 게이트 드라이버, 액정 표시부

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예의 소스 드라이버의 구성 블록도이다.

도 2는 본 발명의 액정 표시 장치의 일 실시예의 구성을 나타내는 블록도이다.

도 3은 본 발명의 계조 기준 표시용 전압 발생 회로의 구성을 나타내는 블록도이다.

도 4는 도 1에서의 감마 보정 조정 회로의 개략 블록도이다.

도 5a 및 도 5b는 기준 전압보다도 높은 출력 전압을 얻는 경우와 낮은 출력 전압을 얻는 경우 정전류원의 동작 설명 도면이다.

도 6은 감마 보정 조정 회로에서의 정전류원부의 회로 구성을 나타내는 도면이다.

도 7은 도 1에 도시한 계조 표시용 기준 전압 발생 회로에 의한 액정 구동 출력 전압의 특성을 나타내는 도면이다.

도 8은 본 발명의 불휘발성 메모리에 기억되는 정보 내용의 설명도이다.

도 9는 본 발명의 계조 표시 데이터의 보정 특성의 설명도이다.

도 10은 본 발명의 제2 실시예의 소스 드라이버의 구성 블록도이다.

도 11은 TFT 방식에 의한 액정 표시 장치의 블록 구성을 나타내는 도면이다.

도 12는 도 11에서의 액정 패널의 구성을 나타내는 도면이다.

도 13은 액정 구동 파형의 일례를 나타내는 도면이다.

도 14는 도 13보다도 인가 전압이 낮은 경우의 액정 구동 파형을 나타내는 도면이다.

도 15는 도 11에서의 소스 드라이버의 블록도이다.

도 16은 도 15에서의 계조 표시용 기준전압 발생 회로의 구성을 나타내는 도면이다.

도 17은 도 16에 도시하는 계조 표시용 기준전압 발생 회로에 의한 액정 구동 출력 전압의 특성예를 나타내는 도면이다.

도 18a, 도 18b 및 도 18c는 종래의 액정의 배향 상태를 나타내는 도면이다.

도 19는 본 발명의 제3 실시예의 액정 표시 장치의 구성 블록도이다.

도 20은 본 발명의 제3 실시예의 계조 표시용 기준전압 발생 회로의 구성 블록도이다.

도 21은 본 발명의 제3 실시예의 감마 보정 조정 회로의 정전류원부의 회로 구성을 나타내는 도면이다.

도 22는 본 발명의 제3 실시예의 액정 구동 출력 전압의 2개의 감마 변환 특성의 설명도이다.

도 23은 본 발명의 제3 실시예에서, 2 종류의 감마 변환 특성을 이용한 액정 표시 장치의 화소 상태의 설명도이다.

도 24는 도 23에 대하여, 연속하는 2개의 프레임의 화소 상태의 설명도이다.

도 25는 본 발명의 제3 실시예에서, 3 종류의 감마 변환 특성을 이용한 액정 표시 장치의 화소 상태의 설명도이다.

도 26은 본 발명의 제3 실시예에서, 3 종류의 감마 변환 특성을 이용한 액정 표시 장치의 화소 상태의 설명도이다.

도 27은 도 26에 대하여, 연속하는 2개의 프레임의 화소 상태의 설명도이다.

도 28은 본 발명의 제3 실시예의 액정 구동 출력 전압의 3개의 감마 변환 특성의 설명도이다.

도 29는 본 발명의 제3 실시예에서, 5 종류의 감마 변환 특성을 이용한 액정 표시 장치의 화소 상태의 설명도이다.

도 30은 도 29에 대하여, 연속하는 2개의 프레임의 화소 상태의 설명도이다.

도 31은 본 발명의 제3 실시예의 액정 구동 출력 전압의 5개의 감마 변환 특성의 설명도이다.

도 32는 본 발명의 제4 실시예의 액정 표시 장치의 구성 블록도이다.

도 33은 본 발명의 제4 실시예의 액정 표시 장치의 구성 블록도이다.

도 34는 본 발명의 제4 실시예의 기준 전압 발생 회로, 셀렉터 회로의 구성 블록도이다.

도 35는 본 발명의 제4 실시예의 기준 전압 발생 회로의 구성 블록도이다.

도 36은 본 발명의 제4 실시예의 액정 구동 출력 전압의 감마 변환 특성의 설명도이다.

도 37은 본 발명의 제4 실시예에서, 3 종류의 감마 변환 특성을 이용한 액정 표시 장치의 화소 상태의 설명도이다.

도 38은 도 37에 대하여, 연속하는 2개의 프레임의 화소 상태의 설명도이다.

도 39는 제4 실시예의 기준 전압 발생 회로의 다른 구성 블록도이다.

<도면의 주요 부분에 대한 부호의 설명>

52 : 계조 표시용 기준전압 발생 회로

53 : 불휘발성 메모리

54 : 감마 보정 조정 회로

101 : 소스 드라이버

102 : 게이트 드라이버

103 : 감마 액정 표시부

104 : 액정 구동부

105 : 컨트롤러

110 : 표시 메모리

R0 R7, R : 저항 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 계조 표시를 위한 기준 전압 발생 회로(이하 계조 표시용 기준전 압 발생 회로로 지칭함), 및 그것을 이용한 액정 표시 장치에 관한 것이다.

계조 기준 전압 발생 회로는 2개의 전압 간의 중간 전압을 발생시키는 회로이다. 예를 들면, 액티브 매트릭스 방식의 액정 표시 장치에서의 액정 구동부에서는 저항 분할을 이용하여 중간 전압이 만들어진다. 저항 분할용의 저항은 감마 보정이라는 저항비를 가지며, 이 저항비의 비율에 따라 액정 재료의 광학 특성을 보정하여, 보다 자연스러운 계조 표시를 실현하도록 하고 있다.

이하에, 상기 계조 기준 전압 발생 회로를 구비한 액정 표시 장치의 구성, 그 액정 표시 장치에서의 TFT(박막 트랜지스터) 방식의 액정 패널의 구성, 그 액정 구동 파형, 및 그 소스 드라이버의 구성에 대하여 설명한다.

도 11은 액티브 매트릭스 방식의 대표 예인 TFT 방식의 액정 표시 장치의 블록도를 나타낸다. 이 액정 표시 장치는 액정 표시부와 그것을 구동하는 액정 구동 회로(액정 구동부)로 분리된다. 상기 액정 표시부는 TFT 방식의 액정 패널(1)을 갖고 있다. 액정 패널(1) 내에는, 액정 표시 소자(도시하지 않음)와 후술하는 대향 전극(공통 전극)(2)이 설치되어 있다.

한편, 상기 액정 구동 회로에는 IC(집적 회로)로 이루어지는 소스 드라이버(3) 및 게이트 드라이버(4)와, 컨트롤러(5)와, 액정 구동 전원(6)이 탑재되어 있다.

소스 드라이버(3)와 게이트 드라이버(4)는, 일반적으로는 배선 필름 상에 탑재된 상기 IC 칩을 갖는 예를 들면 TCP(Tape Carrier Package)를 액정 패널의 ITO(Indium Tin Oxide; 인듐 주석 산화막) 단자 상에 실장하여 접속하거나, IC 칩 을 ACF(Anisotropic Conductive Film ; 이방성 도전막)을 통해 직접 ITO 단자에 접속을 위해 열압착하여 실장하는 방법으로 구성되어 있다.

그리고, 컨트롤러(5)는 소스 드라이버(3)에 표시 데이터 D 및 제어 신호 S1을 입력하는 한편, 게이트 드라이버(4)에는 수직 동기 신호 S2를 입력한다. 또한, 컨트롤러(5)는 소스 드라이버(3) 및 게이트 드라이버(4)에 수평 동기 신호를 입력한다.

상기 구성에서, 외부로부터 입력된 표시 데이터는 상기 컨트롤러(5)를 통해 디지털 신호인 표시 데이터 D로서 소스 드라이버(3)에 입력된다. 그렇게 하면, 소스 드라이버(3)는 입력된 표시 데이터 D를 시분할하여 제1 소스 드라이버 내지 제n 소스 드라이버에 래치하고, 그 후 컨트롤러(5)로부터 입력되는 상기 수평 동기 신호에 동기하여 D/A(디지털-아날로그) 변환한다. 그리고, 시분할된 표시 데이터 D를 D/A 변환하여 이루어지는 계조 표시용 아날로그 전압(이하, 계조 표시 전압이라고 함)을 소스 신호 라인(도시하지 않음)을 개재하여, 액정 패널(1) 내에서의 대응하는 상기 액정 표시 소자에 출력한다.

도 12는 상기 액정 패널(1)의 구성을 도시한다. 액정 패널(1)에는, 화소 전극(11), 화소 용량(12), 화소 전극(11)으로의 전압 인가를 온 · 오프 제어하는 TFT(13), 소스 신호 라인(14), 게이트 신호 라인(15), 대향 전극(16)(도 11에서의 대향 전극(2)에 상당)이 설치되어 있다. 여기서, 화소 전극(11), 화소 용량(12) 및 TFT(13)에 의해 1 화소분의 상기 액정 표시 소자 A가 구성된다.

상기 소스 신호 라인(14)에는, 도 11에서의 소스 드라이버(3)으로부터, 표시 대상 화소의 밝기에 따른 상기 계조 표시 전압이 주어진다. 한편, 게이트 신호 라인(15)에는, 게이트 드라이버(4)로부터 컬럼 방향으로 배열된 TFT(13)을 순차적으로 턴온되는 주사 신호가 주어진다. 그리고, 온 상태의 TFT(13)를 개재하여, 해당 TFT(13)의 드레인에 접속된 화소 전극(11)에 소스 신호 라인(14)의 계조 표시 전압이 인가되고, 상기 화소 전극(11)과 대향 전극(16) 사이의 화소 용량(12)에 축적된다. 이렇게 해서, 액정의 광 투과율이 상기 계조 표시 전압에 따라 변화되어, 화소 표시가 행해진다.

도 13 및 도 14에, 액정 구동 파형의 일례를 도시한다. 도 13 및 도 14에서, 도면 부호 21, 25는 소스 드라이버(3)의 구동 파형이고, 도면 부호 22, 26은 게이트 드라이버(4)의 구동 파형이다. 또한, 도면 부호 23, 27은 대향 전극(16)의 전위이고, 도면 부호 24, 28은 화소 전극(11)의 전압 파형이다. 여기서, 액정 재료에 인가되는 전압은, 화소 전극(11)과 대향 전극(16)과의 전위차이며, 도면에서는 사선으로 나타내고 있다.

예를 들면, 도 13인 경우에는, 상기 게이트 드라이버(4)의 구동 파형(22)의 레벨이 「H」의 기간만 TFT(13)이 온되고, 소스 드라이버(3)의 구동 파형(21)과 대향 전극(16)의 전위(23)과의 차의 전압이 화소 전극(11)에 인가된다. 그 후, 게이트 드라이버(4)의 구동 파형(22)의 레벨은 「L」이 되고, TFT(13)은 오프 상태가 된다. 그 경우에, 화소에는 화소 용량(12)가 존재하기 때문에, 상술한 전압이 유지된다.

도 14인 경우도 마찬가지다. 단, 도 13과 도 14는 액정 재료에 인가되는 전 압이 다른 경우를 도시하고 있으며, 도 13인 경우에는 도 14인 경우와 비교하여 인가 전압이 높아지고 있다. 이와 같이, 액정 재료에 인가하는 전압을 아날로그 전압으로서 변화시킴으로써, 액정의 광 투과율을 아날로그적으로 바꾸고, 다계조 표시를 실현하는 것이다. 또한, 표시 가능한 계조 수는 액정 재료에 인가되는 아날로그 전압의 선택지의 수에 의해 결정된다.

도 15는, 도 11에서의 소스 드라이버(3)을 구성하는 제n 소스 드라이버의 블록도의 일례를 도시한다. 입력된 디지털 신호의 표시 데이터 D는 R(적), G(녹), B(청)의 표시 데이터(DR, DG, DB)를 갖고 있다. 그리고, 이 표시 데이터 D는, 일단 입력 래치 회로(31)에 래치된 후, 컨트롤러(5)로부터 스타트 펄스 SP 및 클럭 CK에 의해 시프트되는 시프트 레지스터(32)의 동작에 맞추어, 시분할에 따라 샘플링 메모리(33)에 기억된다. 그 후, 컨트롤러(5)로부터의 수평 동기

신호(도시하지 않음)에 기초하여 홀드 메모리(34)에 일괄 전송된다. 또한, 도면 부호 S는 캐스케이드 출력을 나타낸다.

계조 기준 전압 발생 회로(39)는 외부 기준 전압 발생 회로(도 11에서의 액정 구동 전원(6)에 상당)로부터 공급되는 전압 VR에 기초하여, 각 레벨의 기준 전압을 발생한다. 홀드 메모리(34)의 데이터는, 레벨 시프터 회로(35)를 개재하여 D/A 변환 회로(디지털 · 아날로그 변환 회로)(36)으로 송출되어, 계조 기준 전압 발생 회로(39)로부터의 각 레벨의 기준 전압에 기초하여 아날로그 전압으로 변환된다. 그리고, 출력 회로(37)에 의해 액정 구동 전압 출력 단자(38)로부터 상기 계조 표시 전압으로서, 각 액정 표시 소자 A의 소스 신호 라인(14)에 출력된다. 즉, 상기 기준 전압의 레벨 수가 상기 표시 가능한 계조 수가 된다.

도 16에, 상술한 바와 같은 복수의 기준 전압을 발생시켜 중간 전압을 생성하는 계조 기준 전압 발생 회로(39)의 구성을 도시한다. 또한, 도 16에서의 계조 기준 전압 발생 회로(39)는 64 레벨의 기준 전압을 발생시키도록 하고 있다.

이 계조 기준 전압 발생 회로(39)는 V0, V8, V16, V24, V32, V40, V48, V56 및 V64로 도시된 9개의 중간조 전압 입력 단자와, 감마 보정을 위한 저항비를 갖는 저항 소자 R0 R7과, 각 저항 소자 R0 R7 양단 사이에 직렬로 8개씩 접속된 합계 64개의 저항(도시하지 않음)으로 구성되어 있다. 이와 같이, 감마 보정이라는 저항비를 소스 드라이버(3)에 내장하고, 상기 계조 표시 전압으로 변환하기 위한 액정 구동 출력 전압에 절선(line graph) 특성을 갖게 하도록 하고 있다. 따라서, 상기 저항비의 비율에 의해 액정 재료의 광학 특성을 보정함에 따라, 액정 재료의 광학 특성에 맞는 자연스러운 계조 표시를 행할 수 있다. 또한, 종래의 계조 기준 전압 발생 회로(39)에서의 액정 구동 출력 전압의 특성예를 도 17에 도시한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래의 계조 기준 전압 발생 회로에서는, 이하와 같은 문제가 있다. 즉, 최적의 감마 보정 특성(도 17에 도시한 액정 구동 출력 전압의 절선 특성)은, 액정 재료의 종류나 액정 패널의 화소 수에 따라 다르고, 액정 모듈마다 다르다. 그리고, 소스 드라이버(3)에 내장되는 계조 기준 전압 발생 회로(39)의 저항 분할비는 소스 드라이버(3)의 설계 단계에서 결정되어 있다. 따라서, 적용하는 액정 모듈의 액정 재료의 종류나 액정 패널의 화소 수에 따라 감마 보정 특성을 변 경하는 경우에는, 그 때마다 소스 드라이버(3)을 다시 만들어야하는 문제가 있다.

또한, 상기 외부 기준 전압 발생 회로에서 중간조 전압 입력 단자 V0 V64에 공급되는 복수의 중간조 전압을 조정하는 기준 전압 조정 수단을 마련하고, 이 기준 전압 조정 수단에 의해 각 중간조 전압 입력 단자 V0 V64에 공급되는 중간조 전압을 조정하는 방법도 생각되어진다.

그러나, 상기 기준 전압 조정 수단을 마련함에 따라 단자 수가 증가하거나 회로 규모가 커져, 제조 비용이 증가한다는 문제가 있다.

또한, 액정 디스플레이(LCD)는 소형성, 저소비 전력성 등의 특징에 의해 그 수요는 확대되어, 기능적으로도 대화면화, 고정밀화, 다계조화를 위해 상품 개발이 진행되고 있다.

그러나, LCD는 CRT 등에 대하여 시야각이 좁고, 특히 상하의 시야각이 좁은 것이 기술 과제로 되어 있다.

예를 들면, 현재 OA용으로 사용되고 있는 노멀 화이트의 투과형 TN(트위스트네마틱) 방식의 LCD는 편광축이 직교하도록 배치된 2매의 편광판에 끼워진 액정에 인가하는 전압을 바꿈으로써, 액정의 배향 상태를 바꿔 입사측의 편광판으로 직선 편광된 광을 타원 편광시켜, 출사측 편광축 방향의 광만 투과시킴으로써 휘도를 제어하고 있다.

OA용 LCD에서는, 박막 트랜지스터(TFT)측의 유리 기판과 컬러 필터(CF)측의 유리 기판에 각각 도 18a에 도시한 바와 같은 방향으로 배향막에 러빙 처리를 실시함으로써, 그 방향으로 액정 분자를 배향시키고 있다.

전압을 인가하지 않으면 액정 분자는 가로로 된 상태에서 비틀어져 배향하지만, 전압을 인가하면 상기 액정 분자는 세로 방향으로 배향된다. 액정 분자의 길이축 방향과 단축 방향에서는 굴절율이 다르기 때문에, 액정 분자가 누운 상태에서는 광의 전파면에서 굴절율의 이방성이 있는 것에 비하여, 선 상태에서는 등방성이 된다. 따라서, 액정 인가 전압에 따라 광의 편광 회전이 다르다.

이 편광의 회전량은 액정 분자의 굴절율 이방성(길이축 방향의 굴절율 일단축 방향의 굴절율)과 액정 셀의 갭의 곱(리터데이션(retardation))으로 규정된다.

도 18a의 방향으로 각각 유리 기판의 러빙 처리를 행하여 액정 분자를 배향시키면, 도 18b에 도시한 바와 같이 액정 분자는 비틀어지기 때문에 리터데이션의 이방성이 나타난다. 좌우 방향은 비교적 대칭인 배향 때문에 시야각도 비교적 넓지만, 상하 방향은 액정 분자의 배향의 비대칭성이 현저하기 때문에 시야각이 좁아진다. 상측에서 보면 액정 분자는 누운 상태로 보이고, 하측에서 보면 액정 분자는 서있는 상태로 보인다. 그 결과, 위에서 볼 때는 흑 레벨이 현저히 눈에 띄며, 아래에서 볼 때는 계조 역전이 문제가 된다. 이것은 특히 중간조가 다용되는 풀컬러 소자(full-color device)에서 큰 문제가 된다.

이와 같이, 종래 기술에서는 LCD의 광시야 특성을 위해 예를 들면, 일 화소를 복수의 소 화소 도트인 서브 픽셀로 분할하고, 또한 분할된 소화소 도트 사이에 복수의 용량을 형성하고, 다른 전압을 인가시키는 구조의 것이 일반적으로 알려져 있지만, 이 방법으로는 화소 도트를 분할하고, 용량을 더 만들기 위해 화소를 복수회 작성할 필요가 있기 때문에, 액정 패널 제조 공정이 통상의 것에 비하여 복잡해 지며, 결과적으로 수율의 저하 나아가서는 비용의 증대를 초래한다.

발명의 구성 및 작용

본 발명은 표시 데이터를 디지털-아날로그 변환할 때에 이용하는 계조 표시용 기준 전압을 생성하는 계조 표시용 기준 전압 발생 회로로서, 상기 회로는 복수 레벨의 기준 전압을 생성하는 기준 전압 생성부와, 상기 기준 전압의 조정량을 기억하는 보정 정보 기억부와, 보정 정보 기억부에 기억된 조정량에 기초하여, 상기 기준 전압을 조정하는 조정부를 구비한 것을 특징으로 하는 계조 표시용 기준 전압 발생 회로를 포함한다.

이 구성에 따르면, 보정 정보 기억부의 기억 정보를 재기록할 뿐으로 기준 전압을 변경할 수 있으므로, 액정 재료나 액정 표시 장치의 특성에 맞추어, 사용자가 용이하게 기준 전압을 조정하는 것이 가능해진다.

본 발명의 목적은 제조 비용을 증가시키지 않고 액정 재료나 액정 패널의 특성에 따라 사용자가 선택적으로 감마 보정 특성을 변경할 수 있는 계조 표시용 기준 전압 발생 회로, 및 그것을 이용한 액정 표시 장치를 제공하는 것이다.

또한, 본 발명의 목적은 제조 공정을 복잡화하지 않고 전기적으로 시야각의 확대를 도모한 액정 표시 장치를 제공하는 것이다.

본 발명에서, 상기 보정 정보 기억부는, 불휘발성 메모리에 의해서 구성되는 것이 바람직하다. 이것에 따르면, 사용자가 조정한 전회의 보정 상태를 다음 표시에 그대로 적용할 수 있다.

또한, 상기한 계조 표시용 기준 전압 발생 회로의 기준 전압 생성부, 보정 정보 기억부 및 조정부를, 복수의 색 성분마다 독립적으로 제공할 수 있다.

이 구성에 따르면, 색마다 독립하여 기준 전압을 조정할 수 있으므로, 표시 패널의 표시 품위를 높은 정확도로 제어할 수 있다.

또한, 본 발명의 계조 기준 전압 발생 회로는, 특성이 다른 액정 표시 장치에 대해서도 동일한 구성의 것을 채용할 수 있으므로, 액정 표시 장치의 부품의 공통화를 꾀할 수 있으며, 제조 비용을 감소시킬 수 있다.

또한, 본 발명은 표시 데이터를 디지털-아날로그 변환할 때에 이용하는 계조 표시용의 복수개의 기준 전압을 생성하는 기준 전압 생성부와, 상기 기준 전압에 대하여 1 종류 또는 복수 종류의 조정량을 기억하는 보정 정보 기억부와, 보정 정보 기억부에 기억된 조정량에 기초하여 상기 생성된 기준 전압을 조정하는 조정부와, 상기 조정부의 동작을 제어하는 제어부를 구비하고, 제어부가 표시 화면의 1 프레임 내에서의 소정 수의 주사 라인마다, 다른 종류의 조정량을 상기 보정 정보 기억부에서 판독하여 상기 조정부에 제공하는 것을 특징으로 하는 액정 표시 장치를 제공하는 것이다.

또한, 조정부는 표시 화면을 표시하기 위한 주사 신호에 동기하고, 제공되는 조정량에 기초하여 기준 전압의 조정을 행하도록 해도 된다. 이것에 따르면, 소정 수의 주사 라인마다 기준 전압을 조정할 수 있으므로, 보다 섬세하고 치밀하게 시야각을 조정할 수 있다.

여기서 주사 라인이란, 소위 게이트 신호 라인을 의미한다. 또한, 소정 수의 주사 라인마다란, 일 주사 라인마다라도 무방하며, 또한 임의의 복수 라인의 주 사 라인마다라도 무방하다.

제어부는, MPU(micro-processing unit)와 같은 컨트롤러 LSI를 이용하여, 보정 정보 기억부에 기억된 조정량을 다시 기록하도록 해도 된다. 이 재기입을 가능하게 함으로써, 보다 섬세하고 치밀하게, 시야각이 넓어지도록 조정할 수

있게 된다.

또한, 본 발명은 액정 표시 장치로서, 상기 액정 표시 장치의 상기 보정 정보 기억부는 정극성 전압을 화소에 인가하는 경우의 제1 조정용 데이터를 기억하는 제1 기억부와, 부극성 전압을 화소에 인가하는 경우의 제2 조정용 데이터를 기억하는 제2 기억부로 이루어지며, 상기 기준 전압 생성부는 정극성 계조 표시용 기준 전압을 생성하는 제1 전압 발생부와, 부극성 계조 표시용 기준 전압을 생성하는 제2 전압 발생부로 이루어지고, 상기 조정부는 제1 기억부에 기억된 제1 조정용 데이터에 기초하여 제1 전압 발생부에 의해 생성된 기준 전압을 조정하는 제1 조정부와, 제2 기억부에 기억된 제2 조정용 데이터에 기초하여 제2 전압 발생부에 의해 생성된 기준 전압을 조정하는 제2 조정부로 이루어지며, 상기 액정 표시 장치는 상기 제어부에서 제공되는 극성 반전 신호에 기초하여, 상기 제1 조정부 및 제2 조정부로부터 출력되는 조정 후의 기준 전압의 어느 한쪽의 기준 전압을 선택하는 선택부를 더 포함하고, 선택된 기준 전압에 기초하여 주사 라인마다 계조 보정을 한다.

이 구성에 따르면, 정극성 및 부극성의 전압을 인가하는 주사 라인마다 시각에 의한 색 변화의 적절한 보정을 할 수 있다.

본 발명의 이러한 목적 및 다른 목적은 이하에서 기술되는 상세한 설명으로 보다 쉽게 이해될 것이다. 그러나, 본 발명의 바람직한 실시예를 나타내고 있지만, 상세한 설명 및 특정 실시예는 예시를 통해서만 제공되는데, 이는 본 발명의 기술적 사상 및 권리 범위 내의 다양한 변화와 변형이 이러한 상세한 설명으로부터 당업자에게 이해될 것이라는 것이 이해되어야 한다.

이하, 도면에 도시하는 실시 형태에 기초하여 본 발명을 상술한다. 또, 이것에 의해 본 발명이 한정되는 것은 아니다.

<제1 실시예>

도 1에, 본 발명의 계조 기준 전압 발생 회로를 구비한 소스 드라이버의 제1 실시예의 구성 블록도를 도시한다.

또한, 도 2에 이 소스 드라이버(101)을 이용한 액정 표시 장치의 일 실시예의 개략 구성도를 도시한다. 도 2에서, 액정 표시 장치는 액정 표시부(103)과, 액정 구동부(104)로 구성된다.

또한, 액정 구동부(104)는 소스 드라이버(101), 게이트 드라이버(102), 컨트롤러(105)등으로 구성된다.

컨트롤러(105)는 종래와 같이 소스 드라이버(101)에 표시 데이터와 제어 신호를 입력하고, 게이트 드라이버(102)에 수직 동기 신호를 입력함과 함께, 소스 드라이버(101) 및 게이트 드라이버(102)에 수평 동기 신호를 입력한다.

그리고, 입력된 표시 데이터는 시분할하여 각 소스 드라이버에 제공되며, 수평 동기 신호에 동기하여 D/A 변환되어, 소정의 계조 표시 전압으로서 액정 표시 소자에 출력된다.

도 1에 도시한 바와 같이, 소스 드라이버(101)은 시프트 레지스터 회로(32), 데이터 래치 회로(31), 샘플링 메모리 회로(33), 홀드 메모리 회로(34), 레벨 시프터 회로(35), DA 컨버터 회로(36), 및 출력 회로(37), 계조 기준 전압 발생 회로(52)로 구성되어 있다.

이하에, 이 소스 드라이버(101)의 동작을, 제1단의 제1 소스 드라이버 S(1)를 이용하여 설명한다.

시프트 레지스터 회로(32)는 스타트 펄스 입력 신호 SSPI를 시프트, 즉 전송하는 회로이다. 신호 SSPI는 도시하지 않은 컨트롤러(105)의 단자 SSPI에서 출력되어, 소스 드라이버(101)의 입력 단자 SSPin에 입력되고, 표시용 데이터 신호 R · G · B의 수평 동기 신호와 동기가 취해진 신호이다.

이 스타트 펄스 입력 신호 SSPI는 컨트롤러(105)의 단자 SCK로부터 출력되고, 또한 소스 드라이버(101)의 입력 단자 SCKin에 입력되는 클럭 신호 SCK에 의해 시프트된다.

이 시프트 레지스터 회로(32)에서 시프트된 스타트 펄스 입력 신호 SSPI는, 예를 들면 8개의 소스 드라이버가 사용되는 경우 도 2의 8단째의 제8 소스 드라이버 S(8)에서의 소스 드라이버(101)의 시프트 레지스터 회로(32)에까지 순차적으로 전송된다.

한편, 컨트롤러(105)의 단자 R1 R6 · 단자 G1 G6 · 단자 B1 B6으로부터 출력되는 각각 6 비트의 표시용 데이터 신호 R · G · B는 클럭 신호/SCK(클럭 신호 SCK의 반전 신호)의 상승에 동기를 취하여, 소스 드라이버(101)의 입력 단자 R1in R6in · 입력 단자 G1in Gin6 · 입력 단자 Blin B6in에 각각 직렬로 입력되고, 데이터 래치 회로(31)에서 일시적으로 래치된 후, 샘플링 메모리 회로(33)에 전송된다.

샘플링 메모리 회로(33)은 상기 시프트 레지스터 회로(32)의 각 단의 출력 신호에 의해, 시분할로 전송된 표시용 데이터 신호(R · G · B 각 6 비트의 합계 18 비트)를 샘플링하고, 홀드 메모리 회로(34)에 컨트롤러(105)로부터 출력된 래치 신호 LS가 소스 드라이버(101)의 단자 LS에 입력될 때까지 각각 기억하고 있다.

그리고, 홀드 메모리 회로(34)에서는 샘플링 메모리 회로(33)으로부터 입력되는 표시용 데이터 신호를, 표시용 데이터 신호 R · G · B의 1수평 기간만큼의 표시용 데이터 신호가 입력된 시점에 래치 신호 LS에서 래치하고, 다음 1 수평 기간만큼의 표시용 데이터 신호가 샘플링 메모리 회로(33)으로부터 홀드 메모리 회로(34)에 입력되기까지 유지하고, 그 후 레벨 시프터 회로(35)에 출력한다.

계조 기준 전압 발생 회로(52)는 후술한 바와 같이 적, 녹, 청색용 액정 구동 전압 출력 단자에 대하여, 64 레벨의 기준 전압을 작성하여 계조 표시용 중간 전압을 생성하는 것이다. 이 회로(52)에 입력되는 VR은 외부의 액정 구동 전원으로부터 공급되는 전압이고, UP는 외부의 제어 장치 등의 사용자 프로그램에 의해 제공되는 디지털 데이터이다.

본 발명의 계조 기준 전압 발생 회로(52)에는 감마 보정을 위한 조정 데이터가 기억되는 불휘발성 메모리(53)이 구비되어 있다.

DA 컨버터 회로(36)은 홀드 메모리 회로(34)로부터 입력되어, 레벨 시프터 회로(35)에서 변환된 RGB 각각 6 비트의 표시용 데이터 신호(디지털)를 64 레벨의 중간 전압에 기초하여, 아날로그 신호로 변환하여 출력 회로(37)에 출력한다.

출력 회로(37)은 64 레벨의 아날로그 신호를 증폭시켜, 출력 단자(38)의 Xo-1 Xo-128 · Yo-1 Yo-128 · Zo-1 Zo-128로부터 액정 패널로 계조 표시 전압으로서 출력한다. 상기 출력 단자 Xo-1 Xo-128 · Yo-1 Yo-128 · Zo-1 Zo-128은, 각각 표시용 데이터 신호 R · G · B에 대응하는 것으로, Xo, Yo, Zo 각각 모두 128개의 단자로 이루어진다.

또한, 소스 드라이버(101)의 단자 VCC 및 단자 GND는 컨트롤러 회로의 단자 VCC 및 GND와 접속되는 전원 공급용 단자이고, 각각 전원 전압과, 접지 전위가 공급된다.

도 3에 본 발명의 계조 기준 전압 발생 회로(52)의 구성 블록도를 도시한다.

본 실시의 형태에서의 계조 기준 전압 발생 회로(52)는 도 16에 도시하는 종래의 계조 기준 전압 발생 회로(39)인 경우와 마찬가지로, 64 레벨의 기준 전압을 작성하여 중간 전압을 생성하는 것을 도시하지만, 이것에 한정되는 것은 아니다.

본 실시의 형태에서의 계조 기준 전압 발생 회로(52)는 최하위 전압 입력 단자 V0과 최상위 전압 입력 단자 V64의 2개의 전압 입력 단자와, 기준이 되는 감마 보정을 행하기 위한 저항비를 갖는 8개의 저항 소자 R0 R7과, 이 저항 소자 R0 R7에 의해 얻어진 감마 보정 후의 각 기준 전압을 일정한 범위에서 전압을 상하로 미세 조정하는 감마 보정 조정 회로(54)와, 이 감마 보정 조정 회로(54)를 액정 재료나 액정 패널의 특성에 따라 임의로 프로그램 UP 등에 의해 감마 보정 특성 을 미세 조정할 때에 보정 정보를 저장하기 위한 불휘발성 메모리(53)을 갖고 있다.

이 실시예에서, 저항 소자(R0 R7)가 기준 전압 생성부에 상당하고, 불휘발성 메모리(53)이 보정 정보 기억부에 상당하며, 감마 보정 조정 회로(54)가 조정부에 상당한다.

또한, 최하위 전압 입력 단자 V0과 감마 보정 조정 회로(54)의 출력 단자 사이, 각 감마 보정 조정 회로(54)의 출력 단자 사이, 감마 보정 조정 회로(54)의 출력 단자와 최상위 전압 입력 단자 V64 사이에 직렬로 8개씩 접속된 합계 64개의 저항(도시하지 않음)을 갖고 있다.

상기 구성을 갖기 위해, 도 16에 도시한 종래의 계조 기준 전압 발생 회로(39)와 달리, 9개의 중간조 전압 입력 단자 V0 V64를 설치할 필요는 없으며, 상기 중간 전압을 해당 계조 기준 전압 발생 회로(52) 내에서 생성하여 조정할 수 있다.

도 4는 상기 감마 보정 조정 회로(54)의 구성을 도시한 개략 블록도이다. 감마 보정 조정 회로(54)는, 전압 강하를 발생시키기 위한 1개의 저항 소자 R과, 2개의 정전류원(44, 45)와, 버퍼 증폭기(46)으로 구성된다. 그리고, 저항 소자 R에 전류를 흘림으로써 전압 강하를 이용하여, 입력된 전압을 일정한 전압만큼 상하로 시프트함으로써 출력 전압을 조정한다. 이와 같은 구성을 갖는 감마 보정 조정 회로(54)는 다음과 같이 동작한다.

즉, 상기 감마 보정 조정 회로(54)의 입력 단자(47)에, 예를 들면 기준이 되 는 전압 Vref가 공급된다. 그리고, 기준 전압 Vref보다도 높은 출력 전압 혹은 낮은 출력 전압을 얻는 경우에는, 정전류원(44, 45)에 의해 저항 소자 R에 흐르는

전류를 변화시켜, 저항 소자 R에 의한 전압 강하를 이용하고, 입력된 전압을 저항 소자 R에서의 전압 강하한 만큼 위 또는 아래로 시프트한 전압 Vout을 출력 단자(48)로부터 출력하는 것이다.

즉, 상기 기준 전압 Vref보다도 높은 출력 전압 Vout를 얻는 경우에는,

Vout= Vref+i · R

이 되도록, 또한 기준 전압 Vref보다도 낮은 출력 전압 Vout을 얻는 경우에는,

Vout=Vref-i · R

이 되도록, 감마 보정 조정 회로(54)에 의해서 전압을 조정하는 것이다.

도 5는, 상기 기준 전압 Vref보다도 높은 출력 전압 Vout를 얻는 경우(도 5a), 및 기준 전압 Vref보다도 낮은 출력 전압 Vout를 얻는 경우(도 5b)에, 정전류원(44, 45)의 동작에 의해 저항 소자 R을 흐르는 전류가 변화한 상태를 나타낸다.

이 경우, 도 5a에 도시한 바와 같이, 저항 소자 R보다도 입력 단자(47)측에 있는 정전류원(44)을 접지하고, 출력 단자(48)측에 있는 정전류원(45)를 전원에 접속함으로써, 저항 소자 R에는 정전류원(45)로부터 정전류원(44)를 향하는 플러스의 방향의 전류 i가 흐른다. 그 결과, 입력 단자(47)로부터 기준 전압 Vref가 입력된 경우의 출력 단자(48)로부터의 출력 전압 Vout는 기준 전압 Vref보다도 저항 소자 R에서의 전압 강하한 만큼 높은

Vout=Vref+i · R

이 된다.

한편, 도 5b에 도시한 바와 같이, 상기 정전류원(44)를 전원에 접속하고, 정전류원(45)를 접지함으로써, 저항 소자 R에는 정전류원(44)로부터 정전류원(45)를 향하는 마이너스 방향의 전류 i가 흐른다. 그 결과, 입력 단자(47)로부터 기준 전압 Vref 가 입력된 경우의 출력 단자(48)로부터의 출력 전압 Vout는 기준 전압 Vref 보다도 저항 소자 R에서의 전압 강하한 만큼 낮은

Vout=Vref-i · R

이 된다.

그리고, 개개의 상기 감마 보정 조정 회로(54)에서의 각 정전류원(44, 45)에 관하여, 전류값을 복수값으로 전환 가능하게 하고, 또한 접지와 전원에 대한 접속을 전환 가능하게 하고, 상기 각각의 전환을 불휘발성 메모리(53)에 기억된 조정용 데이터에 기초하여 제어함으로써, 저항 소자 R0 R7에서 얻어진 감마 보정 전압을 미세 조정하는 것이다. 이렇게 해서 미세 조정된 각 기준 전압 사이의 전압이, 또한 상기 64개의 저항 중 8개에 의해 8등분되어, D/A 변환 회로(36)으로 송출되는 것이다.

도 6은 상기 각 정전류원(44, 45)에 관한 전류값의 전환 및 접지/전원의 접속 전환을 실현하는 감마 보정 조정 회로(54)의 정전류원부의 회로 구성을 도시한다. 이 정전류원부는, 전원에 접속됨과 함께, n을 플러스의 정수로서, $2^{(n-1)}$로 웨 이팅된 전류 $2^{(n-1)}$i를 발생시키는 5개의 정전류원i, 2i, 4i, 8i, 16i를 갖는다. 그리고, 각각의 정전류원 $2^{(n-1)}$i는, $+2^{(n-1)}$의 제어 신호에 의해 온하는 스위치 $+2^{(n-1)}$를 개재하고, 저항 소자 R의 일단 및 출력 단자(48)에 접속되어 있다. 또한, $-2^{(n-1)}$의 제어 신호에 의해 온하는 스위치 $-2^{(n-1)}$를 개재하고, 저항 소자 R의 타단 및 입력 단자(47)에 접속되어 있다.

마찬가지로, 접지됨과 함께 상기 $2^{(n-1)}$로 웨이팅된 전류 $2^{(n-1)}$i를 발생시키는 5개의 정전류원i, 2i, 4i, 8i, 16i를 갖는다. 그리고, 각각의 정전류원 $2^{(n-1)}$i는 $+2^{(n-1)}$의 제어 신호에 의해 온하는 스위치 $+2^{(n-1)}$를 개재하여, 저항 소자 R의 상기 타단 및 입력 단자(47)에 접속되어 있다. 또한, $-2^{(n-1)}$의 제어 신호에 의해 온하는 스위치 $-2^{(n-1)}$를 개재하여, 저항 소자 R의 상기 일단 및 출력 단자(48)에 접속되어 있다.

즉, 상기 스위치 $+2^{(n-1)}$ 또는 스위치 $-2^{(n-1)}$를 개재하여 입력 단자(47)에 접속된 정전류원 $2^{(n-1)}$i는 도 5에서의 정전류원(44)로서 기능하고, 스위치 $+2^{(n-1)}$ 혹은 스위치 $-2^{(n-1)}$를 개재하여 출력 단자(48)에 접속된 정전류원 $2^{(n-1)}$i는 도 5에서의 정전류원(45)로서 기능하는 것이다. 그리고, 불휘발성 메모리(53)에 기억되어 있는 2의 보수표현에 의한 부호가 있는 2진수의 다비트 디지털 데이터인 조정용 데이터에 기초하여, 각 스위치 $+2^{(n-1)}$ 및 스위치 $-2^{(n-1)}$의 온/오프를 제어함으로써, 정전류원(44, 45)에 관한 전류값의 전환 및 전원/접지의 접속 전환을 실현하는 것이

다.

이렇게 함으로써, 상기 저항 소자 R을 흐르는 전류의 값과 방향을 변화시킬 수 있어, 입력 전압 Vin에 대하여 저항 소자 R에 흐르는 전압 강하한 만큼 위로 또는 아래로 복수단으로 시프트한 전압 Vout를 출력할 수 있는 것이다. 이하, 구체예를 예로 들어 설명한다.

이하의 설명은 상기 조정용 데이터를 6 비트 데이터로 하여 행한다. 이러한 6 비트로 나타내는 조정용 데이터에 기초한 조정은, 감마 보정값에 대한 조정을 -32 +31의 64 단계에서 행할 수 있게 된다.

도 6에서, 상기 정전류원 i, 2i, 4i, 8i, 16i 각각은, $2^{(n-1)}$ 로 웨이팅된 전류값 i, 2i, 4i, 8i, 16i를 발생한다. 또한, 상기 각 스위치 $+2^{(n-1)}$ 및 스위치 $-2^{(n-1)}$ 는 불휘발성 메모리(53)에 저장된 감마 보정 정보의 조정 데이터에 기초하여 온 혹은 오프된다. 이하, 6 비트의 조정용 데이터에 기초한 감마 보정 조정 회로(54)의 동작을 설명한다.

제1 경우에서, 상기 조정용 데이터가 「+1 : (000001)」인 경우에 대하여 설명한다. 이 경우에는 2개의 스위치 $+2^0$ 만이 온하고, 다른 모든 스위치는 오프한다. 이 상태는 도 5a와 동일하다. 즉, 저항 소자 R에 흐르는 전류 I_{total} 은 정전류원 i 와 동일하고, 전류의 방향은 상기한 바와 같이 플러스이다. 따라서, 출력 전압 Vout는 입력된 기준 전압 Vin보다도 저항 소자 R에서의 전압 강하만큼 상승하여,

$$Vout=Vin+i\times R$$

의 출력 전압이 얻어진다. 이것은, 입력 기준 전압 Vin보다도 (i×R)만큼 높은 전압이다.

또한, 다른 경우로서, 상기 조정 데이터가 「-9 : (101001)」인 경우에 대하여 설명한다. 이 경우에는, 2개의 스위치 -2^3 및 2개의 스위치 -2^0 등 총 4개의 스위치가 온하고, 다른 모든 스위치는 오프한다. 이 상태는, 도 5b와 동일하다. 즉, 저항 소자 R에 흐르는 전류 I_{total} 는 정전류원 i와 정전류원 8i와의 전류의 합인 9i가 되고, 전류의 방향은 상기한 바와 같이 마이너스이다. 따라서, 출력 전압 Vout는 입력된 기준 전압 Vin보다도 저항 소자 R에서의 전압 강하한 만큼 하강하여,

$$Vout= Vin-9i\times R$$

의 출력 전압이 얻어진다. 이것은, 입력 기준 전압 Vin보다도 (i×R)의 9배만큼 낮은 전압이다.

다른 조정용 데이터인 경우에도, 상술한 동작에 준하여, 각각의 스위치 $+2^{(n-1)}$, $-2^{(n-1)}$ 를 온 또는 오프함으로써, 입력 기준 전압 Vin을 중심으로 하여, 1 단계에 대해 (i×R)의 전압으로 -32 +31의 범위 내에서 64 단계로 전압 조정을 행할 수 있다.

즉, 상기 조정용 데이터로서 2의 보수 표현에 의한 부호가 있는 2진수의 다비트 디지털 데이터를 이용함으로써, 그 비트 번호 n과 저항 소자 R에 흘리는 전류값의 무게(배율) $2^{(n-1)}$ 를 스위치 $+2^{(n-1)}$, $-2^{(n-1)}$ 를 개재하여 대응할 수 있다. 따라서, 불휘발성 메모리(53)에 기억된 감마 보정 정보의 조정 데이터에 따른 배율의 조정량을 얻을 수 있게 된다. 즉, 조정 데이터에 의해 상기 기준값의 조정량을 간단히 지정할 수 있다.

이와 같이, 상기 불휘발성 메모리(53)에 기억된 감마 보정 정보의 조정 데이터에 따라 스위치 $+2^{(n-1)}$, $-2^{(n-1)}$ 를 온/오프함으로써, 입력 전압에 대하여 조정용 데이터에 기초한 조정을 행한 전압을 출력할 수 있으며, 이 조정을 저항 소자 R0 R7에 기초한 감마 보정값에 적용함으로써, 도 7에 도시한 바와 같이 액정 구동 출력 전압의 특성을, 저항 소자 R0 R7에 기초한 보정값을 중심으로 하여 상기 조정용 데이터에 기초하여 상하로 변경할 수 있다.

이어서, 불휘발성 메모리(53)에 기억되는 정보에 대하여 설명한다.

도 8에, 본 발명의 불휘발성 메모리(53)에 기억되는 감마 보정용 조정 데이터의 일 실시예를 도시한다. 기억되는 정보는, 저장 어드레스, 계조 표시 데이터(220), 및 조정 데이터로 이루어진다.

도 8의 저장 어드레스는 불휘발성 메모리(53)의 어드레스이며, 이것은 출력 데이터를 의미한다. 계조 표시 데이터(220)은 감마 보정 조정 회로(54)에 출력되 는 보정 후의 계조 표시 데이터이다. 조정 데이터는, 임의의 계조 표시 데이터에 대한 설정값이며, 외부의 제어 장치에 조립된 사용자 프로그램에 의해 재기입된다.

도 9에 계조 기준 전압 발생 회로(52)의 저항 분할비의 설계 단계에서 결정된 감마 보정 특성(210)의 일 실시예를 도시한다. 여기서, 종축은, 불휘발 메모리(53)의 저장 어드레스이고, 횡축은 계조 표시 데이터를 나타내고 있다.

종축의 저장 어드레스는, 불휘발성 메모리(53)으로부터 출력되는 출력 데이터에 대응하고 있다. 예를 들면, 도 9의 K점의 감마 보정 특성(210)은, 출력 데이터가 23H(16진수)이고, 계조 표시 데이터가 10H(16진수)이다. 여기서, 이 출력 데이터의 레벨을 23H에서 25H로 보정하는 경우를 생각한다.

우선, 도 8에 도시한 바와 같이, 예를 들면 보정 후의 출력 데이터에 대응하는 불휘발성 메모리(53)의 저장 어드레스25H에, 조정 데이터로서 「+1(2진수: 000001)」를 미리 저장해 둔다. 마찬가지로 하여, 6 비트의 디지털 표시 데이터의 비트 컬럼의 모든 조합에 대응하는 어드레스(00H에서 3FH) 각각에, 보정하려는 조정 데이터를 저장한다(도 8 참조).

이 저장 처리는 사용자가 외부 제어 장치의 사용자 프로그램을 동작시킴에 따라 용이하게 행할 수 있다. 즉, 사용자 자신이 간단한 조작을 하는 것만으로, 감마 보정을 위한 조정량을 용이하게 변경할 수 있다. 이와 같이, 감마 보정 특성을 사용자가 용이하게 변경할 수 있으면, 표시 상태를 최적화하기 위한 평가 작업을 효율화할 수 있다.

도 9에, 도 8에 도시한 바와 같은 불휘발성 메모리(53)에 저장된 조정 데이 터에 기초하여, 출력 데이터를 변경한 후의 감마 보정 특성(220)을 도시한다. 이 불휘발성 메모리(53)로서는, 전원을 꺼도 한번 기억한 데이터가 보유되도록, 플래시 메모리, OTP, EEPROM, FeRAM(강유전체 메모리)을 이용할 수 있다.

<제2 실시예>

도 10에 본 발명의 계조 기준 전압 발생 회로를 이용한 소스 드라이버의 제2 실시예의 구성 블록도를 도시한다. 이 실시예에서는, 색 재현성의 향상을 목적으로 하여, 적(R), 녹(G), 청(B)의 각 색마다, 독립하여 감마 보정을 하는 회로를 구비하는 것을 특징으로 한다.

도 1의 제1 실시예에서는, 단 1개의 계조 기준 전압 발생 회로(52)를 설치하였지만, 이 제2 실시예에서는 도 10에 도시한 바와 같이 3개의 계조 기준 전압 발생 회로(R용 52-1, G용 52-2, B용 52-3)를 설치한다. 불휘발성 메모리(53)은 제1 실시예와 마찬가지로 각 계조 기준 전압 발생 회로의 내부에 별개로 설치해도 되지만, 1개의 불휘발성 메모리(53)만을 설치하고, 이것에 R, G, B 모든 색에 대한 조정 데이터를 저장하도록 해도 된다.

또한, 도 10에 도시한 시프트 레지스터 회로(32) 등의 다른 구성 요소는, 도 1에 도시한 제1 실시예와 마찬가지이며, 소스 드라이버로서의 각 회로의 동작도 마찬가지다. 단, 색마다 도 8에 도시한 바와 같은 조정 데이터가 불휘발성 메모리(53)에 기억되어, 3개의 계조 기준 전압 발생 회로(52-1, 52-2, 52-3)에 의해, 각 색마다 64 레벨의 기준 전압이 DA 컨버터 회로(36)에 제공되는 점이 다르다. 이것에 따르면, 각 색마다 독립하여 감마 보정을 할 수 있으므로, 보다 적절 한 계조에 의한 화상 표시를 할 수 있다.

또, 불휘발성 메모리(53)은 상기한 바와 같이 소스 드라이버에 내장하는 경우외에, 소스 드라이버 외부의 표시 구동부의 컨트롤러(5) 등에 설치해도 되며, 회로 설계 시에 다른 회로와의 배치를 고려하여 배치할 수 있다.

또한, 소스 드라이버마다 불휘발성 메모리를 설치한 경우, 액정 표시 장치의 화면 내에서의 특성의 변동(예를 들면, 화면의 좌우의 계조 얼룩짐)이 있어도 미세 조정이 가능하며, 특히 대화면의 표시 장치에서 유효하다.

<제3 실시예>

상기 실시예에서는, 감마 보정을 위한 조정용 데이터를 계조 기준 전압 발생 회로(52)내의 불휘발성 메모리(53)에 저장하였지만, 여기서는 계조 기준 전압 발생 회로(52)와는 달리, 소스 드라이버(101) 내에 설치된 「표시 메모리」에 저장하고, 게이트 신호 라인(15)마다, 계조 기준 전압 발생 회로(52)내의 감마 보정 조정 회로(54)를 조정하는 경우에 대해 설명한다. 이하, 게이트 신호를 주사 라인 또는 로우가라고도 칭한다.

도 19에, 본 발명의 제3 실시예의 액정 표시 장치(1)의 구성 블록도를 도시한다.

여기서는, 주된 구성 요소 및 신호 경로만 도시하고, 전원 회로, 클럭 신호, 리세트 신호, 셀렉트 신호 등의 본 발명에 직접 관계하지 않는 회로 및 신호는 생략하고 있다.

본 발명의 액정 표시 장치(1)은 액정 패널(103), 소스 드라이버(101), 게이 트 드라이버(102), 컨트롤러(105)를 구비한다. 컨트롤러(105)에 대해서는 MPU(마이크로 프로세서 유닛)을 이용할 수 있다. 이 MPU(105)가 제어부에 상당한다.

액정 패널(103)은 m개의 소스 전극 및 n개의 게이트 전극에 형성되는 수평 방향의 m 화소×수직 방향의 n 화소의 TFT(박막 트랜지스터) 방식의 화소를 갖는 액정 패널이다.

또, 이하에서는 수평 방향 1 라인의 화소의 배열을 「로우」이라고 칭하고, 수직 방향 1 라인의 화소의 배열을 「컬럼」이라고 칭한다. 여기서는, m=1028× RGB, n=900이고, 각 화소에서 제0 계조 제63 계조의 64 계조(6 비트)의 계조 표시를 행한다. 각 로우에는, R(적), G(녹), B(청) 각각을 표시하는 화소가 반복하여 배열되어 있는 것으로 한다. 따라서, 각 로우에는 RGB의 각 화소가 각각 m/3화소 포함되어 있게 된다.

액정 패널(103)에는 소스 드라이버(101) 및 게이트 드라이버(102)가 접속되어 있고, 소스 드라이버(101) 및 게이트 드라이버(102)는 컨트롤러(MPU)(105)에 접속되어 있다.

소스 드라이버(101)은, 주로 주 회로부(120), 입출력 회로(121), 주변 회로부(122), 및 표시 메모리(110)으로 구성된다.

표시 메모리(110)은, 특별히 제한되지 않지만, 수평 방향의 m 화소×수직 방향의 n 화소분의 표시 데이터를 저장할 수 있도록 구성되어 있다. 표시 메모리(110)에 저장되는 표시 데이터는, 예를 들면 캐릭터 데이터나 정지 화상면 데이터 등이며, 표시 데이터 D1으로 전환되거나, 혹은 표시 데이터 D1과 정합시켜 액정 화면에 출력되는 것으로, 1 화면분이라도 좋고, 복수 화면분이라도 좋고, 혹은 윈도우 표시부용이라도 좋다. 이 경우, 홀드 메모리(34)의 전단 혹은 후단에 전환 스위치를 설치하고, 표시 메모리(110)으로부터의 데이터와 MPU(105)로부터의 표시 데이터를 전환한다.

표시 메모리(110)에는, 감마 보정 데이터도 추가로 저장된다. 이후, 이 감마 보정 조정용 데이터 D2에만 주목하여 기재한다.

표시 메모리(110)은 종류는 상관없지만, 플래시 메모리, OTP, EEPROM, FeRAM 등(강유전체 메모리)의 한번 기억한 보정 데이터는 전원이 차단되어도 보유되는 불휘발성 메모리로 구성되는 것이 바람직하다. 단, 표시 데이터가 고정 데이터로서 제공되는 경우, 표시 메모리로서 ROM 구조의 메모리를 이용해도 된다.

또한, 표시 메모리(110)은 소스 드라이버(101) 내에 내장해도 좋고, 또한 그 외부에 부착해도 좋다.

소스 드라이버(101)의 주변 회로부(122)는 커맨드 디코더(111), X-어드레스 디코더(컬럼 디코더)(112), 및 Y-어드레스 디코더(로우 디코더)(113)을 포함하고 있다.

또한, 소스 드라이버의 주 회로부(120)은, 제1 실시예의 도 1에 도시한 회로 블록에 거의 대응하여, 데이터 래치 회로(31), 계조 기준 전압 발생 회로(52)(이후, 기준 전압 발생 회로라고 칭함), 시프트 레지스터(32)와, 샘플링 메모리(33), 홀드 메모리(34), 레벨 시스터 회로(35), D/A 컨버터 회로(36), 및 출력 회로(37)을 포함하고 있다.

이 주 회로부(120)에는, MPU(105)를 개재하여, 액정 패널(103)의 화면에 표시되는 표시 데이터 D1이 직렬로 입력되고, 우선 데이터 래치 회로(31)에서 일시적으로 래치된다. 시프트 레지스터(32)의 각 단의 출력 신호에 기초하여, 래치된 표시 데이터 D1이 샘플링 메모리 회로(33)에 의해 샘플링되어, 홀드 메모리 회로(34)의 대응하는 단에 출력된다.

또한, 홀드 메모리(34)는 액정 패널(103)에서의 각 로우에 포함되는 제1 제m 화소, 즉 제1 제m 소스 전극선에 각각 대응하고 있다. 홀드 메모리(34)에 입력된 표시 데이터는, 수평 동기 신호 H에 의해 래치되며, 다음 수평 동기 신호 H가 입력될 때까지 홀드 메모리(34)로부터 출력되는 표시 데이터는 고정된다. 홀드 메모리(34)로부터 출력되는 표시 데이터는, 레벨 시프터 회로(35)로 차단의 D/A 컨버터 회로(36)의 신호 처리 레벨에 정합시키기 위한 승압 등의 레벨 변환이 실시되어, D/A 컨버터 회로(36)에 입력된다.

기준 전압 발생 회로(52)에는, 예를 들면 화소에 부여해야 할 전압의 최대 전압 E1 및 최소 전압 E2가 도시하지 않은 전원 회로로부터 입력된다. 기준 전압 발생 회로(52)는 최대 전압 E1과 최소 전압 E2와의 전위차를 내부에서 분압함으로써, 64 계조 표시인 경우, 64 레벨의 계조 표시용 전압을 발생시켜, D/A 컨버터 회로(36)에 대하여 출력한다. D/A 컨버터 회로(36)에서는, 레벨 시프터 회로(35)로부터의 표시 데이터에 따른 계조 표시용 전압을 상기 64 레벨의 계조 표시용 전압 중에서 화소마다 1개 선택하고, 출력 회로(37)에 대하여 출력한다.

출력 회로(37)은 차동 증폭기 등으로 이루어지는 저임피던스 변환부이고, 출 력 회로(37)로부터 액정 패널(103)의 제1 제m 소스 전극 각각에 대하여, D/A 컨버터 회로(36)에서 선택된 계조 표시용 전압이 부여된다. 이 계조 표시용 전압은, 수평 동기 신호 H의 1 주기, 즉 1수평 동기 기간 유지되고, 다음 수평 동기 기간은 새로운 표시 데이터에 따른 계조 표시용 전압이 출력된다.

한편, 게이트 드라이버(102)는 시프트 레지스터(114), 레벨 시프터(115), 및 출력 회로(116)을 포함하고 있다. 게이트 드라이버(102)는, 시프트 레지스터(114)에 MPU(105)로부터 수평 동기 신호 H 및 수직 동기 신호 V가 입력되어, 수평 동기 신호 H를 클럭으로서 수직 동기 신호 V를 시프트 레지스터(114) 내의 각 단에서 순차적으로 전송시킨다.

시프트 레지스터(114)의 각 단으로부터의 출력은, 액정 패널(103)에서의 각 컬럼에 포함되는 제1 제n 화소, 즉 제1 제n 게이트 전극선에 각각 대응하고 있다. 시프트 레지스터(114)의 각 단으로부터의 출력은, 레벨 시프터(115)에서 레벨 변환됨으로써 각 화소가 갖는 TFT의 게이트를 제어할 수 있는 전압까지 승압되고, 출력 회로(116)에서 저임피던스 변환되고, 출력 회로(116)으로부터 액정 패널(103)의 제1 제n 게이트 전극 각각에 대하여 출력된다. 이 게이트 드라이버(102)로부터의 출력이 주사 신호가 되어, 액정 패널(103)의 각 화소의 TFT의 게이트의 온/오프를 제어한다.

이에 따라, 주사 신호로 선택된 1개의 게이트 전극에 게이트가 접속되어 있는 TFT가 온된다. 그리고, 1수평 동기 기간의 것에 게이트 전극이 순차적으로 선택되는 것으로, 턴 온되는 TFT를 갖는 화소가 순차적으로 수직 방향으로 이동한다. 주사 신호에 의해 선택되어 TFT가 온된 화소에서는 그 화소에 구비된 화소 용량에 소스 전극으로부터 계조 표시용 전압이 부여되는 것으로, 그 전위에 따라 화소 용량이 충전되고, TFT가 오프가 되면 화소 용량으로써 전위가 유지됨으로써 화소에서의 계조 표시가 이루어진다.

MPU(105)는 소스 드라이버(101)에 대하여, 수평 동기 신호 H, 스타트 펄스 신호 S, 표시 데이터 D1 및 제어 신호 C를 제공한다. 제어 신호 C는 MPU(105)로부터 입출력 회로(121)을 통하여 커맨드 디코더(111)에 제공되는 신호이고, 예를 들면 2진 n 비트와 같은 데이터로 구성되는 것이다. 커맨드 디코더(111)에서는, 이 제어 신호 C를 해석함으로써, 판독이나 기입 명령이 디코드되고, 또한 X 어드레스 디코더(112), Y 어드레스 디코더(113)에 의해 표시 메모리(110)이 원하는 어드레스가 선택되어, 해당 어드레스의 데이터가 판독되거나, 재기입되기도 한다.

입출력 회로(121)은 MPU(105)과의 인터페이스 및 입출력 버퍼로서 기능한다.

MPU(105)는 제어 신호 C에 의해, 표시 메모리(110)에 기억된 조정량에 기초하여, 감마 특성을 1 프레임 내의 임의의 라인만 조정하는 조정용 데이터 D2의 판독을 지시한다.

이하에, 본 발명의 제3 실시예의 소스 드라이버(101)의 주 회로부(120)의 동작에 대하여 설명한다.

우선, 통상 모드(전체 화면 표시)에 대하여 설명한다. 통상 모드시에는, MPU(105)으로부터 전송되는 표시 데이터 D1은 각 화소에 대응하는 6 비트의 값을 갖고 있으며, 데이터 래치 회로(31)에서 일단 래치된다. 한편, 시프트 레지스터(32)는 MPU(105)로부터 스타트 펄스 신호 S를 시프트, 즉 전송한다. 이 스타트 펄스 입력 신호 S는 MPU(105)의 단자로부터 출력되고, 도시하지 않은 소스 드라이버(101)의 클럭 신호에 의해 시프트된다. 이 시프트 레지스터(32)에서 시프트된 스타트 펄스 신호 S는, 예를 들면 8개의 소스 드라이버(101)가 세로로 접속되어 있다고 한다면, 8단째의 제8 소스 드라이버의 시프트 레지스터(32)까지 순차적으로 전송된다.

시프트 레지스터(32)로부터 출력 회로(37)까지의 각 블록은, 액정 패널(103)의 제1 제m개의 소스 전극선에 대응하여 제1 제m단으로 되어 있다. 이 시프트 레지스터(32)의 각 단으로부터의 출력에 동기하여, 데이터 래치 회로(31)에 래치되어 있던 표시 데이터 D1이 샘플링 메모리(33)이 대응하는 단에 일단 기억됨과 함께, 다음 홀드 메모리(34)의 대응하는 단에 출력된다.

홀드 메모리(34)는, 1수평 동기 기간의 m개의 표시 데이터 D1이 샘플링 메모리(33)로부터 입력되면, MPU(105)로부터의 수평 동기 신호 H(래치 신호라고도 함)에 의해, 샘플링 메모리(33)으로부터 표시 데이터 D1을 수신하여, 다음 레벨 시프터 회로(35)에 출력한다. 그리고, 홀드 메모리(34)는 다음 수평 동기 신호 H가 입력될 때까지 이 표시 데이터 D1을 유지한다.

MPU(105)는 1 수평 동기 신호마다 표시 데이터 D1을 데이터 래치 회로(31)에 대하여 반복하여 보낸다. 이에 따라, 액정 패널(103)에 대하여 주기적으로 표시 데이터 D1에 따른 전압이 기입되고, 액정 패널(103)에서의 액정 표시가 유지된다. 또한, MPU(105)가 제어 신호 C에 의해, 표시 메모리(110)으로부터의 조정용 데이터 D2의 판독을 지시하면, 조정용 데이터(D2)가 해당 표시 메모리(110)으로부터 판독되어, 기준 전압 발생 회로(52)에 입력된다.

기준 전압 발생 회로(52)에는, 제어 신호 C에 의해 표시 메모리(110)으로부터 판독된 조정용 데이터(D2)가 입력되어, 제1 실시예와 마찬가지로 적, 녹, 청색용의 액정 구동 전압 출력 단자에 대하여, 64 레벨의 기준 전압을 작성하여 계조 표시용 중간 전압을 생성한다.

D/A 변환 회로(36)은, 홀드 메모리(34)로부터 입력되거나 또한 레벨 시프터 회로(35)에서 변환된 RGB 각각 6 비트의 표시 데이터 신호(디지털)를, 기준 전압 발생 회로(52)로부터 제공되는 64 레벨의 중간 전압에 기초하여, 아날로그 신호로 변환하여 출력 회로(37)에 출력한다. 출력 회로(37)은 64 레벨의 아날로그 신호를 증폭하여, 액정 패널(103)에 계조 표시 전압으로서 출력한다.

도 20에, 본 발명의 제3 실시예의 기준 전압 발생 회로(52)의 구성 블록도를 도시한다.

제1 실시예의 도 3에서는, 보정 정보를 저장한 불휘발성 메모리(53)을 기준 전압 발생 회로(52)에 설치하였지만, 제3 실시예에서는 불휘발성 메모리(53)을 대신하여 주 회로부(120)의 외부에 표시 메모리(110)을 설치한다. 그리고 이 표시 메모리(110)에 기억된 조정용 데이터 D2가 판독되어, 기준 전압 발생 회로(52)의 각 감마 보정 조정 회로(52)에 보내진다.

여기서, 조정용 데이터 D2는 기준 전압 발생 회로(52) 내부의 메모리에 고정적으로 기억되는 것은 아니며, 기준 전압 발생 회로(52)의 외부의 표시 메모리(110)에 기억되어 있으므로, 게이트 신호 라인마다 MPU(105)로부터의 제어 신호 C에 의해 재기입할 수 있는 점이 제1 실시예와 다르다.

또한, 복수 종류의 조정용 데이터 D2를 표시 메모리(110)에 미리 기억해 두고, 제어 신호 C에 의해 판독해야되는 조정용 데이터 D2의 종류를 게이트 신호 라인마다 다르게 함으로써, 게이트 신호 라인에 대한 감마 보정의 미세 조정을 할 수 있다.

도 20에 도시한 기준 전압 발생 회로(52)에서, 2개의 전압 입력 단자 V0, V64, 8개의 저항 소자 R0 R7, 감마 보정 전압을 생성하는 감마 보정 조정 회로(54)를 갖는 것 등의 회로 구성은, 제1 실시예의 도 3과 마찬가지이다.

또한, 감마 보정 조정 회로(54)의 회로 구성, 정전류원부의 회로 구성이나 동작에 대해서는, 제1 실시예의 도 4, 도 5 및 도 6과 마찬가지이다. 단, 제1 실시예에서는, 불휘발성 메모리(53)에 기억된 조정용 데이터에 기초하여, 도 6에 도시한 스위치의 온/오프 제어를 했었지만, 제3 실시예에서는 표시 메모리(110)으로부터 제공되는 조정용 데이터(D2)에 기초하여 도 6에 도시한 스위치의 온/오프 제어를 한다(도 21 참조).

이와 같이, 표시 메모리(110)에 저장된 조정용 데이터(D2)에 따라, 스위치 $+2^{(n-1)}$, $-2^{(n-1)}$ 를 온/오프함으로써, 입력 전압에 대하여 조정용 데이터에 기초하는 조정을 행한 전압을 출력할 수 있다.

또한, 표시 메모리(110)에, 2 종류의 조정용 데이터를 기억시켜 두고, 주사 신호에 동기를 취하여, 게이트 신호 라인마다 원하는 조정용 데이터 D2를 출력하여 조정을 전환함으로써, 2 종류의 감마 보정의 조정이 가능해진다.

이 조정을 저항 소자 R0 R7에 기초한 감마 보정값에 적용함으로써, 도 22에 도시한 바와 같이, 액정 구동 출력 전압의 특성으로서, 저항 소자 R0 R7 자체에 기초한 보정값(감마 변환 특성 γ1)을 중심으로 하고, 상기 조정용 데이터에 의해 조정된 상하 2개의 감마 변환 특성 γ2를 얻을 수 있다. 즉 2 종류의 감마 변환 특성 γ1, γ2을 얻을 수 있다.

후술하는 도 23에 도시한 바와 같은 도트 반전 구동 방식으로는, 1 프레임내에서 소정의 라인만큼 다른 감마 특성을 갖게 할 수 있으므로, 시야각이 최적 시야가 되도록 표시 특성을 바꿀 수 있다.

이 경우의 표시 메모리(110)의 판독의 제어는, MPU(105)로부터 직접, 주사 신호에 동기한 전환 신호를 표시 메모리(110)에 출력해도 좋다. 혹은, 커맨드 디코더(24) 내에 메모리 영역을 구비하는데, 예를 들면 주사 신호선 ni ni+j까지 전환하도록, 이 메모리 영역에 주사 신호선 번호와 조정 데이터 번호(γ1용, γ2용 등)을 기억해 두고, MPU(105)로부터의 제어 신호 C를 디코드하고, X 어드레스 디코더, Y 어드레스 디코더를 개재하여 표시 메모리(110)을 제어해도 좋다.

또한, 표시 메모리(110)에 기억된 조정용 데이터 D2는, 필요에 따라 프로그램 등에 의해 MPU(105)를 개재하여 재기입하도록 한다. 재기입이 되면, 이용자가 보는 위치나 각도 등에 대응시킨 감마 보정의 조정을 할 수 있고, 보다 바람직하다.

도 23에, 도 22에 도시한 2개의 감마 변환 특성 γ1, γ2를 이용하여 액정 구동한 경우의 화소 상태의 설명도를 도시한다. 도 23의 각 칸은, 1개의 화소 도트를 나타내며, 각 화소 도트 중 '+' 또는 '-'은, 인가되는 신호 전압의 극성을 나타내고 있다. 도 23에서, 중앙의 4개의 로우의 부분은, 저항 소자 R0 R7에 기초한 보정값을 중심으로 한 감마 변환 특성 γ1에 대응하는 신호가 입력되는 화소 도트이며, 상부 일행분과 하부 일행분은 조정용 데이터 D2에 의해 조정된 감마 변환 특성 γ2에 대응하는 신호가 입력되는 화소 도트이다.

여기서는, 게이트 신호 라인과 각 로우가 대응하고 있으며, 상하 2개의 게이트 신호 라인에 대응하는 로우만이 특성γ2의 조정이 되어 있다. 단, 특성 γ2의 조정은, 도 23의 2개의 로우에 한정되는 것은 아니며, 제어 신호 C의 정보를 바꿈으로써, 임의의 로우에 대하여 행할 수 있다.

도 23은, 도트 반전 구동 방식의 액정 표시를 도시하고 있으며, 어느 1개의 프레임에서 인접하는 화소 도트의 극성이 상호 반전하고 있는 예를 나타내고 있다.

도 24에, 연속하는 프레임(n 프레임과 n+1 프레임)에서의 화소 상태의 변화를 나타낸 것을 도시하지만, n 프레임으로부터 다음 n+1 프레임으로 변화했을 때, 각 화소 도트의 극성이 반전하고 있다.

이상과 같이, 1개의 프레임 내에서, 게이트 신호 라인 즉 로우마다 감마 변환 특성을 바꿀 수 있으므로, 감마 변환 특성 γ1을 채용하는 로우과, 감마 변환 특성 γ2를 채용하는 로우를 적절하게 선택하면, 광 시야가 되도록 시야각 특성을 조정할 수 있다.

도 23, 도 24에서는 2 종류의 감마 변환 특성 γ1, γ2을 이용했지만, 3 종류 이상의 감마 변환 특성을 이용한 조정을 해도 좋다. 감마 변환 특성의 종류를 늘림으로써, 보다 섬세하고 치밀한 시야각의 조정이 가능해지고, 또 그 결과 액정 패널의 균일화를 도모할 수 있으므로, 시각에 의한 색 변화의 보정이 가능해진다. 도 25에, 3 종류의 감마 변환 특성 γ1, γ2, γ3을 이용하여 감마 보정을 조정한 경우의 일 실시예의 화소 상태의 설명도를 도시한다. 이 경우에는, 표시 메모리(110)에, 각 감마 변환 특성 γ1, γ2, γ3에 대응하는 3 종류의 조정용 데이터 D2를 기억해 둔다.

이 3개의 감마 변환 특성 γ1, γ2, γ3의 액정 구동 출력 전압의 일 실시예를 도 28에 도시한다.

각 게이트 신호 라인마다, 그 게이트 주사 신호에 동기시켜, 그 게이트 신호 라인에 대응하는 조정용 데이터 D2를 표시 메모리(110)으로부터 판독하고, 기준 전압 발생 회로(52)에 제공하고, 이 조정용 데이터 D2에 기초하여 게이트 신호 라인 즉 로우마다 각 감마 보정 조정 회로(54)의 스위치를 전환하면 좋다.

도 25는, 중앙부의 로우를 특성 γ1에 의한 조정을 하여, 그 양측의 로우를 특성γ2에 의한 조정을 하고, 또한 외측의 로우에 대하여 특성γ3에 의한 조정을 하고 있다.

어떤 로우에 어떤 조정량을 적용할지는, 도 25에 도시한 것에 한하는 것이 아니며, 이용자가 보는 위치나 각도 등에 의해 조정량을 변경하면 된다. 예를 들면, 대화면의 액정 디스플레이에서는, 보는 사람과 화면의 상대 위치에 의해 시야 각이 다르며, 화면의 상부 영역, 중앙부 영역 및 하부 영역이 보이는 방법이 다르다. 상부 영역은 보기 힘들지만, 중앙부 하부 영역은 그만큼 보기 어렵지는 않은 경우도 있으며, 반드시 도 25와 같은 조정이 적절하다고는 할 수 없다.

이러한 경우에는, 도 26에 도시한 바와 같이 상측과 하측에서 감마 변환 특성을 다르게 하는 편이 바람직하다. 도 26은, 상측과 하측의 로우에 대한 감마 변환 특성을 다르게 한 경우의 화소 상태의 설명도이다.

도 26에서는, 상부의 로우에 대하여 도 28의 감마 변환 특성 γ2를 이용하여, 하부의 로우에 대하여 도 28의 감마 변환 특성γ3을 이용하고 있다. 여기서, 감마 변환 특성 γ2, γ3은 감마 변환 특성 γ1을 중심으로 하여 상하로 각각 2 가지의 조정 전압을 가지고 있지만, 어느 한 전압을 이용할지는 화면을 관찰함으로써 결정할 수 있다.

예를 들면, 도 26인 경우는 화상이 전체적으로 밝은 경우의 일례이고, 특성 γ2, γ3 모두 도 28의 특성γ1의 하측에 도시한 전압값을 이용하면 된다. 도 26에 도시한 바와 같은 로우 단위의 화면 영역과 γ 특성을 조정하면, 대화면의 액정 표시 장치에서 보다 시야각이 넓어지도록 조정할 수 있다.

도 27에, 도 26의 화소 상태에 대하여 연속하는 프레임에서의 화소 상태의 변화의 설명도를 도시한다. 여기서는, n 프레임의 각 화소 도트에 대하여, n+1 프레임에서는 극성이 반전한 전압이 인가되고, 또한 상부와 하부의 로우에 대하여 다른 감마 변환 특성 γ2, γ3을 적용하고 있다. 도 27에 도시한 바와 같이 감마 보정의 조정을 하면, RGB의 색 밸런스를 유지하고, 연속하여 다른 감마 특성에 대응 한 전압을 인가하면 정부의 신호의 언밸런스에 의해 발생하는 잔류 DC 전압에 의한 액정, 배향막의 고정 분극에 기인하는 화면의 인화를 억제할 수 있다.

도 29, 도 30에, 5 종류의 감마 변환 특성 γ1 γ5을 이용하여 감마 보정의 조정을 한 경우의 일 실시예의 화소 상태의 설명도를 도시한다. 도 31에, 이 5 종류의 감마 변환 특성에 대응한 액정 구동 출력 전압의 특성의 일 실시예의 설명도를 도시한다.

여기서는, 중앙부의 로우에 대하여 감마 변환 특성 γ1을 적용하여, 상부의 2 로우에 대하여 감마 변환 특성 γ2와 γ3을, 하부의 2 로우에 대하여 감마 변환 특성 γ4과 γ5를 적용한 것을 나타내고 있다.

도 30에서는 n+1 프레임에서, 상부의 2 로우과, 하부의 2 로우에 대한 감마 변환 특성을 교체하고 있다.

이와 같이, 감마 변환 특성의 종류의 수를 늘리고, 또한 인가 전압을 반전시켜 도 30에 도시한 바와 같이 감마 변환 특성을 적용하는 로우를 변화시킴에 따라, 시야각을 보다 섬세하고 치밀하게 조정할 수 있으며, 광 시야각으로 조정할 수 있다.

또한, 도 10과 같이 RGB 각각에 대응한 계조 기준 전압 발생 회로(52)를 구비하고, 각 계조 기준 전압 발생 회로(52) 내의 감마 보정 조정 회로(54)를 표시 메모리(110)으로부터 판독한 각각의 조정용 데이터 D2에 의해 감마 보정의 조정을 행하도록 하면, RGB를 개별로 조정하는 것 외에, 또한 적절한 감마 보정을 실현할 수 있다.

<제4 실시예>

이 실시예에서는, 각 화소에 인가되는 신호 전압의 극성(플러스(+) 또는 마이너스(-))마다 감마 보정의 조정을 다르게 한 경우에 대해 설명한다.

이하에 도시한 제4 실시예에서, 도 32의 표시 메모리(110)이 제1 기억부에 상당하고, 표시 메모리(137)이 제2 기억부에 상당하고, 셀렉터 회로(130)이 선택부에 상당한다.

또한, 도 34의 정극성 계조 전압 발생 회로(56)이 제1 전압 발생부에, 도 34의 부극성 계조 전압 발생 회로(57)이 제2 전압 발생부에, 도 35의 저항 분할 회로(52a)가 제1 조정부에, 도 35의 저항 분할 회로(52b)가 제2 조정부에 각각 상당한다.

도 32에, 본 발명의 제4 실시예의 액정 표시 장치(1)의 구성 블록도를 도시한다. 도 19에 도시한 제3 실시예의 구성에 대하여, 다음의 요소가 추가되어 있는 점이 다르다.

(a) 셀렉터 회로(130)

(b) 표시 메모리(137)과 제2 디코드부(132)

(c) 신호 Vcom(대향 전극 전압)

(d) 제어 신호 C1(MPU(105)로부터 입출력 회로(133)에)

(e) 기준 전압 VH, VL(MPU로부터 기준 전압 발생 회로(52)에)

(f) 극성 반전용 신호 REV(MPU로부터 셀렉터 회로(130)에)

(g) 조정용 데이터 D3(표시 메모리(137)로부터 기준 전압 발생 회로(52)에)

제4 실시예에서는, 제3 실시예과는 달리 2계통의 어드레스 디코드 회로(제1 디코드부(131), 제2 디코드부(132))를 구비하고, 2개의 표시 메모리(110, 137)를 구비한다. 상세 내용에 대해서는 후술하겠다.

그 밖의 구성 요소에 대해서는, 제3 실시예와 마찬가지이다.

본 발명의 액정 표시 장치(1)은 액정 패널(103), 소스 드라이버(101), 게이트 드라이버(102), 컨트롤러(105)를 구비한다. 컨트롤러(105)에서는, MPU(마이크로 프로세서 유닛)을 이용할 수 있다. 이 MPU(105)가 제어부에 상당한다.

<액정 패널의 구성>

액정 패널(103)은, m개의 소스 전극 및 n개의 게이트 전극에 형성되는 수평 방향의 m 화소(m : 양의 정수)×수직 방향의 n 화소(n : 음의 정수)의 TFT(박막 트랜지스터) 방식의 화소를 갖는 액정 패널이다.

또, 이하에서는 수평 방향 1라인의 화소의 배열을 「로우」이라고 칭하고, 수직 방향 1라인의 화소의 배열을 「컬럼」이라고 칭한다. 여기서는, m=1028× RGB, n=900이고, 각 화소에서 제0 계조 제63 계조의 64 계조(6 비트)의 계조 표시를 행한다. 각 로우에는, R(적), G(녹), B(청) 각각을 표시하는 화소가 반복하여 배열되어 있는 것으로 한다. 따라서, 각 로우에는 RGB의 각 화소가 n 화소 포함되어 있다.

액정 패널(103)에는, 소스 드라이버(101) 및 게이트 드라이버(102)가 접속되어 있고, 소스 드라이버(101) 및 게이트 드라이버(102)는 컨트롤러(MPU)(105)에 접속되어 있다.

<소스 드라이버의 구성>

소스 드라이버(101)은 주 회로부(120) 및 주변 회로부(122)로 이루어지며, 주변 회로부(122)는 제1 디코드부(131), 제1 표시 메모리(110), 제2 디코드부(132), 제2 표시 메모리(137)로 구성된다.

또한, 제1 디코드부(131)은 입출력 회로(121), 커맨드 디코더(111), X 어드레스 디코더(112), Y 어드레스 디코더(113)으로 이루어지며, 제2 디코드부(132)는 입출력 회로(133), 커맨드 디코더(134), X 어드레스 디코더(135), Y 어드레스 디코더(136)으로 이루어진다.

표시 메모리(110, 137)은 특별히 제한되지 않지만, 수평 방향의 m 화소×수직 방향의 n 화소분의 표시 데이터를 저장할 수 있도록 구성되어 있다.

표시 메모리(110, 137)에는, 또한 각각 감마 보정 데이터 D2, D3도 저장된다. 이후, 이 감마 보정 조정용 데이터 D2, D3에 주목하여 기재한다.

표시 메모리(110, 137)은 종류는 상관없지만, 플래시 메모리, OTP, EEPROM, FeRAM 등(강유전체 메모리)의 한번 기억한 보정 데이터는 전원이 차단되어도 보유하는 불휘발성 메모리로 구성되는 것이 바람직하다. 단, 표시 데이터가 고정 데이터로서 제공되는 경우, 표시 메모리로서 ROM 구조의 메모리를 이용해도 된다. 표시 메모리에 저장되는 조정용 데이터 D2, D3은 필요에 따라 재기록할 수 있다.

또한, 표시 메모리(110, 137)은 소스 드라이버(101) 내에 내장해도 되며, 또한 외부에 부착해도 된다.

도 32에서는, 표시 메모리(110, 137)에서는, 독립적으로 다른 메모리로서 구 성한 것을 나타내고 있지만, 도 33에 도시한 바와 같이 물리적으로 1개의 메모리를 이용하여, 이것을 영역 분할하고 표시 메모리(110, 137)으로서 이용해도 된다.

이 경우, 디코드부(131, 132)를 1개로 통합하여, 제어 신호 C 및 C1에 대하여, 1개의 표시 메모리(110)으로부터 조정용 데이터 D2, D3를 판독하도록 할 수 있다.

이 제4 실시예의 소스 드라이버(101)의 주 회로부(120)의 구성 및 동작은, 제3 실시예와 거의 마찬가지지만, 기준 전압 발생 회로(52)로부터 출력되는 계조 표시용 전압은, 셀렉터 회로(130)을 개재하여 D/A 컨버터 회로(36)에 대하여 출력되는 점이 다르다.

또한, MPU(105)로부터 출력된 제어 신호 C는 주변 회로부 내의 입출력 회로(121)에 제공되지만, 이 제어 신호 C에 의해, 표시 메모리(110)으로부터 조정용 데이터 D2가 판독되어, 조정용 데이터 D2는, 기준 전압 발생 회로(52)의 정극성 계조 전압 발생 회로(56)의 저항 분할 회로(52a)에 입력된다(도 34, 도 35 참조).

한편, MPU(105)로부터 출력된 제어 신호 C1은, 입출력 회로(133)에 제공되어, 이 제어 신호 C1에 의해 표시 메모리(137)로부터 조정용 데이터 D3이 판독되고, 조정용 데이터 D3은 기준 전압 발생 회로(52)의 부극성 계조 전압 발생 회로(57)의 저항 분할 회로(52b)에 입력된다(도 34, 도 35 참조).

<기준 전압 발생 회로의 구성>

도 34 및 도 35에, 제4 실시예의 기준 전압 발생 회로(52)의 내부 회로 구성도를 도시한다.

여기서, 기준 전압 발생 회로(52)는, 정극성 계조 전압 발생 회로(56)과, 부극성 계조 전압 발생 회로(57)로 구성되고, 각각의 발생 회로(56, 57)는 버퍼 앰프(55a, 55b)와, 저항 분할 회로(52a, 52b)로 구성된다.

또한, 최상위 전압 입력 단자 VH와 최하위 전압 입력 단자 VL을 갖고, 이 전압 입력 단자에, 각각 MPU(105)로부터의 기준 전압 VH, VL이 입력된다.

이 기준 전압 VH, VL은 도시하지 않은 외부의 액정 구동 전원으로부터 MPU(105)를 개재하여 공급되는 것이며, 제3 실시예의 도 20에 도시한 전압 V_{64}, V_{0}에 상당하는 것이다.

정극성 계조 전압 발생 회로(56)는, 정극성의 교류 구동에 대응하여, 저항 분할 회로(52a)에 의해, 정극성의 계조 표시용의 아날로그 전압(+V_{0} +V_{63})을 발생시킨다.

부극성 계조 전압 발생 회로(57)은 부극성의 교류 구동에 대응하고, 저항 분할 회로(52b)에 의해, 부극성의 계조 표시용 아날로그 전압(-V0 -V63)을 발생시킨다.

또한, 정극성측의 저항 분할 회로(52a)는, 기준이 되는 감마 보정을 행하기 위한 저항비를 갖는 저항 소자 RP0 RP7, 감마 보정 조정 회로(54) 및 아날로그 스위치 SA로 구성된다.

정극성측의 저항 분할 회로(52a)에서, MPU(105)로부터 제공된 제어 신호 C에 의해 표시 메모리(110)으로부터 판독된 조정용 데이터 D2에 기초하여, 각 감마 보 정 조정 회로(54)에서 정극성의 계조 표시용 아날로그 전압(+V_0 + V_{63})이 조정된다.

또한, 부극성측의 저항 분할 회로(52b)는, 마찬가지로 저항 소자 RN0 RN7, 감마 보정 조정 회로(54) 및 아날로그 스위치 SB로 구성된다.

마찬가지로, 부극성측의 저항 분할 회로(52b)에서, MPU(105)로부터 제공된 제어 신호 C1에 의해 표시 메모리(137)로부터 판독된 조정용 데이터 D3에 기초하여, 각 감마 보정 조정 회로(54)에서 부극성의 계조 표시용 아날로그 전압(-V_0 -V_{63})이 조정된다.

도 35에서, 저항 소자 RP0 RP7 중, RP0에서의 한쪽의 접속점에는 최상위 전압 입력 단자 VH에 접속된 버퍼 증폭기(전압 종동기형 증폭 증폭기)(55a)의 출력이 접속되고, 저항 RP0의 타단은 RP1이 접속된다.

저항 소자 RP1 RP7의 각각은, 복수 라인의 저항 소자가 직렬로 접속되어 구성되어 있다. 예를 들면, 저항 RP1에 대하여 설명하면, 15개의 저항 소자 RP1-1, RP1-2, …… RP1-15가 직렬 접속되어 전체적으로 저항 RP1이 구성되어 있다. 또한, 다른 저항 RP2 RP7에 대해서는 16개의 저항 소자가 직렬로 접속되어 저항 RP2 RP7이 구성되어 있다.

RP7의 타단은 RP6이 접속되고, 저항 RP7에서의 저항 RP6의 접속점과 반대측의 단자에는, 아날로그 스위치 SA를 끼워 최하위 전압 입력 단자 VL에 접속된 버퍼 증폭기(전압 종동기형 증폭 증폭기)(55b)의 출력이 접속되어 있다.

저항 소자 RN0 RN7 중, RN0에서의 한쪽의 접속점에는 최하위 전압 입력 단 자 VL에 접속된 증폭용 증폭기(55b)의 출력이 접속되고, 저항 RN0의 타단은 RN1이 접속된다.

저항 소자 RN1 RN7의 각각은, 복수 라인의 저항 소자가 직렬로 접속되어 구성되어 있다. 예를 들면, 저항 RN1에 대하여 설명하면, 15개의 저항 소자 RN1-1, RN1-2, …… RN1-15가 직렬 접속되어 전체적으로 저항 RN1이 구성되어 있다. 또한, 다른 저항 RN2로부터 RN7에 대해서는 16개의 저항 소자가 직렬 접속되어 저항 RN2 RN7이 구성되어 있다.

RN7의 타단은 RN6이 접속되고, 그리고 저항 RN7에서의 저항 RN6의 접속점과는 반대측 단자에는, 아날로그 스위치 SB를 끼워 최상위 전압 입력 단자 VH에 접속된 버퍼 증폭기(전압 종동기형 증폭 증폭기)(55a)의 출력이 접속된다.

이와 같이, 제4 실시예에서는, 종래의 계조 기준 전압 발생 회로와 마찬가지로 9개의 중간조 전압 입력 단자 V0으로부터 V64를 설치할 필요는 없으며, 중간 전압을 기준 전압 발생 회로(52) 내에서 생성하여 조정할 수 있다.

또한, 최상위 전압 입력 단자 VH와 최하위 전압 입력 단자 VL과 접속된 버퍼 증폭기(55a, 55b)(전압 종동기형 증폭 증폭기)에 의해, 저항 분할 회로(52a, 52b)의 저항값을 보다 높일 수 있으므로, 분할 저항에 흐르는 전류값을 억제할 수 있다.

또한, MPU(105)로부터 출력된 극성 반전용 신호 REV는, 도 35에 도시한 바와 같이, 기준 전압 발생 회로(52)의 저항 분할 회로(52a, 52b) 중 아날로그 스위치(SA, SB)에 제공되어, 이 신호 REV에 의해, 어느 한쪽의 저항 분할 회로(52a, 52b)가 선택된다.

예를 들면, 신호 REV가 'H'일 때, 아날로그 스위치 SA가 ON(개방 상태), 스위치 SB가 OFF(폐쇄 상태)가 되고, 저항 분할 회로(52a)가 선택되어, 정극성의 계조 표시용 아날로그 전압(+Vo +V63)이 출력된다.

반대로 신호 REV가 'L'일 때, 아날로그 스위치 SA가 OFF(폐쇄 상태), 스위치 SB가 ON(개방 상태)이 되며 저항 분할 회로(52b)가 선택된다.

이 신호 REV는, 아날로그 스위치(SA, SB)의 게이트에 제공되는 게이트에 의 추가 전압이 'H'일 때 스위치가 도통 상태(개방 상태)가 된다.

<셀렉터 회로의 구성>

셀렉터 회로(130)은, 도 34에 도시한 바와 같이 정극성 계조 전압 발생 회로(56)과 부극성 계조 전압 발생 회로(57)에 대응하여, 정극성용 셀렉터 회로(130a)와 부극성용 셀렉터 회로(130b)를 구비하고, 각 셀렉터 회로(130a, 130b)는 전압 발생 회로(56, 57)로부터 출력되는 각 아날로그 전압(V_0 V_{63})에 대응하도록 설치된 복수개의 아날로그 스

위치(58, 59)에 의해 구성된다.

셀렉터 회로(130a)의 각 아날로그 스위치(58)은 정극성의 저항 분할 회로(52a)에서의 아날로그 전압($+V_0$ $+V_{63}$)의 출력 단자에 각각 접속되고, 셀렉터 회로(130b)의 각 아날로그 스위치(59)는 부극성의 저항 분할 회로(52b)로부터의 아날로그 전압($-V_0$ $-V_{63}$)의 출력 단자에 각각 접속된다.

각 아날로그 스위치(58, 59)는 극성 반전용 신호 REV에 의해 ON/OFF가 선택 되어, 각 아날로그 전압(V_0 V_{63})의 DA 컨버터 회로(36)에 대한 출력의 유무가 제어된다.

예를 들면, 신호 REV가 'H'일 때, 셀렉터 회로(130a)의 아날로그 스위치(58)이 선택되고, 정극성의 아날로그 전압($+V_0$ $+V_{63}$)이 출력된다. 또한, 신호 REV가 'L'일 때, 셀렉터 회로(130b)의 아날로그 스위치(59)가 선택되어, 부극성 아날로그 전압($-V_0$ $-V_{63}$)이 출력된다.

또한, 감마 보정 조정 회로(54)의 회로 구성 등에 대해서는, 제1 실시예의 도 4, 도 5 및 도 6과 마찬가지이며, 제4 실시예에서는 제3 실시예의 도 21에 도시한 바와 같이, 표시 메모리(110)으로부터 제공되는 조정용 데이터(D2)와 표시 메모리(137)로부터 제공되는 조정용 데이터(D3)에 기초하여 각 스위치의 온/오프 제어가 된다.

제4 실시예인 경우에는, 감마 보정 조정 회로(54)에서 제1 실시예의 불휘발성 메모리(53)에 기억된 감마 보정 정보의 조정 데이터를 대신하여 표시 메모리(110, 137)에 각각 저장된 2개의 조정용 데이터 D2, D3에 따른 배율의 조정량을 얻을 수 있다. 즉, 조정용 데이터 D2, D3에 따라, 스위치 $+2^{(n-1)}$, $-2^{(n-1)}$ 를 온/오프함으로써, 입력 전압에 대하여 조정용 데이터에 기초한 조정을 행한 전압을 출력할 수 있다.

이 조정을 저항 소자 R0 R7에 기초한 감마 보정값에 적용함으로써, 도 36에 도시한 바와 같이, 액정 구동 출력 전압의 특성은, 저항 소자 R0 R7에 기초한 보 정값을 중심으로 한 감마 변환 특성 γ1과 상기 조정용 데이터 D2, D3에 의해 조정 가능한 감마 변환 특성 γ2 및 γ3을 얻을 수 있다. 이 γ1과 γ2 및 γ3에 의한 3가지 감마 특성은, 후술한 도 37에 도시한 바와 같은 1 화면 내에서 임의의 라인에 대하여 각각 적용시킴에 따라, 시야각이 최적 시야가 되도록 특성을 바꿀 수 있다.

도 37에, 도 36에서 설명한 감마 변환 특성 γ1과, 조정용 데이터 D2, D3에 의해 조정된 감마 변환 특성 γ2 및 γ3을 액정 표시 장치에 적용한 경우의 화소 상태의 설명도를 도시한다.

제3 실시예의 도 23 등에는, 도트 반전 구동 방식에 의한 화소 상태를 도시했지만, 도 37에서는 라인 구동 방식에 의해 액정 표시 장치를 구동한 경우를 나타내고 있다. 즉, 도 23에서는 1개의 주사 라인에서 극성이 플러스와 마이너스로 교대로 변화하는 데 비하여, 도 37에서는 1개의 주사 라인 상의 모든 화소에 대하여, 정극성(+) 혹은 부극성(-) 중 어느 하나로 되어 있다.

도 37에서, 사선이 없는 부분은 저항 소자 R0 R7에 기초한 보정값을 중심으로 한 감마 변환 특성 γ1에 대응하는 신호가 입력되는 화소 도트를 도시하고, 사선부는 조정용 데이터 D2, D3에 의해 조정된 감마 변환 특성 γ2 및 γ3에 대응하는 신호가 입력되는 화소 도트를 도시한다. 또한 화소 도트없는 +/-의 부호는 인가 신호의 극성을 도시한다.

또한, 도 38에, 도 37로 도시한 액정 표시 장치에서의 연속하는 2개의 프레임에서의 화소 상태가 변화를 나타낸다. n+1 프레임에서는, n 프레임에 대하여 정 극성, 음극성을 반전하고 있다.

이상과 같이, 1 화면 내의 임의의 라인에 대하여, 3 종류가 다른 감마 변환 특성을 적용함으로써, 광시야각화를 도모할 수 있다. 또, 3 종류 이상의 감마 변환 특성을 적용함으로써, 보다 광범위하여 시야각 특성을 바꾸는 것이 가능해지는 것은 물론이다.

이상과 같이, 표시 메모리(110)에 저장된 조정용 데이터 D2를 이용하여, 정극성 주사 라인에 대한 감마 보정값의 조정(도 37의 γ2)을 행하여, 표시 메모리(137)에 저장된 조정용 데이터 D3을 이용하여, 음극성 주사 라인에 대한 보정값의 조정(도 37의 γ3)을 행하도록 하고 있으므로, 시각에 의한 색 변화의 최적의 보정을 실현할 수 있다.

도 39에, 제4 실시예의 기준 전압 발생 회로(52)의 다른 구성예를 나타낸다.

도 35에 도시한 구성에 대하여, 버퍼 증폭기(55a, 55b)의 동작을 제어하기 위한 제어 단자(60)을 설치한다.

제어 신호 단자(60)은 MPU(105)에 접속되고, 'H' 또는 'L' 레벨의 신호가 MPU(105)로부터 제공된다.

예를 들면, 제어 단자(60)에 'H' 레벨의 신호가 공급되면, 버퍼 증폭기(55a, 55b)는 도통 상태로 되어, 입력 기준 전압 VH 또는 VL에 기초하여, 상기한 바와 같은 정극성의 64 레벨의 기준 전압($+V_0$ $+V_{63}$) 또는 음극성의 64레벨의 기준 전압($-V_0$ $-V_{63}$)이 생성된다.

한편, 제어 단자(60)에 'L' 레벨의 신호가 공급되면, 버퍼 증폭기(55a, 55b)는 비도통 상태로 되고, 동작을 정지하여 기준 전압은 생성되지 않는다.

즉, 버퍼 증폭기(55a, 55b)의 동작을 정지시킴에 따라, 기준 전압 발생 회로(52)에 의한 전압의 생성이 중단되므로, 저소비 전력화를 도모할 수 있다.

또한, 도시하지 않았지만 감마 보정 조정 회로(54)에 설치되는 버퍼 증폭기도, 마찬가지의 신호에 의한 동작의 제어를 해도 좋다.

예를 들면, 액정 표시 장치의 비표시 시기나, 화면의 비표시 기간인 수직 동기의 처리 기간 내에서, 소비 전력이 큰 버퍼 증폭기(55a, 55b)로 대표되는 아날로그 회로의 동작 전류를 차단하면, 액정 구동 장치의 저소비 전력화를 도모할 수 있다.

발명의 효과

본 발명에 따르면, 계조 보정용의 조정 데이터를, 불휘발성 메모리에 기억시키고 있으므로, 디지털 표시 데이터의 데이터 길이가 긴 경우라도, 회로 구성이 복잡해지는 것을 방지할 수 있고, 조정 데이터의 변경 작업을 용이하게 할 수 있다.

또한, 조정 데이터의 변경은 불휘발성 메모리에 기억되어 있는 조정 데이터를 재기록하는 것만으로 되므로, 액정 표시 등을 위한 구동 회로를 다시 만들지 않고, 액정 재료나 액정 표시 장치의 특성에 맞추어, 기준 전압을 용이하게 조정할 수 있다. 따라서, 특성이 다른 액정 표시 장치에서도 적용할 수 있으므로, 계조 표시를 위한 회로의 합리화, 공통화를 도모할 수 있어, 제조 비용을 내릴 수 있다. 또한, 색 성분마다 독립하여 계조 보정을 할 수 있으므로, 액정 표시 장치의 표시 품위를 섬세하고 치밀하게 제어할 수 있다.

또한, 본 발명의 액정 표시 장치에 따르면, 다른 감마 특성의 출력 전압을 1 프레임 내의 원하는 게이트 신호 라인에 인가시킬 수 있으며, 시야각이 최적 시야가 되도록 특성을 바꿀 수 있다. 또한 시각에 의한 색 변화의 보정이 가능해지기 때문에, 액정 패널 제조 공정을 복잡하게 하지 않고, 또한 제조 조건을 까다롭게 하지 않으며, 또한 액정 구동 장치도 제조 후, 자유롭게 조정 데이터를 바꿀 수 있다.

또한, 본 발명에 따르면, 정극성 전압을 인가하는 경우와 음극 정전압을 인가하는 경우의 조정용 데이터를 따로따로 기억하고, 정극성 전압을 인가하는 주사 라인과 음극성을 인가하는 주사 라인마다, 계조 표시용 기준 전압을 조정하도록 하고 있으므로, 극성에 대응시킨 시각에 의한 색 변화 보정을 보다 적절하게 행할 수 있다.

또한, 특히 정극성 전압 인가시와 음극 정전압 인가시에서 표시 특성이 다른 액정 표시 장치에서, 보다 섬세하고 치밀하게 감마 보정 조정할 수 있다.

또한, 조정량, 즉 계조 표시용 데이터를 불휘발성 메모리에 기억시켜, 그 내용을 필요에 따라 재기록하도록 하고 있으므로, 기준 전압 발생부 등의 계조 표시의 구동 회로를 변경하지 않고, 액정 재료 또는 액정 표시 장치의 표시 특성에 대응시켜 기준 전압을 용이하게 조정할 수 있다.

따라서, 계조 표시를 위한 회로를 합리화 및 공유화할 수 있어, 결과적으로 액정 표시 장치의 제조 비용을 내릴 수 있다.

(57) 청구의 범위

청구항 1.

표시 데이터를 디지털-아날로그 변환할 때에 이용하는 계조 표시용 기준 전압을 생성하는 계조 표시용 기준 전압 발생 회로에 있어서,

복수 레벨의 기준 전압을 생성하는 기준 전압 생성부와,

상기 기준 전압의 조정량을 기억하는 보정 정보 기억부와,

상기 보정 정보 기억부에 기억된 조정량에 기초하여 상기 기준 전압을 조정하는 조정부

를 포함하는 것을 특징으로 하는 계조 표시용 기준 전압 발생 회로.

청구항 2.
제1항에 있어서,

상기 보정 정보 기억부는 불휘발성 메모리에 의해서 구성되는 것을 특징으로 하는 계조 표시용 기준 전압 발생 회로.

청구항 3.
제1항 내지 제2항 중 어느 한 항에 있어서,

상기 기준 전압 생성부, 상기 보정 정보 기억부 및 상기 조정부는 복수의 색 성분마다 독립적으로 제공되는 것을 특징으로 하는 계조 표시용 기준 전압 발생 회로.

청구항 4.
제1항 내지 제3항 중 어느 한 항에 기재된 계조 표시용 기준 전압 발생 회로 가 제공되는 것을 특징으로 하는 액정 표시 장치.

청구항 5.
액정 표시 장치에 있어서,

표시 데이터를 디지털-아날로그 변환할 때에 이용하는 계조 표시용 복수개의 기준 전압을 생성하는 기준 전압 생성부와,

상기 기준 전압에 대하여 1 종류 또는 복수 종류의 조정량을 기억하는 보정 정보 기억부와,

상기 보정 정보 기억부에 기억된 조정량에 기초하여 상기 생성된 기준 전압을 조정하는 조정부와,

상기 조정부의 동작을 제어하는 제어부

를 포함하며,

상기 제어부는 표시 화면의 1 프레임 내에서의 소정 수의 주사 라인마다 다른 종류의 조정량을 상기 보정 정보 기억부로부터 판독하여, 상기 판독된 조정량을 상기 조정부에 제공하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.
제5항에 있어서,

상기 조정부는 표시 화면을 표시하기 위한 주사 신호에 동기하여 소정의 조정량에 기초하여 상기 기준 전압을 조정하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.
제5항 또는 제6항에 있어서,

상기 보정 정보 기억부는 재기입 가능한 불휘발성 메모리로 이루어지며, 상기 제어부는 상기 기억된 조정량을 재기입하는 것을 특징으로 하는 액정 표시 장치.

청구항 8.
제5항에 있어서,

상기 보정 정보 기억부는 정극성 전압을 화소에 인가하는 경우에 제1 조정용 데이터를 기억하는 제1 기억부와, 부극성 전압을 화소에 인가하는 경우에 제2 조정용 데이터를 기억하는 제2 기억부로 이루어지고,

상기 기준 전압 생성부는 정극성 계조 표시용 기준 전압을 생성하는 제1 전압 발생부와, 부극성 계조 표시용 기준 전압을 생성하는 제2 전압 발생부로 이루어지고,

상기 조정부는 상기 제1 기억부에 기억된 상기 제1 조정용 데이터에 기초하여 상기 제1 전압 발생부에 의해 생성된 기준 전압을 조정하는 제1 조정부와, 상기 제2 기억부에 기억된 상기 제2 조정용 데이터에 기초하여 상기 제2 전압 발생부에 의해 생성된 기준 전압을 조정하는 제2 조정부로 이루어지며,

상기 액정 표시 장치는 상기 제어부에서 제공되는 극성 반전 신호에 기초하여 상기 제1 조정부 및 제2 조정부로부터 출력되는 상기 조정된 기준 전압 중 어느 한쪽의 기준 전압을 선택하는 선택부를 더 포함하며,

상기 선택된 기준 전압에 기초하여 주사 라인마다 계조를 보정하는 것을 특징으로 하는 액정 표시 장치.

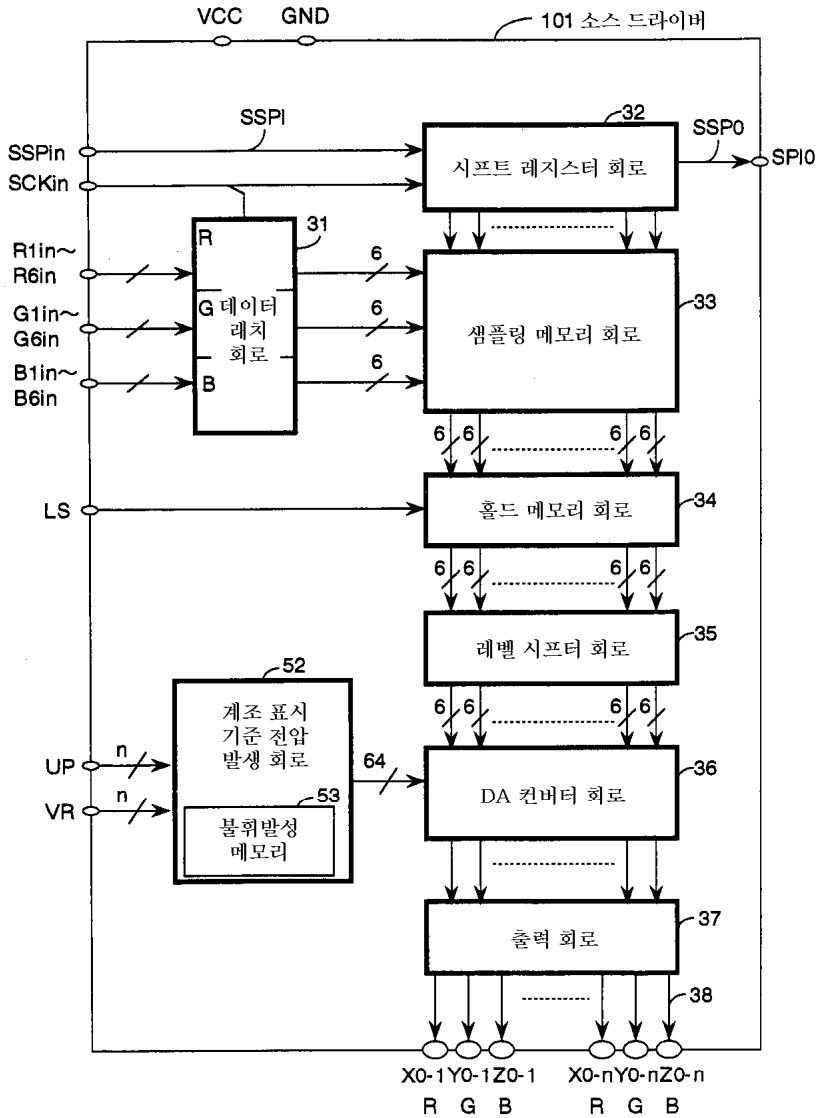
청구항 9.

제8항에 있어서,

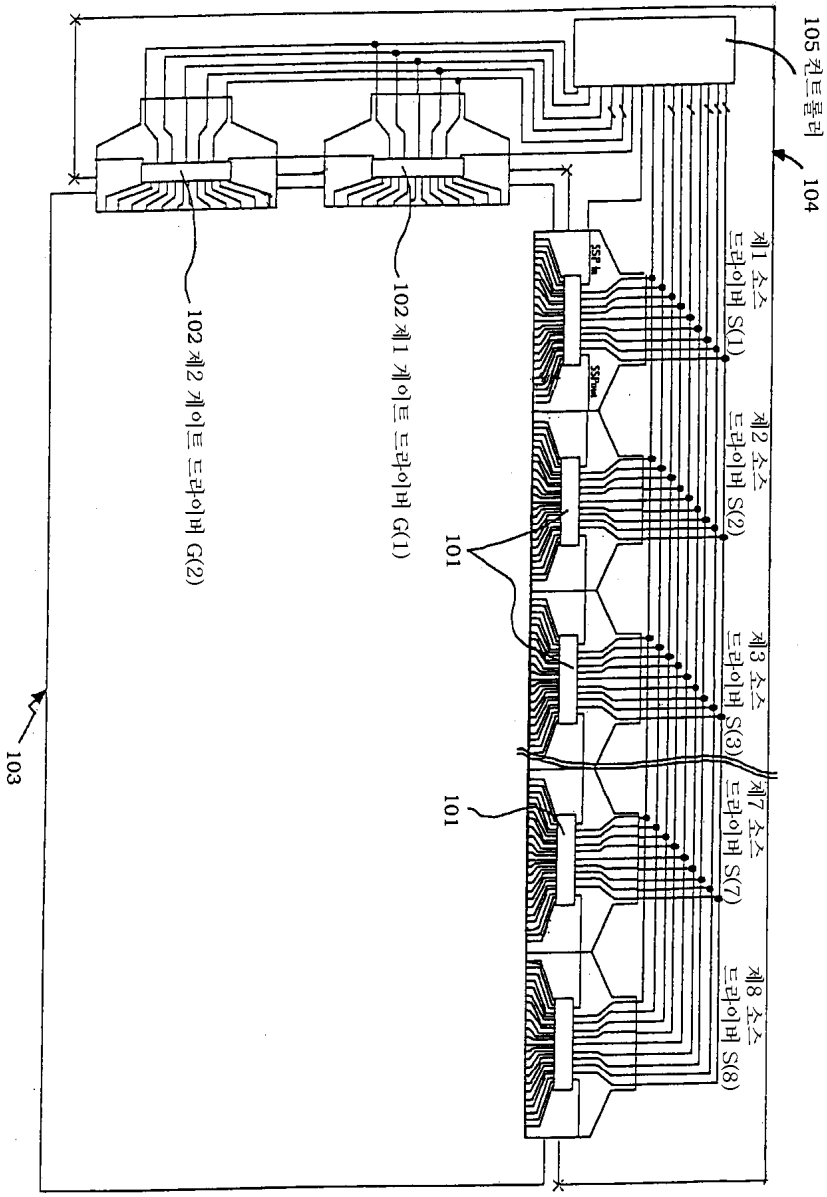
상기 제1 기억부와 제2 기억부는 재기입 가능한 1개의 불휘발성 메모리에 의해 구성되어 있는 것을 특징으로 하는 액정 표시 장치.

도면

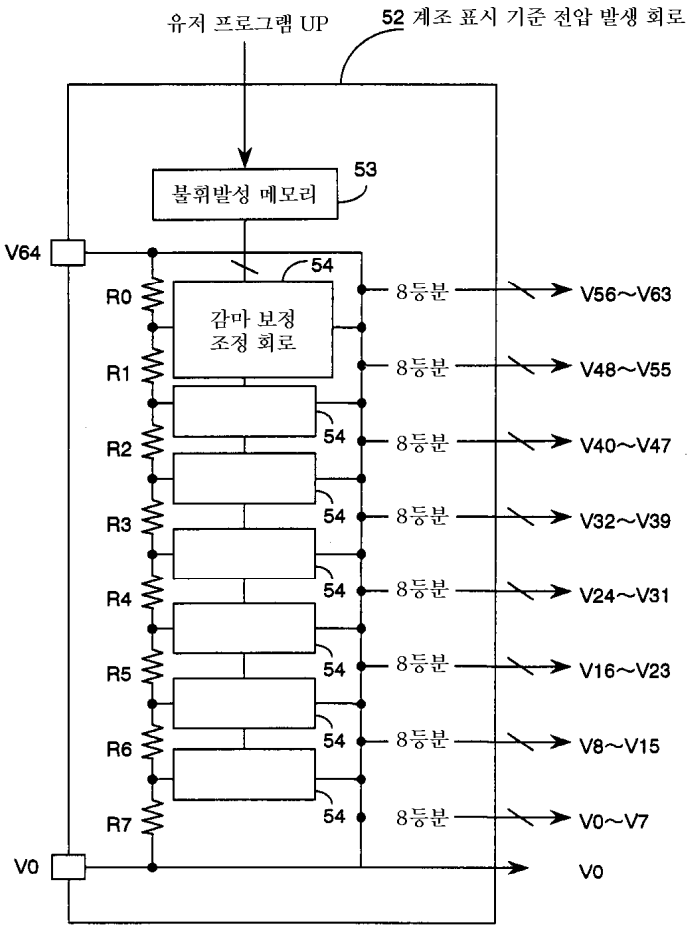
도면1



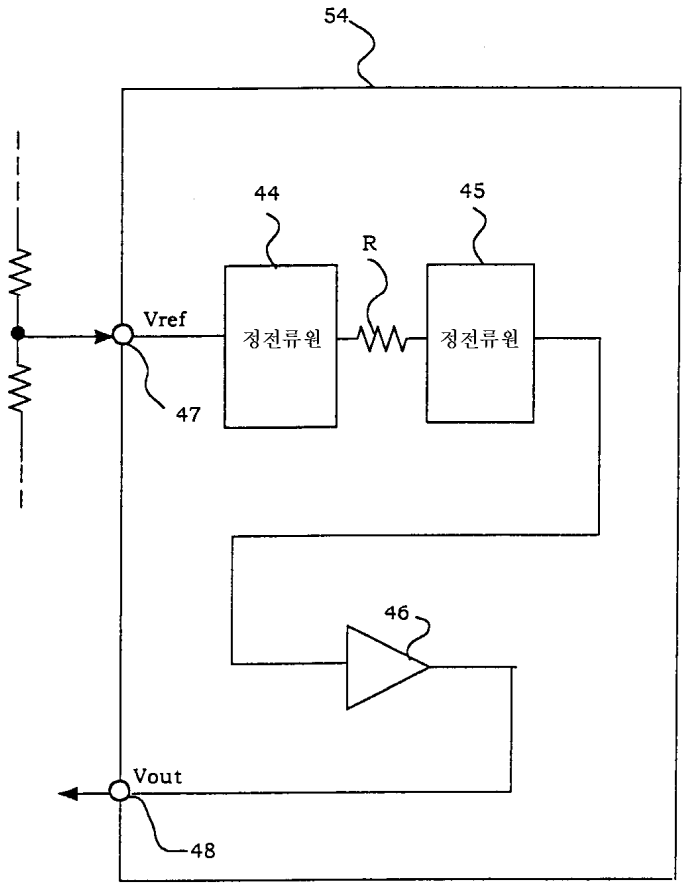
도면2


105 컨트롤러
104
제1 소스 드라이버 S(1)
제2 소스 드라이버 S(2)
제3 소스 드라이버 S(3)
제7 소스 드라이버 S(7)
제8 소스 드라이버 S(8)
102 제1 게이트 드라이버 G(1)
102 제2 게이트 드라이버 G(2)
101
101
103

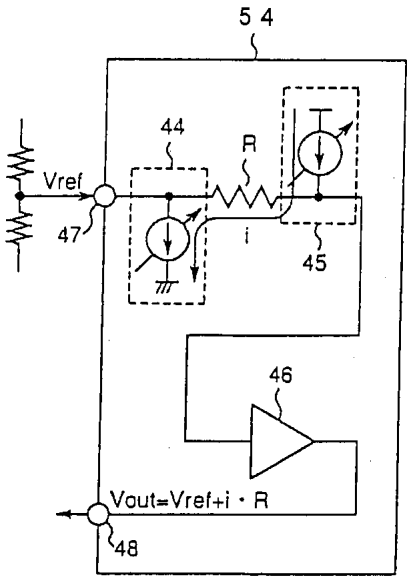
도면3


유저 프로그램 UP
52 계조 표시 기준 전압 발생 회로
53
불휘발성 메모리
V64
54
R0
감마 보정
조정 회로
8등분
V56~V63
R1
8등분
V48~V55
R2
54
8등분
V40~V47
R3
54
8등분
V32~V39
R4
54
8등분
V24~V31
R5
54
8등분
V16~V23
R6
54
8등분
V8~V15
R7
54
8등분
V0~V7
V0
V0

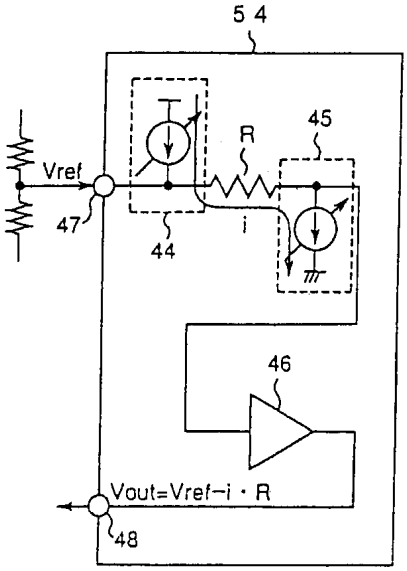
도면4


54
44
45
R
Vref
정전류원
정전류원
47
46
Vout
48

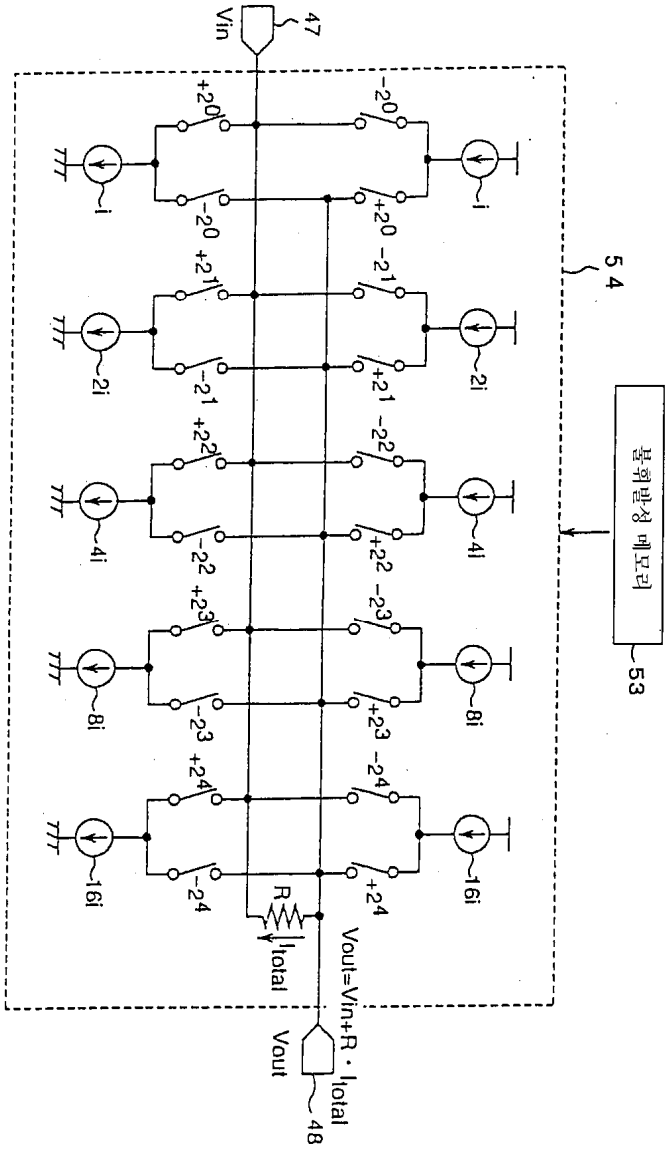
도면5a


54
44
R
Vref
47
i
45
46
Vout=Vref+i · R
48

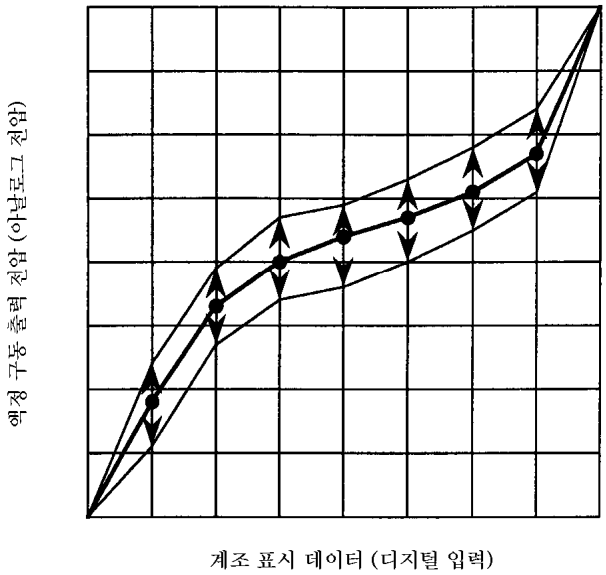
도면5b


54
45
R
Vref
47
44
i
46
Vout=Vref−i · R
48

도면6


Vin
47
54
불휘발성 메모리
53
R
Itotal
Vout=Vin+R · Itotal
Vout
48

도면7

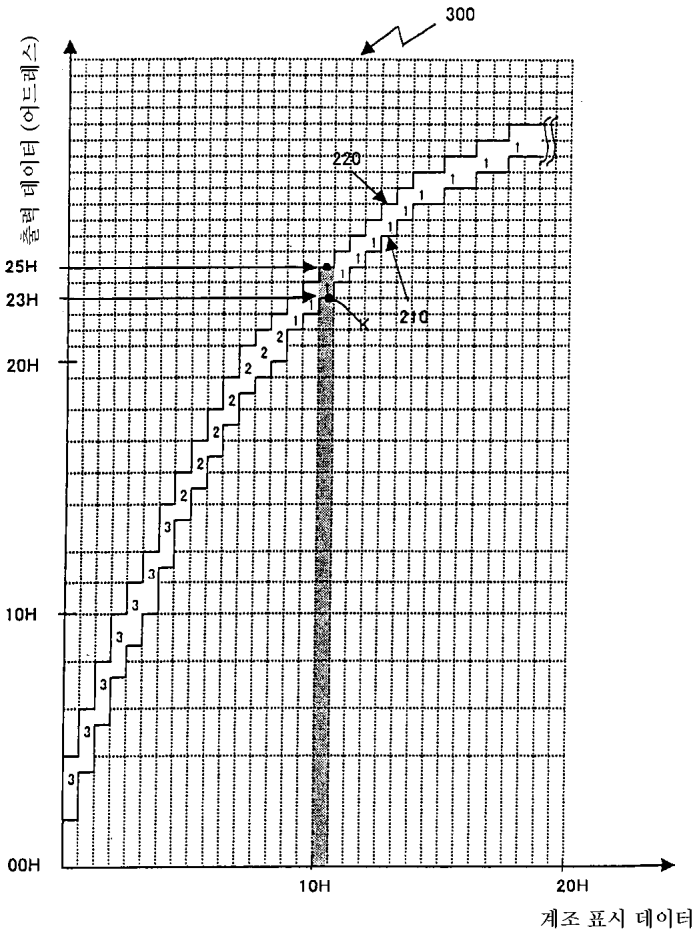


도면8

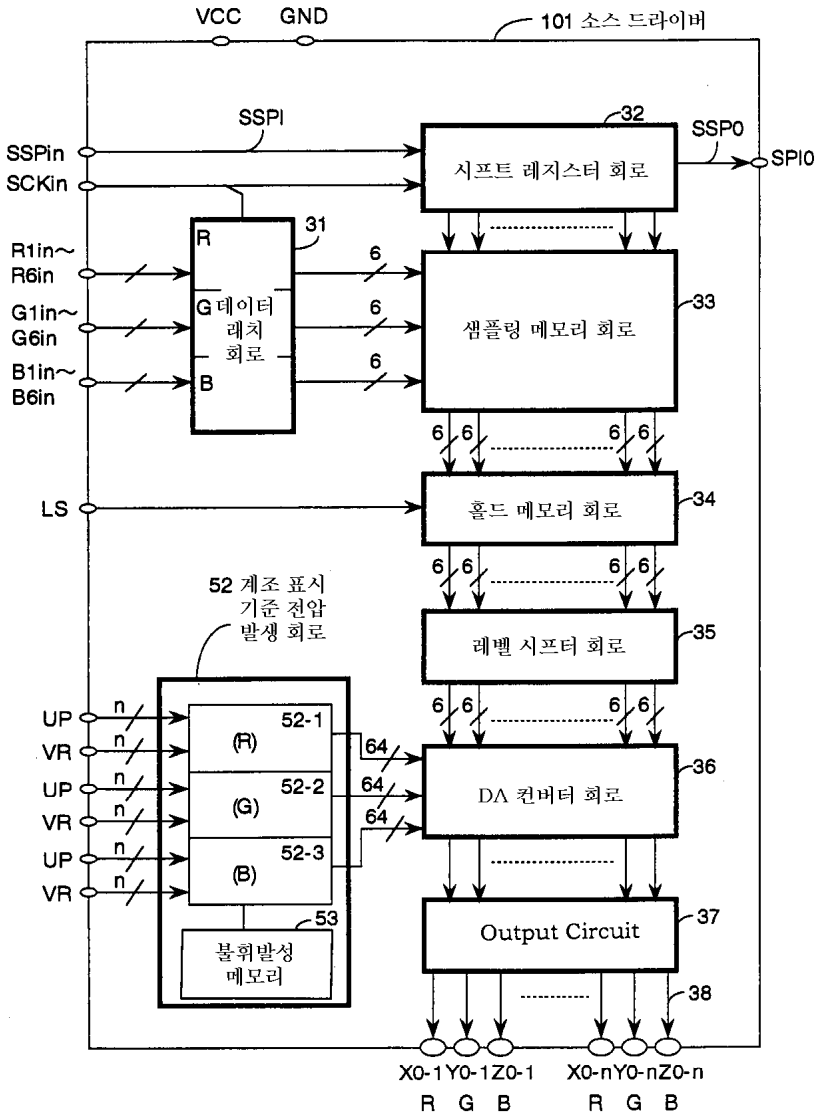
저장 어드레스 (16진수)	계조 표시 데이터 (220)	조정 데이터 (2진수)
00H	00H	3H(000011)
01H		
02H		
03H		
04H		
05H		
06H		
07H	01H	3H(000011)
08H		
09H		
0AH	02H	3H(000011)
0BH		
0CH		
0DH	03H	3H(000011)
0EH		
0FH		
10H	04H	3H(000011)
11H		
12H	05H	3H(000011)
13H		
14H	06H	3H(000011)
15H		
16H		
17H	07H	2H(000010)
18H		
19H	08H	2H(000010)
1AH		
1BH	09H	2H(000010)
1CH		
1DH	0AH	2H(000010)
1EH		
1FH	0BH	2H(000010)
20H		
21H	0CH	2H(000010)
22H	0DH	2H(000010)
23H	0EH	1H(000001)
24H	0FH	1H(000001)
25H	10H	1H(000001)
26H	11H	1H(000001)
27H	12H	1H(000001)
28H	13H	1H(000001)
29H	14H	1H(000001)

저장 어드레스 (16진수)	계조 표시 데이터 (220)	조정 데이터 (2진수)
2AH	15H	1H(000001)
2BH	17H	1H(000001)
2CH	18H	1H(000001)
2DH	1AH	1H(000001)
2EH	1CH	1H(000001)
2FH	1EH	1H(000001)
30H	1FH	1H(000001)
31H	21H	1H(000001)
32H	23H	1H(000001)
33H	25H	1H(000001)
34H	27H	1H(000001)
35H	29H	1H(000001)
36H	2BH	1H(000001)
37H	2DH	1H(000001)
38H	2EH	1H(000001)
39H	30H	1H(000001)
3AH	32H	1H(000001)
3BH	34H	1H(000001)
3CH	36H	1H(000001)
3DH	38H	1H(000001)
3EH	3AH	1H(000001)
3FH	3CH	1H(000001)

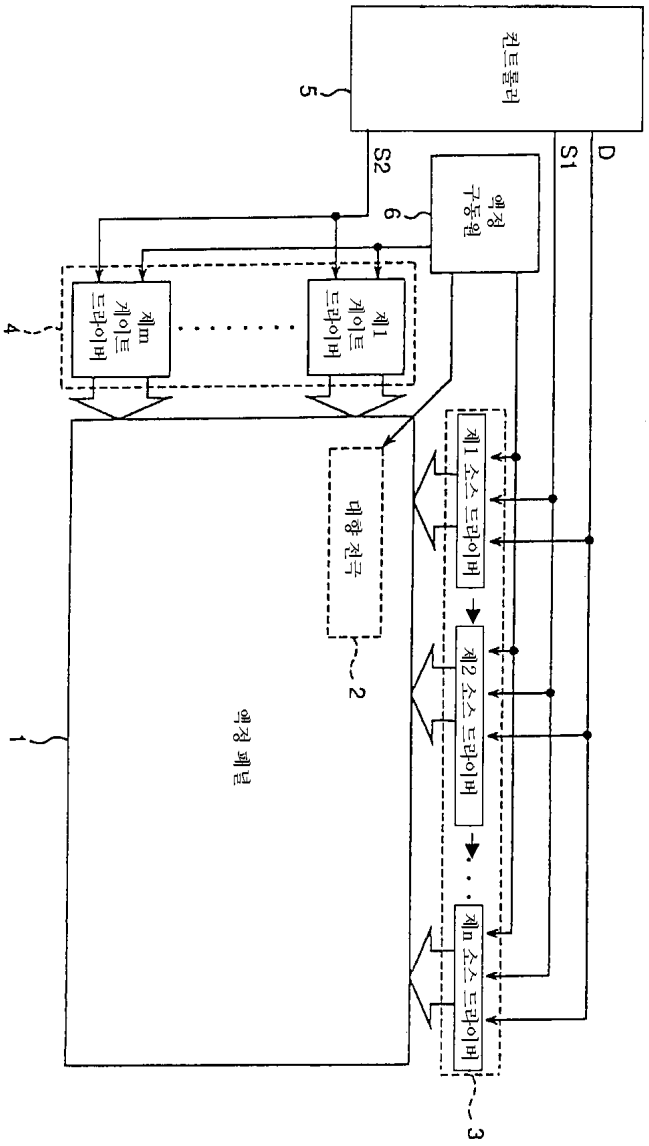
도면9



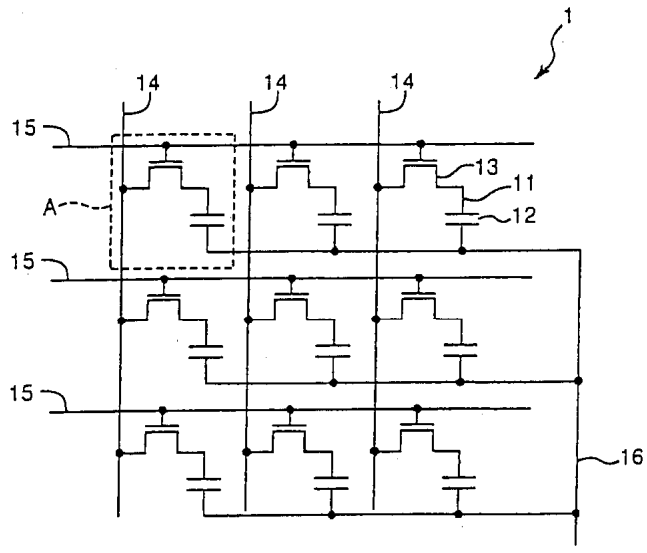
도면10


VCC
GND
101 소스 드라이버
SSPI
32
SSPO
SPIO
SSPin
SCKin
시프트 레지스터 회로
R1in~
R6in
G1in~
G6in
B1in~
B6in
31
R
G 데이터
래치
회로
B
6
샘플링 메모리 회로
33
LS
홀드 메모리 회로
34
52 계조 표시
기준 전압
발생 회로
레벨 시프터 회로
35
UP
VR
n
52-1
(R)
52-2
(G)
52-3
(B)
64
DA 컨버터 회로
36
Output Circuit
37
53
불휘발성
메모리
38
X0-1Y0-1Z0-1
R G B
X0-nY0-nZ0-n
R G B

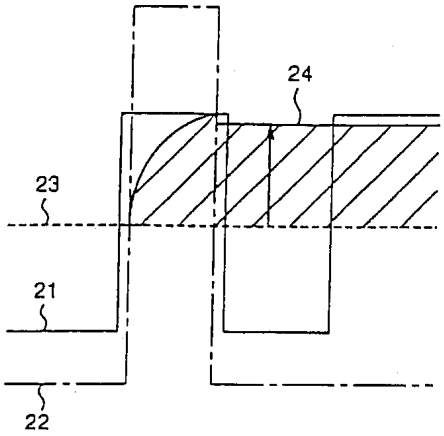
도면11


컨트롤러
5
S2
S1
D
액정 구동원
6
제1 게이트 드라이버
제m 게이트 드라이버
4
대향 전극
2
액정 패널
1
제1 소스 드라이버
제2 소스 드라이버
제n 소스 드라이버
3

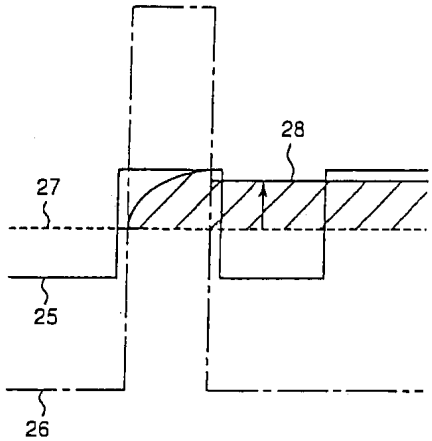
도면12


1
14
14
14
15
A
13
11
12
15
15
16

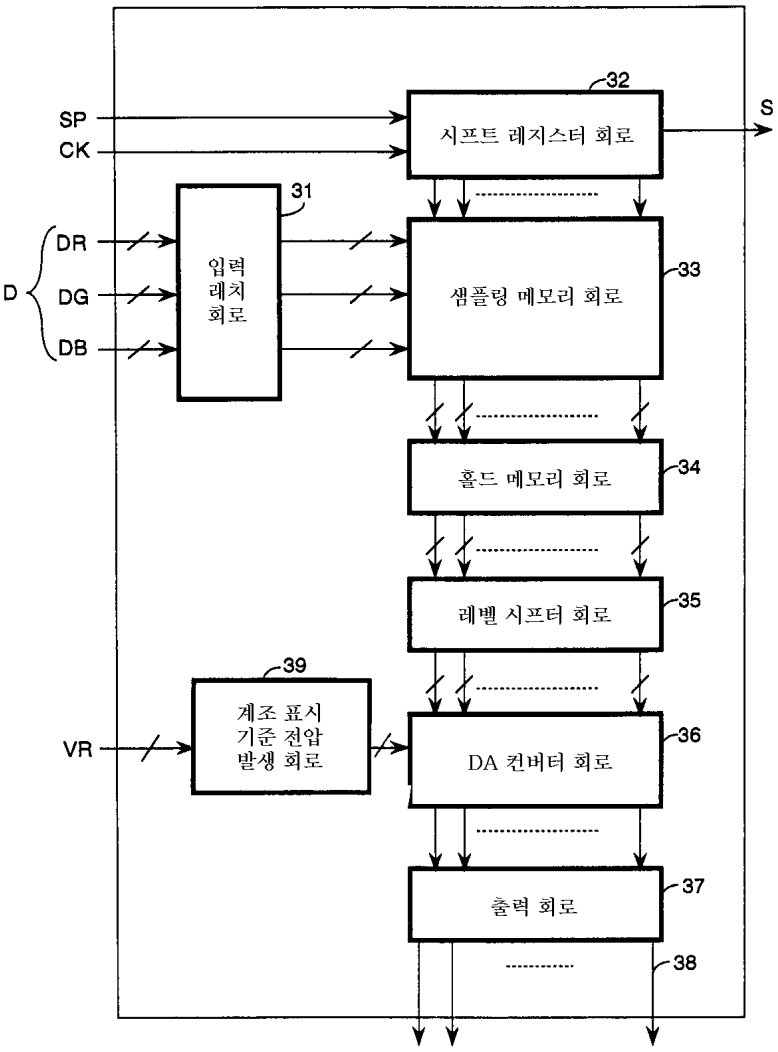
도면13



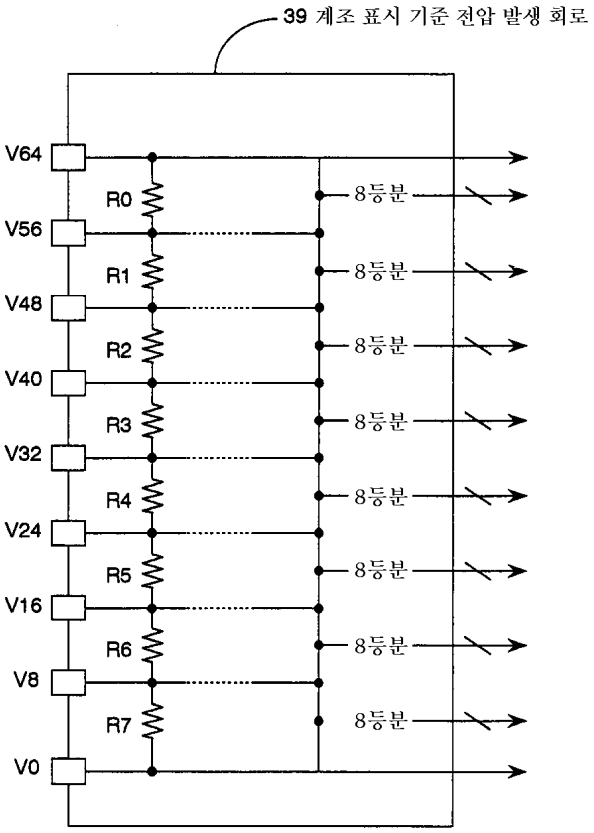
도면14



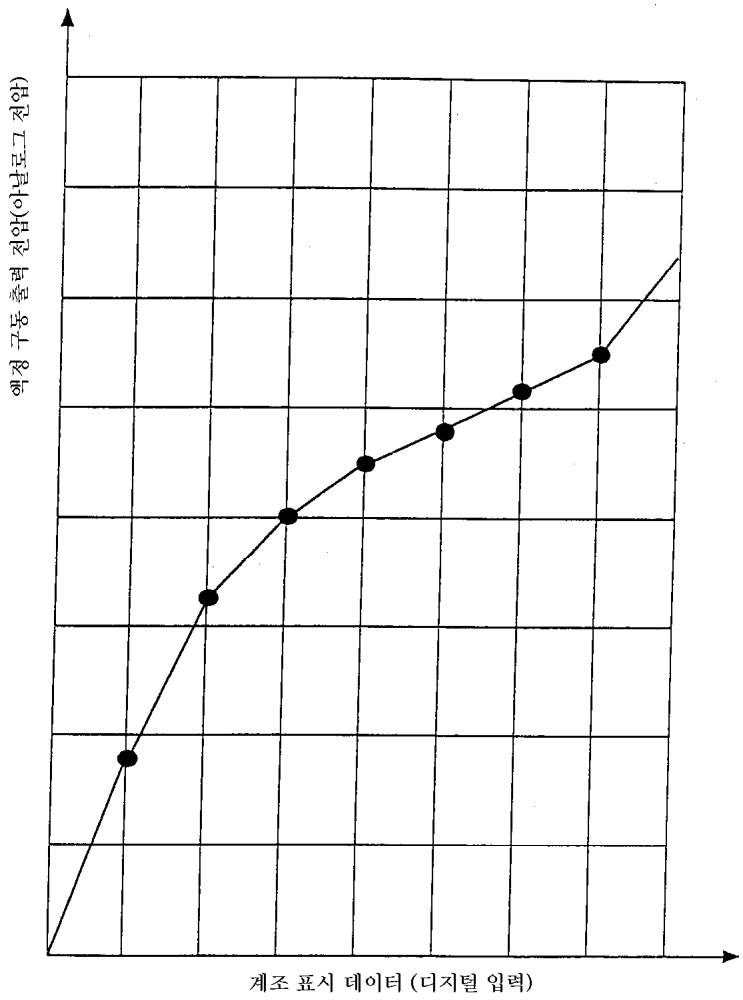
도면15


SP
CK
32
시프트 레지스터 회로
S
31
입력
래치
회로
D
DR
DG
DB
샘플링 메모리 회로
33
홀드 메모리 회로
34
레벨 시프터 회로
35
39
계조 표시
기준 전압
발생 회로
VR
DA 컨버터 회로
36
출력 회로
37
38

도면16

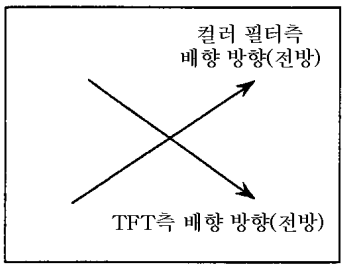

39 계조 표시 기준 전압 발생 회로
V64
R0
V56
R1
V48
R2
V40
R3
V32
R4
V24
R5
V16
R6
V8
R7
V0
8등분
8등분
8등분
8등분
8등분
8등분
8등분
8등분

도면17



도면18a

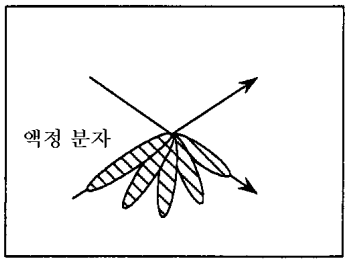
(종래 기술)



러빙 방향

도면18b

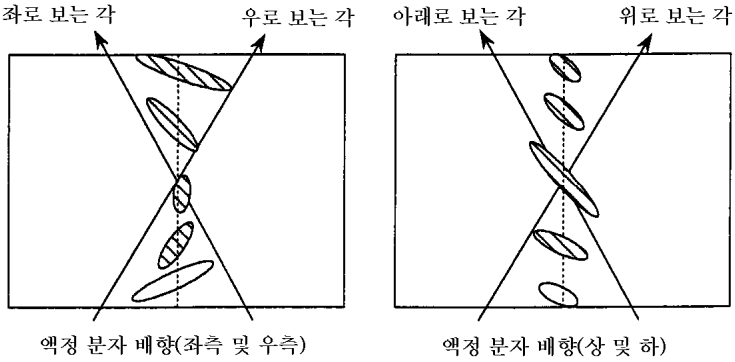
(종래 기술)



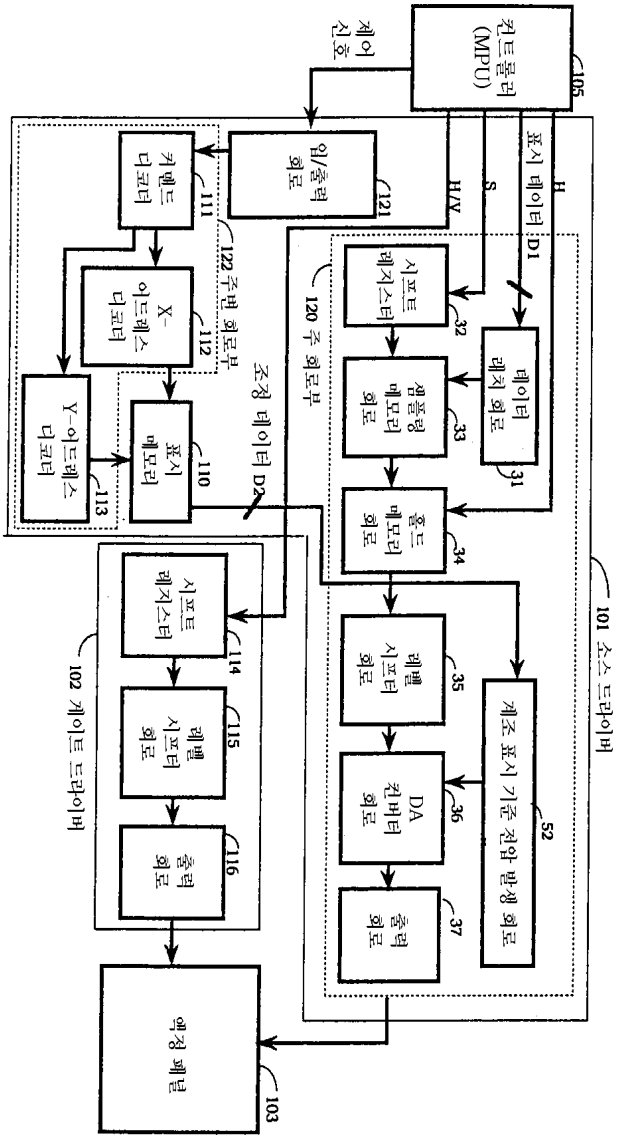
액정 분자 배향 (상면도)

도면18c

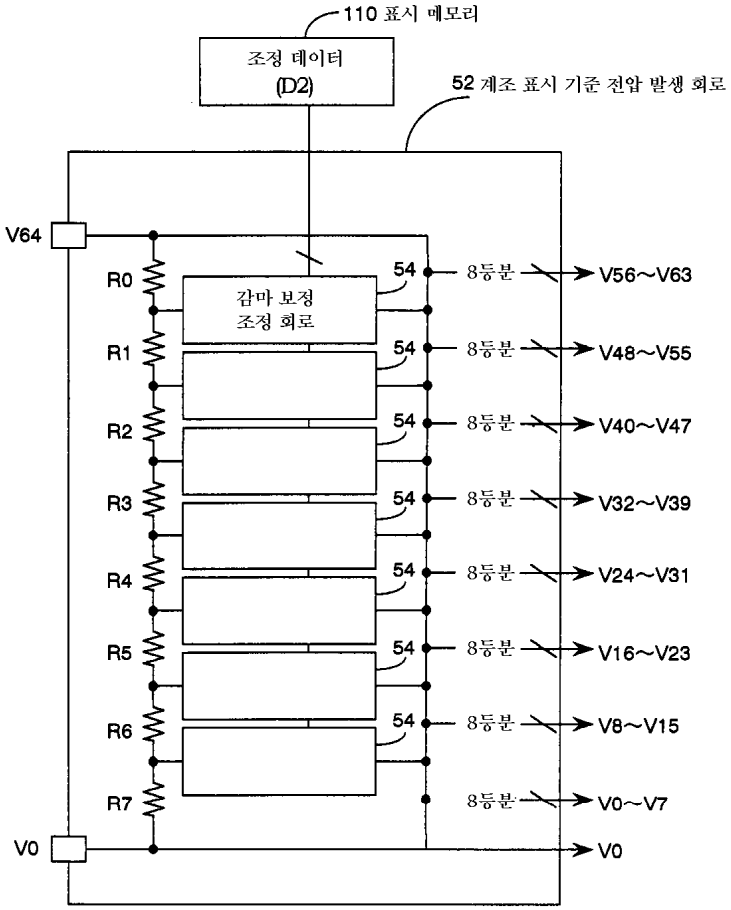
(종래 기술)



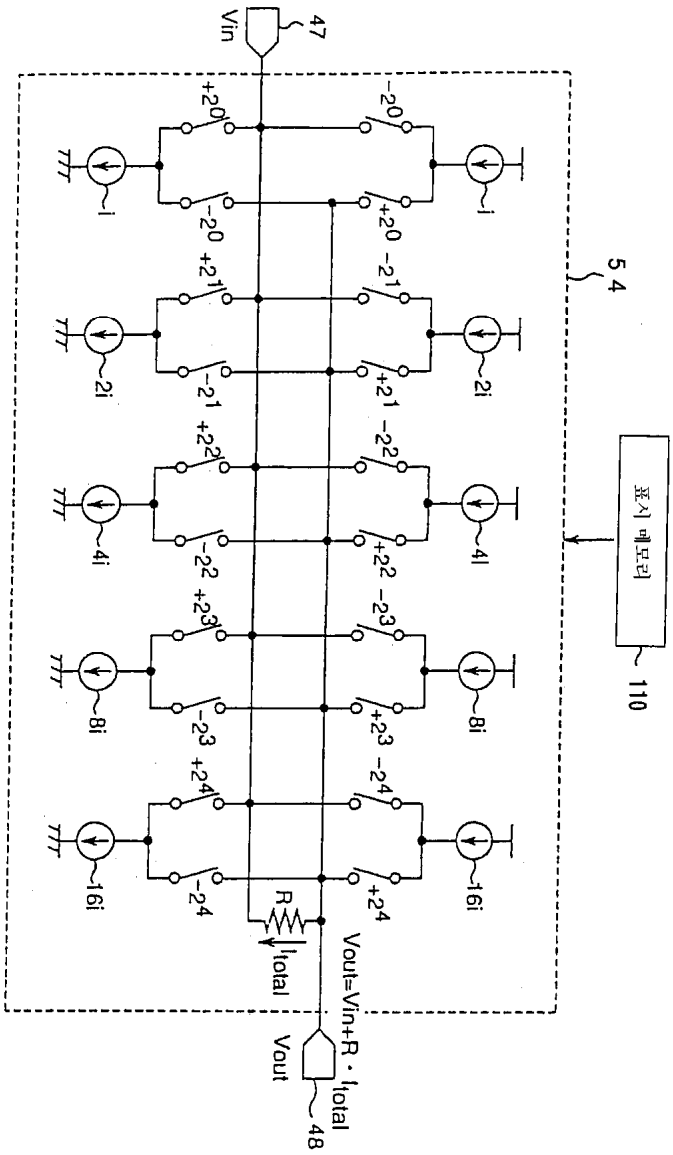
도면19



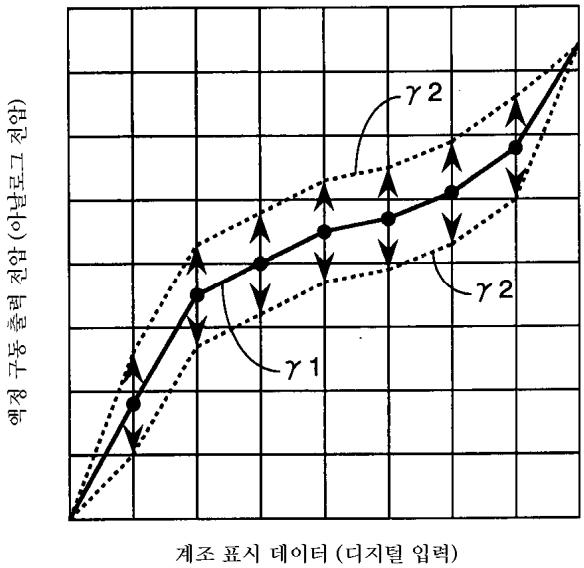
도면20


110 표시 메모리
조정 데이터
(D2)
52 계조 표시 기준 전압 발생 회로
V64
R0
R1
R2
R3
R4
R5
R6
R7
V0
감마 보정
조정 회로
54
8등분
V56~V63
V48~V55
V40~V47
V32~V39
V24~V31
V16~V23
V8~V15
V0~V7
V0

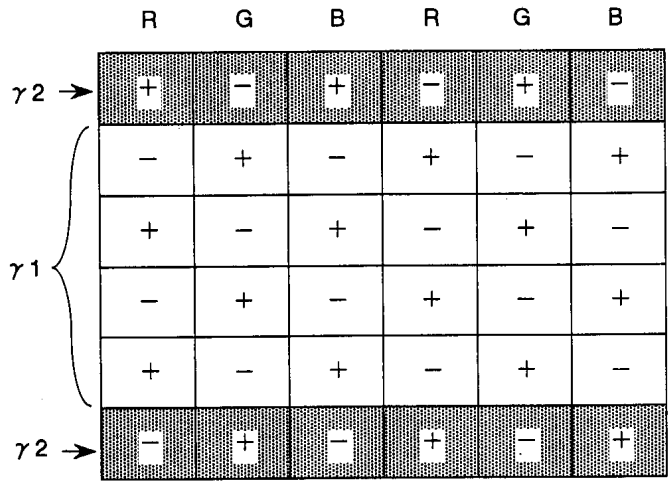
도면21


Vin
47
54
표시 메모리
110
R
Itotal
Vout=Vin+R · Itotal
Vout
48

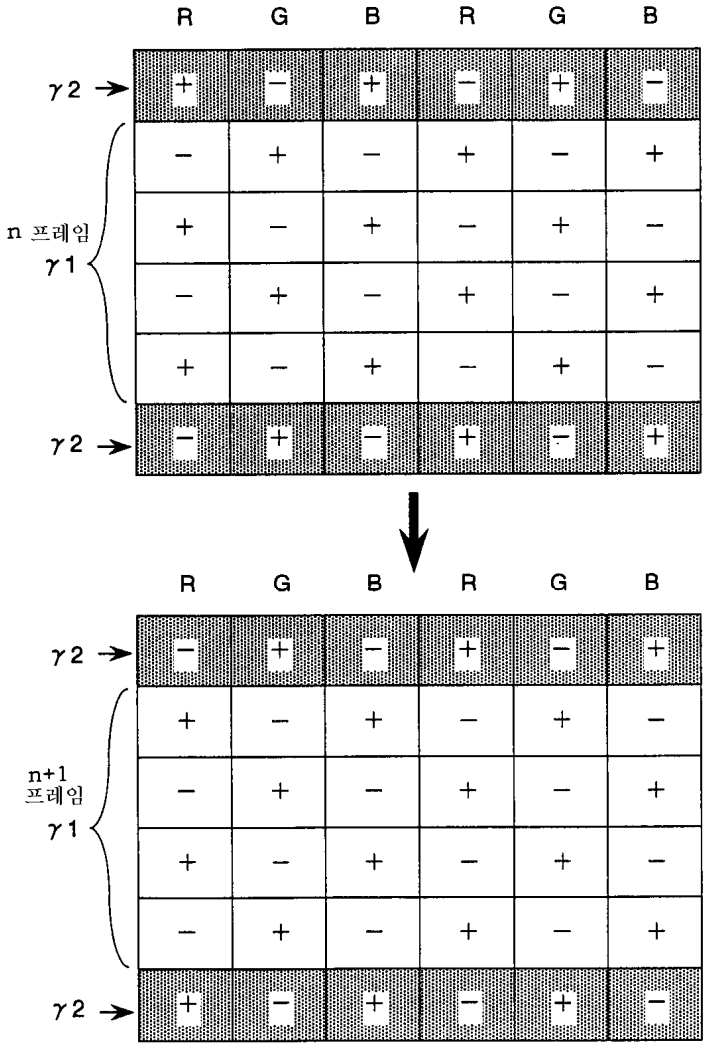
도면22


γ2
γ2
γ1
계조 표시 데이터 (디지털 입력)

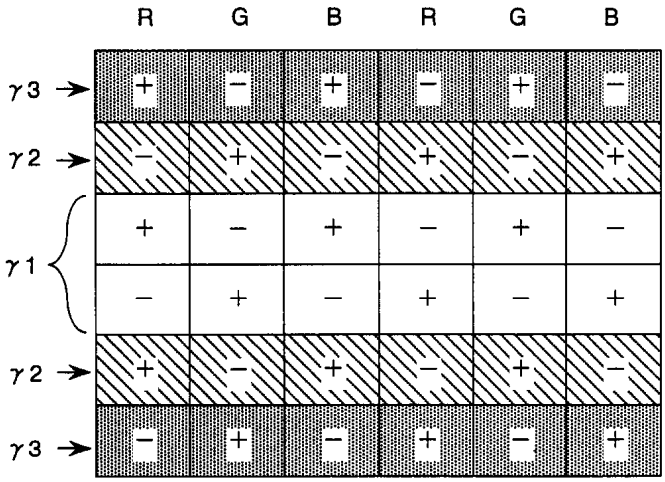
도면23



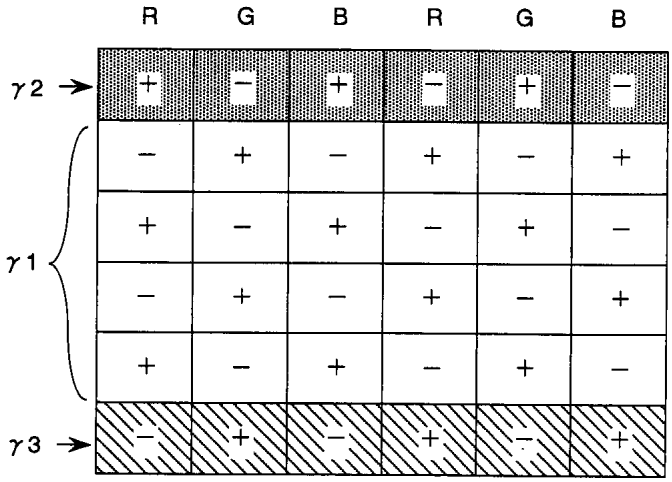
도면24



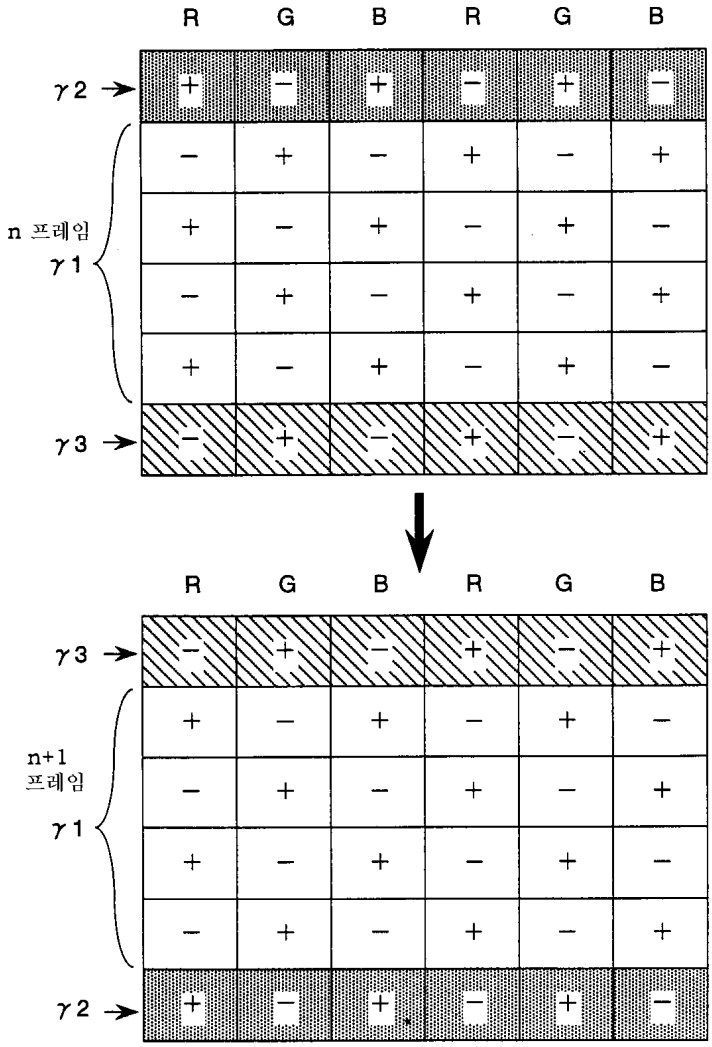
도면25



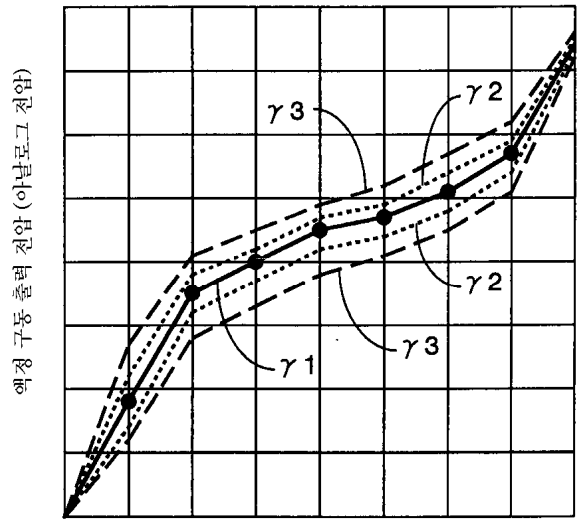
도면26



도면27

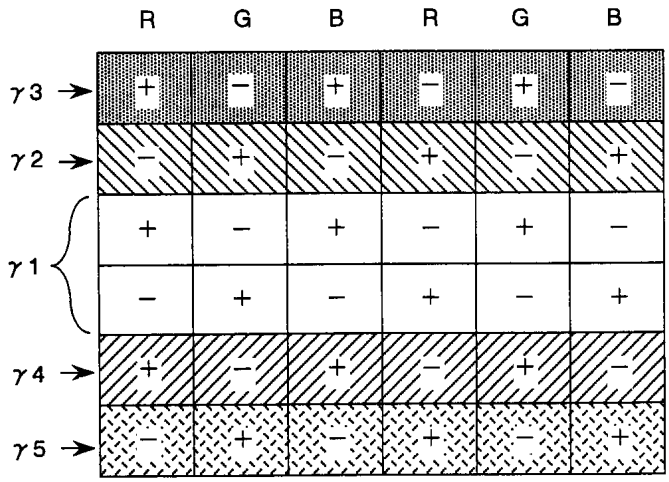


도면28

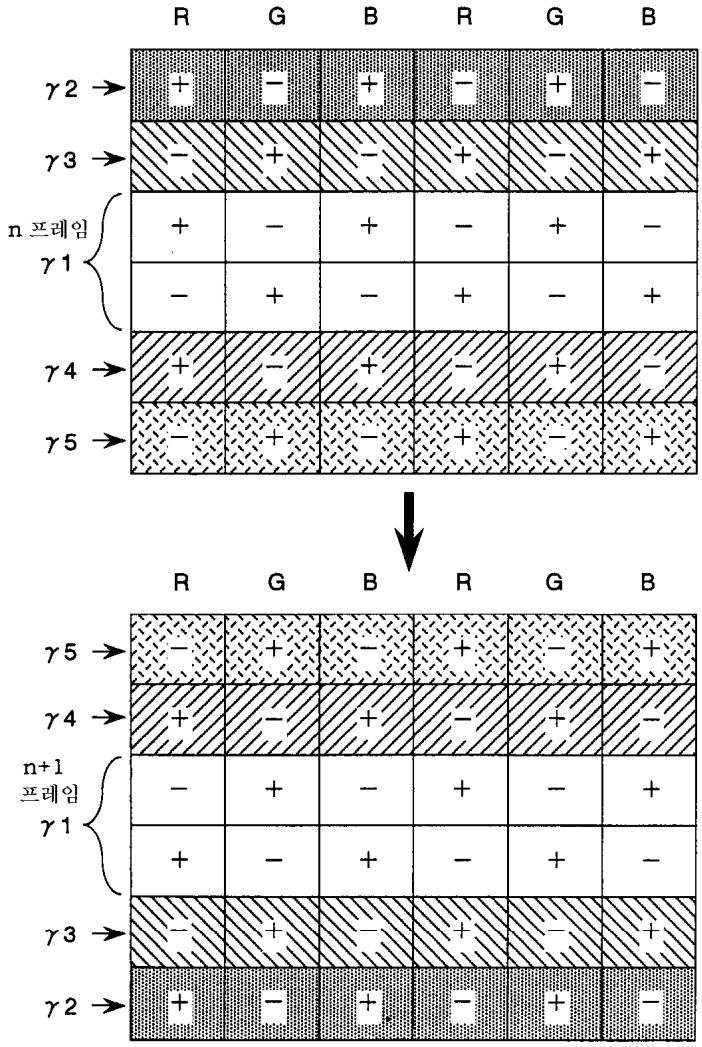


계조 표시 데이터 (디지털 입력)

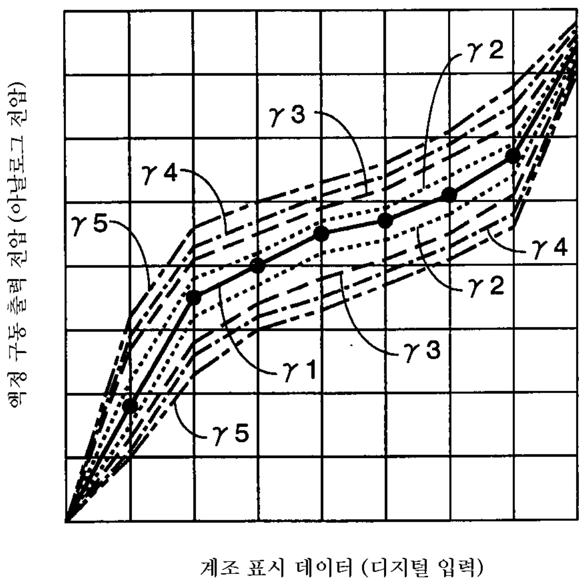
도면29


R G B R G B
γ3
γ2
γ1
γ4
γ5

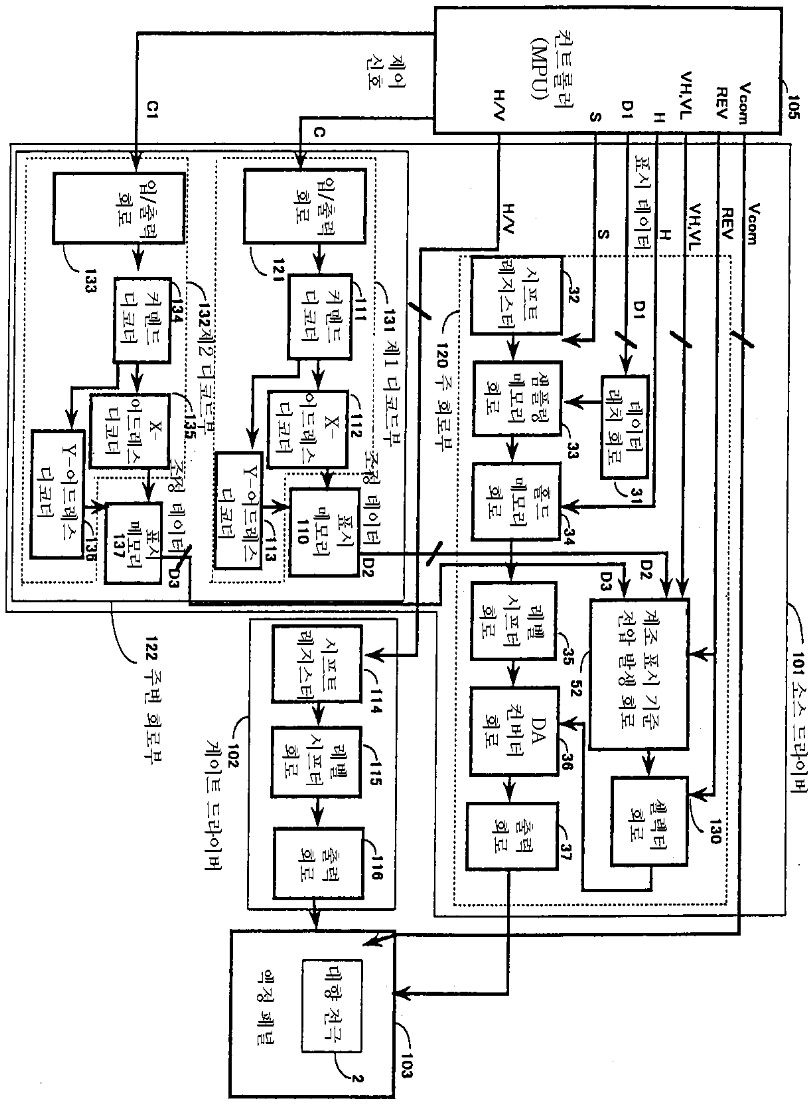
도면30


R G B R G B
γ2
γ3
n 프레임
γ1
γ4
γ5
R G B R G B
γ5
γ4
n+1
프레임
γ1
γ3
γ2

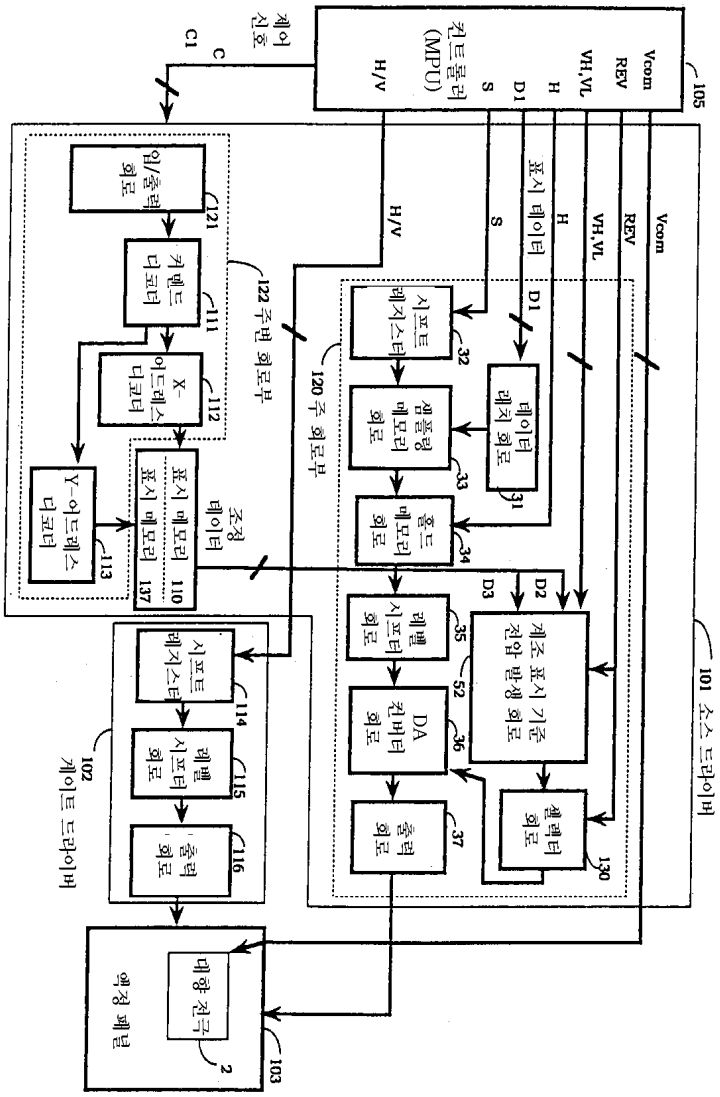
도면31


γ1
γ2
γ3
γ4
γ5
액정 구동 출력 전압(아날로그 전압)
계조 표시 데이터 (디지털 입력)

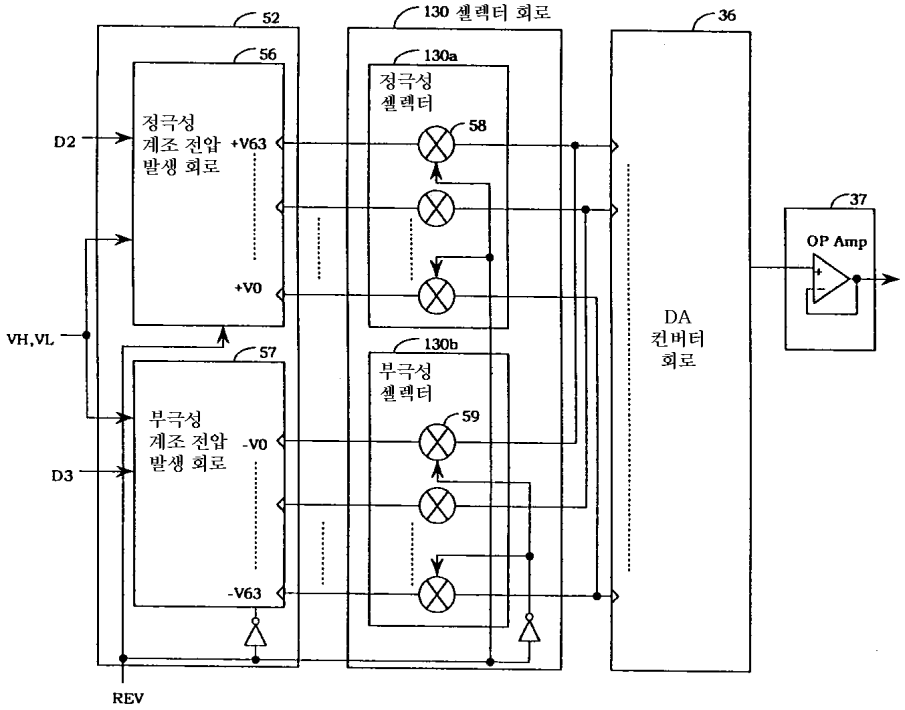
도면32


컨트롤러 (MPU)
105
제어 신호
C1
C
H/V
S
D1
H
VH,VL
REV
Vcom
표시 데이터
입/출력 회로
133
121
커맨드 디코더
134
111
131 제1 디코드부
132 제2 디코드부
X-어드레스 디코더
112
135
Y-어드레스 디코더
113
136
표시 메모리 110
표시 메모리 137
조정 데이터
D2
D3
120 주 회로부
122 주변 회로부
시프트 레지스터
32
샘플링 메모리 회로
33
데이터 래치 회로
31
홀드 메모리 회로
34
레벨 시프터 회로
35
계조 표시 기준 전압 발생 회로
52
DA 컨버터 회로
36
셀렉터 회로
130
출력 회로
37
101 소스 드라이버
114
115
116
102 게이트 드라이버
액정 패널
대향 전극
2
103

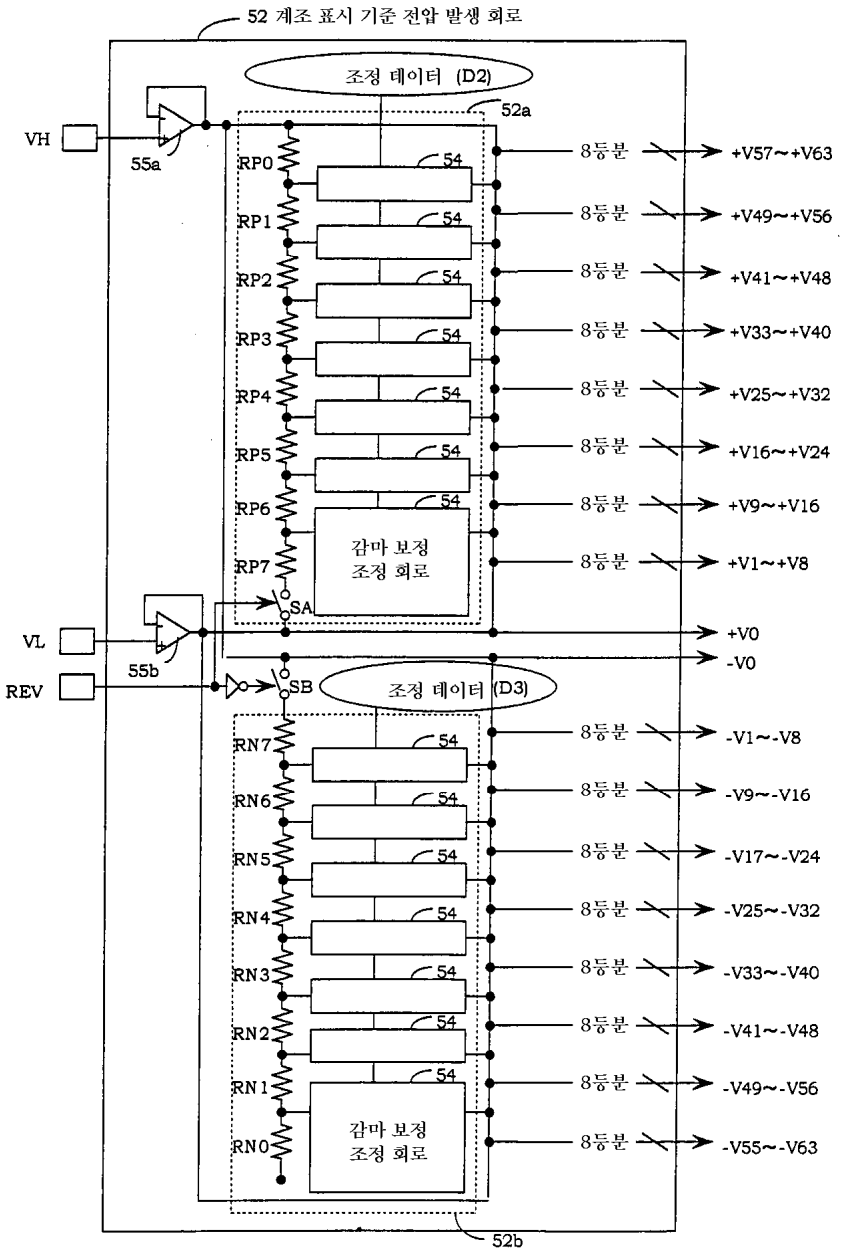
도면33


105
컨트롤러 (MPU)
H/V
S
D1
H
VH,VL
REV
Vcom
제어 신호
C
C1
표시 데이터
121
입/출력 회로
111
커맨드 디코더
112
X-어드레스 디코더
113
Y-어드레스 디코더
122 주변 회로부
표시 메모리 137
110
조정 데이터
120 주 회로부
32
시프트 레지스터
33
샘플링 메모리 회로
34
홀드 메모리 회로
31
데이터 래치 회로
35
레벨 시프터 회로
52
DA 컨버터 회로
36
출력 회로
37
D3
D2
계조 표시 기준 전압 발생 회로
130
셀렉터 회로
101 소스 드라이버
102
게이트 드라이버
114
시프트 레지스터
115
레벨 시프터 회로
116
출력 회로
103
액정 패널
2
대향 전극

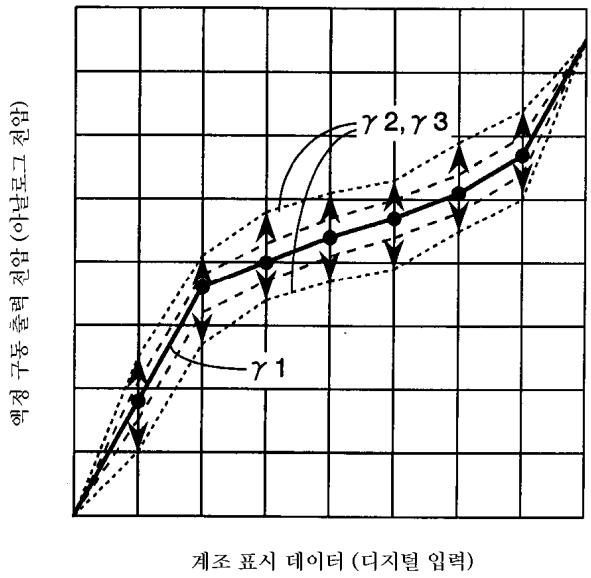
도면34


52
130 셀렉터 회로
36
56
130a
정극성
셀렉터
58
정극성
계조 전압
발생 회로
D2
+V63
+V0
37
OP Amp
VH,VL
57
130b
부극성
셀렉터
59
부극성
계조 전압
발생 회로
-V0
D3
-V63
DA
컨버터
회로
REV

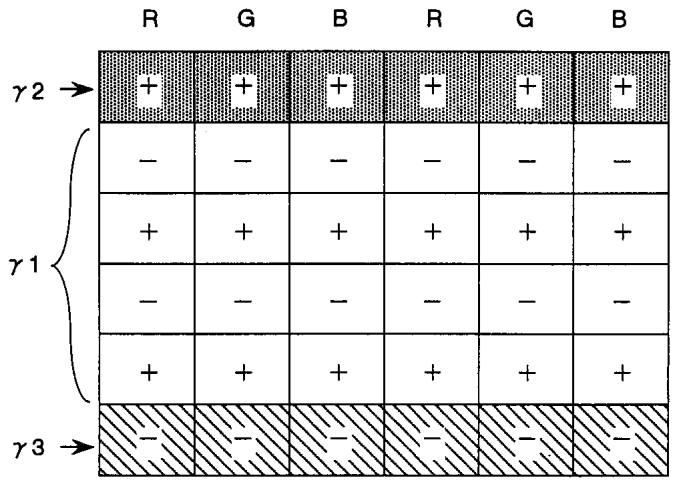
도면35


52 계조 표시 기준 전압 발생 회로
조정 데이터 (D2)
52a
VH
55a
RP0
RP1
RP2
RP3
RP4
RP5
RP6
RP7
54
감마 보정
조정 회로
SA
8등분
+V57~+V63
+V49~+V56
+V41~+V48
+V33~+V40
+V25~+V32
+V16~+V24
+V9~+V16
+V1~+V8
VL
55b
REV
SB
+V0
-V0
조정 데이터 (D3)
RN7
RN6
RN5
RN4
RN3
RN2
RN1
RN0
-V1~-V8
-V9~-V16
-V17~-V24
-V25~-V32
-V33~-V40
-V41~-V48
-V49~-V56
-V55~-V63
52b

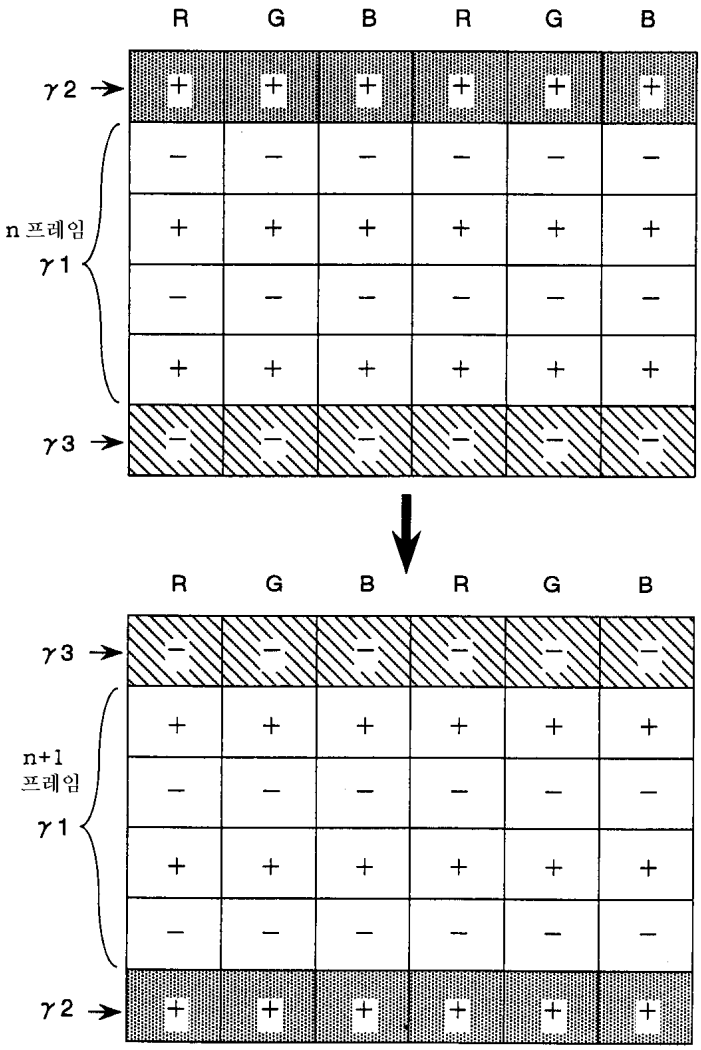
도면36



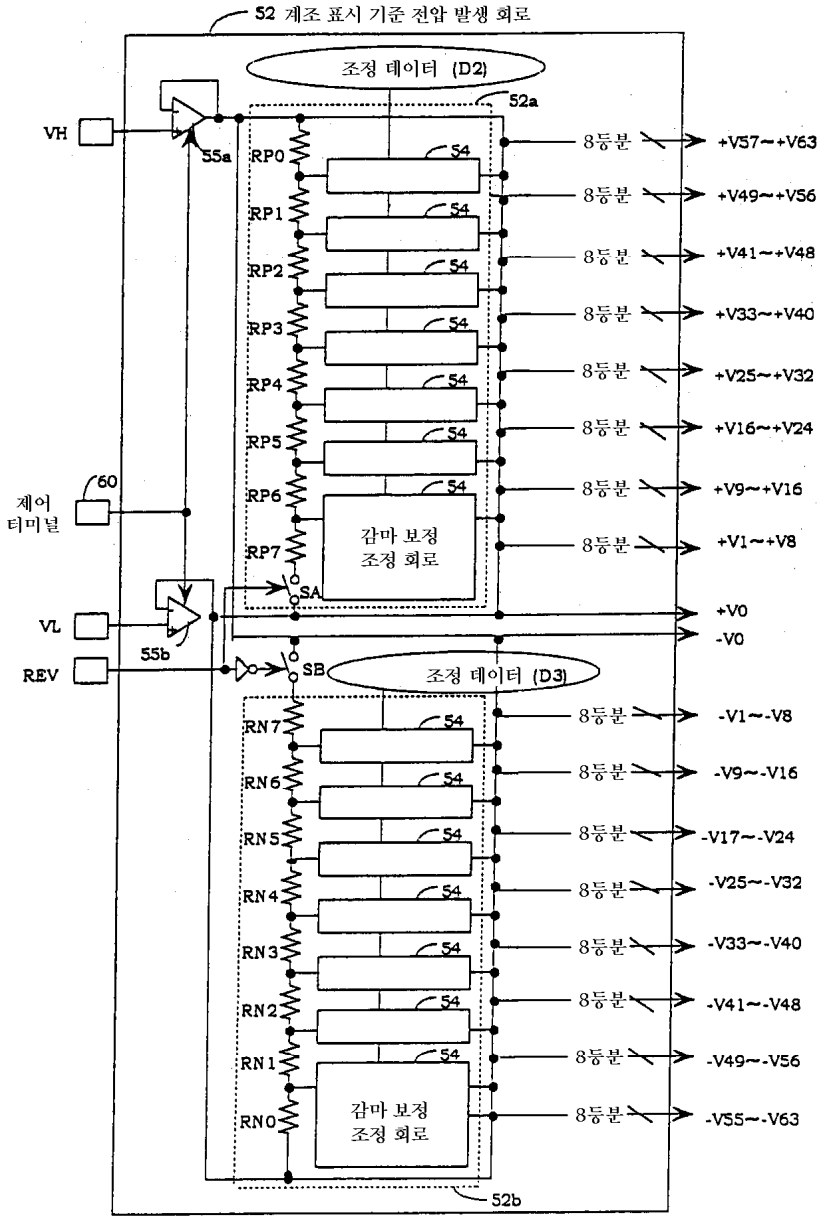
도면37



도면38



도면39


52 계조 표시 기준 전압 발생 회로
조정 데이터 (D2)
52a
VH
55a
RP0
RP1
RP2
RP3
RP4
RP5
RP6
RP7
54
감마 보정
조정 회로
SA
8등분
+V57~+V63
+V49~+V56
+V41~+V48
+V33~+V40
+V25~+V32
+V16~+V24
+V9~+V16
+V1~+V8
60
제어
터미널
VL
55b
REV
SB
+V0
-V0
조정 데이터 (D3)
RN7
RN6
RN5
RN4
RN3
RN2
RN1
RN0
-V1~-V8
-V9~-V16
-V17~-V24
-V25~-V32
-V33~-V40
-V41~-V48
-V49~-V56
-V55~-V63
52b

专利名称(译)	用于灰度显示的参考电压产生电路和使用该电路的液晶显示装置		
公开(公告)号	KR1020030062279A	公开(公告)日	2003-07-23
申请号	KR1020030002782	申请日	2003-01-15
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	TANAKA SHIGEKI 다나까시게끼 OGAWA YOSHINORI 오가와요시노리		
发明人	다나까시게끼 오가와요시노리		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G2310/027 G09G3/3688 G09G3/2011 G09G3/3614 G09G2320/0276		
代理人(译)	CHU，晟敏		
优先权	2002007565 2002-01-16 JP 2002233699 2002-08-09 JP		
其他公开文献	KR100520861B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于灰度显示的参考电压产生电路，用于产生用于显示数据的数模转换的灰度显示的参考电压，该电路包括：参考电压产生部分，用于产生多个电平的参考电压;校正信息存储单元，用于存储参考电压的调节量;以及调节单元，用于基于存储在校正信息存储单元中的调节量来调节参考电压。 1 指数方面 用于灰度显示的参考电压产生电路，非易失性存储器，源极驱动器，栅极驱动器，液晶显示器