(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/36

(11) 공개번호 특2002-0090308
(43) 공개일자 2002년12월02일

(21) 출원번호 10-2002-0028557
(22) 출원일자 2002년05월23일

(30) 우선권주장 JP-P-2001-00155193 2001년05월24일 일본(JP)

(71) 출원인 세이코 엡슨 가부시키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 모리타아키라
일본나가노켄스와시오와3쵸메3-5세이코엡슨가부시키가이샤내

(74) 대리인 김창세

심사청구 : 있음

(54) 신호 구동 회로, 표시 장치, 전기 광학 장치 및 신호 구동방법

요약

본 발명은 액티브 매트릭스형 액정 패널의 신호 구동 회로에 관한 것으로서, 이 신호 구동 회로는 복수의 신호 라인마다 분할한 블록을 단위로, 해당 블록의 신호 라인에 대응하여 화상 데이터를 순차적으로 시프트하는 시프트 레지스터, 수평 동기 신호에 동기하여 화상 데이터를 래치하는 라인 래치, 화상 데이터에 근거하여 구동 전압을 생성하는 구동 전압 생성 회로 및 신호 라인 구동 회로를 포함한다. 이 신호 드라이버는 블록 단위로 지정된 부분 표시 데이터에 근거하여 부분 표시 제어를 한다. 표시 영역에 설정된 블록의 신호 라인은 화상 데이터에 근거하여 구동된다. 비표시 영역에 설정된 블록의 각 신호 라인에 관해서는, 비표시 레벨 전압 공급 회로에서 생성된 소정의 비표시 레벨 전압으로 구동된다.

대표도

도 13

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 있어서의 신호 구동 회로(신호 드라이버)를 적용한 표시 장치의 구성의 개요를 나타내는 블록도,

도 2는 도 1에 나타낸 신호 드라이버의 구성의 개요를 나타내는 블록도,

도 3은 도 1에 나타낸 주사 드라이버의 구성의 개요를 나타내는 블록도,

도 4는 도 1에 나타낸 LCD 컨트롤러의 구성의 개요를 나타내는 블록도,

도 5a는 프레임 반전 구동 방식에 의한 신호 라인의 구동 전압 및 대향 전극 전압(V_{com})의 파형을 모식적으로 나타내는 모식도,

도 5b는 프레임 반전 구동 방식을 행한 경우, 프레임마다 각 화소에 대응하는 액정 용량에 인가되는 전압의 극성을 모식적으로 나타내는 모식도,

도 6a는 라인 반전 구동 방식에 의한 신호 라인의 구동 전압 및 대향 전극 전압(V_{com})의 파형을 모식적으로 나타내는 모식도,

도 6b는 라인 반전 구동 방식을 실행한 경우, 프레임마다 각 화소에 대응한 액정 용량에 인가되는 전압의 극성을 모식적으로 나타내는 모식도,

도 7은 액정 장치의 LCD 패널의 구동 파형의 일례를 나타내는 설명도,

도 8a, 도 8b 및 도 8c는 본 실시예에 있어서의 신호 드라이버에 의해 실현한 부분 표시의 일례를 모식적으로 나타내는 설명도,

도 9a, 도 9b 및 도 9c는 본 실시예에 있어서의 신호 드라이버에 의해 실현한 부분 표시의 다른 예를 모식적으로 나타내는 설명도,

도 10a 및 도 10b는 본 실시예에 있어서의 신호 라인 구동 회로의 제어 내용을 모식적으로 나타내는 설명도,

도 11a 및 도 1lb는 LCD 패널에 대하여 다른 위치에 실장되는 신호 드라이버를 모식적으로 나타내는 설명도,

도 12a, 도 12b 및 도 12c는 라인 래치에 유지된 화상 데이터와 블록의 대응관계를 모식적으로 나타내는 설명도,

도 13은 본 실시예에 있어서의 신호 드라이버에 있어서 제어되는 블록 단위의 구성의 개요를 나타내는 구성도,

도 14는 본 실시예에 있어서의 신호 드라이버가 갖는 부분 표시 선택 레지스터를 나타내는 설명도,

도 15는 본 실시예에 있어서의 블록 데이터 교체 회로의 구성의 일례를 나타내는 구성도,

도 16은 본 실시예에 있어서의 시프트 레지스터를 구성하는 SR의 구성의 일례를 나타내는 구성도,

도 17은 본 실시예에 있어서의 DAC에 의해서 생성되는 계조(階調) 전압을 설명하기 위한 설명도,

도 18은 본 실시예에 있어서의 전압 팔로워 접속된 연산 증폭기 OP의 구성의 일례를 나타내는 회로 구성도,

도 19는 본 실시예에 있어서의 전압 팔로워 접속된 연산 증폭기 OP의 제 1 및 제 2 차동 증폭 회로에 공급되는 기준 전압 선택 신호 생성 회로의 구성의 일례를 나타내는 회로 구성도,

도 20은 본 실시예에 있어서의 비표시 레벨 전압 공급 회로의 구성의 일례를 나타내는 구성도,

도 21은 본 실시예에 있어서의 신호 드라이버의 동작 파형의 일례를 나타내는 타이밍도.

도면의 주요 부분에 대한 부호의 설명

l0 : 액정 장치(표시장치)20 : LCD 패널(전기 광학 장치)

22_{nm} : TFT24_{nm} : 액정 용량

26_{nm} : 화소 전극28_{nm} : 대향 전극

30 : 신호 드라이버32, 52, 140, l40 $_0$: 시프트 레지스터

34, 36, 36 $_0$: 라인 래치38, 38_0: 구동 전압 생성 회로(DAC)

40, 40_0: 신호 라인 구동 회로50 : 주사 드라이버

54, 56 : L/S58 : 주사 라인 구동 회로

60 : LCD 콘트롤러62 : 제어 회로

64 : RAM66 : 호스트 I/O

68 : LCD I/O 70 : 커맨드 시퀀서

72 : 커맨드 설정 레지스터74 : 제어 신호 생성 회로

80 : 전원 회로

100B, 108B, 120B, 128B : 비표시 영역

l02A, 106A, 122A, 126A : 표시 영역

150 : 부분 표시 선택 레지스터160_0: 차동 증폭부

162_0: 제 1 차동 증폭 회로164_0: 제 2 차동 증폭 회로

166_0, 168_0: 전류원170_0: 출력 증폭부

180_0: 트랜스퍼 회로182_0: 인버터 회로

184_0: XOR 회로 CLK : 클럭 신호

DACen : DAC 인에이블 신호 dacen : DAC 제어 신호

EIO : 인에이블 입출력 신호

LEVen : 비표시 레벨 전압 공급 인에이블 신호

1even : 비표시 레벨 전압 공급 회로 제어 신호

LP : 수평 동기 신호 OPen : 연산 증폭기 인에이블 신호

open : 연산 증폭기 제어 신호 POL : 극성 반전 신호

SHL : 시프트 방향 전환 신호 XOEV : 출력 인에이블 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본원에는 2001년 05월 24일에 출원된 일본 특허 출원 제 2001-155193 호의 내용이 그대로 포함된다.

본 발명은 신호 구동 회로, 이것을 이용한 표시 장치, 전기 광학 장치 및 신호 구동 방법에 관한 것이다.

예컨대 휴대 전화기와 같은 전자 기기의 표시부에는 액정 패널이 이용되고 있고, 전자 기기의 저소비 전력화나 소형 경량화 등이 도모되고 있다. 이 액정 패널에 관해서는, 최근의 휴대 전화기의 통신에 의해서 정보성이 높은 정지 화상이나 동화상이 통신되게 되면, 그 고화질화가 요구된다.

전자 기기의 표시부의 고화질화를 실현하는 액정 패널로서, 박막 트랜지스터(Thin Film Transistor: TFT) 액정을 이용한 액티브 매트릭스형 액정 패널이 알려져 있다. TFT 액정을 이용한 액티브 매트릭스형 액정 패널은 다이나믹 구동에 의한 STN(Super Twisted Nematic) 액정을 이용한 단순 매트릭스형 액정 패널에 비해, 고속 응답, 높은 콘트라스트를 실현하고, 동화상 등의 표시에 적합하다.

제 1 실시예는 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소를 갖는 전기 광학 장치의 신호 라인을 화상 데이터에 근거하여 구동하는 신호 구동 회로에 있어서, 수평 주사 주기에서 화상 데이터를 래치하는 라인 래치와, 상기 라인 래치에 래치된 화상 데이터에 근거하여, 복수의 신호 라인의 구동 전압을 생성하는 구동 전압 생성부와, 상기 구동 전압 생성부에 의해서 생성된 구동 전압에 근거하여, 복수의 신호 라인을 구동하는 신호 라인 구동부와, 소정의 복수의 신호 라인마다 분할된 블록을 단위로 하여, 복수의 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 부분 표시 데이터 유지부를 포함하되, 상기 신호 라인 구동부는 상기 부분 표시 데이터에 근거하여, 상기 블록 단위로 복수의 신호 라인의 구동 전압의 출력 제어를 한다.

또한 다른 실시예에 따른 표시 장치는, 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소를 갖는 표시 패널과, 상기 복수의 주사 라인을 주사 구동하는 주사 구동 회로와, 화상 데이터에 근거하여, 상기 복수의 신호 라인을 구동하는 상기 신호 구동 회로를 포함한다.

또한 다른 실시예에 따른 전기 광학 장치는 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소와, 상기 주사 라인을 주사 구동하는 주사 구동 회로와, 화상 데이터에 근거하여, 상기 신호 라인을 구동하는 상기신호 구동 회로를 포함한다.

또한 다른 실시예는 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 화소를 갖는 전기 광학 장치의 신호 라인을 구동하는 신호 구동 회로의 신호 구동 방법에 있어서, 수평 주사 주기에서 화상 데이터를 래치하는 공정과, 래치된 화상 데이터에 근거하여, 상기 복수의 신호 라인의 구동 전압을 생성하는 공정과, 소정의 복수의 신호 라인마다 분할된 블록을 단위로 하여, 상기 복수의 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 공정과, 상기 부분 표시 데이터에 근거하여, 블록 단위로 상기 복수의 신호 라인에의 상기 구동 전압의 출력 제어를 하는 공정을 갖는다.

이하, 실시예에 대하여 설명한다.

또, 이하에 설명하는 실시예는 특허 청구의 범위에 기재된 발명의 내용을 조금도 한정하는 것이 아니다. 또한, 이하의 실시예에서 설명하는 구성의 전부가 반드시 본 발명의 필수 구성 요건이라고는 할 수 없다.

여기서, TFT 액정을 이용한 액티브 매트릭스형 액정 패널은 소비 전력이 크고, 휴대 전화기와 같은 배터리 구동이 행하여지는 휴대형의 전자 기기의 표시부로서 채용하는 것이 곤란하다고 한다.

이하의 실시예는 이상과 같은 기술적 과제를 감안하여 이루어진 것이며, 고화질화와 저소비 전력화를 양립시켜, 액티브 매트릭스형 액정 패널에 바람직한 신호 구동 회로, 이것을 이용한 표시 장치, 전기 광학 장치 및 신호 구동 방법을 제공할 수 있다.

1 실시예는 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소를 갖는 전기 광학 장치의 신호 라인을 화상 데이터에 근거하여 구동하는 신호 구동 회로로서, 수평 주사 주기로, 화상 데이터를 래치하는 라인 래치와, 상기 라인 래치에 래치된 화상 데이터에 근거하여, 상기 복수의 신호 라인의 구동 전압을 생성하는 구동 전압 생성부와, 상기 구동 전압 생성부에 의해서 생성된 구동 전압에 근거하여, 상기 복수의 신호 라인을 구동하는 신호 라인 구동부와, 소정의 복수의 신호 라인마다 분할된 블록을 단위로 하여, 상기 복수의 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 부분 표시 데이터 유지부를 포함하고, 상기 신호 라인 구동부는 상기 부분 표시 데이터에 근거하여, 상기 블록 단위로 상기 복수의 신호 라인의 구동 전압의 출력 제어를 한다.

여기서, 전기 광학 장치에서는, 예컨대 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인과, 상기 주사 라인과 상기 신호 라인에 접속된 스위칭부와, 상기스위칭부에 접속된 화소 전극을 갖도록 구성하더라도 좋다.

또한, 블록 단위로 분할되는 신호 라인은, 서로 인접한 복수의 신호 라인이라도 좋고, 임의로 선택된 복수의 신호 라인이라도 좋다.

신호 라인의 구동 전압의 출력 제어란, 예컨대 화상 데이터에 근거하여 생성된 구동 전압으로 신호 라인을 구동하는지 여부와, 해당 구동 전압 대신에 소정의 전압으로 신호 라인을 구동하는 것을 제어하는 것을 말한다.

발명이 이루고자 하는 기술적 과제

본 실시예에 의하면, 전기 광학 장치의 신호 라인을 화상 데이터에 근거하여 구동하는 신호 구동 회로에, 소정의 복수의 신호 라인마다 분할된 블록을 단위로 하여, 화상 데이터에 근거하는 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 부분 표시 데이터 유지부를 갖추고 있다. 이 블록 단위로 지정된 부분 표시 데이터에 근거하여, 블록 단위로 신호 라인에 공급하는 구동 전압의 출력 제어를 하도록 했기 때문에, 임의로 설정 가능한 부분 표시 제어를 할 수 있게 된다. 이것에 의해, 비표시 영역의 신호 구동에 의한 전력 소비를 삭감할 수 있다.

또한 본 실시예는, 순차적으로 공급되는 상기 화상 데이터를 시프트하여 1 수평 주사 단위의 화상 데이터를 상기 라인 래치에 공급하는 시프트 레지스터와, 소정의 시프트 방향 전환 신호에 근거하여, 상기 시프트 레지스터의 시프트 방향을 전환하는 시프트 방향 전환부와, 상기 소정의 시프트 방향의 전환 신호에 근거하여, 상기 부분 표시 데이터 유지부에 유지된 블록 단위의 부분 표시 데이터의 나열을 반대로 교체하는 데이터 교체부를 포함할 수 있다. 이 경우, 상기 신호 라인 구동부는, 상기 데이터 교체부에서 공급된 부분 표시 데이터에 근거하여, 상기 블록 단위로, 신호 라인의 구동 전압의 출력 제어를 한다.

여기서, 시프트 방향이란, 예컨대 소정의 단위로 순차적으로 입력되는 화상 데이터를, 1 수평 주사 단위로 라인 래치에 래치할 때, 해당 입력되는 화상 데이터를 순차적으로 취입하는 시프트 레지스터에 있어서의 시프트 방향을 말한다.

이와 같이, 실장 상태에 따라 시프트 방향을 전환하여 화상 데이터를 입력하기 위한 시프트 방향의 전환 신호를 이용하여, 블록마다 화상 데이터에 근거하는 신호 라인의 구동을 하는지 안 하는지를 나타내는 부분 표시 데이터의 나열 순서를 반대로 교체하도록 했다. 이로써, 사용자는 실장 상태에 따른 데이터의 나열을 의식하는 일없이, 화상 데이터를 본 실시예에 따른 신호 구동 회로에 공급하는 것만으로도 무방하기 때문에, 사용자의 편리함이 향상되고 개발공수(開發工數)의 삭감에 공헌할 수 있다.

또한 본 실시예에서, 상기 신호 라인 구동부는 상기 구동 전압 생성부에 의해서 생성된 구동 전압을 임피던스 변환하여, 각 신호 라인에 출력하는 임피던스 변환부와 상기 신호 라인에 소정의 비표시 레벨 전압을 공급하는 비표시 레벨 전압 공급부를 포함할 수 있다. 이 경우, 각 신호 라인은 상기 부분 표시 데이터에 근거하여, 블록 단위로, 상기 임피던스 변환부 및 상기 비표시 레벨 전압 공급부중 어느 한쪽에 의해 구동된다.

이와 같이, 부분 표시 데이터에 설정된 내용에 근거하여, 블록 단위로, 임피던스 변환부에 의한 화상 데이터에 근거하는 신호 라인의 구동 혹은 비표시 레벨 전압 공급부에 의한 신호 라인에의 소정의 비표시 레벨 전압의 공급 중 어느 하나를 실행하도록 했기 때문에, 비표시 영역을 소정의 보통 색에 설정할 수 있다. 이것에 의해, 상술한 효과에 더하여, 부분 표시 제어에 의해 설정되는 표시 영역을 두드러지게 할 수 있다.

또한 본 실시예에서, 상기 임피던스 변환부는 상기 부분 표시 데이터에 의해 출력이 온으로 지정된 블록의 신호 라인에 대하여, 상기 구동 전압을 임피던스 변환하여 출력하고, 상기 부분 표시 데이터에 의해 출력이 오프로 지정된 블록의 신호 라인을 하이 임피던스 상태로 하며, 상기 비표시 레벨 전압 공급부는 상기 부분 표시 데이터에 의해 출력이 온으로 지정된 블록의 신호 라인을 하이 임피던스 상태로 하고, 상기 부분 표시 데이터에 의해 출력이 오프로 지정된 블록의 신호 라인에 대하여 소정의 비표시 레벨 전압을 공급할 수 있다.

또한 본 실시예에서, 상기 구동 전압 생성부는 상기 부분 표시 데이터에 의해 출력이 오프로 지정된 블록의 신호 라인을 구동하기 위한 구동 전압의 생성 동작을 정지할 수 있다.

이와 같이, 부분 표시 데이터에 근거하여, 블록 단위로, 비표시 영역에 설정된 블록의 구동 전압 생성부를 제어할 수 있기 때문에, 비표시 영역에 설정된 블록의 전력 소비를 효과적으로 억제하여, 부분 표시 제어에 의한 저 소비화를 한층 더 촉진할 수 있다.

또한 본 실시예에서는, 상기 전기 광학 장치는 화소에 대응하여, 상기 주사 라인과 상기 신호 라인에 접속된 스위칭부를 사이에 두고 마련된 화소 전극을 갖고, 상기 비표시 레벨의 전압은 상기 화소 전극의 인가 전압과, 상기 화소 전극과 전기 광학 소자를 사이에 두고 마련된 대향 전극과의 전압 차를 소정의 임계값보다 작게 하는 전압으로 할 수 있다.

이와 같이, 주사 라인과 신호 라인에 접속된 스위칭부를 사이에 두고 마련된 화소 전극의 인가 전압과, 이 화소 전극과 전기 광학 소자를 사이에 두고 마련된 대향 전극과의 전압 차를, 소정의 임계값보다 작게 하는 비표시 레벨 전압을 설정하도록 했기 때문에, 적어도 전기 광학 장치의 화소의 투과율이 변화하지 않는 범위로 비표시 영역을 설정할 수 있다. 결국, 비표시 레벨 전압의 정밀도에 의존하는 일없이 부분 표시 제어의 간소화를 도모할 수 있다.

또한, 본 실시예에서는, 상기 전기 광학 장치는 복수의 화소의 각각에 대응하여, 상기 주사 라인과 상기 신호 라인에 접속된 스위칭부를 사이에 두고 마련된 화소 전극을 갖고, 상기 비표시 레벨의 전압을 상기 화소 전극과 전기 광학 소자를 사이에 두고 마련된 대향 전극과 같은 전압으로 할 수 있다.

이와 같이, 화소 전극과, 이것에 대향하는 대향 전극과의 전압차가 거의 0이 되게 비표시 레벨 전압을 설정하도록 했기 때문에, 부분 표시 제어의 간소화를 도모하는 동시에, 비표시 영역의 표시색을 일정하게 하여, 표시 영역을 두드러지게 하는 것 같은 화상 표시가 가능해진다.

또한 본 실시예에서는, 상기 비표시 레벨의 전압을 상기 화상 데이터에 근거하여 생성 가능한 계조 전압의 최대값 및 최소값 중 어느 하나로 할 수 있다.

이와 같이, 비표시 레벨의 전압으로서, 구동 전압 생성부에서 생성 가능한 계조 전압의 양단의 전압 중 어느 일방을 공급하도록 했기 때문에, 사용자는 임의로 비표시 영역의 보통 색을 지정할 수 있고, 사용자에 있어서의 사용상 편의를 향상시킬 수 있다.

또한 본 실시예에서는, 상기 블록 단위를 8 픽셀 단위로 할 수 있다.

이렇게 하면, 캐릭터 문자 단위로 표시 영역과 비표시 영역의 설정이 가능해져, 부분 표시 제어의 간소화와, 효과적인 부분 표시에 의한 화상을 제공할 수 있다.

또한 다른 실시예에 따른 표시 장치는 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소를 갖는 표시 패널과, 상기 주사 라인을 주사 구동하는 주사 구동 회로와, 화상 데이터에 근거하여, 상기 신호 라인을 구동하는 상기 어느 하나에 기재된 신호 구동 회로를 포함할 수 있다.

이 실시예에 의하면, 부분 표시 제어에 의한 저 소비 전력화를 실현하는 표시 장치를 제공할 수 있어, 예컨대 액티브 매트릭스형 액정 패널을 적용하여, 고화질인 부분 표시를 실현할 수도 있다.

또한 다른 실시예에 따른 전기 광학 장치는, 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소와, 상기 주사 라인을 주사 구동하는 주사 구동 회로와, 화상 데이터에 근거하여, 상기 신호 라인을 구동하는 상기 어느 하나에 기재된 신호 구동 회로를 포함할 수 있다.

이 실시예에 의하면, 부분 표시 제어에 의한 저소비 전력화를 실현하는 전기광학 장치를 제공할 수 있어, 예컨대 액티브 매트릭스형 액정 패널에 적용하여, 고화질인 부분 표시를 실현할 수도 있다.

또한 다른 실시예는, 서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 화소를 갖는 전기 광학 장치의 신호 라인을 구동하는 신호 구동 회로의 신호 구동 방법에 있어서,

수평 주사 주기에서, 화상 데이터를 래치하는 공정과,

래치된 화상 데이터에 근거하여, 상기 복수의 신호 라인의 구동 전압을 생성하는 공정과,

소정의 복수의 신호 라인마다 분할된 블록을 단위로, 상기 복수의 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 공정과,

상기 부분 표시 데이터에 근거하여, 블록 단위로 상기 복수의 신호 라인에의 상기 구동 전압의 출력 제어를 하는 공정을 갖는다.

이 방법에 의하면, 블록 단위로 부분 표시를 제어할 수 있기 때문에, 제어 회로의 간소화와, 저소비 전력화를 도모할 수 있어, 예컨대 액티브 매트릭스형 액정 패널에 적용하여, 고화질인 부분 표시를 실현할 수도 있다.

발명의 구성 및 작용

이하, 본 발명이 바람직한 실시예에 대하여 도면을 이용하여 상세히 설명한다.

1. 표시 장치

1.1 표시 장치의 구성

도 1에, 본 실시예에 있어서의 신호 구동 회로(신호 드라이버)를 적용한 표시 장치의 구성의 개요를 나타낸다.

표시 장치로서의 액정 장치(1O)는, 액정 디스플레이(Liquid Crystal Display : LCD) 패널(20), 신호 드라이버(신호 구동 회로)(협의로는, 소스 드라이버)(30), 주사 드라이버(주사 구동 회로)(협의로는, 게이트 드라이버)(50), LCD 컨트롤러(60), 전원 회로(80)를 포함한다.

LCD 패널(광의로는, 전기 광학 장치)(20)은, 예컨대 유리 기판상에 형성된다. 이 유리 기판상에는, Y 방향으로 복수 배열되어 각각 X 방향으로 신장하는 주사 라인(협의로는 게이트 라인)(G_1 G_N)(N은 2 이상의 자연수)과, X 방향으로 복수 배열되어 각각 Y 방향으로 신장하는 신호 라인(협의로는 소스 라인)(S_1 S_M)(M은 2 이상의 자연수)이 배치되어 있다. 또한, 주사 라인(G_n)($1 \leq n \leq N$, n은 자연수)과 신호 라인(Sm)($1 \leq m \leq M$, m은 자연수)과의 교차점에 대응하여, TFT 22_{nm} (광의로는 스위칭부)가 마련되어 있다.

TFT 22_{nm} 의 게이트 전극은, 주사 라인(Gn)에 접속되어 있다. TFT 22_{nm} 의 소스 전극은 신호 라인(Sm)에 접속되어 있다. TFT 22_{nm} 의 드레인 전극은 액정 용량(광의로는 액정 소자 또는 전기 광학 소자) 24_{nm} 의 화소 전극 26_{nm} 에 접속되어 있다.

액정 용량 24_{nm} 에는, 화소 전극 26_{nm} 에 대향하는 대향 전극 28_{nm} 와의 사이에 액정이 봉입(封入)되어 형성되고, 이들 전극 사이의 인가 전압에 따라 화소(액정)의 투과율이 변화도록 되어 있다.

대향 전극 28_{nm} 에는, 전원 회로(80)에 의해 생성된 대향 전극 전압(V_{com})이 공급되어 있다.

신호 드라이버(30)는 1 수평 주사 단위의 화상 데이터(협의로는 계조 데이터)에 근거하여, LCD 패널(20)의 신호 라인(S_1 S_M)을 구동한다.

주사 드라이버(50)는 1 수직 주사 기간 내에, 수평 동기 신호에 동기하여, LCD 패널(20)의 주사 라인(G_1 G_N)을 순차적으로 주사 구동한다.

LCD 컨트롤러(60)는 도시하지 않은 중앙 처리 장치(Central Processing Unit : CPU) 등의 호스트에 의해 설정된 내용에 따라서, 신호 드라이버(30), 주사 드라이버(50) 및 전원 회로(80)를 제어한다. 보다 구체적으로는, LCD 컨트롤러(60)는, 신호 드라이버(30) 및 주사 드라이버(50)에 대하여, 예컨대 동작 모드의 설정이나 내부에서 생성한 수직 동기 신호나 수평 동기 신호의 공급을 하고, 전원 회로(80)에 대하여는 대향 전극 전압(V_{com})의 극성 반전 타이밍의 공급을 한다.

전원 회로(80)는 외부에서 공급되는 기준 전압에 근거하여, LCD 패널(2O)의 액정 구동에 필요한 전압 레벨과 대향 전극 전압(V_{com})을 생성한다. 이러한 각종 전압 레벨은 신호 드라이버(30), 주사 드라이버(50) 및 LCD 패널(20)에 공급된다. 또한, 대향 전극 전압(V_{com})은, LCD 패널(20)의 TFT의 화소 전극에 대향하여 마련된 대향 전극에 공급된다.

이러한 구성의 액정 장치(10)는, LCD 컨트롤러(60)의 제어 하에서, 외부로부터 공급되는 화상 데이터에 근거하여, 신호 드라이버(30), 주사 드라이버(50) 및 전원 회로(80)가 협조하여 LCD 패널(20)을 표시 구동한다.

또, 도 1에서는, 액정 장치(10)에 LCD 컨트롤러(60)를 포함시켜 구성하도록 하고 있지만, LCD 컨트롤러(60)를 액정 장치(10)의 외부에 마련하여 구성하도록 해도 좋다. 혹은, LCD 컨트롤러(60)와 같이 호스트를 액정 장치(10)에 포함시키도록 구성하는 것도 가능하다.

(신호 드라이버)

도 2에, 도 1에 나타낸 신호 드라이버의 구성의 개요를 나타낸다.

신호 드라이버(30)는 시프트 레지스터(32), 라인 래치(34, 36), 디지털 · 아날로그 변환 회로(광의로는, 구동 전압 생성 회로)(38), 신호 라인 구동 회로(40)를 포함한다.

시프트 레지스터(32)는 복수의 플립플롭을 갖고 있고, 이들 플립플롭이 순차적으로 접속된다. 이 시프트 레지스터(32)는 클럭 신호(CLK)에 동기하여 인에이블 입출력 신호(EIO)를 유지하면, 순차적으로 클럭 신호(CLK)에 동기하여 인접하는 플립플롭에 인에이블 입출력 신호(EIO)를 시프트한다.

또한, 이 시프트 레지스터(32)에는, 시프트 방향 전환 신호(SHL)가 공급된다. 시프트 레지스터(32)는 이러한 시프트 방향 전환 신호(SHL)에 의해, 화상 데이터(DIO)의 시프트 방향과 인에이블 입출력 신호(EIO)의 입출력 방향이 전환된다. 따라서, 이러한 시프트 방향 전환 신호(SHL)에 의해 시프트 방향을 전환함으로써, 신호 드라이버(30)의 실장 상태에 의해 신호 드라이버(30)에 대해 화상 데이터를 공급하는 LCD 컨트롤러(60)의 위치가 다른 경우에 있어서도, 그 배선을 라우팅함으로써 실장 면적이 확대하는 일없이, 유연한 실장을 가능하게 할 수 있다.

라인 래치(34)는 LCD 컨트롤러(60)로부터, 예컨대 18비트(6비트(계조 데이터)× 3(RGB 각 색상)) 단위로, 화상 데이터(DIO)가 입력된다. 라인 래치(34)는 이 화상 데이터(DIO)를 시프트 레지스터(32)의 각 플립플롭으로 순차적으로 시프트된 인에이블 입출력 신호(EIO)에 동기하여 래치한다.

라인 래치(36)는 LCD 컨트롤러(60)로부터 공급되는 수평 동기 신호(LP)에 동기하여, 라인 래치(34)로 래치된 1 수평 주사 단위의 화상 데이터를 래치한다.

DAC(38)는 신호 라인마다, 화상 데이터에 근거하여 아날로그화된 구동 전압을 생성한다.

신호 라인 구동 회로(40)는 DAC(38)에 의해서 생성된 구동 전압에 근거하여, 신호 라인을 구동한다.

이러한 신호 드라이버(30)는 LCD 컨트롤러(60)로부터 순차적으로 입력되는 소정의 단위(예컨대 18 비트 단위)의 화상 데이터를 순차적으로 취입, 수평 동기 신호(LP)에 동기하여 1 수평 주사 단위의 화상 데이터를 라인 래치(36)로 일단 유지한다. 그리고, 이 화상 데이터에 근거하여, 각 신호 라인을 구동한다. 이 결과, LCD 패널(20)의 TFT의 소스 전극에는 화상 데이터에 근거하는 구동 전압이 공급된다.

(주사 드라이버)

도 3에, 도 1에 나타낸 주사 드라이버의 구성의 개요를 나타낸다.

주사 드라이버(50)는 시프트 레지스터(52), 레벨 시프터(Level Shifter : L/S)(54, 56) 및 주사 라인 구동 회로(58)를 포함한다.

시프트 레지스터(52)는 각 주사 라인에 대응하여 마련된 플립플롭이 순차적으로 접속된다. 이 시프트 레지스터(52)는 클럭 신호(CLK)에 동기하여 인에이블 입출력 신호(EIO)를 플립플롭에 유지하면, 순차적으로 클럭 신호(CLK)에 동기하여 인접하는 플립플롭에 인에이블 입출력 신호(EIO)를 시프트한다. 여기서 입력되는 인에이블 입출력 신호(EIO)는, LCD 컨트롤러(60)로부터 공급되는 수직 동기 신호이다.

L/S(54)는 LCD 패널(20)의 액정재와 TFT의 트랜지스터 능력에 따른 전압 레벨에 시프트한다. 이 전압 레벨에는 예컨대 20V 50V의 높은 전압 레벨이 필요로하기 때문에, 다른 로직 회로부와는 다른 고내압(高耐壓) 프로세스가 이용된다.

주사 라인 구동 회로(58)는 L/S(54)에 의해서 시프트된 구동 전압에 근거하여, CMOS 구동을 한다. 또한, 이 주사 드라이버(50)는 L/S(56)를 갖고 있고, LCD 컨트롤러(60)로부터 공급되는 출력 인에이블 신호(XOEV)의 전압 시프트가 행하여진다. 주사 라인 구동 회로(58)는 L/S(56)에 의해서 시프트된 출력 인에이블 신호(XOEV)에 의해, 온오프 제어가 행하여진다.

이러한 주사 드라이버(50)는 수직 동기 신호로서 입력된 인에이블 입출력 신호(EIO)가 클럭 신호(CLK)에 동기하여, 시프트 레지스터(52)의 각 플립플롭에 순차적으로 시프트된다. 시프트 레지스터(52)의 각 플립플롭은 각 주사 라인에 대응하여 마련되어 있기 때문에, 각 플립플롭에 유지된 수직 동기 신호의 펄스에 의해, 주사 라인이 택일적으로 순차적으로 선택된다. 선택된 주사 라인은 L/S(54)에 의해서 시프트된 전압 레벨로, 주사 라인 구동 회로(58)에 의해 구동된다. 이것에 의해, LCD 패널(20)의 TFT의 게이트 전극에는 1 수직 주사 주기로 소정의 주사 구동 전압이 공급되게 된다. 이 때, LCD 패널(20)의 TFT의 드레인 전극은 소스 전극에 접속되는 신호 라인의 전위에 대응하여, 거의 동등한 전위로 된다.

(LCD 컨트롤러)

도 4에, 도 1에 나타낸 LCD 컨트롤러의 구성의 개요를 나타낸다.

LCD 컨트롤러(60)는, 제어 회로(62), 랜덤 액세스 메모리(Random Access Memory : RAM)(광의로는, 기억부)(64), 호스트 입출력 회로(I/O)(66) 및 LCD 입출력 회로(68)를 포함한다. 또한, 제어 회로(62)는 커맨드 시퀀서(70), 커맨드 설정 레지스터(72) 및 컨트롤 신호 생성 회로(74)를 포함한다.

제어 회로(62)는 호스트에 의해 설정된 내용에 따라, 신호 드라이버(30), 주사 드라이버(50) 및 전원 회로(80)의 각종 동작 모드 설정이나 동기 제어 등을 실행한다. 보다 구체적으로는, 커맨드 시퀀서(70)가, 호스트로부터의 지시에 따라, 커맨드 설정 레지스터(72)에서 설정된 내용에 근거하여, 제어 신호 생성 회로(74)에서 동기 타이밍을 생성하거나, 신호 드라이버 등에 대하여 소정의 동작 모드를 설정한다.

RAM(64)은 화상 표시를 하기 위한 프레임 버퍼로서의 기능을 가짐과 동시에, 제어 회로(62)의 작업 영역으로도 된다.

이 LCD 컨트롤러(60)는 호스트 I/O(66)를 통해, 화상 데이터나 신호 드라이버(30) 및 주사 드라이버(50)를 제어하기 위한 커맨드 데이터가 공급된다. 호스트 I/O(66)에는 도시하지 않은 CPU나 디지털 신호 처리 장치(Digital Signal Processor : DSP) 혹은 마이크로 프로세서 유닛(MicroProcessor Unit : MPU)이 접속된다.

LCD 컨트롤러(60)는 화상 데이터로서 도시하지 않은 CPU로부터 정지 화상 데이터가 공급되거나, DSP 혹은 MPU로부터 동화상 데이터가 공급된다. 또한, LCD 컨트롤러(60)는 커맨드 데이터로서 도시하지 않은 CPU로부터, 신호 드라이버(30) 또는 주사 드라이버(50)를 제어하기 위한 레지스터의 내용이나 각종 동작 모드를 설정하기 위한 데이터가 공급된다.

화상 데이터와 커맨드 데이터는 각각 별개의 데이터 버스를 통해 데이터를 공급하도록 해도 무방하고 데이터 버스를 공용화하더라도 무방하다. 이 경우, 예컨대 커맨드(CoMmanD : CMD) 단자에 입력된 신호 레벨에 의해서, 데이터 버스상의 데이터가 화상 데이터 혹은 커맨드 데이터인지를 식별할 수 있도록 함으로써 화상 데이터와 커맨드 데이터와의 공용화를 용이하게 도모하여, 실장 면적을 축소하는 것이 가능하게 된다.

LCD 컨트롤러(60)는 화상 데이터가 공급된 경우, 이 화상 데이터를 프레임 버퍼로서의 RAM(64)에 유지한다. 한편, 커맨드 데이터가 공급된 경우, LCD 컨트롤러(60)는 커맨드 설정 레지스터(72) 혹은 RAM(64)에 유지한다.

커맨드 시퀀서(70)는 커맨드 설정 레지스터(72)에 설정된 내용에 따라서, 컨트롤 신호 생성 회로(74)에 의해 각종 타이밍 신호를 생성시킨다. 또한, 커맨드 시퀀서(70)는 커맨드 설정 레지스터(72)에 설정된 내용에 따라, LCD 입출력 회로(68)를 거쳐, 신호 드라이버(30), 주사 드라이버(50) 혹은 전원 회로(80)의 모드 설정을 한다.

또한, 커맨드 시퀀서(70)는 제어 신호 생성 회로(74)로 생성된 표시 타이밍에 의해, RAM(64)에 기억된 화상 데이터로부터 소정의 형식의 화상 데이터를 생성하고, LCD 입출력 회로(68)를 통해, 신호 드라이버(30)에 공급하게 되어 있다.

1.2 반전 구동 방식

여기서, 액정을 표시 구동하는 경우, 액정의 내구성이나, 콘트라스트의 관점에서, 주기적으로 액정 용량에 축적되는 전하를 방전해야 한다. 그 때문에, 상술한 액정 장치(10)에서는 교류화 구동에 의해, 소정의 주기로 액정에 인가되는 전압의 극성을 반전시키는 것이 행해진다. 이 교류화 구동 방식으로서는 예컨대, 프레임 반전 구동 방식이나 라인 반전 구동 방식이 있다.

프레임 반전 구동 방식은 프레임마다 액정 용량에 인가되는 전압의 극성을 반전하는 방식이다. 한편, 라인 반전 구동 방식은 라인마다 액정 용량에 인가되는 전압의 극성을 반전하는 방식이다. 또, 라인 반전 구동 방식의 경우도, 각 라인에 착안(着目)하면, 프레임 주기로 액정 용량에 인가되는 전압의 극성도 반전된다.

도 5a, 도 5b에, 프레임 반전 구동 방식의 동작을 설명하기 위한 도면을 나타낸다. 도 5a는 프레임 반전 구동 방식에 의한 신호 라인의 구동 전압 및 대향 전극 전압(V_{com})의 파형을 모식적으로 나타낸 것이다. 도 5b는 프레임 반전 구동 방식을 행한 경우에, 프레임마다, 각 화소에 대응한 액정 용량에 인가되는 전압의 극성을 모식적으로 나타낸 것이다.

프레임 반전 구동 방식에서는 도 5a에 도시하는 바와 같이 신호 라인에 인가되는 구동 전압의 극성이 1 프레임 주기마다 반전되어 있다. 즉, 신호 라인에 접속되는 TFT의 소스 전극에 공급되는 전압(Vs)은 프레임(f1)에서 정극성의 「+V」, 후속의 프레임(f2)에서는 부극성의「-V」가 된다. 한편, TFT의 드레인 전극에 접속되는 화소 전극에 대향하는 대향 전극에 공급되는 대향 전극 전압(V_{com})도 신호 라인의 구동 전압의 극성 반전 주기에 동기하여 반전된다.

액정 용량에는 화소 전극과 대향 전극과의 전압의 차가 인가되기 때문에, 도 5b에 도시하는 바와 같이 프레임(f1)에서는 정극성의 전압이, 프레임(f2)에서는 부극성의 전압이 각각 인가되게 된다.

도 6a 및 도 6b에, 라인 반전 구동 방식의 동작을 설명하기 위한 도면을 나타낸다. 도 6a는 라인 반전 구동 방식에 의한 신호 라인의 구동 전압 및 대향 전극 전압(V_{com})의 파형을 모식적으로 나타낸 것이다. 도 6b는 라인 반전 구동 방식을 행한 경우에 프레임마다, 각 화소에 대응한 액정 용량에 인가되는 전압의 극성을 모식적으로 나타낸 것이다.

라인 반전 구동 방식에서는, 도 6a 에 도시하는 바와 같이 신호 라인에 인가되는 구동 전압의 극성이, 각 수평 주사 주기(lH) 마다, 또한 1 프레임 주기마다 반전되어 있다. 즉, 신호 라인에 접속되는 TFT의 소스 전극에 공급되는 전압(Vs)은, 프레임(f1)의 1H에서는 정극성의「+V」, 2H에서는 부극성의「-V」가 된다. 또, 해당 전압(Vs)은, 프레임(f2)의 1H에서는 부극성의「-V」, 2H에서는 정극성의「+V」 가 된다.

한편, TFT의 드레인 전극에 접속되는 화소 전극에 대향하는 대향 전극에 공급되는 대향 전극 전압(V_{com})도 신호 라인의 구동 전압의 극성 반전 주기에 동기하여 반전된다.

액정 용량에는, 화소 전극과 대향 전극과의 전압의 차가 인가되기 때문에, 주사 라인마다 극성을 반전하는 것으로, 도 6b에 도시하는 바와 같이 프레임 주기로 각 라인마다 극성이 반전하는 전압이 각각 인가되게 된다.

일반적으로, 프레임 반전 구동 방식에 비교하여 라인 반전 구동 방식이, 변화의 주기가 1 라인 주기로 되기 때문에, 화질의 향상에 공헌할 수 있지만, 소비 전력이 커진다.

1.3 액정 구동 파형

도 7에, 상술한 구성의 액정 장치(10)의 LCD 패널(20)의 구동 파형의 일례를 나타낸다. 여기서는, 라인 반전 구동 방식에 의해 구동하는 경우를 나타내고 있다.

상술한 바와 같이, 액정 장치(10)에서는 LCD 컨트롤러(60)에 의해서 생성된 표시 타이밍에 따라, 신호 드라이버(30), 주사 드라이버(50) 및 전원 회로(80)가 제어된다. LCD 컨트롤러(60)는, 신호 드라이버(30)에 대해서는 1 수평 주사 단위의 화상 데이터를 순차적으로 전송함과 동시에, 내부에서 생성한 수평 동기 신호나 반전 구동 타이밍을 나타내는 극성 반전 신호(POL)를 공급한다. 또한, LCD 컨트롤러(60)는 주사 드라이버(50)에 대해, 내부에서 생성한 수직 동기 신호를 공급한다. 또한, LCD 컨트롤러(60)는 전원 회로(80)에 대하여 대향 전극 전압 극성 반전 신호(VC0M)를 공급한다.

이것에 의해, 신호 드라이버(30)는 수평 동기 신호에 동기하여, 1 수평 주사단위의 화상 데이터에 근거하여 신호 라인의 구동을 한다. 주사 드라이버(50)는 수직 동기 신호를 트리거로서, LCD 패널(20)에 매트릭스형에 배치된 TFT의 게이트 전극에 접속되는 주사 라인을, 순차적으로 구동 전압(Vg)에서 주사 구동한다. 전원 회로(80)는 내부에서 생성한 대향 전극 전압(V_{com})을 대향 전극 전압 극성 반전 신호(VC0M)에 동기하여 극성 반전을 하면서, LCD 패널(20)의 각 대향 전극에 공급한다.

액정 용량에는, TFT의 드레인 전극에 접속되는 화소 전극과 대향 전극의 전압(V_{com})과의 전압에 따른 전하가 충전된다. 따라서, 액정 용량에 축적된 전하에 의해서 유지된 화소 전극 전압(Vp)이, 소정의 임계값(VCL)을 넘으면, 화상 표시가 가능해진다. 화소 전극 전압(Vp)이 소정의 임계값(Vn)을 넘으면, 그 전압 레벨에 따라 화소의 투과율이 변화되어, 계조 표현이 가능해진다.

2. 신호 드라이버

2.1 블록 단위의 출력 제어

본 실시예에 있어서의 신호 드라이버(30)는 소정의 복수의 신호 라인마다 분할된 블록을 단위로, 화상 데이터에 근거하는 신호 구동을 하여, 부분 표시를 실현할 수 있게 되어 있다. 그 때문 신호 드라이버(30)는 부분 표시 선택 레지스터를 갖고 있고, 블록 단위로 각 블록의 출력 가부를 나타내는 부분 표시 데이터를 유지하게 되어 있다. 부분 표시 데이터에 의해 출력이 온에 설정된 블록은, 해당 블록의 신호 라인에 대하여 화상 데이터에 근거하는 신호 구동을 하는 표시 영역로서 설정되게 된다. 한편, 부분 표시 데이터에 의해 표시가 오프에 설정된 블록은, 해당 블록의 신호 라인에 대하여 소정의 비표시 레벨 전압이 공급되는 비표시 영역으로서 설정되게 된다.

본 실시예에서는, 이 블록을 8픽셀 단위로 하고 있다. 여기서, 1 픽셀은 RGB 신호의 3비트로 이루어진다. 따라서, 신호 드라이버(30)는 모두 24 출력(예컨대, S_1 S_{24})을 1 블록으로 하고 있다. 이에 따라, LCD 패널(20)의 표시 영역을 캐릭터 문자(1 바이트) 단위로 설정할 수 있기 때문에, 휴대 전화기와 같은 캐릭터 문자의 표시를 하는 전자 기기에 있어서, 효율적인 표시 영역의 설정 및 그 화상 표시가 가능해진다.

도 8a, 도 8b 및 도 8c에, 이러한 본 실시예에 있어서의 신호 드라이버로 실현한 부분 표시의 일례를 모식적으로 나타낸다.

예컨대, 도 8a에 도시하는 바와 같이 LCD 패널(20)에 대하여, Y 방향에 복수의 신호 라인이 배열되도록 신호 드라이버(30)를 배치하고, X 방향에 복수의 주사 라인이 배열되도록 주사 드라이버(50)를 배치한 경우, 도 8b에 도시하는 바와 같이 블록 단위로 비표시 영역(100B)을 설정한다. 이렇게 함으로써, 표시 영역(102A, 104A)에 대응하는 블록의 신호 라인만을 화상 데이터에 근거하여 구동하면 좋다.

혹은, 도 8c에 도시하는 바와 같이 블록 단위로 표시 영역(106A)을 설정함으로써, 비표시 영역(108B, 110B)에 대응하는 블록의 신호 라인을 화상 데이터에 근거하여 구동할 필요가 없어진다. 또한, 도 8b, 도 8c에서, 복수의 비표시 영역 혹은 표시 영역을 설정하도록 해도 좋다.

도 9a, 도 9b 및 도 9c에, 본 실시예에 의한 신호 드라이버에 의해 실현한 부분 표시의 다른 예를 모식적으로 나타낸다.

이 경우, 도 9a에 도시하는 바와 같이 LCD 패널(20)에 대하여, X 방향에 복수의 신호 라인이 배열되도록 신호 드라이버(30)를 배치하고, Y 방향에 복수의 주사 라인이 배열되도록 주사 드라이버(50)를 배치하면, 도 9b에 도시하는 바와 같이 블록 단위로 비표시 영역(120B)을 설정함으로써, 표시 영역(122A, 124A)에 대응하는 블록의 신호 라인만을 화상 데이터에 근거하여 구동하면 좋다.

혹은, 도 9c에 도시하는 바와 같이 블록 단위로 표시 영역(126A)을 설정하는 것으로, 비표시 영역(128B, 130B)에 대응하는 블록의 신호 라인을 화상 데이터에 근거하여 구동할 필요가 없다. 또, 도 9b, 도 9c에서, 복수의 비표시 영역 혹은 표시 영역을 설정하도록 하더라도 좋다.

또한, 각 표시 영역은, 예컨대 정지 화상 표시 영역과 동화상 표시 영역을 구분하도록 하더라도 좋다. 이렇게 함으로써, 사용자에 있어서 보기 쉬운 화면을 제공할 수 있음과 동시에, 저소비 전력화를 도모하는 것이 가능해진다.

본 실시예에 따른 신호 드라이버(30)에 있어서, 신호 라인 구동 회로(40)는 블록 단위로 제어되고, 블록의 신호 라인을 전압 팔로워 접속된 연산 증폭기 혹은 비표시 레벨 전압 공급 회로에 의해 구동된다.

도 10a 및 도 10b에, 본 실시예에 있어서의 신호 라인 구동 회로의 제어내용을 모식적으로 나타낸다.

부분 표시 데이터에 의해 출력이 온에 설정된 표시 영역에 대응하는 블록의 신호 라인을 화상 데이터에 근거하여 구동하는 경우, 도 10a에 도시하는 바와 같이 DAC(38_A)에 의해 구동 전압을 생성시키고, 신호 라인 구동 회로(40_A)에서 전압 팔로워 접속된 연산 증폭기에 의해 임피던스 변환을 하여, 해당 블록에 할당된 하나 또는 복수의 신호 라인을 구동한다. 이 때, 신호 라인 구동 회로(40_A)의 비표시 레벨 전압 공급 회로는, 그 출력이 하이 임피던스 제어된다.

한편, 부분 표시 데이터에 의해 출력이 오프로 설정된 비표시 영역에 대응하는 블록의 신호 라인에 관해서는, 도 10b에 도시하는 바와 같이 DAC(38_B)에 의한 구동 전압의 생성 제어를 정지시킴과 동시에, 신호 라인 구동 회로(40_B)에서 전압 팔로워 접속된 연산 증폭기의 출력을 하이 임피던스 제어한다. 그리고, 신호 라인 구동 회로(40_B)의 비표시 레벨 전압 공급 회로에 의해 생성한 비표시 레벨 전압으로, 해당 블록에 할당된 하나 또는 복수의 신호 라인을 구동한다. 이 비표시 레벨 전압은, TFT에 접속되는 액정 용량에 인가되는 전압을, 적어도 화소의 투과율이 변화되고 표시 가능해지는 소정의 임계값(V_{CL})보다 작게하는 전압 레벨에 설정된다.

이것에 의해, 상술한 화상 표현에 의한 효과에 더하여, 연산 증폭기의 정상적인 전류 소비를 삭감할 수 있기 때문에, 종래부터 문제로 되어있었던 TFT 액정을 이용한 액티브 매트릭스형 액정 패널의 소비 전력을 줄이고, 배터리 구동의 휴대형 전자 기기에의 탑재가 가능해진다.

2.2 시프트 방향에 따른 블록의 교체

본 실시예에 있어서의 신호 드라이버(30)는 도 8a 도 8c, 도 9a 도 9c에 나타낸 바와 같이, 실장 대상으로 되는 전자 기기에 따라, LCD 패널(20)에 대해 배치되는 위치가 다른 경우가 있다.

도 1la 및 도 11b에, LCD 패널(20)에 대하여 다른 위치에 실장되는 신호 드라이버(30)를 모식적으로 나타낸다.

즉, 도 1la에 나타내는 경우에서는, LCD 패널(20)에 대해 하측에 신호 드라이버(30)가 배치되어 있다. 한편, 도 1lb에 나타낸 경우에서는, LCD 패널(20)에 대하여 상측에 신호 드라이버(30)가 배치되어 있다.

신호 드라이버(30)의 신호 라인 구동 출력측은 고정되어 있기 때문에, 도 1la에 도시하는 바와 같이 LCD 패널(20)에 대해 하측에 신호 드라이버(30)가 배치되었을 때의 구동측의 순서가, 도 11b에 도시하는 바와 같이 LCD 패널(20)에 대하여 상측에 배치되었을 때의 구동측의 순서와 반대로 된다. 따라서, 실장 상태에 의해 신호 드라이버(30)에의 배선이 라우팅되기 때문에 실장 면적이 증대해 버린다. 이 때문에, 시프트 방향 교체 신호(SHL)에 의해서, 화상 데이터의

시프트 방향을 전환하도록 하고 있다.

도 12a, 도 12b 및 도 12c에, 라인 래치에 유지된 화상 데이터와 블록의 대응 관계를 모식적으로 나타낸다.

예컨대 도 1la에 나타내는 위치에 신호 드라이버(30)가 배치된 경우, 시프트 방향 전환 신호(SHL)를「H」로 함으로써, 도 12a에 도시하는 바와 같이 시프트 레지스터에서 순차적으로 유지되어 라인 래치(36)로 래치된 1 수평 주사 단위의 화상 데이터가 신호 라인(S_1 S_N)에 대응하여, 화상 데이터(P_1 P_M)의 나열의 순서가 되는 것으로 한다.

이것에 대하여 도 11b에 나타내는 위치에 신호 드라이버(30)가 배치된 경우, 시프트 방향 전환 신호(SHL)를「L」로 함으로써, 도 12b에 도시하는 바와 같이, 도 12a와 동일한 나열 순서로 LCD 컨트롤러(60)로부터 공급되는 화상 데이터에 대해, 라인 래치(36)에는 신호 라인(S_1 S_M)에 대응하여, 화상 데이터(PM, ... ,P3, P2, P1)의 나열의 순서로 유지된다.

그런데, 사용자에 있어서는, 도 12a 및 도 12b에 도시하는 바와 같이, 복수의 신호 라인을 분할한 블록의 나열 순서는 변하지 않는다. 따라서, 블록 단위로 상술한 화상 데이터를 제어하는 경우, 사용자도 시프트 방향에 따른 블록의 순서의 나열이 변경하는 것을 인식하여 화상 표시 제어를 하지 않으면 안되게 된다.

그래서, 본 실시예에서는, 사용자가 시프트 방향에 의해서 교체하는 블록의 나열의 순서를 걱정하는 일없이, 상술한 블록 단위의 부분 표시 제어를 가능하게 하기 때문에, 도 12c에 도시하는 바와 같이 이들 블록 단위로 지정된 부분 표시 데이터에 관해서도 시프트 방향에 따라 전환하도록 하고 있다. 즉, 본 실시예에 있어서의 신호 드라이버(30)는 시프트 방향을 전환한 경우에 상술한 부분 표시 선택 레지스터에 기억된 부분 표시 데이터의 순서를 반대로 교체할 수 있는 블록 데이터교체 회로를 포함한다.

이것에 의해, 표시 영역 및 비표시 영역이 설정된 블록과 실제 패널의 구동 회로와의 대응관계를 유지하고, 신호 드라이버(30)의 실장 상태에 의존하는 일없이, 블록 단위의 부분 표시 전환을 실현시킬 수 있다.

이하에서는, 이러한 본 실시예에 있어서의 신호 드라이버(30)의 구체적 구성예에 대하여 설명한다.

3. 본 실시예에 있어서의 신호 드라이버의 구성의 구체예

3.1 신호 드라이버의 구성(블록 단위)

도 13에, 본 실시예에 있어서의 신호 드라이버(30)에 있어서 제어되는 블록 단위의 구성의 개요를 나타낸다.

본 실시예에 있어서의 신호 드라이버(30)는 288 개의 신호 라인 출력(S_1 S_{288})을 갖고 있는 것으로 한다.

즉, 본 실시예에 있어서의 신호 드라이버(30)는 24 출력 단자 단위(S_1 S_{24}, S_{25} S_{48}, ... , S_{265} S_{288})로, 도 13에 나타내는 구성을 갖추고 있고, 총 12 블록(B0 Bl1)을 갖고 있다. 이하, 도 13은 블록(B0)를 나타내는 것으로 한다고 설명하지만, 다른 블록(B1 Bl1)에 관해서도 마찬가지이다.

신호 드라이버(30)의 블록(B0)은, 신호 라인(S_1 S_{24})의 각 신호 라인에 대응하여, 시프트 레지스터(140_0), 라인 래치(36_0), 구동 전압 생성 회로(38_0), 신호 라인 구동 회로(40_0)를 포함한다. 여기서, 시프트 레지스터(140_0)는 도 2에 나타내는 시프트 레지스터(32) 및 라인 래치(34)의 기능을 갖는다.

시프트 레지스터(140_0)는 각 신호 라인에 대응하여 SR_{0-1} SR_{0-24} 를 포함한다. 라인 래치(36_0)는 각 신호 라인에 대응하여 LAT_{0-1} LAT_{0-24} 를 포함한다. 구동 전압 생성 회로(38o)는 각 신호 라인에 대응하여 DAC_{0-1} DAC_{0-24} 를 포함한다. 신호 라인 구동 회로(40_0)는 각 신호 라인에 대응하여 $SDRV_{0-1}$ $SDRV_{0-24}$ 를 포함한다.

3.2 부분 표시 선택 레지스터

상술한 바와 같이, 본 실시예에 있어서의 신호 드라이버(30)는 블록 단위로 출력 제어된다. 그 때문에, 본 실시예에 있어서의 신호 드라이버(30)는 도 14에 도시하는 바와 같이 부분 표시 선택 레지스터(150)를 갖고 있다. 이 부분 표시 선택 레지스터(150)는 LCD 컨트롤러(60)에 의해 설정된다. LCD 컨트롤러(60)는 호스트(CPU)로부터의 제어에 의해, 소정의 타이밍에서 신호 드라이버(30)의 부분 표시 선택 레지스터(150)의 내용을 갱신할 수 있게 되어 있고, 그 때마다 알맞은 부분 표시를 실현할 수 있다.

부분 표시 선택 레지스터(150)는 블록(B0 B11)에 대응하여, 각 블록의 신호 라인을 화상 데이터에 근거하여 신호 구동하는지 여부를 나타내는 부분 표시 데이터(PART0 PARTl1)를 포함한다. 본 실시예에서는, 부분 표시 데이터(PART0 PARTl1) 중, 출력이 온인 것을 나타내는 「1」에 설정된 블록을 표시 영역으로, 출력이 오프인 것을 나타내는 「0」에 설정된 블록을 비표시 영역으로 표시 제어를 한다.

상술한 바와 같이, 신호 드라이버(30)의 실장 상태에 따라, 사용자가 블록의 순서를 신경쓸 필요가 없이, 블록 단위의 부분 표시를 실현시키기 위해, 부분 표시 데이터를 블록 단위로 전환할 필요가 있다.

그래서, 본 실시예에서는, 이하에 나타내는 블록 데이터 교체 회로에 의해, 부분 표시 선택 레지스터의 블록의 나열 순서를 시프트 방향에 따라 전환하도록 되어 있다.

도 15에, 블록 데이터 교체 회로의 구성의 일례를 나타낸다.

상술한 바와 같이, 신호 드라이버(30)의 실장 상태에 따라, 사용자에 블록의 순서를 걱정할 필요없이 블록 단위의 부분 표시를 실현시키기 위해, 부분 표시 데이터를 블록 단위로 전환할 필요가 있다.

이 블록 데이터 교체 회로는 부분 표시 데이터 선택 레지스터에 설정된 부분 표시 데이터(PART0 PARTl1)의 나열을 시프트 방향 전환 신호(SHL)에 따라 전환한다. 보다 구체적으로는, 블록 데이터 교체 회로는 시프트 방향 전환 신호(SHL)에 따라, 부분 표시 데이터(PART0, PARTl1) 중 어느 한쪽을 PART0'로서 선택 출력한다. 마찬가지로, 시프트 방향 전환 신호(SHL)에 따라, 부분 표시 데이터(PART1, PARTl0) 중 어느 한쪽을 PART1', 부분 표시 데이터(PART2, PART9) 중 어느 한쪽을 PART2', ... , 부분 표시 데이터(PARTl1, PART0) 중 어느 한쪽을 PARTl1'로 각각 선택 출력한다.

이와 같이 시프트 방향에 따라 블록 단위의 나열 순서가 전환된 부분 표시 데이터(PART0' PARTl1')는 시프트 방향에 따라 PART0, PART1,···, PART11, 또는 PARTl1, PARTl0, ... , PART0의 어느 데이터로서, 각각 대응하는 각 블록(B0 B11)에 공급된다. 각 블록(B0 Bl1)은 부분 표시 데이터(PART0' PARTl1')에 근거하여 부분 표시 제어를 한다.

블록(B0)은 부분 표시 데이터(PART0')에 근거하여 부분 표시 제어가 행하여진다.

3.3 시프트 레지스터

블록(B0)의 시프트 레지스터(140_0)는 클럭 신호(CLK)에 동기하여, 인접하는 블록의 시프트 레지스터로부터 시프트된 화상 데이터를 순차적으로 각 SR에서 시프트한다. 또한, 시프트 레지스터(140_0)는 시프트 방향 전환 신호(SHL)에 따라, 왼쪽 방향 데이터 입력 신호(LIN) 혹은 오른쪽 방향 데이터 입력 신호(RIN)로서 인접하는 블록의 시프트 레지스터로부터 입력된 화상 데이터를 순차적으로 시프트한다. 또, 블록(B0)의 LIN 및 LOUT, 블록(B11)의 RIN 및 ROUT은, 시프트 전환 신호(SHL)에 의해서 입출력 방향이 전환된다.

도 16에, SR_{0-1} 의 구성의 일례를 나타낸다.

여기서는, SR_{0-1} 의 구성에 대하여 나타내지만, 다른 SR_{0-2} SR_{0-24} 에 관해서도 마찬가지로 구성할 수 있다.

SR_{0-1} 는 FF_{L-R} , FF_{R-L} 및 SW1를 포함한다.

FF_{L-R} 는 예컨대 D 단자에 입력되는 왼쪽 방향 데이터 입력 신호(LIN)를 CK 단자에 입력되는 클럭 신호의 상승 에지에 동기하여 래치하고, Q 단자로부터 오른쪽 방향 데이터 출력 신호(ROUT)로서, SR_{0-2} 의 D 단자에 대하여 왼쪽 방향 데이터 입력 신호(LIN)를 공급한다.

FF_{R-L} 는 예컨대 D 단자에 입력되는 오른쪽 방향 데이터 입력 신호(RIN)를 CK 단자에 입력되는 클럭 신호의 상승 에지에 동기하여 래치하고, Q 단자로부터 왼쪽 방향 데이터 출력 신호(LOUT)를 출력한다.

FF_{L-R} 의 Q 단자로부터 출력되는 오른쪽 방향 데이터 출력 신호(R0UT)와 FF_{R-L} 의 Q 단자로부터 출력되는 왼쪽 방향 출력 신호(LOUT)는 SW1에도 공급된다.

SW1은 시프트 방향 전환 신호(SHL)에 따라, 오른쪽 방향 데이터 출력 신호 (ROUT)와 FF_{R-L} 의 Q 단자로부터 출력되는 왼쪽 방향 출력 신호(LOUT) 중 어느 한쪽을 선택하여, 라인 래치(36_0)의 LAT_{0-1} 에 공급한다.

이렇게 하여, 시프트 레지스터(140_0)의 각 SR_{0-1} SR_{0-24} 에 유지된 화상 데이터는 수평 동기 신호(LP)에 동기하여 각각 라인 래치(36_0)의 각 LAT_{0-1} LAT_{0-24} 에 래치된다.

3.4 라인 래치

라인 래치(LAT_{0-1})에 래치된 신호 라인(S1)에 대응하는 화상 데이터는 구동 전압 생성 회로의 DAC_{0-1} 에 공급된다. DAC_{0-1} 는 DAC 인에이블 신호(DACen)가 논리 레벨「H」인 때, LAT_{0-1} 로부터 공급된, 예컨대 6 비트의 계조 데이터(화상 데이터)에 근거하여, 64 레벨의 계조 전압을 발생한다.

3.5 구동 전압 생성 회로

도 17에, DAC_{0-1} 에 의해서 생성되는 계조 전압을 설명하기 위한 도면을 나타낸다. DAC_{0-1} 는 전원 회로(80)로부터, 예컨대 V0 V8의 각 레벨의 기준 전압이 공급되어 있다. DAC_{0-1} 는 DAC 인에이블 신호(DACen)가 논리 레벨「H」가 되면, 각 신호 라인의 화상 데이터로서의 6 비트의 계조 데이터 중, 예컨대 상위 3 비트로부터 V 0 V8에 의해 분할된 전압 범위 중의 하나를 선택한다. 여기서, 예컨대 기준 전압 V2와 V3의 사이를 선택하면, 6 비트의 계조 데이터 중, 예컨대 하위 3 비트에 의해서 특정되는 V2와 V3의 사이의 8 레벨 중 어느 하나인 V23을 선택한다.

이와 같이, 신호 라인(S_1)에 대응하는 DAC_{0-1} 에 선택된 구동 전압은 신호 라인 구동 회로(40_0)의 $SDRV_{0-1}$ 에 공급된다. 마찬가지로, 다른 신호 라인(S_2 S_{24})에 관해서도, 구동 전압의 공급이 실행된다.

본 실시예에서는 DAC 인에이블 신호(DACen)가 신호 드라이버(30)의 도시하지않은 제어 회로로 생성된 DAC 제어 신호(dacen)와, 부분 표시 선택 레지스터의 블록(B0)의 부분 표시의 가부를 나타내는 부분 표시 데이터(PART(PART0'))와의 논리곱에 의해 생성된다. 즉, 부분 표시 영역으로 설정된 경우에만 DAC 동작을 하는 한편, 부분 비표시 영역으로 설정된 경우, DAC 동작을 정지하여 래더 저항에 흐르는 전류 소비를 삭감한다.

또, 이 DAC 인에이블 신호(DACen)는 다른 신호 라인(S_2 S_{24})에 대응하는 DAC_{0-2} DAC_{0-24} 에도 마찬가지로 공급되어, 블록 단위로 DAC의 동작 제어가 행하여진다.

3.6 신호 구동 회로

신호 라인 구동 회로(40_0)의 $SDRV_{0-1}$ 는, 임피던스 변환부로서의 전압 팔로워 접속된 연산 증폭기(OP_{0-1})와, 부분 비표시 레벨 전압 공급 회로(VG_{0-1})를 포함한다.

3.6.1 연산 증폭기

전압 팔로워가 접속된 연산 증폭기(OP_{0-1})는 그 출력 단자가 부귀환되어, 연산 증폭기의 입력 임피던스도 지극히 커지고, 입력 전류는 거의 흐르지 않게 된다. 그리고, 연산 증폭기 인에이블 신호(OPen)는 논리 레벨「H」인 경우, DAC$_{0-1}$ 에 의해 생성된 구동 전압을 임피던스 변환하여, 신호 라인(S_1)을 구동한다. 이것에 의해, 신호 라인(S_1)의 출력 부하에 의존하는 일없이, 신호 구동을 할 수 있다.

본 실시예에서는 연산 증폭기 인에이블 신호(OPen)가 신호 드라이버(30)의 도시하지 않은 제어 회로에서 생성된 연산 증폭기 제어 신호(OPen)와, 부분 표시 선택 레지스터의 블록(B0)의 부분 표시의 가부를 나타내는 부분 표시 데이터(PART (PART0'))와의 논리곱에 의해 생성된다. 즉, 부분 표시 영역으로 설정된 경우에만 임피던스 변환하여 신호 라인의 구동을 하는 한편, 부분 비표시 영역으로 설정된 경우, 연산 증폭기 동작을 정지하여 전류원을 정지하여 전류 소비를 삭감한다.

도 18에, 전압 팔로워가 접속된 연산 증폭기(OP_{0-1})의 구성의 일례를 나타낸다.

이 연산 증폭기($0P_{0-1}$)는 차동 증폭부(160_{0-1})와, 출력 증폭부(170_{0-1})를 포함한다. 이 연산 증폭기(OP_{0-1})는 연산 증폭기 인에이블 신호(OPen)에 따라, DAC_{0-1} 로부터 공급된 입력 전압(VIN)을 임피던스 변환하여, 출력 전압(VOUT)을 출력한다.

차동 증폭부(160_{0-1})는 제 1 및 제 2 차동 증폭 회로(162_{0-1} , 164_{0-1})를 포함한다.

제 1 차동 증폭 회로(162_{0-1})는 p 형 트랜지스터(QP1, QP2)와, n 형 트랜지스터(QN1, QN2)를 적어도 포함한다.

제 1 차동 증폭 회로(162_{0-1})에 있어서, p 형 트랜지스터(QP1, QP2)의 소스 단자는 전원 전압 레벨(VDD)에 접속되어 있다. 또한, p 형 트랜지스터(QP1, QP2)의 게이트 단자는 서로 접속되고, 이들 게이트 단자는 또한 p 형 트랜지스터(QP1)의 드레인 단자에 접속되어 전류 미러 구조로 되어있다. p 형 트랜지스터(QP1)의 드레인 단자는 n 형 트랜지스터(QN1)의 드레인 단자에 접속된다. p 형 트랜지스터(QP2)의 드레인 단자는 n 형 트랜지스터(QN2)의 드레인 단자에 접속된다.

n 형 트랜지스터(QN1)의 게이트 단자에는 출력 전압(VOUT)이 공급되고, 부귀환되어 있다. n 형 트랜지스터(QN2)의 게이트 단자에는 입력 전압(VIN)이 공급되어 있다.

n 형 트랜지스터(QN1, QN2)의 소스 단자는 기준 전압 선택 신호(VREFN1 VREFN3) 중 어느 하나가 논리 레벨「H」가 되는 것으로 형성된 전류원(166_{0-1})을 거쳐, 접지 레벨(VSS)에 접속된다.

제 2 차동 증폭 회로(164_{0-1})는 p 형 트랜지스터(QP3, QP4)와, n 형 트랜지스터(QN3, QN4)를 적어도 포함한다.

제 2 차동 증폭 회로(164_{0-1})에 있어서, n 형 트랜지스터(QN3, QN4)의 소스 단자는 접지 레벨(VSS)에 접속되어 있다. 또한, n 형 트랜지스터(QN3, QN4)의 게이트 단자는 서로 접속되고, 이들 게이트 단자는 또한 n 형 트랜지스터(QN3)의 드레인 단자에 접속되어 전류 미러 구조로 되어있다. n 형 트랜지스터(QN3)의 드레인 단자는, p 형 트랜지스터(QP3)의 드레인 단자에 접속된다. n 형 트랜지스터(QN4)의 드레인 단자는 p 형 트랜지스터(QP4)의 드레인 단자에 접속된다.

p 형 트랜지스터(QP3)의 게이트 단자에는 출력 전압(VOUT)이 공급되고 부귀환되어 있다. p 형 트랜지스터(QP4)의 게이트 단자에는 입력 전압(VIN)이 공급되어 있다.

p 형 트랜지스터(QP3, QP4)의 소스 단자는 기준 전압 선택 신호(VREFP1 VREFP3) 중 어느 하나가 논리 레벨「L」이 되는 것으로 형성되는 전류원(168_{0-1})을 거쳐, 전원 전압 레벨(VDD)에 접속된다.

또한, 출력 증폭부(170_{0-1})는 p 형 트랜지스터(QP11, QP12) 및 n 형 트랜지스터 (QN11, QN12)를 포함한다.

출력 증폭부(170_{0-1})에 있어서, p 형 트랜지스터(QP11)의 소스 단자에는 전원 전압 레벨(VDD)이 접속되고, 게이트 단자에는 연산 증폭기 인에이블 신호(OPen)가 공급된다. 또한, p 형 트랜지스터(QP11)의 드레인 단자는 p 형 트랜지스터(QP2)의 드레인 단자와 p 형 트랜지스터(QP12)의 게이트 단자에 접속된다.

p 형 트랜지스터(QP12)의 소스 단자는 구동 전압 레벨(VDD_DRV)에 접속되고, 드레인 단자로부터 출력 전압(VOUT)이 출력된다.

또한, n 형 트랜지스터(QNl1)의 소스 단자에 접지 레벨(VSS)이 접속되고, 게이트 단자에 연산 증폭기 인에이블 신호(OPen)의 반전 신호가 공급된다. 또한, n 형 트랜지스터(QN11)의 드레인 단자는 n 형 트랜지스터(QN4)의 드레인 단자와, n 형 트랜지스터(NP12)의 게이트 단자에 접속된다. n 형 트랜지스터(QN12)의 소스 단자는 구동 접지 레벨(VSS_ DRV)에 접속되고, 드레인 단자로부터 출력 전압(VOUT)이 출력된다.

도 19에, 제 1 및 제 2 차동 증폭 회로(162_{0-1}, 164_{0-1})에 공급되는 기준 전압 선택 신호 생성 회로의 구성의 개요를 나타낸다.

본 실시예에서는 기준 전압 선택 신호(VREF1 VREF3)에 의해, 출력 부하에 따른 알맞은 전류 구동 능력을 갖는 전류원을 형성할 수 있도록 되어 있다. 그 때문에, 기준 전압 선택 신호 생성 회로는 기준 전압 선택 신호(VREF1 VREF3)에 의해, p 형 트랜지스터용의 기준 전압 선택 신호(VREFP1 VREFP3)와 n 형 트랜지스터용의 기준 전압 선택 신호(VREFN1 VREFN3)를 생성한다.

이 때, 연산 증폭기 인에이블 신호(OPen)의 논리 레벨이 「H」인 경우에만, 기준 전압 선택 신호(VREF1 VREF3)의 상태에 따라서, p 형 트랜지스터용의 기준 전압 선택 신호(VREFP1 VREFP3)와, n 형 트랜지스터용의 기준 전압 선택 신호(VREFN1 VREFN3)에 의해, 전류원(166_{0-1},168_{0-1})을 제어한다. 한편, 연산 증폭기 인에이블 신호(OPen)의 논리 레벨이 「L」인 경우에는 기준 전압 선택 신호(VREF1 VREF3)를 마스크한다. 그 때문에, 전류원(166_{0-1}, 168_{0-1})은 전류원에 흐르는 전류가 없게 되어, 차동 증폭 동작을 정지한다.

다음에, 이러한 구성의 전압 팔로워 접속된 연산 증폭기(OP_{0-1})의 동작의 개요를 설명한다.

연산 증폭기 인에이블 신호(OPen)의 논리 레벨이 「H」인 경우, 출력 전압(VOUT)이 입력 전압(VIN)보다 낮을 때, 제 1 차동 증폭 회로(162_{0-1})에 있어서, n 형 트랜지스터(QN2)의 드레인 단자가 낮게 되어, p 형 트랜지스터(QP12)를 거쳐 출력 전압 VOUT의 전위를 높게 한다.

이것에 대하여, 출력 전압(VOUT)이 입력 전압(VIN)보다 높은 경우, 제 2 차동 증폭 회로(1640-1)에 있어서, p 형 트랜지스터(QP4)의 드레인 단자의 전위가 높아져, n 형 트랜지스터(QN12)를 거쳐 출력 전압(VOUT)의 전위를 낮게 한다.

한편, 연산 증폭기 인에이블 신호(OPen)의 논리 레벨이 「L」인 경우, 도 19에 나타낸 바와 같이, 기준 전압 선택 신호(VREF1 VREF3)가 마스크되기 때문에, 전류원(166_{0-1}, 168_{0-1})의 각 트랜지스터는 오프로 됨과 동시에, p 형 트랜지스터(QP11)의 드레인 단자가 전원 전압 레벨(VDD)에 접속되고, n 형 트랜지스터(QNl1)의 드레인 단자가 접지 레벨(VSS)에 접속된다. 따라서, 출력 전압(VOUT)은 하이 임피던스 상태가 된다. 이 경우, 본래 출력 전압(VOUT)이 공급되는 신호 라인에는 후술하는 부분 비표시 레벨 전압 공급 회로(VG_{0-1})에 의해 생성된 소정의 부분 비표시 레벨 전압이 공급되게 된다.

3.6.2 비표시 레벨 전압 공급 회로

도 13에 있어서, 부분 비표시 레벨 전압 공급 회로(VG_{0-1})는 비표시 레벨 전압 공급 인에이블 신호(LEVen)가 논리 레벨 「H」인 경우에, 상술한 부분 표시 선택 레지스터에 있어서, 비표시 영역(출력이 오프)에 설정되었을 때, 신호 라인에 공급하는 소정의 비표시 레벨 전압($V_{PART-LEVEL}$)을 생성한다.

여기서, 비표시 레벨 전압($V_{PART-LEVEL}$)은 화소의 투과율이 변화되는 소정의 임계값(V_{CL})과, 이 화소 전극에 대향하는 대향 전극의 대향 전극 전압(Vcom)에 대해, 다음의 수학식 (1)식의 관계를 갖는다.

$$|V_{PART-LEVEL}-Vcom|<V_{CL} \quad \cdots(1)$$

즉, 비표시 레벨 전압($V_{PART-LEVEL}$)은 구동 대상의 신호 라인에 접속된 TFT의 드레인 전극에 접속되는 화소 전극에 인가된 경우, 액정 용량의 인가 전압이 소정의 임계값(V_{CL})을 넘지 않도록 하는 전압 레벨로 되어 있다.

또, 이 비표시 레벨 전압($V_{PART-LEVEL}$)은 전압 레벨의 생성 및 제어가 용이하므로, 대향 전극 전압(Vcom)과 동등의 전압 레벨인 것이 바람직하다. 따라서, 본 실시예에서는, 대향 전극 전압(Vcom)과 동등의 전압 레벨을 공급한다. 이 경우, LCD 패널(20)의 비표시 영역에는 액정이 오프인 경우의 색이 표시된다.

또한, 본 실시예에 있어서의 비표시 레벨 전압 공급 회로(VG_{0-1})는 계조 레벨 전압의 양단의 전압 레벨(V0 혹은 V8) 중 어느 하나를 비표시 레벨 전압($V_{PART-LEVEL}$)으로 선택 출력할 수 있도록 되어 있다.

여기서, 계조 전압 레벨의 양단의 전압 레벨(V0 혹은 V8)은 반전 구동 방식에 의해 프레임마다 교대로 출력하기 위한 전압 레벨이다. 본 실시에에서는, 사용자에 의해 지정된 선택 신호(SEL)에 의해, 비표시 레벨 전압($V_{PART-LEVEl}$)으로서, 상술한 대향 전극 전압(Vcom)인가, 계조 레벨 전압의 양단의 전압 레벨(V0 혹은 V8)인지를 선택할 수 있도록 한다. 이것에 의해, 사용자는 비표시 영역의 색의 선택의 자유도를 높일 수 있다. 본 실시에에서는 비표시 레벨 전압 공급 인에이블 신호(LEVen)가 신호 드라이버(30)의 도시하지 않은 제어 회로에서 생성된 비표시 레벨 전압 공급 회로 제어 신호(1even)와 부분 표시 선택 레지스터의 블럭(B0)의 부분 표시의 가부를 나타내는 부분 표시 데이터(PART(PART0'))의 반전과의 논리곱에 의해 생성된다. 즉, 비표시 영역(출력이 오프)으로서 설정된 경우에만 소정의 비표시 레벨 전압을 신호 라인에 구동하고, 표시 영역(출력이 온)으로 설정된 경우, 비표시 레벨 전압 공급 회로(VG_{0-I})는 하이 임피던스 상태가 되어 신호 라인의 구동을 하지 않는다.

또, 이 연산 증폭기 인에이블 신호(OPen) 및 비표시 레벨 전압 공급 인에이블 신호(LEVen)는 다른 신호 라인(S_2 S_{24})에 대응하는 $SDRV_{0-2}$ $SDRV_{0-24}$ 에도 마찬가지로 공급되어, 블록 단위로 신호 라인의 구동 제어가 행하여진다.

도 20에, 본 실시예에 있어서의 비표시 레벨 전압 공급 회로(VG_{0-1})의 구성의 일례를 나타낸다.

비표시 레벨 전압 공급 회로(VG_{0-1})는 비표시 레벨 전압 공급 인에이블 신호(LEVen)에 의해 대향 전극 전압과 동등의 전압(V_{com})을 출력하기 위한 트랜스퍼 회로($L80_{0-1}$), 인버터 회로(182_{0-1}) 및 스위치 회로(SW2)를 포함한다.

인버터 회로(182_{0-1})는 서로 드레인 단자가 접속된 n 형 트랜지스터(QN21) 및 P 형 트랜지스터(QP21)를 포함한다. n 형 트랜지스터(QN21)의 소스 단자에는 전압 레벨(V8)이 접속된다. p 형 트랜지스터(QP21)의 소스 단자에는 전압 레벨(V0)이 접속된다. n 형 트랜지스터(QN21)의 게이트 단자 및 p 형 트랜지스터(QP21)의 게이트 단자는 XOR 회로(184_{0-1})가 접속된다. XOR 회로(184_{0-1})는 극성 반전의 타이밍을 나타내는 극성 반전 신호(POL)와 현재의 위상을 나타내는 위상과의 배타적 논리합이 연산된다.

이러한 인버터 회로(182_{0-1})는 극성 반전 신호(POL)의 타이밍에 따라, 현재의 위상을 나타내는 위상의 논리 레벨이 반전하고, 전압 레벨(V0 혹은 V8) 중 어느 하나가 스위치 회로(SW2)에 공급된다.

스위치 회로(SW2)는 선택 신호(SEL)에 의해 트랜스퍼 회로(180_{0-1})의 출력, 인버터 회로(182_{0-1})의 출력 또는 하이 임피던스 상태 중 어느 하나를 비표시 레벨 전압($V_{PART-LEVEL}$)으로서 출력한다.

3.7 동작예

도 21에, 본 실시예에 있어서의 신호 드라이버(30)의 동작의 일례를 나타낸다.

시프트 레지스터는 클럭 신호(CLK)에 동기하여, 인에이블 입출력 신호(EIO)가 시프트되고, EIO1 EIOL(L은 2 이상의 자연수)을 생성한다. 그리고, 각 EIO1 EIOL에 동기하여, 라인 래치에 화상 데이터(DIO)가 순차적으로 래치된다.

라인 래치(36)는 수평 동기 신호(LP)의 상승에 동기하여, 1 수평 주사 단위의 화상 데이터를 래치하고, 그 하강으로부터 DAC(38) 및 신호 라인 구동 회로(40)에 의해 신호 라인의 구동을 한다.

본 실시예에서는 상술한 바와 같이 블록 단위로 화상 데이터에 근거하여 신호 라인의 구동을 하는지 여부를 선택할 수 있도록 되어 있고, 이것에 의해 표시 영역 및 비표시 영역의 설정이 가능해진다. 표시 영역에 설정된 블록의 신호 라인에 관해서는, 계조 데이터에 근거하여 생성된 구동 전압에 근거하여 신호 라인이 구동된다. 비표시 영역에 설정된 블록의 신호 라인에 관해서는, 대향 전극 전압(V_{com}) 혹은 계조 전압 레벨의 양단의 전압 중 한쪽이 선택 출력된다.

이러한 본 실시예에 따른 신호 드라이버를 이용함으로써, 휴대 전화기와 같은 배터리 구동이 실행되는 휴대형 전자 기기의 표시부로서, 높은 콘트라스트를 갖는 고화질화와 부분 표시에 의한 저소비 전력화를 양립시킬 수 있게 된다.

또, 본 발명은 상술한 실시예에 한정되는 것이 아니라, 본 발명의 요지의 범위내에서 여러 가지의 변형 실시가 가능하다. 예컨대, 상술한 LCD 패널의 구동에 적용되는 것에 한하지 않고, 전자 발광, 플라즈마 디스플레이 장치에도 적용 가능하다.

또한, 본 실시예에서는 인접하는 24 출력을 1 블록으로 분할하는 것으로 설명했지만, 이에 한정되는 것이 아니다. 1 블록은 24 출력 이하라도 무방하고, 24 출력 이상이라도 무방하다. 또한, 인접하는 복수의 신호 라인마다 분할할 필요도 없고, 소정의 신호 라인 간격으로 선택한 복수의 신호 라인을 1 블록으로서 취급하도록 하더라도 무방하다.

또한, 본 실시예에 있어서의 신호 드라이버는 라인 반전 구동 방식에 한하지 않고, 프레임 반전 구동 방식에도 적용할 수 있다.

또한, 본 실시예에서는 표시 장치에 LCD 패널, 주사 드라이버 및 신호 드라이버를 포함하도록 구성했지만, 이에 한정되는 것이 아니다. 예컨대, LCD 패널에 주사 드라이버 및 신호 드라이버를 포함하여 구성하도록 하더라도 좋다.

또한, 본 실시예에서는 TFT 액정을 이용한 액티브 매트릭스형 액정 패널을 예에 설명했지만, 이에 한정되는 것이 아니다.

발명의 효과

본 발명에 따르면, 고속 응답 및 높은 콘트라스트를 실현하고, 동화상 등의 표시에 적합한 표시 장치를 구비한 전기 광학 장치 등이 제공된다.

(57) 청구의 범위

청구항 1.

서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소를 갖는 전기 광학 장치의 신호 라인을 화상 데이터에 근거하여 구동하는 신호 구동 회로에 있어서,

수평 주사 주기로 화상 데이터를 래치하는 라인 래치와,

상기 라인 래치에 래치된 화상 데이터에 근거하여, 상기 복수의 신호 라인의 구동 전압을 생성하는 구동 전압 생성부와,

상기 구동 전압 생성부에 의해서 생성된 구동 전압에 근거하여, 상기 복수의 신호 라인을 구동하는 신호 라인 구동부와,

소정의 복수의 신호 라인마다 분할된 블록을 단위로, 상기 복수의 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 부분 표시 데이터 유지부

를 포함하고,

상기 신호 라인 구동부는,

상기 부분 표시 데이터에 근거하여, 상기 블록 단위로 상기 복수의 신호 라인에의 상기 구동 전압의 출력 제어를 하는 것을 특징으로 하는 신호 구동 회로.

청구항 2.

제 1 항에 있어서,

순차적으로 공급되는 상기 화상 데이터를 시프트하여, 1 수평 주사 단위의 화상 데이터를 상기 라인 래치에 공급하는 시프트 레지스터와,

소정의 시프트 방향 전환 신호에 근거하여, 상기 시프트 레지스터의 시프트 방향을 전환하는 시프트 방향 전환부와,

상기 소정의 시프트 방향의 전환 신호에 근거하여, 상기 부분 표시 데이터유지부에 유지된 블록 단위의 부분 표시 데이터의 나열을 반대로 교체하는 데이터 교체부

를 포함하고,

상기 신호 라인 구동부는,

상기 데이터 교체부에서 공급된 부분 표시 데이터에 근거하여, 상기 블록 단위로 신호 라인의 구동 전압의 출력 제어를 하는 것을 특징으로 하는 신호 구동 회로.

청구항 3.

제 1 항에 있어서,

상기 신호 라인 구동부는,

상기 구동 전압 생성부에 의해서 생성된 구동 전압을 임피던스 변환하여, 각 신호 라인에 출력하는 임피던스 변환부와,

상기 신호 라인에 소정의 비표시 레벨 전압을 생성하는 비표시 레벨 전압 공급부

를 포함하고,

상기 복수의 신호 라인의 각각은 상기 부분 표시 데이터에 근거하여, 블록 단위로, 상기 임피던스 변환부 및 상기 비표시 레벨 전압 공급부 중 어느 한쪽에 의해 구동되는 것을 특징으로 하는 신호 구동 회로.

청구항 4.

제 3 항에 있어서,

상기 임피던스 변환부는,

상기 부분 표시 데이터에 의해 출력이 온으로 지정된 블록의 신호 라인에 대해, 상기 구동 전압을 임피던스 변환하여 출력하고,

상기 부분 표시 데이터에 의해 출력이 오프로 지정된 블록의 신호 라인을 하이 임피던스 상태로 하며,

상기 비표시 레벨 전압 공급부는,

상기 부분 표시 데이터에 의해 출력이 온으로 지정된 블록의 신호 라인을 하이 임피던스 상태로 하고,

상기 부분 표시 데이터에 의해 출력이 오프로 지정된 블록의 신호 라인에 대해 소정의 비표시 레벨 전압을 공급하는 것을 특징으로 하는 신호 구동 회로.

청구항 5.

제 1 항에 있어서,

상기 구동 전압 생성부는,

상기 부분 표시 데이터에 의해 출력이 오프로 지정된 블록의 신호 라인을 구동하기 위한 구동 전압의 생성 동작을 정지하는 것을 특징으로 하는 신호 구동 회로.

청구항 6.

제 3 항에 있어서,

상기 전기 광학 장치는 상기 복수의 화소의 각각에 대응하여, 상기 주사 라인과 상기 신호 라인에 접속된 스위칭부를 사이에 두고 마련된 화소 전극을 갖고,

상기 비표시 레벨의 전압은,

상기 화소 전극의 인가 전압과, 상기 화소 전극 및 전기 광학 소자를 사이에 두고 마련된 대향 전극과의 전압 차를 소정의 임계값보다 작게 하는 전압인 것을 특징으로 하는 신호 구동 회로.

청구항 7.

제 3 항에 있어서,

상기 전기 광학 장치는 상기 복수의 화소의 각각에 대응하여, 상기 주사 라인과 상기 신호 라인에 접속된 스위칭부를 사이에 두고 마련된 화소 전극을 갖고,

상기 비표시 레벨의 전압은,

상기 화소 전극과 전기 광학 소자를 사이에 두고 마련된 대향 전극과 동등의 전압인 것을 특징으로 하는 신호 구동 회로.

청구항 8.

제 3 항에 있어서,

상기 비표시 레벨의 전압은,

상기 화상 데이터에 근거하여 생성 가능한 계조 전압의 최대값 및 최소값 중 어느 하나인 것을 특징으로 하는 신호 구동 회로.

청구항 9.

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 블록 단위는 8 픽셀 단위인 것을 특징으로 하는 신호 구동 회로.

청구항 10.

서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소를 갖는 표시 패널과,

상기 주사 라인을 주사 구동하는 주사 구동 회로와,

화상 데이터에 근거하여, 상기 신호 라인을 구동하는 신호 구동 회로

를 갖고,

상기 신호 구동 회로는,

수평 주사 주기로 화상 데이터를 래치하는 라인 래치와,

상기 라인 래치에 래치된 화상 데이터에 근거하여, 상기 복수의 신호 라인마다 구동 전압을 생성하는 구동 전압 생성부와,

상기 구동 전압 생성부에 의해서 생성된 구동 전압에 근거하여, 상기 복수의 신호 라인을 구동하는 신호 라인 구동부와,

소정의 복수의 신호 라인마다 분할된 블록을 단위로, 상기 복수의 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 부분 표시 데이터 유지부

를 포함하고,

상기 신호 라인 구동부는,

상기 부분 표시 데이터에 근거하여, 상기 블록 단위로 상기 복수의 신호 라인에의 상기 구동 전압의 출력 제어를 하는 것을 특징으로 하는 표시 장치.

청구항 11.

서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 복수의 화소와,

상기 복수의 주사 라인을 주사 구동하는 주사 구동 회로와,

화상 데이터에 근거하여, 상기 복수의 신호 라인을 구동하는 신호 구동 회로

를 갖고,

상기 신호 구동 회로는,

수평 주사 주기로, 화상 데이터를 래치하는 라인 래치와,

상기 라인 래치에 래치된 화상 데이터에 근거하여, 상기 복수의 신호 라인마다 구동 전압을 생성하는 구동 전압 생성부와,

상기 구동 전압 생성부에 의해 생성된 구동 전압에 근거하여, 상기 복수의 신호 라인을 구동하는 신호 라인 구동부와,

소정의 복수의 신호 라인마다 분할된 블록을 단위로, 상기 복수의 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 부분 표시 데이터 유지부

를 포함하고,

상기 신호 라인 구동부는,

상기 부분 표시 데이터에 근거하여, 상기 블록 단위로, 상기 복수의 신호 라인에의 상기 구동 전압의 출력 제어를 하는 것을 특징으로 하는 전기 광학 장치.

청구항 12.

서로 교차하는 복수의 주사 라인 및 복수의 신호 라인에 의해 특정되는 화소를 갖는 전기 광학 장치의 신호 라인을 구동하는 신호 구동 회로의 신호 구동 방법에 있어서,

수평 주사 주기로, 화상 데이터를 래치하는 공정과,

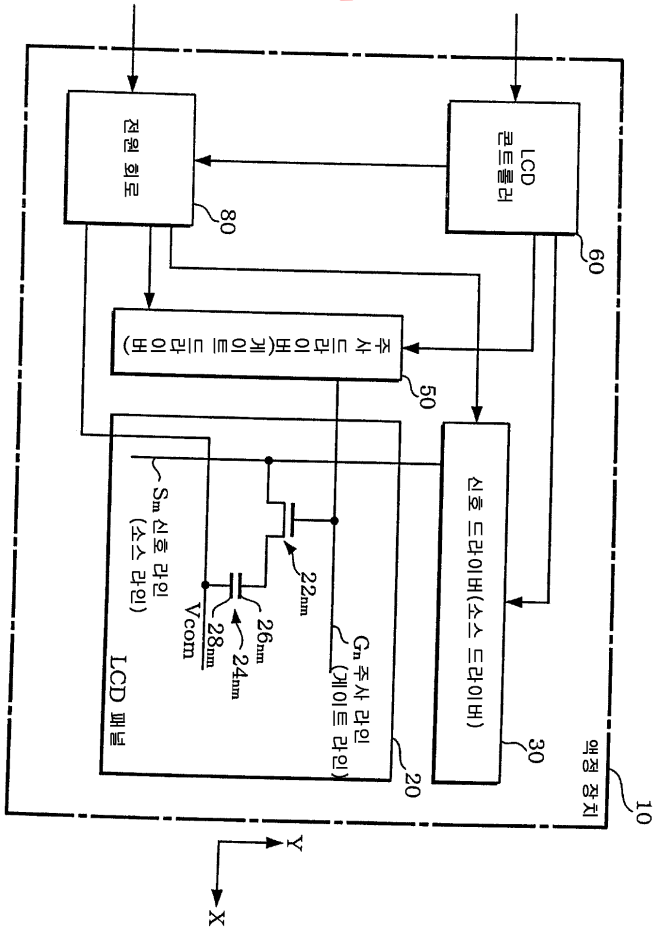
래치된 화상 데이터에 근거하여, 상기 복수의 신호 라인마다 구동 전압을 생성하는 공정과,

소정의 복수의 신호 라인마다 분할된 블록을 단위로, 상기 복수의 신호 라인에의 출력 가부를 나타내는 부분 표시 데이터를 유지하는 공정과,

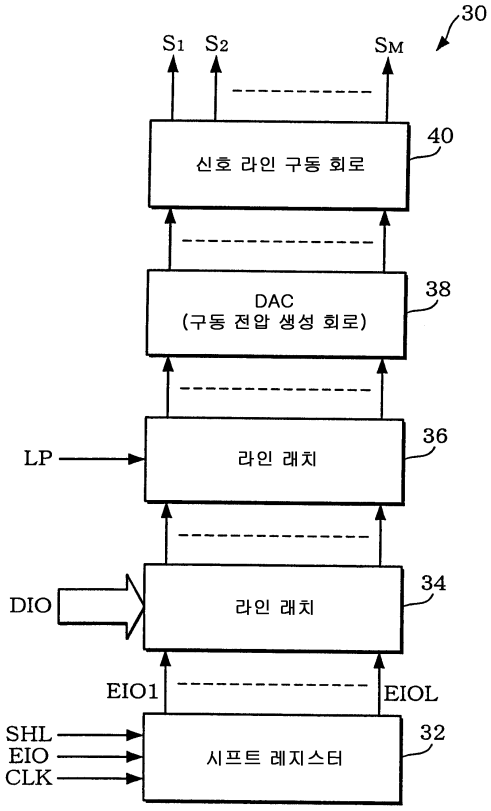
상기 부분 표시 데이터에 근거하여, 블록 단위로 상기 복수의 신호 라인에의 상기 구동 전압의 출력 제어를 하는 것을 특징으로 하는 신호 구동 방법.

도면

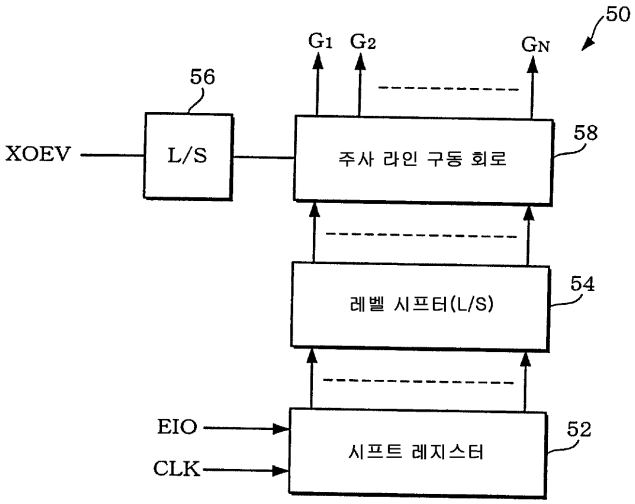
도면 1


전원 회로
80
LCD 콘트롤러
60
주사 드라이버(게이트 라인)
50
신호 드라이버(소스 드라이버)
30
액정 장치
10
LCD 패널
20
Sm 신호 라인 (소스 라인)
Vcom
22nm
26nm
28nm
24nm
Gn 주사 라인 (게이트 라인)
Y
X

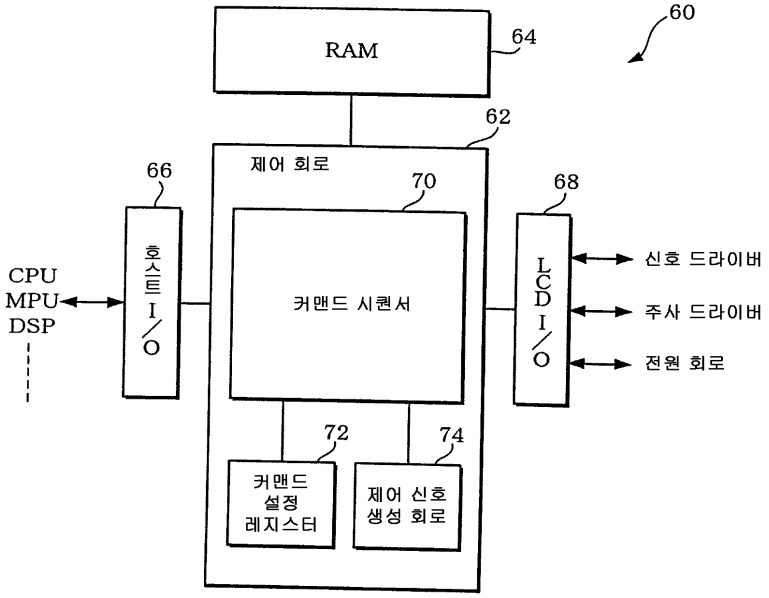
도면 2


30
S1
S2
SM
신호 라인 구동 회로
40
DAC
(구동 전압 생성 회로)
38
LP
라인 래치
36
DIO
라인 래치
34
EIO1
EIOL
SHL
EIO
CLK
시프트 레지스터
32

도면 3

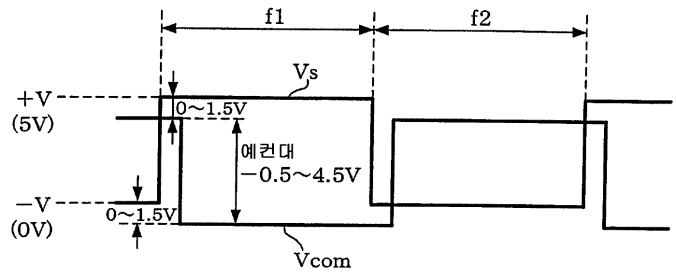

50
G1
G2
GN
56
XOEV
L/S
주사 라인 구동 회로
58
레벨 시프터(L/S)
54
EIO
CLK
시프트 레지스터
52

도면 4

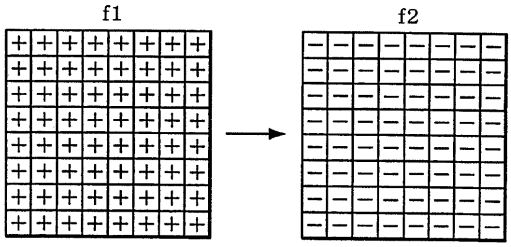

RAM
64
60
62
제어 회로
66
70
68
CPU
MPU
DSP
호스트 I/O
커맨드 시퀀서
LCD I/O
신호 드라이버
주사 드라이버
전원 회로
72
74
커맨드 설정 레지스터
제어 신호 생성 회로

도면 5

(a)

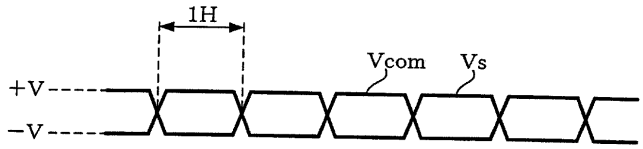

f1
f2
Vs
+V
(5V)
0~1.5V
예컨대
−0.5~4.5V
−V
(0V)
0~1.5V
Vcom

(b)

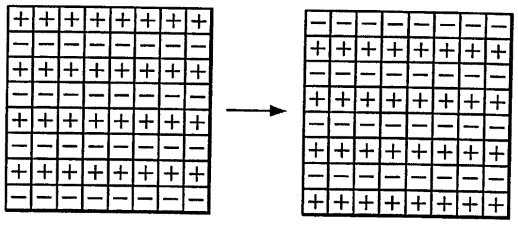

f1
f2

도면 6

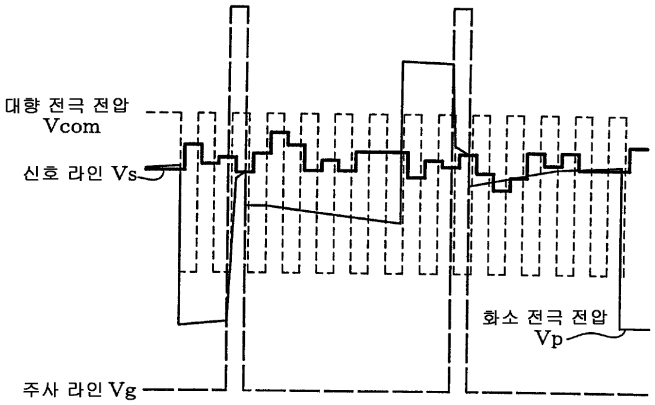
(a)



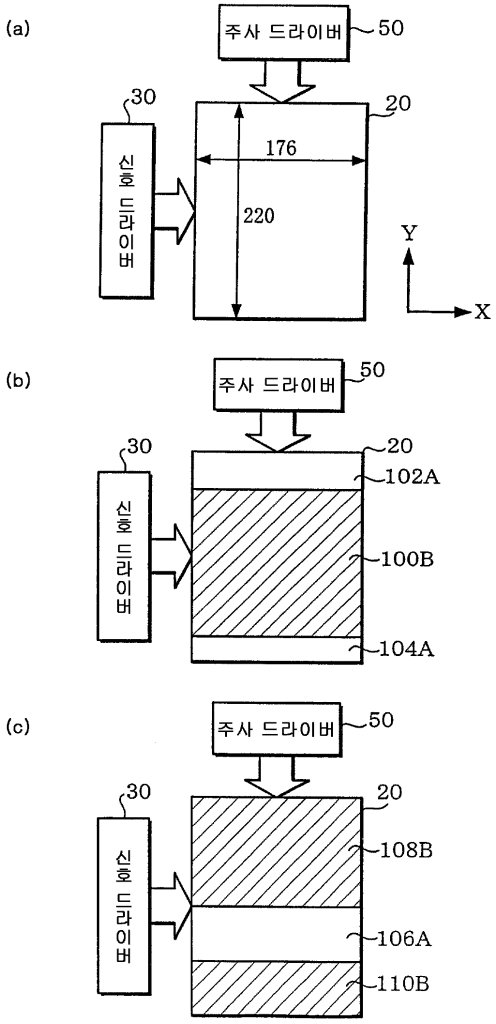
(b)



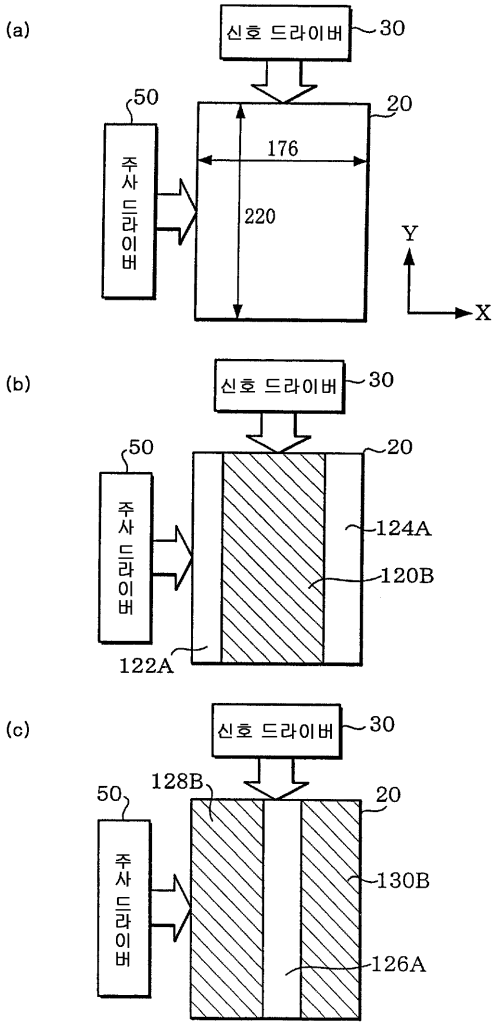
도면 7



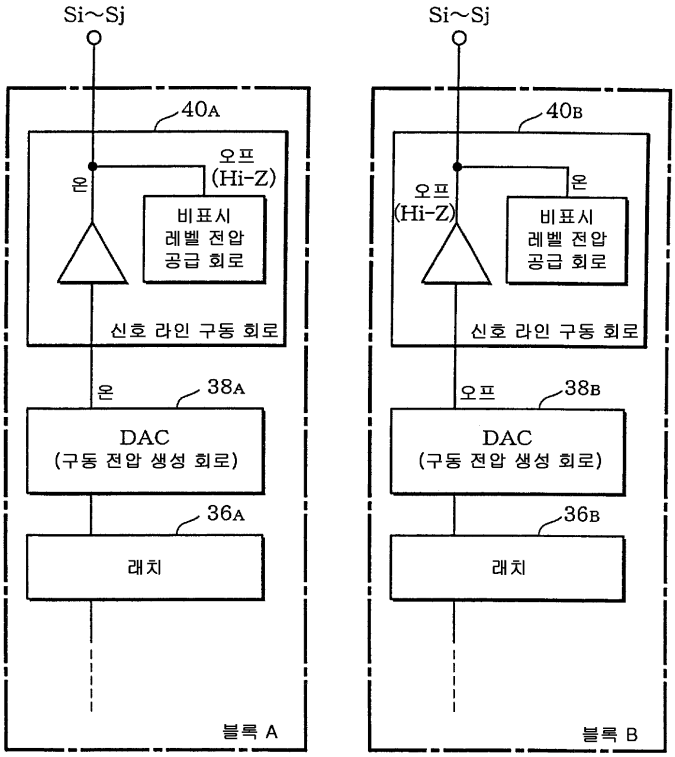
도면 8


(a)
주사 드라이버
50
30
20
176
220
신호 드라이버
Y
X
(b)
주사 드라이버
50
30
20
102A
100B
104A
신호 드라이버
(c)
주사 드라이버
50
30
20
108B
106A
110B
신호 드라이버

도면 9


(a)
신호 드라이버
30
50
주사 드라이버
20
176
220
Y
X
(b)
신호 드라이버
30
50
주사 드라이버
20
124A
120B
122A
(c)
신호 드라이버
30
128B
50
주사 드라이버
20
130B
126A

도면 10

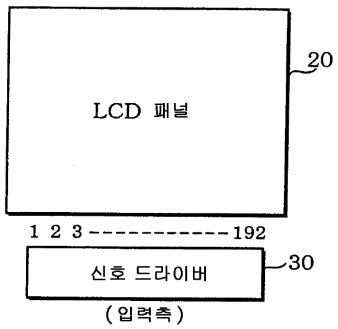


(a) 부분 표시 데이터가 온에 설정된 블록

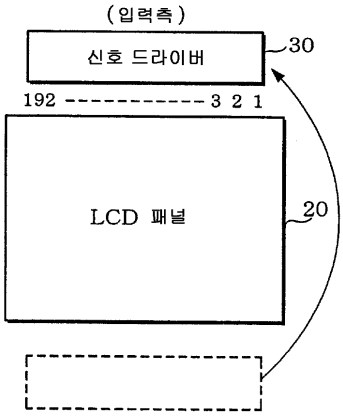
(b) 부분 표시 데이터가 오프에 설정된 블록

도면 11

(a)

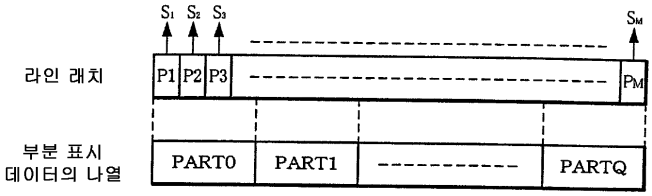


(b)

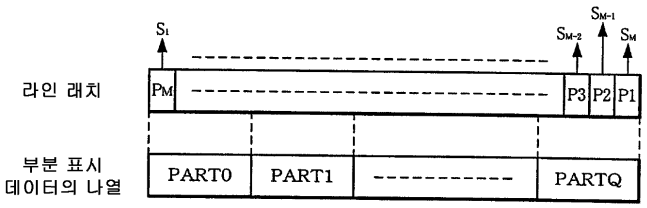


도면 12

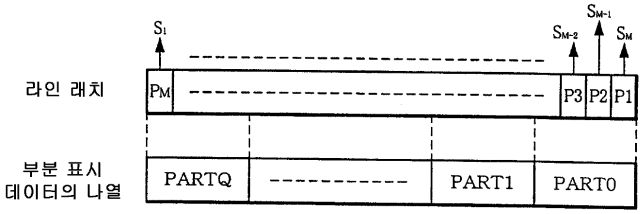
(a) SHL=「H」



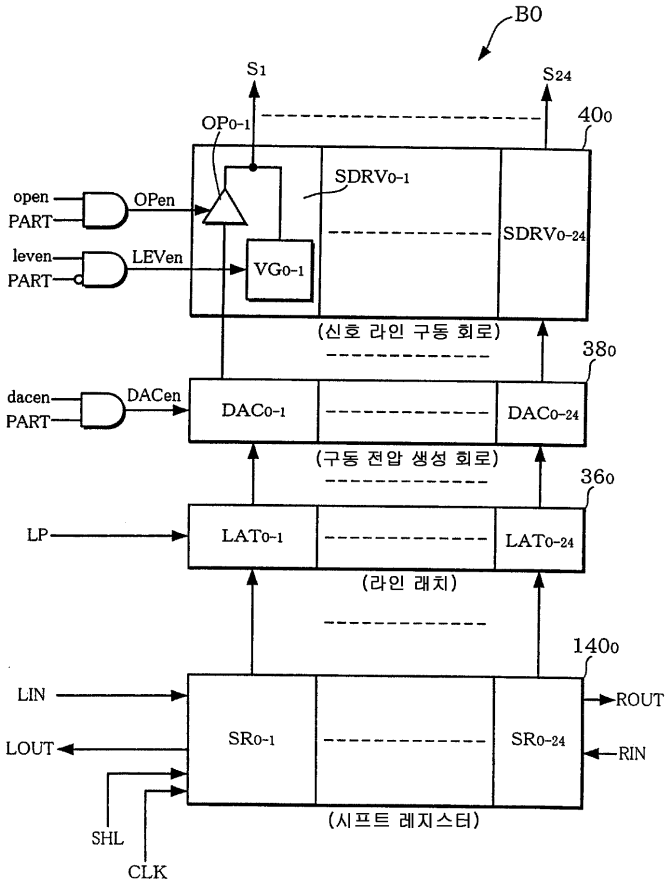
(b) SHL=「L」
데이터 교체가 없을 경우



(c) SHL=「L」
데이터 교체가 있는 경우

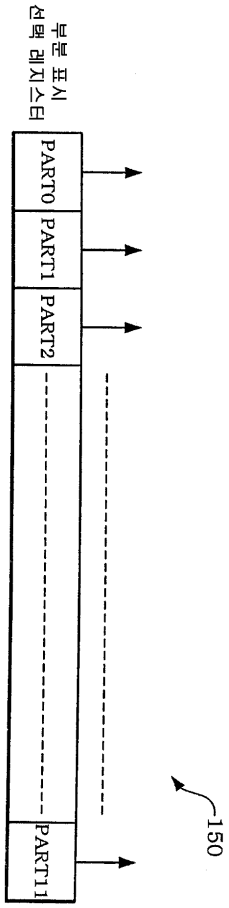


도면 13

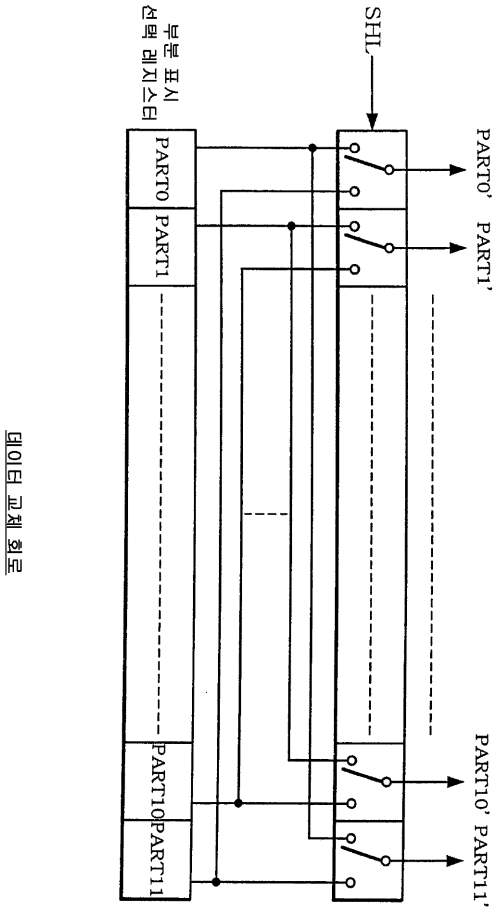


신호 드라이버의 구성(블록 단위)

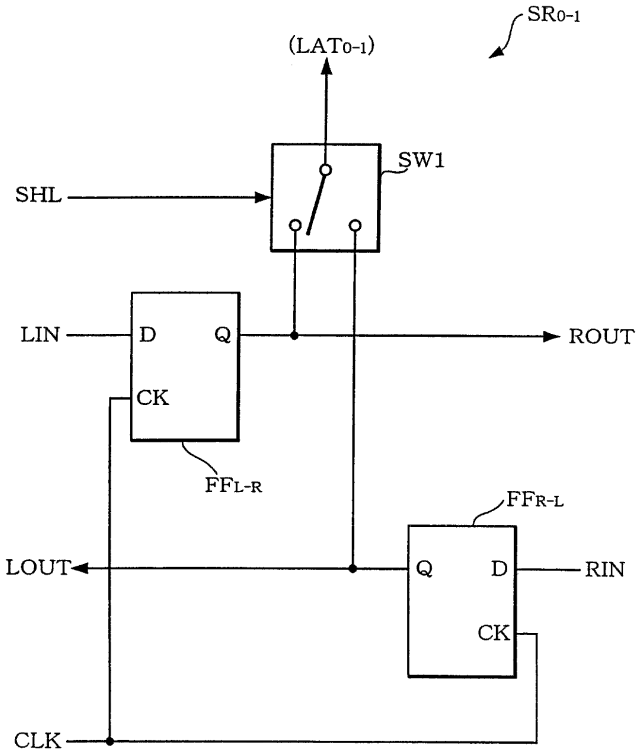
도면 14



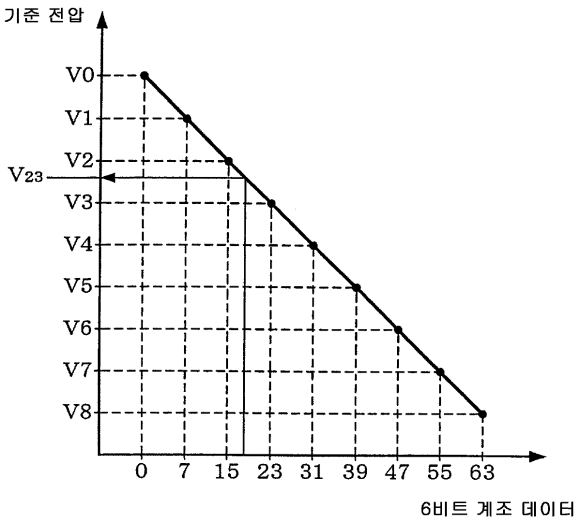
도면 15


부분 표시
선택 레지스터
SHL
PART0
PART1
PART10
PART11
PART0'
PART1'
PART10'
PART11'
데이터 교체 회로

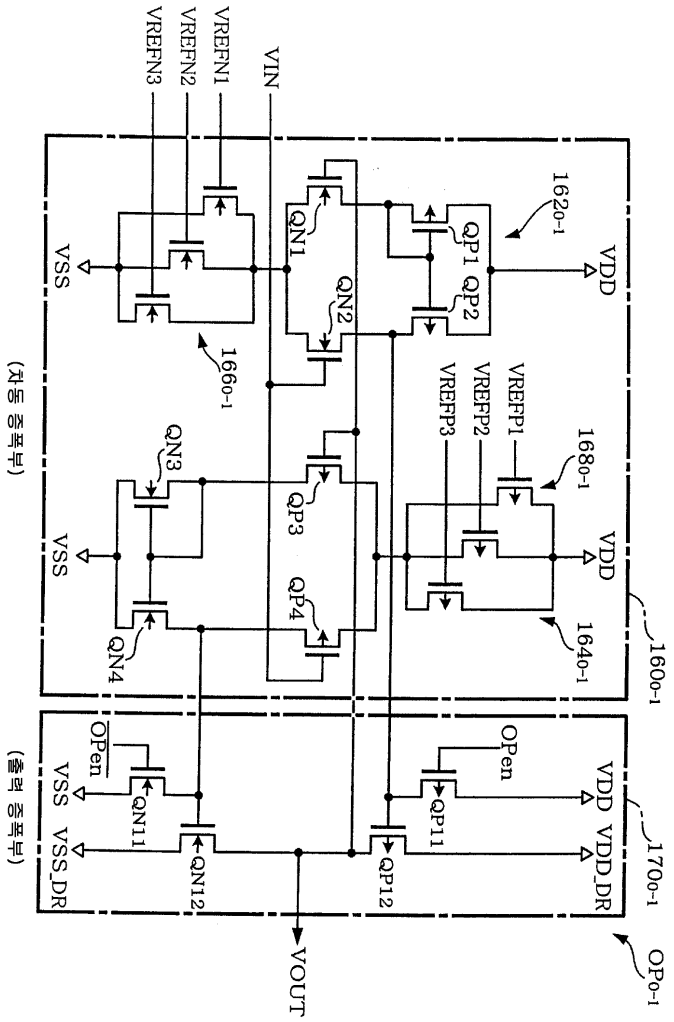
도면 16


SR0-1
(LAT0-1)
SW1
SHL
LIN
D
Q
ROUT
CK
FFL-R
FFR-L
LOUT
Q
D
RIN
CK
CLK

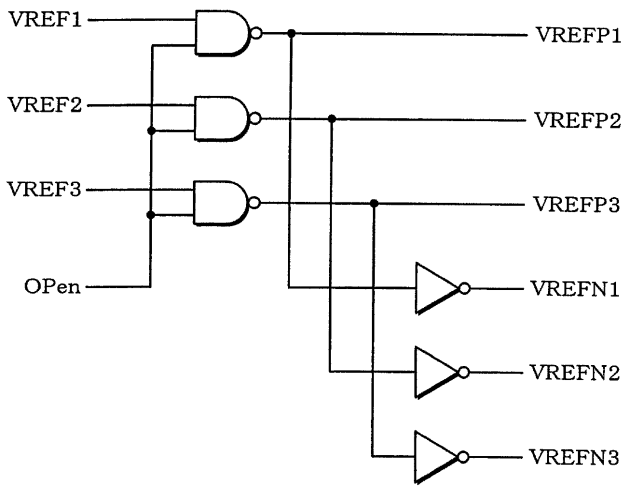
도면 17


기준 전압
V0
V1
V2
V23
V3
V4
V5
V6
V7
V8
0
7
15
23
31
39
47
55
63
6비트 계조 데이터

도면 18

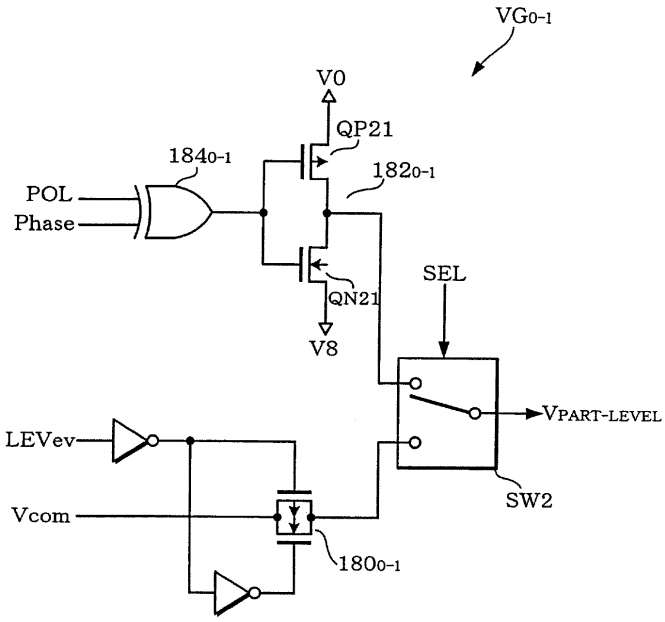

VREFN3
VREFN2
VREFN1
VIN
VSS
QN1
QN2
QP1
QP2
VDD
162o-1
166o-1
(차동 증폭부)
QN3
QN4
QP3
QP4
VREFP3
VREFP2
VREFP1
168o-1
164o-1
160o-1
OPen
VSS
VSS_DR
QN11
QN12
QP11
QP12
VDD
VDD_DR
170o-1
(출력 증폭부)
VOUT
OPo-1

도면 19



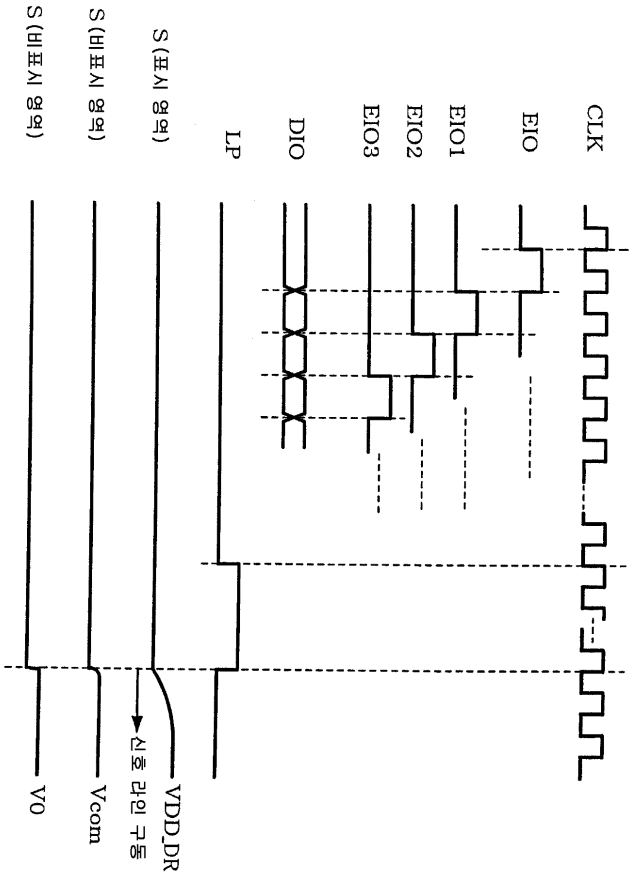
기준 전압 선택 신호 생성 회로

도면 20



비표시 레벨 전압 공급 회로

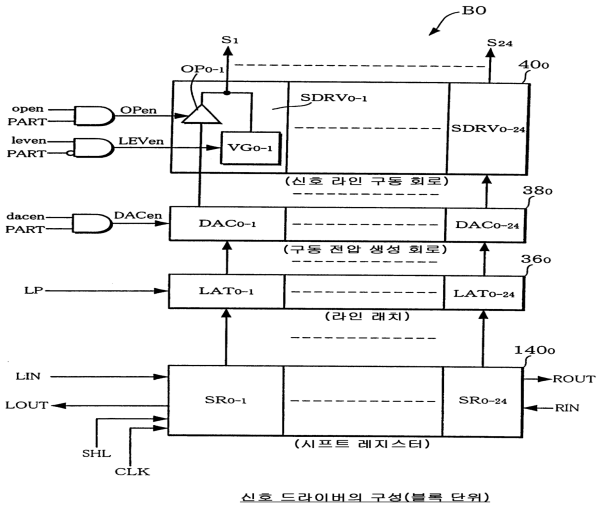
도면 21


CLK
EIO
EIO1
EIO2
EIO3
DIO
LP
S (표시 영역)
S (비표시 영역)
S (비표시 영역)
VDD_DR
Vcom
V0
신호 라인 구동

专利名称(译)	信号驱动电路，显示装置，电光装置和信号驱动方法		
公开(公告)号	KR1020020090308A	公开(公告)日	2002-12-02
申请号	KR1020020028557	申请日	2002-05-23
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生株式会社		
当前申请(专利权)人(译)	精工爱普生株式会社		
[标]发明人	MORITA AKIRA		
发明人	MORITA,AKIRA		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/027 G09G2310/0291 G09G2330/021 G09G2340/0414 G09G2310/0297 G09G3/3696 G09G3/3688 G09G3/3614 G09G3/3666 G09G2340/0478 G09G2310/0283 G09G2310/0232 G09G2310/04 G09G2340/0471 G09G3/3677 G09G2310/0289 G09G2340/0421 G09G3/3648		
代理人(译)	KIM, CHANG SE		
优先权	2001155193 2001-05-24 JP		
其他公开文献	KR100497881B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有源矩阵型液晶面板的信号驱动电路，包括对应于目标块信号线的移位寄存器，并将该信号驱动电路在多个信号线上划分的块移位到单元，将图像数据移位到单元，线锁存器在水平同步信号中同步并锁存图像数据，用于产生基于图像数据产生驱动电压的驱动电压的电路，以及信号线驱动电路。基于部件显示数据的显示和控制，其中以块部件为单位指定该信号驱动器。基于图像数据在显示区域中驱动固定块的信号线。它在非显示区域中围绕固定块的每条信号线被驱动到在非显示电平电压供应电路中产生的预定非显示电平电压。



신호 드라이버의 구성(블록 단위)