(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/36

(11) 공개번호 특2002-0002163
(43) 공개일자 2002년01월09일

(21) 출원번호 10-2000-0036648
(22) 출원일자 2000년06월29일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 백종상
경상북도구미시형곡동169주공4단지404동506호
김창곤
대구광역시북구관음동1235-10

(74) 대리인 김영호

심사청구 : 있음

(54) 액정표시장치 및 그 구동방법

요약

본 발명은 과도전류발생을 억제하기 위한 액정표시장치에 관한 것이다.

본 발명에 따른 액정표시장치는 외부로부터 입력되는 적어도 1라인분의 데이터를 복수개의 그룹으로 분할하여 저장하고, 각 그룹으로부터 소정 단위로 데이터를 출력하는 라인 메모리와; 라인메모리와 액정패널에 연결되며, 라인메모리로부터 출력되는 데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와; 라인메모리와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받으며, 데이터클럭의 각 주기마다 라인메모리의 복수개의 그룹으로부터 데이터들을 그룹 수만큼의 시점에 대응하여 구동회로로 출력시키는 타이밍컨트롤러를 구비한다.

본 발명에 의하면, 복수개의 화상 데이터의 출력타이밍을 다르게 설정하여 과도전류발생을 억제할 수 있다.

대표도
도 6

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 블록구성도.

도 2는 도1의 6 버스 구동방식 액정표시장치의 입출력 타이밍도.

도 3은 종래의 4 포트 데이터 전송방법에 따른 동작 타이밍도.

도 4는 본 발명의 따른 액정표시장치의 블록구성도.

도 5는 도4에 도시된 타이밍 컨트롤러에 집적된 라인 메모리의 구성도.

도 6은 본 발명의 일 실시예에 따른 동작 타이밍을 보여주는 파형도.

도 7은 본 발명의 다른 실시예에 따른 동작 타이밍을 보여주는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

10,410 : 타이밍 컨트롤러 20 : 데이터 구동회로

30, 430 : 액정패널 40 : 게이트 구동회로

420 : 라인 메모리 411,416 : 라인 메모리블럭

412,414 : 기수 메모리 블록413,415 : 우수 메모리 블록

D1 ~ Dn : 데이터 드라이버 집적회로

G1 ~ Gm : 게이트 드라이버 집적회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 특히, 과도전류발생을 억제하기 위한 액정표시장치 및 그 구동방법에 관한 것이다.

일반적으로 액정표시장치는 집적되는 화소 수에 대응하는 고유의 해상도를 가지고 있으며, 액정표시장치의 크기가 커질수록 그 해상도는 높아진다. 또한 고품질의 화상을 디스플레이하기 위해서, 액정표시장치의 메이커들은 동일사이즈의 액정표시장치간에도 액정패널내의 화소 집적률을 높여서 해상도를 달리하고 있다.

액정표시장치에서, XGA급 데이터에 따른 데이터클럭(DCLK)은 리플레쉬 레이트(refresh rate) 60Hz를 기준으로 65MHz이다. 즉 비디오 카드를 구비하는 시스템에서 액정표시장치로 전송되는 데이터클럭(DCLK)의 주파수는 XGA 해상도에서 65MHz이며, SXGA 해상도에서 108MHz 이고, UXGA 해상도에서 160MHz이다.

상술한 액정표시장치에서, 데이터를 액정패널로 표시하는 구동 드라이버 집적회로들의 허용 입력 데이터클럭의 주파수는 대략 45MHz ~ 60MHz 이다. 따라서 최근의 액정표시장치는 높은 데이터클럭의 주파수를 줄이고자, 입력 및 출력되는 데이터들을 병렬로 분할하고, 다수의 전송라인을 통해서 동시에 데이터를 전송시켜 구동 드라이버 집적회로들의 구동 주파수를 줄였다.

도 1은 일반적인 액정표시장치의 블록 구성도로써, XGA급 해상도의 액정표시장치를 도시하고 있다. 최근에는 액정표시장치의 구동클럭의 주파수를 줄이기 위해, 일례로 시스템으로부터 인터페이스를 통해 먼저 기수 및 우수 화소데이터로 분할된 2화소분의 데이터를 동시에 입력받으며, 이때의 데이터클럭(DCLK)의 주파수는 원래 영상신호의 데이터클럭 주파수인 65MHz 보다 낮은 32.5MHz이다.

도 1을 참조하면, 타이밍 컨트롤러(10)는 입력되는 기수 및 우수 데이터(odd data, even data)와 클럭을 입력받아 상기 클럭에 동기하여 n개의 데이터 드라이버 집적회로(D1 ~ Dn)를 포함하는 데이터 구동회로(20)로 공급한다. 이후 데이터 구동회로(20)는 입력되는 데이터를 m개의 게이트 드라이버 집적회로(G1 ~ Gm)를 포함하는 게이트구동회로(40)와 더불어 액정패널(30)을 구동하여 화상을 표시한다. 데이터 드라이버 집적회로(D1 ~ Dn)는 타이밍 컨트롤러(10)로부터 소스 샘플링 신호를 입력받아 데이터를 래치한다.

도 2 는 데이터클럭(DLCK) 주파수의 분주개념을 보여주는 타이밍도이다.

도 2에서 원래의 1화소씩의 데이터(2b)는 데이터클럭(DCLK1:2a)에 동기하여 출력된다. 이후 시스템 또는 액정표시장치에서 데이터(2b)를 래치하여 기수 데이터(odd data:2d) 및 우수 데이터(even data:2e) 데이터를 2분주된 데이터클럭(DCLK2:2c)에 동기시켜 동시에 출력시킨다. 이러한 구동방법을 2화소씩의 데이터(2d,2d)가 동시에 출력된다 하여 " 2 port 구동방법" 또는 " 6 버스 구동방법" 이라고 부르며, 이는 본원 출원인에 의해 선출원된 대한민국 특허출원 제 1995-19513호에 상세히 기재되어 있다.

그러나 상술한 종래의 액정표시장치 및 구동방법은 액정표시장치내의 구동주파수를 감소시킬 수 있었지만 데이터출력이 증가함에 따라 동시에 출력되는 데이터 량이 많아졌다. 일례로 8비트 데이터를 사용하는 액정표시장치에 있어서, 2포트 구동방법의 경우에는 타이밍 컨트롤러(10)로부터 동시에 48 비트 라인(48 bit line = 2port X 3(R,G,B) X 8bit)을 통해 데이터가 출력된다. 이때 데이터와 데이터간의 전환과정(high - > low)에서 타이밍 컨트롤러 내에서 과도전류가 발생하게 된다.

최근에는 고품질의 화상을 표시하기 위하여 동일 크기의 액정표시장치 내에서도 고해상도의 화상을 표시할 수 있는 고해상도 액정표시장치가 요구되어지고 있다. 일례로 고해상도의 UXGA급 시스템에서 데이터클럭 주파수는 대략 160MHz 이다. 상기 데이터클럭 주파수를 줄이기 위한 종래의 " 2 port 구동방법" 에 따른 도 1의 장치 및 방법은 데이터클럭을 약 80MHz로 줄일 수 있었다. 그러나 상술한 데이터클럭은 일반적인 구동 드라이브 집적회로들의 허용 입력치 보다 높아서, 고해상도에 따른 주파수 절감이 더 필요하였다. 따라서 종래의 다른 장치 및 방법은 기수 및 우수데이터로 구분되어 입력되는 데이터를 라인 메모리를 사용하여 1라인씩 래치하고 패널영역의 분할에 따라 4화소 데이터씩을 동시에 출력하였다. 이러한 구동방법을 4 Port 구동방법이라고 부르기도 한다.

도3은 상술한 종래의 4 port 데이터 전송방법에 따른 동작 타이밍도이다. 도3은 일례로 도 1에 도시된 바와 같이 액정패널(30)에 연결된 n개의 구동 드라이브 집적회로를 좌,우그룹으로 2분할 구동하고 있다. 즉, 도3의 3b,3c와 같이 입력되는 1 수평 라인분의 데이터(data1 ~ data 1024)를 래치하고, 다음 수평라인 데이터의 입력시에 도3의 3e,3f,3g, 3h와 같이 동시에 4 화소 데이터를 동시에 출력한다. 따라서 입력되는 데이터클럭(DCLK:3a)은 2분주된 소스 샘플링 클럭 (SSC:3d) 과 같이 주파수가 1/2로 줄어든다.

상술한 종래의 구동방법에 따른 액정표시장치는 일례로 8bit 데이터를 사용하고 있다면, 상기 타이밍컨트롤러(10)의 출력데이터라인은 4 X 3(RGB) X 8(bit) = 96 비트 라인이 된다. 따라서 n번째 4개의 데이터로부터 n+1번째 4개의 데이터로 전환 출력될 때, 즉 데이터 전환시 Low -> High 또는 high -> Low 로 동시 발생되거나, 또는 다수의 데이터가 Low -> High 로 전환될 때 타이밍 컨트롤러(10)내에서 과도전류가 흐르게 된다. 이러한 과도전류는 액정표시장치의 수명을 단축시켜며, 전류공급을 위한 DC-DC 컨버터(도시되지 않음)등의 소자에 악영향을 주고, 또한 아날로그 파워 노이즈 (analog power noise)등을 발생시킨다. 또한 이러한 과도전류를 제거하기 위하여 종래 액정표시장치는 과도 전류 제거용 커패시터를 추가 구성함으로써 구성이 복잡해지며 코스트가 올라간다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 액정표시장치의 복수개의 화상 데이터의 출력타이밍을 다르게 설정하여 과도전류발생을 억제하는 액정표시장치를 제공함에 있다.

본 발명의 다른 목적은 복수개의 화상 데이터 출력에 따른 과도전류발생을 줄이는 액정표시장치의 구동방법을 제공함에 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위하여 본 발명에 따른 액정표시장치는 외부로부터 입력되는 적어도 1라인분의 데이터를 복수개의 그룹으로 분할하여 저장하고, 각 그룹으로부터 소정 단위로 데이터를 출력하는 라인 메모리와; 라인메모리와 액정패널에 연결되며, 라인메모리로부터 출력되는 데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와; 라인메모리와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받으며, 데이터클럭의 각 주기마다 라인메모리의 복수개의 그룹으로부터 데이터들을 그룹 수만큼의 시점에 대응하여 구동회로로 출력시키는 타이밍컨트롤러를 구비한다.

본 발명에 따른 액정표시장치는 외부로부터 입력되는 적어도 1라인분의 데이터를 복수개의 그룹으로 분할하여 저장하고, 각 그룹으로부터 소정 단위로 데이터를 출력하는 라인 메모리와; 라인메모리와 액정패널에 연결되며, 라인메모리로부터 출력되는 데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와; 라인메모리와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받아 분할된 그룹의 수에 대응하는 분주비로 분주하여 제1 데이터클럭을 생성하고, 제1 데이터클럭의 각 주기동안 서로 다른 시점에서 각 그룹의 데이터들을 각각 구동회로로 출력시키는 타이밍컨트롤러를 구비한다.

본 발명에 따른 액정표시장치는 외부로부터 2화소 데이터씩을 순차적으로 입력받으며, 적어도 1라인 데이터들을 복수개의 그룹으로 분할하여 저장하고, 각 그룹으로부터 2화소 데이터씩 출력하는 라인 메모리와; 라인메모리와 액정패널에 연결되며, 라인메모리로부터 출력되는 데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와; 라인메모리와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받아 그룹의 수에 대응하는 분주비로 분주하여 제1 데이터클럭을 생성하고, 제1 데이터클럭의 각 주기동안 서로 다른 시점에서 각 그룹의 2화소 데이터들을 각각 구동회로로 출력시키는 타이밍컨트롤러를 구비한다.

본 발명에 따른 액정표시장치는 외부로부터 입력되는 2화소 데이터씩을 래치 출력하는 래치회로와; 래치회로와 액정패널에 연결되며, 래치회로부터 출력되는 데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와; 래치회로와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받아 데이터클럭의 1주기동안 각각의 1 화소 데이터를 소정시간간격으로 구동회로로 출력시키는 타이밍컨트롤러를 구비한다.

본 발명의 따른 액정표시장치의 구동방법은 입력되는 적어도 1라인분의 데이터를 복수개의 그룹으로 분할하여 저장하는 데이터 저장 단계와; 입력되는 제1데이터클럭을 분할된 그룹 수에 대응하는 분주비로 분주하여 제2데이터클럭을 생성하는 데이터클럭 생성 단계와; 제2데이터클럭의 1주기동안 서로 다른 시점에서 각 그룹으로부터 소정 단위의 데이터들을 각각 출력시키는 데이터 출력단계와; 출력되는 데이터들을 1라인단위로 래치하고 래치된 데이터들에 대응하여 액정패널을 구동하는 표시단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4는 본 발명의 바람직한 일 실시예에 따른 액정표시장치의 블록 구성도이다.

도 4를 참조하면, 타이밍 컨트롤러(410)는 기수/우수 라인(odd data, even data)을 통해 입력된 데이터를 라인 메모리(420)에 저장한다. 도 5는 라인 메모리(420)의 구성을 도시하고 있으며, 제1라인 메모리블럭(411)과 제2라인 메모리 블록(416)으로 구성된다. 또한 제1 라인 메모리(411)는 액정패널(430)을 좌,우영역으로 구분할 때, 1 ~ 512번째의 화소중 기수번째 데이터를 저장하는 제1 기수 메모리 블록(412)과, 1 ~ 512번째의 화소중 우수번째 데이터를 저장하는 제1 우수 메모리 블록(413)과, 513 ~ 1024번째의 화소중 기수번째 데이터를 저장하는 제2 기수 메모리 블록(414)과 513 ~ 1024번째의 화소중 우수번째 데이터를 저장하는 제2 우수 메모리 블록(415)으로 구성된다. 제2 라인 메모리 블록(416)은 제1 라인 메모리 블록(411)과 동일한 구성으로 이루어진다.

제1 라인 메모리 블록(411)은 타이밍 컨트롤러(410)의 리드/라이트 제어신호(READ/WRITE)에 대응하여 1 수평 라인의 데이터들을 좌우영역으로 구분하여 각각 제1 기수 및 우수 메모리 블록(412,413)과 제2 기수 및 우수 메모리 블록(414, 415)에 저장한다. 제1라인 메모리 블록(411)의 데이터 저장이 완료되면, 다음 라인 데이터들은 제2 라인 메모리 블록(416)에 좌, 우 영역으로 구분되어 저장된다. 상기 제2라인 메모리 블록(416)이 데이터를 저장하고 있을 때, 타이밍 컨트롤러(410)는 제1라인 메모리 블록(411)으로부터 도6에 도시된 바와 같이 제2소스 샘플링 클럭(SSC2:6e)의 하강에지(falling edge)에 동기하여 제2 기수 및 우수 메모리 블록(414,415)으로부터 기수 데이터 및 우수데이터(513, 514)(6f,6g)를 우측 데이터 드라이버 집적회로 그룹(D6 ~ D10)으로 출력시킨다. 이후 타이밍 컨트롤러(410)는 제1라인 메모리 블록(411)으로부터 도6에 도시된 바와 같이 제1소스 샘플링 클럭(SSC1:6b)의 하강에지(falling edge)에 동기하여 제1 기수 및 우수 메모리 블록(412,413)으로부터 각각 기수 데이터 및 우수데이터(1:6c,2:6d)를 좌측 데이터 드라이버 집적회로 그룹(D1 ~ D5)으로 순차 출력시킨다. 즉, 각각 2 화소 데이터가 교번하여 제1 소스 샘플링 클럭(SSC1:6b)과 제2 소스 샘플링 클럭(SSC2:6e)에 동기하여 서로 1/2주기 차이의 타이밍으로 상기 제1 기수 및 우수 메모리 블록(412,413)과 제2기수 및 우수 메모리 블록(414,415)으로부터 출력된다. 이때 상술한 제1, 2소스 샘플링 클럭(SSC1:6b,SSC2:6e)은 입력되는 데이터클럭(DCLK:6a)으로부터 2분주된 주파수를 가진다.

따라서, 도 6에 도시된 바와 같이, 타이밍 컨트롤러(410)는 입력되는 데이터클럭의 주파수보다 1/2줄어든 주파수를 가지며, 서로 위상이 반대인 제1,2 소스 샘플링 클럭(SSC1,SSC2)을 생성하고, 상기 제1,2 소스 샘플링 클럭(SSC1:6b, SSC2:6e)에 동기하여 4화소 데이터를 각각 2화소 데이터씩 서로 1/2주기의 시간차를 가지고 액정패널의 좌,우 영역에 연결된 좌,우 데이터 드라이버 집적회로 그룹으로 순차 출력시킨다.

따라서, 본 발명의 일 실시예에 따른 액정표시장치는 입력되는 데이터클럭의 주파수 보다 1/2 줄어든 주파수의 클럭으로 데이터 드라이버집적회로들을 구동시킨다. 따라서, 타이밍 컨트롤러(410)는 2화소 데이터씩만이 각각 동시에 출력되므로, 구동 주파수를 줄이고도 구동주파수 감소에 따른 많은 데이터 출력으로 인한 과도전류 발생을 억제할 수 있다.

즉 본 발명은 4포트 구동방법을 사용하여 주파수를 줄이고도, 종래의 96비트 출력의 절반인 48비트만을 동시에 출력하게 되므로 과도전류의 발생을 억제 할 수 있다.

상술한 본 발명의 일 실시예에서는 우측 데이터들을 먼저 출력하고 있으나, 좌측 데이터들을 먼저 출력할 수 도 있다. 또한, 제1 소스 샘플링 클럭(SSC1)과 제2 소스 샘플링 클럭(SSC2)이 서로 1/2주기의 지연시간을 가지고 있으나, 1/4주기, 3/4주기 등의 다양한 응용이 가능하다. 또한 도4 ~ 6에서는 동작주파수를 1/2로 줄이는 4Port 구동방법을 일례로 들고 있으나, 본 발명의 다른 실시예로 동작주파수를 1/4로 줄이기 위해 액정패널을 4영역들로 구분하고 8화소를 1/2주기의 시간차를 두고 4화소 데이터씩 출력하거나, 1/4주기의 시간차를 두고 2화소 데이터씩 출력할 수도 있다. 또한 상술한 도 4 ~ 6에 기재된 실시예에서는 액정패널을 좌, 우영역으로 구분하고 있으나, 데이터 드라이버 집적회로들을 기수 및 우수 그룹(D1 ~ D9, D2 ~ D10)으로 구분하여 적용할 수 도 있다. 또한, 데이터 드라이버 집적회로들을 패널의 상하에 배치하여 데이터라인을 기수 및 우수 등의 단위로 분할하여 적용할 수 도 있다.

또한 구동 주파수를 줄이지 않는 경우에도 본 발명을 적용할 수 있으며, 이러한 본 발명의 다른 실시예를 도 7의 타이밍도에 따라 상세히 설명한다.

도 7은 도시된 바와 같이 입력되는 데이터클럭(DCLK:7a)과 제1소스 샘플링 클럭(SSC1:7d)과 제2 소스 샘플링 클럭(SSC2:7f)의 주파수가 동일하다. 또한 입력되는 데이터의 전송속도와 출력되는 데이터의 전송속도도 동일하다.

도7을 참조하면, 먼저 타이밍 컨트롤러(410)는 입력되는 데이터클럭(DCLK:7a)으로부터 동일주파수를 가지고 서로 위상이 반대인 제1 소스 샘플링 클럭(SSC1:7d)과 제2 소스 샘플링 클럭(SSC2:7f)을 생성한다. 이후 타이밍 컨트롤러(410)는 입력되는 2포트의 기수 및 우수데이터(d2n-1:7b,D2n:7c)들을 입력받는다. 그리고 타이밍 컨트롤러(410)는 제1 소스 샘플링 클럭(SSC1:7d)의 상승에지(rising edge)에 동기하여 기수데이터(D2n-1')(7e)을 출력시킨다. 이후 상기 타이밍 컨트롤러(410)는 제2 소스 샘플링 클럭(SSC2:7f)의 상승에지(rising edge)에 동기하여 기수데이터(D2n-1':7e)의 출력시점으로부터 데이터클럭(DCLK:7a)의 1/2주기 시간차를 두고 우수 데이터(D2n':7g)를 출력시킨다. 상술한 구동방법에 따르면, 상기 타이밍 컨트롤러 내에서는 2라인분의 라인메모리(420)가 필요치 않으며, 적어도 2화소를 래치하는 래치회로만으로 구성할 수 도 있다.

따라서 상술한 본 발명의 다른 실시예에서는 2 포트 구동방법을 사용하고도, 동시에 24 비트씩만을 동시에 출력시킨다.

발명의 효과

상술한 바와 같이, 본 발명은 고 주파수의 데이터클럭이 입력되는 고해상도 액정표시장치 및 구동방법에 있어서, 구동주파수를 줄이고도 데이터 동시 출력량을 줄여 과도전류발생을 억제한다. 또한 저해상도 액정표시장치 및 구동방법에서 동일 구동주파수를 사용하고도 데이터 동시 출력량을 줄여서 과도 전류 발생을 억제한다. 본 발명에 따르면, 과도전류 발생이 억제되므로, 상기 과도전류를 제거하기 위한 캐패시터 구성을 줄일 수 있어 제조 비용이 절감되며, 또한 파워 노이즈 등을 줄일 수 있는 효과가 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정표시장치에 있어서,

외부로부터 입력되는 적어도 1라인분의 데이터를 복수개의 그룹으로 분할하여 저장하고, 각 그룹으로부터 소정 단위로 데이터를 출력하는 라인 메모리와;

상기 라인메모리와 액정패널에 연결되며, 상기 라인메모리로부터 출력되는

데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와;

상기 라인메모리와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받으며, 상기 데이터클럭의 각 주기마다 상기 라인메모리의 복수개의 그룹으로부터 상기 데이터들을 상기 그룹 수만큼의 시점에 대응하여 상기 구동회로로 출력시키는 타이밍컨트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 복수개의 그룹이 1 ~ n/2 번째 구동 집적회로들과, (n+1)/2 ~ n 번째 구동 집적회로들에 입력되는 데이터들로 각각 구성되는 제1그룹과 제2그룹으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 타이밍 컨트롤러는 입력되는 데이터클럭과 위상이 반대인 반전 데이터클럭을 생성하고 상기 데이터클럭에 대응하여 라인 메모리의 제1그룹으로부터 데이터를 출력하고, 상기 반전 데이터클럭에 대응하여 라인 메모리의 제2그룹으로부터 데이터를 출력하여 데이터클럭 매 주기동안 서로 다른 시점에서 제1그룹의 데이터와 제2그룹의 데이터가 각각 구동회로로 출력되는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 복수개의 그룹이 액정패널에 연결된 구동회로에서 각각 기수번째 구동집적회로들과 우수번째 구동 집적회로들에 입력되는 데이터들로 각각 구성되는 제1그룹과 제2그룹으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 타이밍 컨트롤러는 입력되는 데이터클럭과 위상이 반대인 반전 데이터클럭을 생성하고 상기 데이터클럭에 대응하여 제1그룹으로부터 데이터를 출력하고, 상기 반전 데이터클럭에 대응하여 제2그룹으로부터 데이터를 출력하여 데이터클럭 매 주기동안 서로 다른 시점에서 제1그룹의 데이터와 제2그룹의 데이터가 각각 구동회로로 출력되는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 복수개의 그룹이 액정패널의 상,하측에 각각 연결된 구동회로에서 각각 상측 구동집적회로들과 하측 구동 집적회로들에 입력되는 데이터들로 각각 구성되는 제 1 그룹과 제 2 그룹으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 6 항에 있어서,

상기 타이밍 컨트롤러는 입력되는 데이터클럭과 위상이 반대인 반전 데이터클럭을 생성하고 상기 데이터클럭에 대응하여 상기 제 1 그룹으로부터 데이터를 출력하고, 상기 반전 데이터클럭에 대응하여 상기 제 2 그룹으로부터 데이터를 출력하여 데이터클럭 매 주기동안 서로 다른 시점에서 상기 제 1 그룹의 데이터와 상기 제 2 그룹의 데이터가 각각 구동회로로 출력되는 것을 특징으로 하는 액정표시장치.

청구항 8.

액정표시장치에 있어서,

외부로부터 입력되는 적어도 1라인분의 데이터를 복수개의 그룹으로 분할하여 저장하고, 각 그룹으로부터 소정 단위로 데이터를 출력하는 라인 메모리와;

상기 라인메모리와 액정패널에 연결되며, 상기 라인메모리로부터 출력되는 데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와;

상기 라인메모리와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받아 분할된 그룹의 수에 대응하는 분주비로 분주하여 제1 데이터클럭을 생성하고, 상기 제1 데이터클럭의 각 주기동안 서로 다른 시점에서 각 그룹의 데이터들을 각각 상기 구동회로로 출력시키는 타이밍컨트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 8 항에 있어서,

상기 복수개의 그룹이 1 ~ n/2 번째 구동 집적회로들과, (n+1)/2 ~ n 번째 구동 집적회로들과 연결된 액정패널영역에 표시될 데이터들로 각각 구성되는 제1그룹과 제2그룹으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 9 항에 있어서,

상기 타이밍 컨트롤러는 상기 분주된 데이터클럭과 위상이 반대인 반전 데이터클럭을 생성하고 상기 분주된 데이터클럭에 대응하여 라인 메모리의 제1그룹으로부터 데이터를 출력하고, 상기 반전 데이터클럭에 대응하여 라인 메모리의 제2그룹으로부터 데이터를 출력하여 데이터클럭 매 주기동안 서로 다른 시점에서 제1그룹의 데이터와 제2그룹의 데이터가 각각 구동회로로 출력되는 것을 특징으로 하는 액정표시장치.

청구항 11.

제 8 항에 있어서,

상기 복수개의 그룹이 액정패널에 연결된 구동회로에서 각각 기수번째 구동집적회로들과 우수번째 구동 집적회로들에 입력되는 데이터들로 각각 구성되는 제1그룹과 제2그룹으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 11 항에 있어서,

상기 타이밍 컨트롤러는 입력되는 데이터클럭과 위상이 반대인 반전 데이터클럭을 생성하고 상기 데이터클럭에 대응하여 제1그룹으로부터 데이터를 출력하고, 상기 반전 데이터클럭에 대응하여 제2그룹으로부터 데이터를 출력하여 데이터클럭 매 주기동안 서로 다른 시점에서 제1그룹의 데이터와 제2그룹의 데이터가 각각 구동회로로 출력되는 것을 특징으로 하는 액정표시장치.

청구항 13.

액정표시장치에 있어서,

외부로부터 2화소 데이터씩을 순차적으로 입력받으며, 적어도 1라인 데이터들을 복수개의 그룹으로 분할하여 저장하고, 각 그룹으로부터 2화소 데이터씩 출력하는 라인 메모리와;

상기 라인메모리와 액정패널에 연결되며, 상기 라인메모리로부터 출력되는 데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와;

상기 라인메모리와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받아 상기 그룹의 수에 대응하는 분주비로 분주하여 제1 데이터클럭을 생성하고, 상기 제1 데이터클럭의 각 주기동안 서로 다른 시점에서 각 그룹의 2화소 데이터들을 각각 상기 구동회로로 출력시키는 타이밍컨트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 14.

제 13 항에 있어서,

상기 복수개의 그룹이 액정패널의 좌, 우로 구분하는 2개의 분할 영역에 표시되어질 데이터들로 각각 구성되는 제1그룹과 제2그룹으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 15.

제 14 항에 있어서,

상기 타이밍 컨트롤러는 상기 제1 데이터클럭과 위상이 반대인 제2 데이터클럭을 생성하고 상기 제1 데이터클럭에 대응하여 라인 메모리의 제1그룹으로부터 2화소 데이터를 출력하고, 상기 제2 데이터클럭에 대응하여 라인 메모리의 제2그룹으로부터 2화소 데이터를 출력하여 제1 데이터클럭 매 주기동안 라인메모리의 제1그룹 및 제2그룹으로부터 소정 시간간격으로 각각 2화소 데이터씩을 구동회로로 공급하는 것임을 특징으로 하는 액정표시장치.

청구항 16.

제 13 항에 있어서,

상기 복수개의 그룹이 액정패널에 연결된 구동회로에서 각각 기수번째 구동집적회로들과 우수번째 구동 집적회로들에 입력되는 데이터들로 각각 구성되는 제1그룹과 제2그룹으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 17.

제 16 항에 있어서,

상기 타이밍 컨트롤러는 상기 제1 데이터클럭과 위상이 반대인 제2 데이터클럭을 생성하고 상기 제1 데이터클럭에 대응하여 라인 메모리의 제1그룹으로부터 2화소 데이터를 출력하고, 상기 제2 데이터클럭에 대응하여 라인 메모리의 제2그룹으로부터 2화소 데이터를 출력하여 제1 데이터클럭 매 주기동안 라인메모리의 제1그룹 및 제2그룹으로부터 소정 시간간격으로 각각 2화소 데이터씩을 구동회로로 공급하는 것임을 특징으로 하는 액정표시장치.

청구항 18.

액정표시장치에 있어서,

외부로부터 입력되는 2화소 데이터씩을 래치 출력하는 래치회로와;

상기 래치회로와 액정패널에 연결되며, 상기 래치회로부터 출력되는 데이터에 대응하여 액정패널을 구동하는 n(n은 자연수)개의 구동 집적회로들을 포함하는 구동회로와;

상기 래치회로와 구동회로에 연결되며, 외부로부터 입력되는 데이터클럭을 입력받아 상기 데이터클럭의 1주기동안 각각의 1 화소 데이터를 소정시간간격으로 상기 구동회로로 출력시키는 타이밍컨트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 19.

제 18 항에 있어서,

상기 타이밍 컨트롤러는 상기 데이터클럭과 위상이 반대인 반전 데이터클럭을 생성하고 상기 데이터클럭에 대응하여 상기 래치회로부터 기수 화소 데이터를 출력하고, 상기 반전 데이터클럭에 대응하여 래치회로부터 우수 화소 데이터를 출력하여 데이터클럭의 매 1주기동안 상기 래치회로부터 기수 및 우수 데이터를 소정 시간간격으로 각각 1화소 데이터씩 구동회로로 공급하는 것임을 특징으로 하는 액정표시장치.

청구항 20.

액정표시장치의 구동방법에 있어서,

입력되는 적어도 1라인분의 데이터를 복수개의 그룹으로 분할하여 저장하는 데이터 저장 단계와;

입력되는 제1데이터클럭을 상기 분할된 그룹 수에 대응하는 분주비로 분주하여 제2데이터클럭을 생성하는 데이터클럭 생성 단계와;

상기 제2데이터클럭의 1주기동안 서로 다른 시점에서 각 그룹으로부터 소정 단위의 데이터들을 각각 출력시키는 데이터 출력단계와;

상기 출력되는 데이터들을 1라인단위로 래치하고 래치된 데이터들에 대응하여 액정패널을 구동하는 표시단계를 포함하는 특징으로 하는 액정표시장치의 구동방법.

청구항 21.

제 20 항에 있어서,

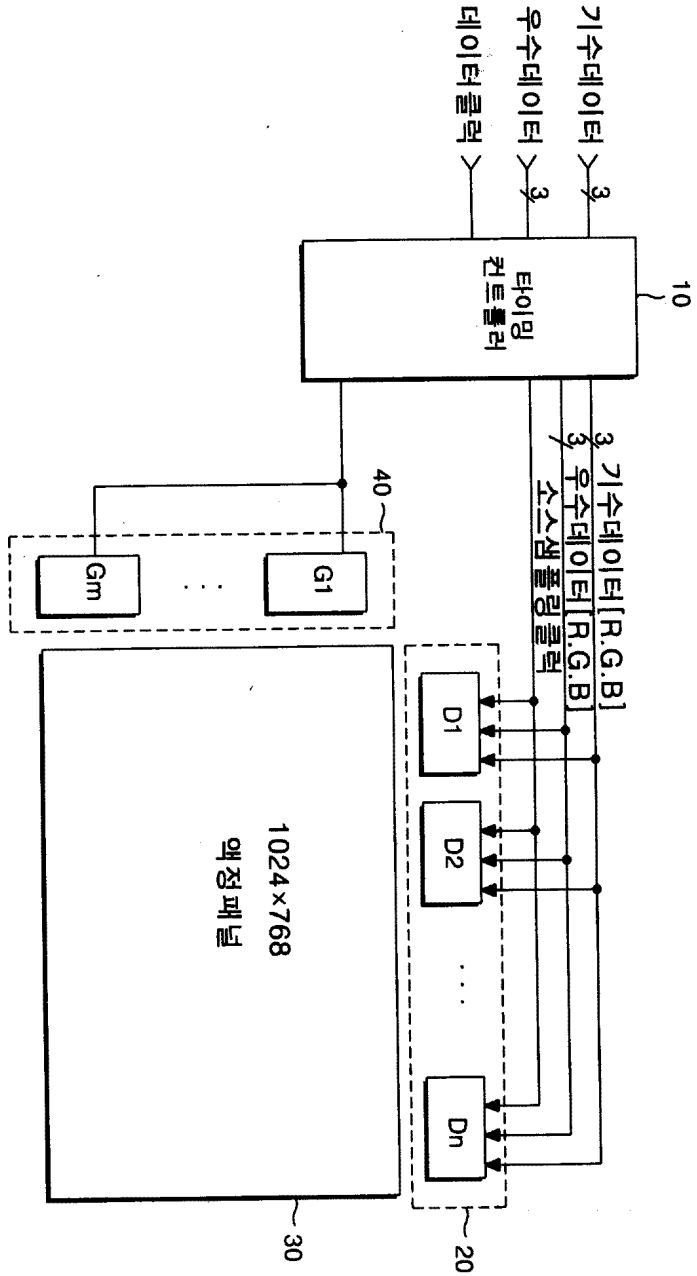
상기 데이터 저장단계가 적어도 2화소 데이터들을 순차적으로 입력받아 1라인분의 데이터를 2개의 그룹으로 분할 저장하는 단계이며,

상기 데이터클럭 생성단계에서 분주비가 2분주이며,

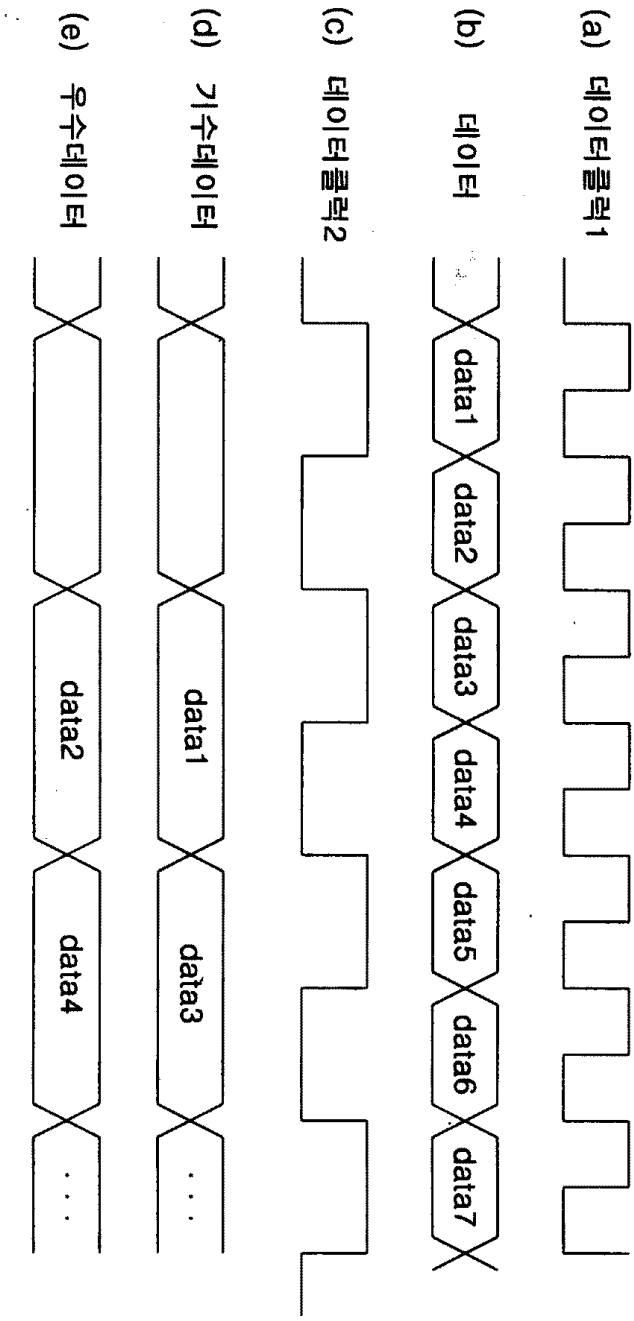
상기 데이터 출력단계에서 두 그룹들이 2화소 데이터를 제2 데이터클럭의 한 주기동안 소정 시차를 두고 각각 출력하는 것임을 특징으로 하는 액정표시장치의 구동방법.

도면

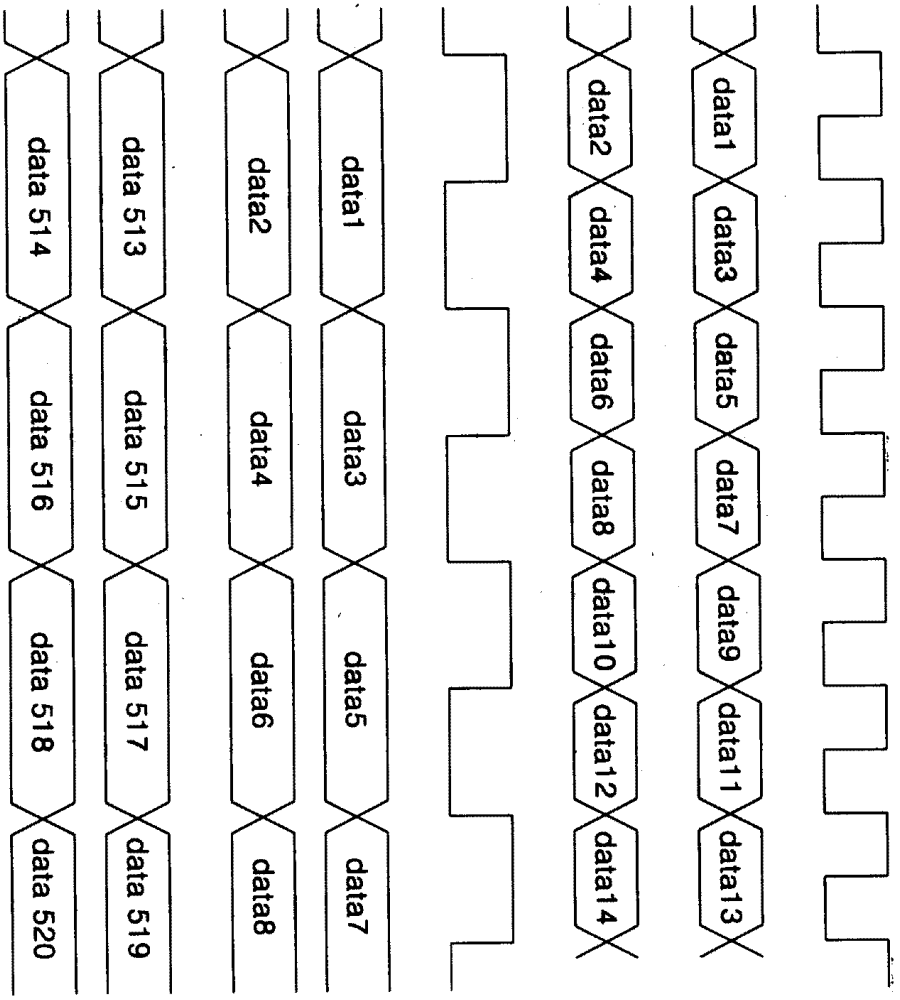
도면 1



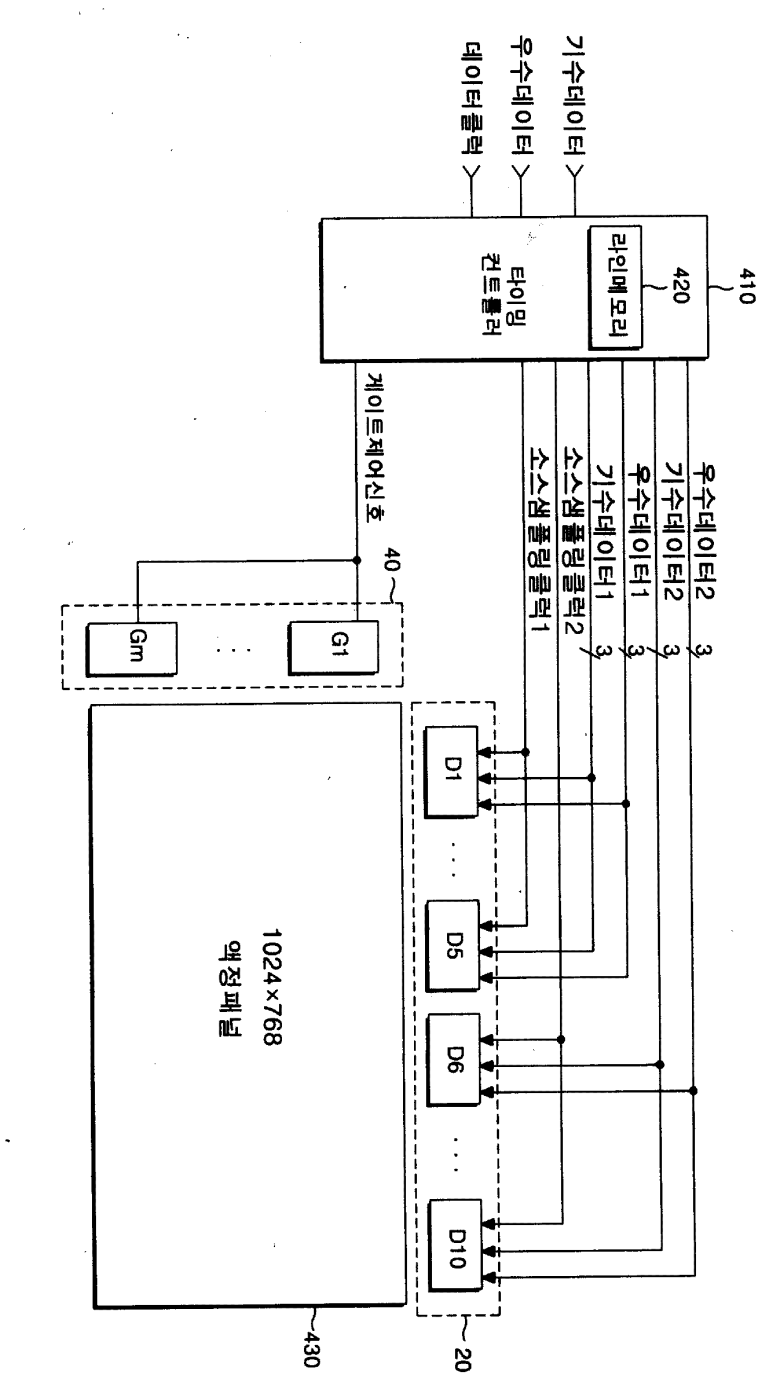
도면 2


(a) 데이터클럭1
(b) 데이터
data1
data2
data3
data4
data5
data6
data7
(c) 데이터클럭2
(d) 기수데이터
data1
data3
(e) 우수데이터
data2
data4

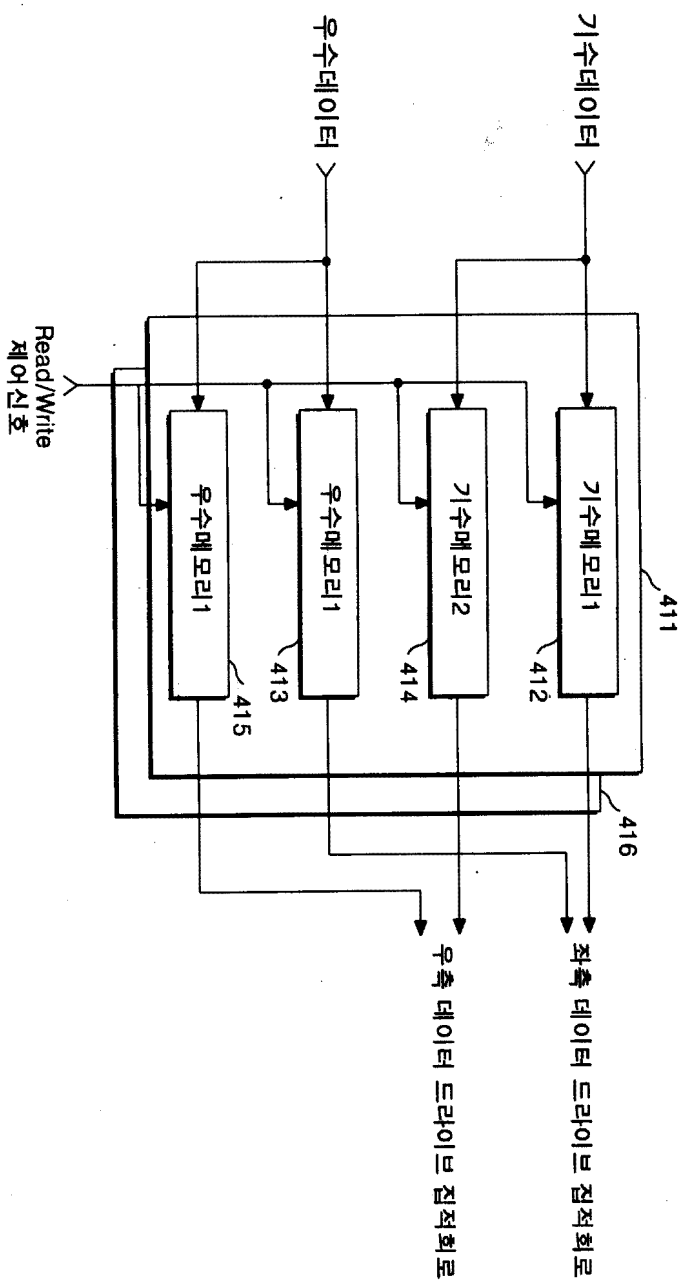
도면 3


(a) 데이터클럭
(b) 기수데이터
data1
data3
data5
data7
data9
data11
data13
(c) 우수데이터
data2
data4
data6
data8
data10
data12
data14
(d) 소스샘플링클럭
(e) 기수데이터1
data1
data3
data5
data7
(f) 우수데이터2
data2
data4
data6
data8
(g) 기수데이터2
data 513
data 515
data 517
data 519
(h) 우수데이터2
data 514
data 516
data 518
data 520

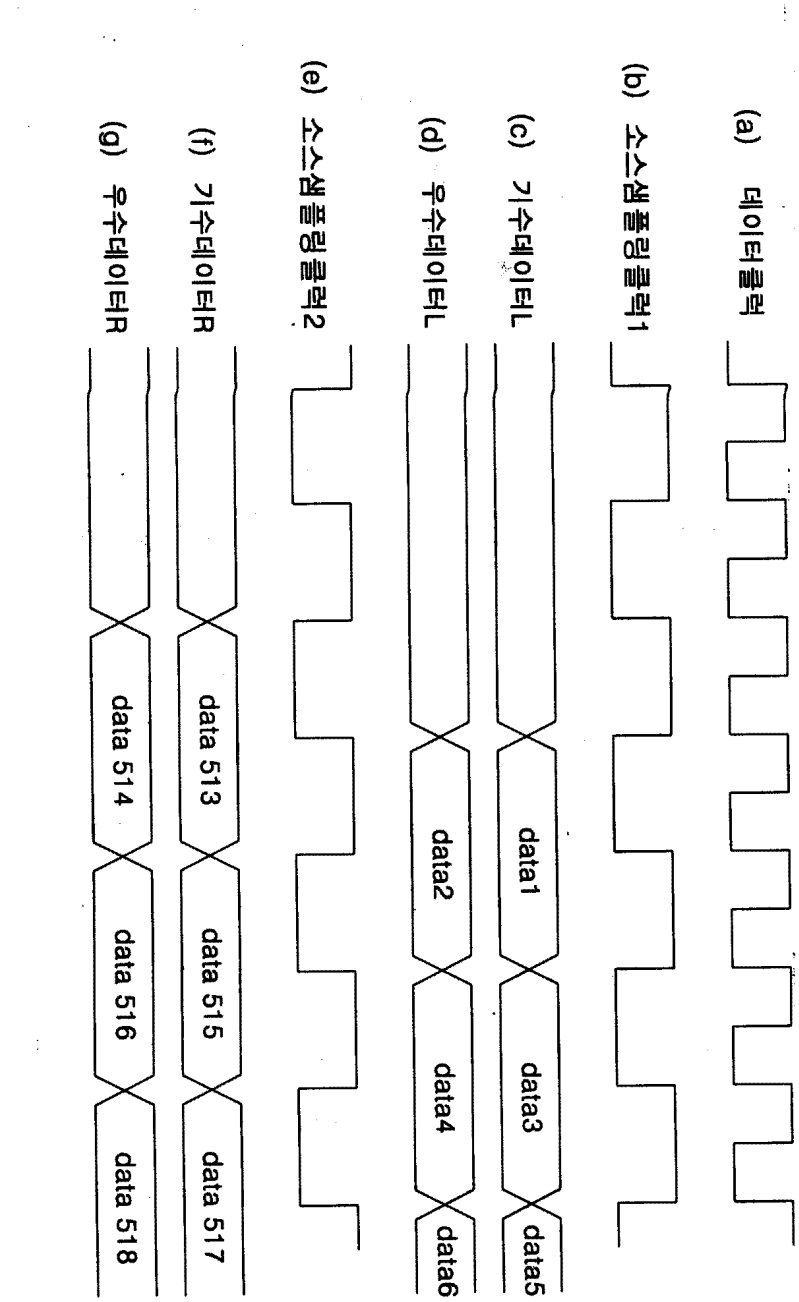
도면 4


기수데이터
우수데이터
데이터클럭
타이밍
컨트롤러
라인메모리
420
410
게이트제어신호
40
Gm
G1
우수데이터2
기수데이터2
우수데이터1
기수데이터1
소스샘플링클럭2
소스샘플링클럭1
3
D1
D5
D6
D10
20
1024×768
액정패널
430

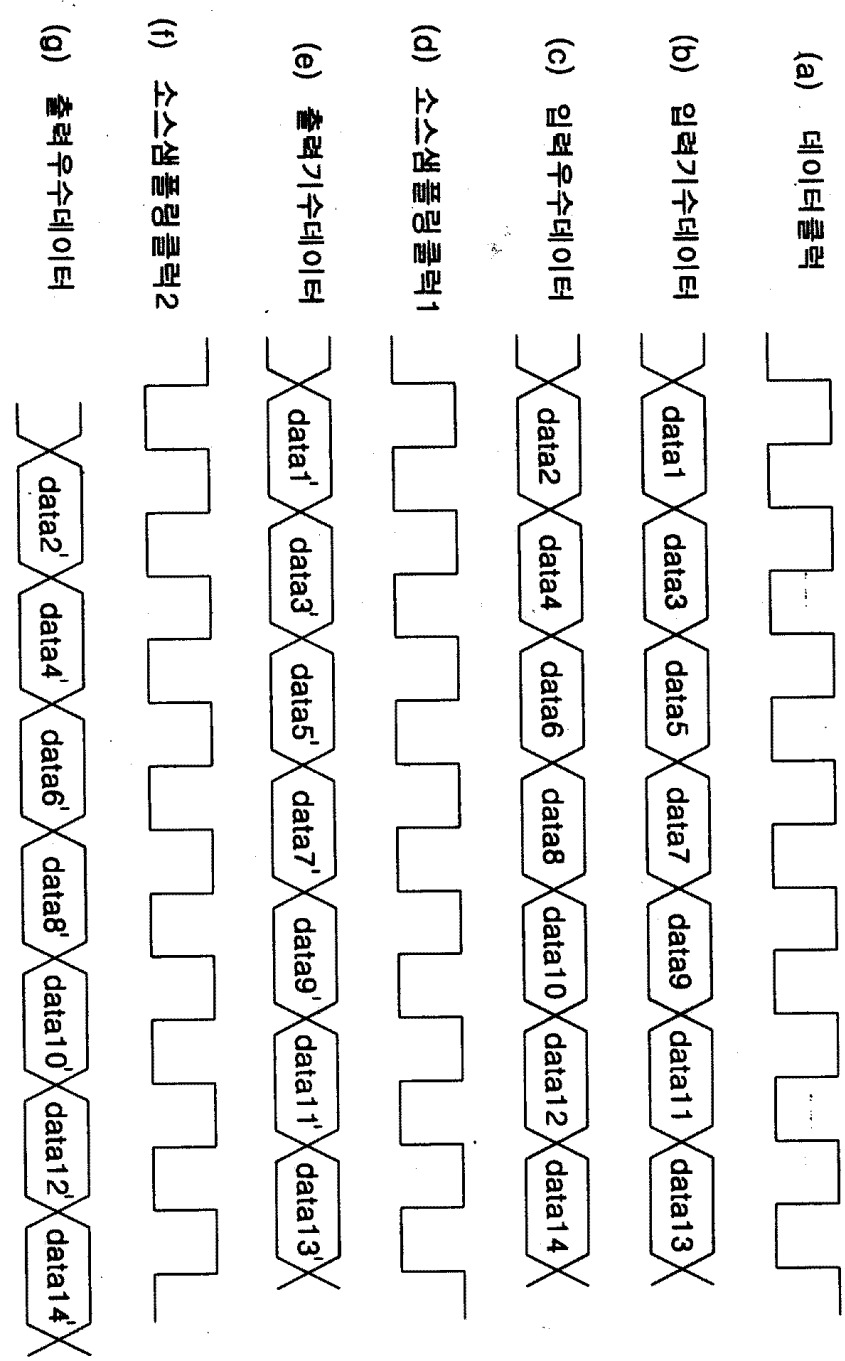
도면 5


기수데이터
우수데이터
Read/Write 제어신호
기수메모리1
기수메모리2
우수메모리1
우수메모리1
411
412
413
414
415
416
좌측 데이터 드라이브 집적회로
우측 데이터 드라이브 집적회로

도면 6


(a) 데이터클럭
(b) 소스샘플링클럭1
(c) 기수데이터L
(d) 우수데이터L
(e) 소스샘플링클럭2
(f) 기수데이터R
(g) 우수데이터R
data1
data3
data5
data2
data4
data6
data 513
data 515
data 517
data 514
data 516
data 518

도면 7


(a) 데이터클럭
(b) 입력기수데이터
data1 data3 data5 data7 data9 data11 data13
(c) 입력우수데이터
data2 data4 data6 data8 data10 data12 data14
(d) 소스샘플링클럭1
(e) 출력기수데이터
data1' data3' data5' data7' data9' data11' data13'
(f) 소스샘플링클럭2
(g) 출력우수데이터
data2' data4' data6' data8' data10' data12' data14'

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020020002163A	公开(公告)日	2002-01-09
申请号	KR1020000036648	申请日	2000-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAEK JONGSANG 백종상 KIM CHANGGONE 김창곤		
发明人	백종상 김창곤		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2330/025 G09G3/3611 G09G2310/0297		
代理人(译)	KIM，YOUNG HO		
其他公开文献	KR100330036B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种LCD及其驱动方法，以通过不同地设置LCD的多个图像数据的每个输出定时来防止由于多个图像数据的输出而引起的过电流。组成：行存储器用于将从外部接收的一条或多条线路的数据划分为多个组，存储划分的数据，并输出划分后的组的划分数据。 驱动电路与线存储器和液晶面板连接。 驱动电路具有n个驱动IC，用于驱动与从行存储器输出的数据相对应的液晶面板。 定时控制器与线存储器和驱动电路连接。 时序控制器从外部接收数据，并根据数据的每个周期将多组线存储器的数据输出到驱动电路。