

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/1343

(11) 공개번호 특2001-0049879
(43) 공개일자 2001년06월 15일

(21) 출원번호	10-2000-0042942
(22) 출원일자	2000년07월26일
(30) 우선권주장	1999-210754 1999년07월26일 일본(JP)
(71) 출원인	닛본 덴기 가부시끼가이샤 가네꼬 히사시
(72) 발명자	일본국 도쿄도 미나토구 시바 5쵸메 7방 1고 와타나베마코토 일본도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤내 와타나베다카히코 일본도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤내
(74) 대리인	장수길, 구영창

심사청구 : 있음

(54) 액티브 매트릭스 인플레인 스위칭 모드 LCD 패널

요약

인플레인 스위칭 모드 LCD 패널은 화소내의 컬러층들에 의해 정의되는 3개의 컬러에 대응하는 공통 전극선(106)의 3개의 그룹을 갖는다. 공통 전극선(106)의 그룹들의 전위를 서로 독립적으로 조절하여 대응 화소의 플리커 레벨이 화소들 간의 피드쓰루 전압의 차를 보상함으로써 최소치를 갖도록 한다.

대표도

도11

색인어

액티브 매트릭스 LCD 패널, 공통 전극선, 플리커, 디스플레이 패널, 화소

명세서

도면의 간단한 설명

- 도 1은 종래의 인플레인 스위칭 모드 LCD 패널의 화소의 정면도.
- 도 2는 도 1의 라인 II-II를 따라 절단한 단면도.
- 도 3은 일반적인 인플레인 스위칭 모드 LCD 패널을 갖는 LCD 장치의 개략적인 사시도.
- 도 4는 도 1의 LCD 패널의 등가 회로도.
- 도 5는 일반적인 인플레인 스위칭 모드 LCD 패널에서 전력선의 분포를 나타낸 단면도.
- 도 6은 도 1의 라인 VI-VI를 따라 절단한 단면도.
- 도 7은 도 1의 LCD 패널의 각 화소에 대한 등가 회로도.
- 도 8은 도 1의 LCD 패널의 신호의 파형도.
- 도 9a 및 도 9b는 주사 전압 신호의 지연의 경우에 도 1의 LCD 패널의 신호의 파형도.
- 도 10은 LCD 패널에서 화소 컬러의 배열을 나타내기 위한 본 발명의 제1 실시예에 따른 LCD 패널의 부분적인 정면도.
- 도 11은 제1 실시예의 LCD 패널의 등가 회로도.
- 도 12는 제1 실시예의 LCD 패널의 화소의 정면도.
- 도 13은 도 12의 라인 XIII-XIII을 따라 절단한 단면도.
- 도 14는 본 발명의 제2 실시예에 따른 LCD 패널의 단면도.
- 도 15는 본 발명의 제3 실시예에 따른 LCD 패널의 화소의 정면도.
- 도 16은 도 15의 LCD 패널의 등가 회로도.

도 17은 본 발명의 제4 실시예에 따른 LCD 패널의 공통 전극선의 회로도.

도 18은 도 17의 LCD 패널의 공통 전극선의 전위를 나타내는 그래프.

〈도면의 주요 부분에 대한 부호의 설명〉

100 : TFT 패널
 102 : TFT 글래스 기판
 103 : 신호선
 104 : 화소 전극
 106 : 공통 전극선
 107 : LC층
 110 : 보호 절연막
 120 : 배향막
 130 : 게이트 절연막
 200 : 카운터 패널
 502 : 주사선
 503 : TFT

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 인플레인 스위칭 모드 LCD 패널에 관한 것으로, 특히 인플레인 전계에 의해 구동되는 액티브 매트릭스 LCD(liquid crystal display) 패널의 향상에 관한 것이다.

LCD 패널들은 통상적으로 액정 모드에 의해 TN 모드(twisted nematic mode) LCD 패널과 같은 수직 전계에 의해 구동되는 것을 포함하는 복수개의 타입으로 분류된다. 이러한 LCD 패널의 모드에서, LC 분자들의 방향(축)의 배향이 기판 표면에 수직인 수직 전계의 인가에 의해 변화됨으로써, 디스플레이 패널상이 화상 표시용 투명도(또는 광이 관통하는 투과도)를 제어한다. 그러나, LCD 패널의 모드는 좁은 시야각이라는 결점을 가지며, LC층의 굴절율이 LCD 패널용 시야각에 따라 크게 좌우되는데, 이는 LC 분자의 방향이 구동 전압의 인가 동안 기판 표면에 수직인 방향으로 향하기 때문이다. 따라서, LCD 패널의 이러한 모드는 더 넓은 시야각을 필요로 하는 다양한 애플리케이션에 적합하지 않다.

한편, 인플레인 스위칭 모드 LCD 패널로서 알려진, LCD 패널의 다른 모드는 더 높은 시야각을 가지고 더 높은 화질을 제공한다. LCD 패널의 이 모드에서, LC 분자의 방향은 기판 표면에 평행한 방향으로 초기 배향되고 수평(인플레인) 전계가 인가되어 기판 표면에 평행한 면으로 회전되어 광 투과도를 제어한다. 따라서, 인플레인 스위칭 모드 LCD 패널은 최근에 폭넓게 연구 개발되고 있다. 더 넓은 시야각과 더 높은 화질은 시야각에 대한 LC층의 굴절율의 변화에 매우 작은 의존도를 나타낸다는 것이 알려져 있다.

도 1은 전면에서 인플레인 스위칭 모드 LCD 장치의 LCD 패널(또는 LCD 패널 어셈블리)을 나타낸다. LCD 패널 어셈블리는 컬럼 방향으로 연장되며 외부 드라이버에 의해 구동되는 복수개의 주사선(502), 이 주사선(502)에 수직인 행 방향으로 연장되는 복수개의 영상 신호선(103), 주사선(502)에 평행하게 연장되는 복수개의 공통 전극선(106), 및 매트릭스 형태로 배열되며 각각 한쌍의 인접한 주사선(502)과 한쌍의 인접한 영상 신호선(103)으로 정의되는 복수개의 화소를 포함한다. 각 화소는 스위칭 트랜지스터로서 작용하는 TFT(thin film transistor; 503)와 TFT(503)의 소스에 접속된 해당 화소 전극(104)을 포함한다. 공통 전극선(106)은 각 화소에 대해 공통 전극(106A)으로서 작용하며 화소 전극(104)에 평행하게 연장되는 복수개의 브랜치(branches)를 갖는다. 화소 전극(104)과 공통 전극(106A) 사이에 인가된 전압은 기판 표면에 평행한 각 화소에 수평 전계 또는 인플레인 전계를 생성한다.

도 1의 II-II를 따라 절취된 도 2를 참조하면, 수치(300)으로 표시된 LCD 패널 어셈블리는 TFT 패널(100)과 카운터 패널(200)을 포함하며 이들 사이에 LC층(107)이 개재된다. TFT 패널(100)은 TFT 글래스 기판(102), 각 화소에 대해 이들 상부에 형성된 공통 전극(106A), 화소 상부에 게이트 절연막(130)이 개재하여 형성된 화소 전극(104)과 영상 신호선(103)을 포함한다. 화소 전극(104)과 신호선(103)은 서로 교대로 TFT 패널(100)상에 배치되고 보호 절연막(110)이 도포되는데, 이 상부에는 제1 배향막(120)이 코팅 및 연마되어 형성된다. 제1 배향막(120)은 배향막(120) 근방에서 LC층(107)내의 LC 분자의 배향을 결정하기 위한 기능을 갖는다.

카운터 패널(200)은 카운터 글래스 기판(101), 카운터 글래스 기판(101)의 내부 표면 상에 형성되며 각 화소에 대한 개구를 갖는 쉴드(shield)막(203), 각 개구에서 카운터 글래스 기판(101)상에 형성된 컬러층(142), 이 컬러층(142) 상에 형성된 평탄막(202) 및 코팅 및 연마에 의해 평탄막(202) 상에 형성된 제2 배향막(202)을 포함한다. 제2 배향막(202)의 연마 방향은 제1 배향막(120)의 연마 방향에 대향한다.

TFT 패널(100)과 카운터 패널(200) 사이에는 LC층(107)과 볼 스페이스(302)가 배치되며, 이 볼 스페이스(302)는 TFT 패널(100)과 카운터 패널(200)사이에서 거리 또는 갭을 정의하기 위한 직경을 갖는다. 제1 편광막(145)은 TFT 글래스 기판(102)의 외부 표면 상에 형성되어 편광막(145)의 투광축은 배향막(120)의 연마

방향에 수직하게 된다. 제2 편광막(143)은 카운터 기판(101)의 외부 표면 상에 형성되어 편광막(143)의 투광축이 제1 편광막(145)의 투광축에 수직하게 된다.

도 3은 도 1의 LCD 패널(어셈블리; 300)을 갖는 LCD 장치의 개략적인 블럭도로서, 여기서 LCD 패널(300)은 역광(400) 상에 배치되고 LCD 드라이버(500)에 의해 구동된다. LCD 드라이버(500)는 주사 신호, 영상 신호 및 공통 전극선용 전위를 LCD 패널(300)에 공급한다.

도 4는 도 1의 LCD 패널 어셈블리의 등가 회로도를 나타낸다. 주사 신호, 영상 신호 및 공통 전극 전위는 각각 도 3에 나타난 LCD 드라이버(500)로부터 주사선들 G1~Gn, 영상 신호선 D1~Dn 및 공통 전극선 COM에 공급된다. 공통 전극 전위는 LCD 드라이버에서 가변 전위 V_{COM} 에 의해 제어된다.

주사선들 G1~Gn 중 하나가 더 높은 전위가 될 때, 대응하는 행에 배치된 화소의 TFT가 턴온되고, 이로써 전하는 영상 신호선 D1~Dn으로부터 대응하는 화소 전극 P1으로 흐른다. 이는 공통 전극선(106)과 대응하는 화소 전극(104)사이에 특정 전압을 생성함으로써, 화소 전극(104)과 공통 전극(106A)사이에 전계가 발생한다. 그 결과, 양 패널들(100)과 (200) 사이에 개재되고 기판 표면에 수직한 방향에서 보았을 때 전극들(104)와 (106A) 사이에 배치된 LCD층(107)의 일부가 기판 표면에 평행하게 회전하게 함으로써, LCD층(107)의 광전 효과는 영상 신호에 기초하여 화상을 표시한다.

도 5는 화소에 발생된 전계의 분포를 나타낸다. 화소 전극(104)과 공통 전극(106A)사이의 캐패시턴스는 두 캐패시턴스가 분리되기 어렵다고 할지라도, 첫번째로 LC층(107)의 배향에 따라 좌우되는 LC층 캐패시턴스 C_{LC} 를 포함하고 두번째로 일정한 저장 캐패시턴스 C_{SC} 를 포함한다고 사료된다. 캐패시턴스 C_{LC} 와 C_{SC} 의 합계 또는 전극(104)와 (106A)간의 전체 캐패시턴스는 다음 수학적 식 1에 의해 구해질 수 있다.

$$\int \int_{v=0}^D \vec{E} \cdot d\vec{D} dv = \frac{1}{2} (C_{LC} + C_{SC}) V^2$$

여기서, "v"에 관한 적분은 LCD 패널 어셈블리에 대한 전체 영역에서 수행되고, E, D 및 V는 각기 전계 벡터, 전속 밀도 벡터 및 화소 전극(104)과 공통 전극선(106) 간의 전압을 가리킨다.

수학적 식 1로부터 알 수 있는 바와 같이, 전체 캐패시턴스는 전기력선이 통과하는 매체와 그러한 전기력선의 개수에 따라 좌우된다. 도 5에서, 전기력선 "a", "b", "c" 및 "d"는 각기 카운터 글래스 기판(101), 컬러층(142), LC층(107) 및 TFT 글래스 기판(102)을 주로 통과한다.

컬러층(142)은 레드(R), 그린(G) 및 블루(B)를 포함하는 3원색으로 정의된 3개의 안료 중 하나로 이루어지며, 각 컬러 층들은 도 10을 참조하여 추출되는 바와 같이 LCD 패널 어셈블리의 특정 루울로 배열된다. 3개의 안료들 중 각 안료는 특정 유전체 상수와 도 5에 "dc"로 표시된 특정 두께를 갖는 것에 유의하여야 한다. 안타라퀴논(anthraquinone)계 안료는 레드막에 사용되고 구리 페타로시아닌(phthalocyanine)계 안료가 그린 및 블루막에 사용되는 경우, 레드, 그린 및 블루막들은 각기 3.3, 3.9 및 4.5의 유전체 상수라고 추정된다. 이는 캐패시턴스 C_{SC} 가 화소 자체의 색에 따라 좌우된다는 것을 의미한다. 컬러로 인해 소정 색조에 따라 막 두께가 약 0.2~0.5 μ m의 차가 생길 수 있다. 따라서, LC층(107)의 두께 "dg"는 컬러에 따라 좌우되기 때문에, 캐패시턴스 C_{LC} 도 컬러에 따라 좌우된다. 간략히 말하면, 상이한 컬러는 상이한 LC층 캐패시턴스 C_{LC} 와 상이한 저장 캐패시턴스 C_{SC} 를 화소에 제공한다.

도 6은 카운터 패널(200)을 생략하여, 도 1의 라인 VI-VI을 따라 절단한 단면도를 나타낸다. TFT 화소를 갖는 액티브 매트릭스 LCD 패널에서, 기생 게이트-소스 캐패시턴스 C_{GS} 는 주사선(502)과 화소 전극(104) 사이의 오버랩 영역에 형성된다. 도 7은 화소에 대한 등가 회로도로서, 주사선(502)과 화소 전극(104)사이의 게이트-소스 캐패시턴스 C_{GS} 는 물론 화소 전극(104)과 공통 전극(106A)사이의 저장 캐패시턴스 C_{SC} 가 도시되어 있다.

화소에 대한 신호의 전위 파형을 나타내는 도 8을 참조하면, 주사선(502)이 더 높은 레벨을 가진다고 할 때, 화소 전극(104)의 전위는 상부에 전하가 축적됨으로 인해 영상 신호선(103)의 전위 "D"에 도달한다. 만일 주사선(502)의 전위가 이 스테이지에서 하강하여 TFT를 턴오프시키는 경우, 화소 전극(104)의 전위는 약간 하락하는데, 이는 화소 전극(104)이 기생 캐패시턴스 C_{GS} 로 인해 주사선(502)의 전위 하강을 따르기 때문이다. 이러한 전위 하강 ΔV 은 일반적으로 피드스루(feed-through) 전압이라 불리우며, 다음 수학적 식 2에 의해 개략적으로 구해진다.

$$\Delta V = \frac{C_{GS}}{C_{GS} + C_{LC} + C_{SC}} (V_{gon} - V_{goff})$$

여기서, V_{gon} 과 V_{goff} 는 주사선(502)의 전위 "G"보다 각기 더 높은 레벨과 더 낮은 레벨이다.

일반적으로, LCD 패널은 대응 전압이 단일 화소인 경우 공통 전극(106A)과 화소 전극(104) 사이에 인가되도록 되는데, 대응 전압은 매 프레임 주기마다 그 극성이 변한다. LC층(107)의 배향이 화소들 간에 다른 영상 신호에 따라 좌우되기 때문에, 피드스루 전압 ΔV 은 화이트로부터 중간조, 블랙 컬러까지의 화소 이미지 범위의 상태에 따라 좌우된다. 따라서, 공통 전극선(106)에는 통상적으로 영상 신호의 최고 레벨과 최저 레벨간의 중앙 전압인 중간 전압이 인가되는데, 중앙 전압이 가장 높은 시각도를 가짐으로써 플리커(flicker)를 방지한다.

수학식 2로부터 구해진 피드쓰루 전압 ΔV 은 주사 신호 "G"가 이하에 상세히 기재된 바와 같이, 지연을 갖거나 파형의 가파른 상승 에지를 가지지 않는다면 사실상 변화된다. 지연을 포함하지 않는 도 9b의 경우에 비해 도 9a에 나타난 바와 같이, 주사 신호 "G"가 지연을 갖는 경우, 주사 신호 "G"가 하이 레벨로부터 로우 레벨로 하강한 직후에 짧은 시주기 동안 화소 전극(104)에 전류가 흐른다. 주사 신호 "G"의 전위가 TFT가 턴오프되는 임계 전압 V_{th} 로 하강할 때 까지 전류가 계속해서 흐른다. 주사 신호 "G"의 전위가 하이 레벨에서 로우 레벨로 스위칭되는 시간을 t_0 와 t_1 이라고 하고 실제적으로는 각기 임계 전압 V_{th} 까지 하강하며, 이 경우 피드쓰루 전압 ΔV 는 다음과 같이 표현될 수 있다.

$$\Delta V = \frac{C_{GS}}{C_{GS} + C_{LC} + C_{SC}} (V_{gon} - V_{goff}) - \int_{t_0}^{t_1} \frac{I(t)}{C_{GS} + C_{LC} + C_{SC}} dt$$

여기서 $I(t)$ 는 순시 t_0 와 t_1 사이에 놓여지는 순시 "t"에서의 전류이다.

주사 신호 "G"은 도 9b에 나타난 바와 같은 그 근방의 말단에 비해 도 9a에 나타난 바와 같이 주사선(502)의 먼 말단에서 지연이 더 크다는 것에 유의하여야 한다. 따라서, 피드쓰루 전압 ΔV 은 도 9a에 나타난 먼 말단의 근방에서의 화소에 비해 도 9b에 나타난 주사선의 근방 말단의 인접한 부근에서의 화소에서 더 크다.

수학식 1로부터 알 수 있는 바와 같이, 전체 캐패시턴스 $C_{LC} + C_{SC}$ 는 전력선이 통과하는 매체에 따라 좌우된다. 전술된 종래의 인플레인 스위칭 모드 LCD 패널에서, 카운터 패널(200)은 그 상부에 투명 전극이 없기 때문에, 화소 전극과 공통 전극간에 발생한 전계는 컬러층(142)에 진입한다. 막 두께의 차와 상이한 컬러층들 간의 유전율은 상이한 컬러층(142)사이에 필드쓰루 전압 ΔV 의 차를 발생시킨다. 따라서, 만일 플리커를 제거하기 위하여 공통 전극선의 전위를 조절하여 3개의 컬러층들 중 하나에 대한 피드쓰루 전압을 보상하는 경우, 플리커는 3개의 컬러층들 중 나머지 2개의 컬러층을 갖는 화소에 나타날 것이다. 또한, 컬러층들 중 나머지 2개의 컬러층들에 플리커가 발생하는 DC 전압 성분은 불규칙적인 버닝(burning)의 원인이 되고 화소에 얼룩이 생기게 하여 LCD 패널의 신뢰도를 저하시킨다.

또한, 수학식 3을 참조하여 전술된 바와 같이, 주사 신호의 지연은 순시 t_1 의 차로 인한 화소들 간의 피드쓰루 전압 ΔV 의 차를 유발시킨다. 이러한 지연은 주사 신호선의 시상수 증가와 함께 증가하며, LCD 패널의 치수 증가 또는 더 높은 해상도와 함께 증가한다. 시상수는 주사 신호선의 더 큰 폭만큼 어느 정도 까지 감소되지만, 전체 화소 영역에 개구용 영역의 비율이 감소되기 때문에 스크린의 밝기가 감소되거나 LCD 패널의 전력 소비를 증가시킴으로써 LCD 패널의 성능이 저하된다.

특히 공보 JP-A-5-224235호에는 수직 전계에 작용하는 LCD 패널이 개시되기 때문에 인플레인 스위칭 모드가 아니며, 카운터 패널 상에 장착된 투명 공통 전극은 복수개의 공통 전극으로 분할되고, 이 분할된 공통 전극들에는 상이한 전위가 인가된다. 그러나, TFT 패널과 카운터 패널간의 상대적인 위치의 정확도가 더 낮아질 수록 화소들 간의 쉴드(shield) 영역이 더 커질 필요가 있고 광 투과도를 감소시킨다.

또한, 공통 전극의 분할은 공통 전극용 패터닝 단계를 증가시킨다. 투명 전극용 미세 패터닝은 재료 자체로 인해 달성하기 어렵다는 것에 유의하여야 한다. TFT 패널과 카운터 패널간의 전계 리드(electric leads)의 수의 증가는 제조 공정을 복잡하게 한다. 인플레인 스위칭 모드 LCD 패널에서, TFT 패널상에 형성된 공통 전극선은 패널들 간의 전계 리드의 증가 또는 미세 패터닝의 문제를 야기하지 않는다.

일부 특허 공보들 JP-A-9-211411, JP-A-62802, 및 W096/00408에는 인플레인 모드 LCD 장치가 개시되어 있는데, 여기서 공통 전극선에는 각각의 전압들이 인가된다. 그러나, 상이한 컬러층을 갖는 화소의 피드쓰루 전압의 불규칙성과, 주사 신호의 펄스 지연에 의한 불규칙성의 정정을 위하여 공통 전극에 각각의 전압을 인가한다는 것을 교시하는 어떠한 가르침도 없다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 더 적은 플리커 레벨을 생성하고, 화소의 버닝, 불규칙성 및 얼룩을 감소시킬 수 있는 LCD 패널을 제공하는 것이다.

본 발명은 제1 패널, 제2 패널 및 그 사이에 샌드위치된 LCD 층을 포함하되, 상기 제1 패널이, 제1 기판, 상기 제1 기판 상에 매트릭스 형태로 배치된 복수의 화소-상기 화소 각각은 TFT, 및 상기 제1 기판의 표면에 평행한 횡전계를 발생시키는 화소 전극 및 공통 전극을 포함함-, 각기 대응하는 공통 전극에 접속된 복수의 공통 전극선, 각기 화소의 대응하는 행에 설치되고 상기 대응하는 행의 TFT의 게이트에 접속된 복수의 주사선, 및 각기 상기 화소의 대응하는 열에 설치되며 상기 대응하는 열의 상기 TFT의 소스/드레인 경로에 접속된 복수의 영상 신호선을 포함하는 LCD 패널 어셈블리가 제공되며, 상기 주사선은 상기 각 화소에 대응하여 상기 화소의 상기 화소 전극과 상기 공통 전극사이에서 동일한 전체 캐패시턴스를 갖는 복수의 그룹을 형성하고, 상기 각 그룹에는 상기 그룹의 다른 것에 인가된 전압과 독립된 개별 전압이 인가된다.

본 발명에 따르면, 공통 전극선의 그룹에는 각 전압을 인가하여 공통 전극선의 각 그룹에 접속된 화소의 플리커 레벨이 화소들 간의 피드쓰루 전압의 차를 보상함으로써 최소화 되도록 할 수 있다.

본 발명의 전술된 그리고 다른 목적, 특징 및 이점들은 첨부된 도면을 참조하여 다음 설명으로부터 보다 명백해질 것이다.

발명의 구성 및 작용

이제, 본 발명은 첨부된 도면을 참조하여 보다 구체적으로 기술되며, 유사한 구성 요소에 대해서는 도면 전체에 걸쳐 관련 참조 번호로 표시된다.

본 발명의 실시예에 따른 인플레인 스위칭 모드 LCD 패널은 이하세 기술되는 차이점을 제외하고 종래의 인플레인 스위칭 모드 LCD 패널과 유사한 구성을 갖는다. 여기서 상세히 기술되지 않는 실시예의 구성은 종래의 LCD 패널에 대한 도 1 내지 도 7을 참조하여 기술된 것과 유사하며, 이에 대한 설명은 차이점을 제외한 참조로서 결부된다.

본 실시예의 제1 실시예에 따른 LCD 패널은 각각의 컬러층을 갖는 화소들의 어레이를 가지고, 각 화소에 대한 컬러층들의 배열은 일례로서 도 10에 나타나 있다. 구체적으로, 3개의 "R", "G", 및 "B" 컬러는 화소 배열의 로우 방향으로 연속적으로 또는 교대로 나타내며, 3개의 컬러들 중 하나는 컬럼 방향을 따라 반복적으로 나타난다.

도 4와 유사한 본 실시예의 LCD 패널에 대한 등가 회로를 나타내는 도 11을 참조하면, 공통 전극선들 C1, C2, C3, . . . 은 컬럼 방향으로 연장되며 3개의 컬러들 중 하나를 특정하는 각 컬럼에 배열된 화소에 접속된다. 각각의 3개의 공통 전극선들 C1, C2와 C3, C4와 C6, 또는 . . . 은 3개의 공통 전극선들 각각으로부터 카운트되는 제4 공통 전극에 접속된다. 따라서, 3개의 컬러들 중 하나를 정의하는 모든 화소들은 대응하는 공통 전극 버스선 CR, CG 또는 CB에 접속되고, LCD 드라이버의 가변 전압원 ER, EG 또는 EB에 의해 대응하는 공통 전압이 인가된다.

교대로, 만일 로우에 배열된 모든 화소들이 3개의 컬러 중 하나를 특정화하는 경우, 이들 화소들은 공통 전극선들 중 하나에 의해 로우 방향에 함께 접속된다.

도 2를 참조하면, 본 실시예에 따른 LCD 패널의 각 화소는 공통 전극선(106)을 제외하고 도 1에 나타난 화소와 유사하고, 컬럼의 화소들을 접속하기 위해 컬럼 방향으로 연장되는 제1 전극부(106A)와 각 화소의 제1부(106A)로부터 연장되는 제2 전극부(106A)를 갖는다. 제1 및 제2 전극부(106A)는 인플레인 전계를 생성하기 위한 화소의 화소 전극(104)에 평행하게 연장된다.

도 12의 라인 XIII-XIII를 따라 절단된 도 13을 참조하면, LCD 패널은 신호선의 배열을 제외하고, 도 2에 나타난 것과 유사한 구조를 가지며, 영상 신호선(103)과 공통 전극선(106)은 게이트 절연막(130)상의 각 컬럼에 대해 쌍으로 배열되고, 화소 전극(104)은 공통 전극부(106A) 쌍 사이의 게이트 절연막(130) 상에 배치된다. 신호선과 전극(103, 104, 106, 106A)은 보호막(110)으로 피복되고, 이 상부에는 배향층(107)이 코팅 및 연마에 의해 형성된다.

카운터 패널(200)은 종래의 LCD 패널의 카운터 패널과 유사하다.

도 11로 되돌아가면, 제1 실시예에 따라 제조된 프로토타입(prototype) LCD 패널에서, 공통 전극선들 C1, C2, C3, . . . (106)의 3개의 그룹들의 전압은 각 가변 전압원 ER, EG 및 EB에 의해 서로 독립적으로 조절됨으로써, 모든 3개의 컬러들에 대한 각각의 공통 전극(106A)과 화소 전극들(104)간의 DC 전압 성분을 감소시킨다. 이들 구성을 사용함으로써, 플리커의 레벨은 현저하게 감소될 수 있다. 또한, 각 화소에 대한 LC층의 DC 전압 성분의 감소는 버닝, 불규칙성 및 얼룩을 방지하였다. 전기 특성이 독립적인 컬러층에 대한 재료를 선택함으로써, 컬러 특성이 향상될 수 있다. 제조 공정은 추가 비용없이 실질적으로 종래 장치를 사용함으로써 수행될 수 있다.

전술된 실시예에서, 공통 전극선(106)은 각 컬러층들에 대해 그룹 단위를 형성하고 각 전압이 인가된다. 그러나, 화소 전극(104)과 공통 전극(106A) 사이의 유사 전체 캐패시턴스 $C_{LC}+C_{SC}$ 를 갖는 화소에 대한 공통 전극선(106)은 그룹 단위를 형성하기에 충분하다.

도 14를 참조하면, 본 발명의 제2 실시예에 따른 LCD 패널은 공통 전극선(106)이 보호 절연막(110) 상에 형성된다는 것을 제외하고 제1 실시예와 유사하다. 도 12는 본 실시예의 LCD 패널의 화소의 정면도를 나타낸다. 도 11에 나타난 제1 실시예의 경우에서와 같이, 3개의 컬러를 특정화하는 공통 전극선들 C1, C4, C7, . . . 과 C2, C5, C8, . . . 과 C3, C6, C9, . . . 에 각 전압을 인가하여 가변 전압원 ER, EG, EB를 사용함으로써 각 컬러에 대한 최소 플리커 레벨을 구하고, 이로써 모든 컬러에 대한 공통 전극(106A)과 화소 전극(104)간의 DC 전압 성분을 감소시킬 수 있다. 이는 제1 실시예와 유사한 이점을 달성할 수 있다. 또한, 공통 전극선(106)과 영상 신호선(103)에 대한 상이한 층들의 구성은 이들 사이의 단락 회로 파일의 가능성을 감소시킬 수 있고, 이로 인해 전체 제품의 개수에 대한 결함 제품의 개수의 비율이 감소될 수 있다.

도 15를 참조하면, 본 발명의 제3 실시예에 따른 LCD 패널은 패터닝에 의해 형성된 컬럼 스페이서(504)를 갖는다. 이 패터닝된 컬럼 스페이서(504)는 직사각 단면을 갖는다. 패터닝된 컬럼 스페이서의 구성은 예를 들면 JP-A-5-224235에 개시되어 있다. 이들 컬럼 스페이서들은 LCD 패널의 각 화소 영역에 반드시 형성되지 않는다는 것에 유의하여야 하며, 이는 화소들 간의 전체 캐패시턴스의 차이에 영향을 미친다. 본 실시예에서, 전체 캐패시턴스의 차는 화소 전극과 공통 전극선간의 전체 캐패시턴스에 따라 각 전압을 공통 전극선에 인가함으로써 보상될 수 있다. 즉, 각각의 내부에 패터닝된 컬럼 스페이서(504)를 갖는 화소, 타입 "A"는 공통 전극선(106)의 제1 그룹에 접속되는 반면에 각기 그 내부에 어떠한 패터닝된 스페이서도 갖지 않는 화소, 타입 "B"는 공통 전극선(106)의 다른 그룹에 접속된다.

보다 구체적으로, 도 16을 참조하면, 각각의 공통 전극선들 C1, C2, C3, . . . , 예를 들면 공통 전극선 C2은 제1 컬럼과 제1 로우의 화소 "A"에 접속되고, 제2 컬럼과 제2 로우의 다음 화소 "A"에 접속되고, 제1 컬럼과 제3 로우의 다음 화소 "A"에 접속되고, 제2 컬럼과 제4 로우의 다음 화소 "A"에 접속되는 등, 이들 화소들 "A" 모두 그 내부에 패터닝된 스페이서를 가짐-에 접속되는 지그재그선으로 연장된다. 인접한 2개의 컬럼들의 화소 "B"는 지그재그선으로 연장되는 공통 전극선 C3에 접속된다. 가변 전압원 E_A 와 E_B 를 조절하여 각 화소들 "A"와 "B"의 플리커 레벨이 최소값이 되도록 함으로써, 화소 전극(104)과 공통 전극(106A)간의 모든 화소의 DC 전압 성분이 감소된다. 제3 실시예에 따라 제조된 프로토타입 LCD 패널에서, 플리커의 레벨은 디스플레이 영역에 대한 모든 화소에서 현저하게 감소될 수 있었다. 또한, DC 전압 성분의 감소는 화소에 대한 LC층의 버닝, 불규칙성 및 얼룩을 감소시켰다.

컬러층들에 대한 재료는 그 전기적인 특성과는 별도로 선택될 수 있기 때문에, 색조에 대한 특성은 현저하게 향상될 수 있다. 제조 공정은 추가적인 비용없이 실질적으로 종래의 장치를 사용함으로써 수행될 수 있다.

이전 실시예에서, 공통 전극선들은 각 컬러층들에 대해 그룹화되어 있고 각 전압이 인가된다. 그러나, 제3 실시예에 나타난 바와 같이, 본 발명에서는 화소들에 대한 공통 전극선이 화소 전극(104)과 공통 전극(106A)사이의 유사한 전체 캐패시턴스를 갖는 것으로 충분하다.

도 17을 참조하면, 본 발명의 제4 실시예에 따른 LCD 패널은 종래의 패널에서 발생되었던, 주사 신호 "G"의 지연으로 인한 스크린의 좌측 및 우측간의 피드쓰루 전압의 차로 인해 발생된 플리커, 버닝, 불규칙성 및 얼룩을 감소시킨다. 도 17에서, 공통 전극선들 C1 내지 Ck와 Ck 내지 Cn은 컬럼 방향으로 연장되고 각 저항 r_1 내지 r_{k-1} 과 r_k 내지 r_n 을 통하여 인접한 공통 전극선에 접속된다. 일부 공통 전극선들, 예를 들면 3개의 공통 전극선들 C1, Ck 및 Cn에는 각 가변 전압 E1, E2 및 E3이 인가되고, LCD 드라이버에 배치된 가변 전압원에 의해 독립적으로 조절된다.

가변 전압원 E1, E2 및 E3는 필드쓰루(field-through) 전압에 따라 조절되어 공통 전압선(106)의 전위를 제어한다. 보다 구체적으로, 공통 전압선(106)의 전위를 조절하여 플리커가 디스플레이 영역의 각 샘플링 포인트에서 최소 레벨이 되도록 한다.

도 18을 참조하면, 각 공통 전극선 C1, Ck 및 Cn에 인가된 전위 E1, E2 및 E3($E1 < E2 < E3$)가 나타나 있으며, 나머지 공통 전극선(106)의 전위는 전위 E1과 E3간의 매끄러운 곡선에 존재하고, 곡선은 저항에 대한 적합한 저항을 선택함으로써 구해진다. 다수의 가변 전압원은 전위 곡선에 대한 보다 적합한 설계 선택을 제공한다.

발명의 효과

본 실시예에 따라 제조된 LCD 패널은 플리커 레벨을 감소시킬 수 있고 LCD 패널의 신뢰도를 향상시킬 수 있다. 제4 실시예에 제2 실시예의 구성을 추가적으로 부가함으로써, 주사 신호의 더 큰 지연은 플리커 또는 신뢰성의 문제의 원인이 된다. 따라서, 게이트선은 전술된 문제없이 더 작은 선폴을 갖도록 형성되어 화소 영역에 더 큰 개구율을 달성할 수 있다. 게이트선의 표면의 불규칙성을 감소시킴으로써 게이트선에 대한 두께가 더 작아질 수 있고, LC층에 대한 균일한 배향을 달성할 수 있다. 이들 실시예와 제1 실시예를 결합함으로써, 더욱 향상시킬 수 있다.

전술된 실시예에서, 주사 신호 "G"가 주사선의 말단 양쪽으로부터 공급되는 경우, 주사선의 중앙에서 가장 큰 지연이 발생한다. 이 경우, 공통 전극의 전위를 조절하여 디스플레이 영역의 중앙에 위치한 공통 전극선이 공통 전극선 중에서 가장 큰 전위를 갖도록 하는 것이 바람직하다.

전술된 실시예들은 예로서만 기술되었기 때문에, 본 발명은 전술된 실시예에 국한되지 않으며 다양한 변형 또는 대체가 본 발명의 범위내에서 본 분야의 숙련된 자에 의해 용이하게 이루어질 수 있다.

(57) 청구의 범위

청구항 1

제1 패널(100), 제2 패널(200) 및 그 사이에 샌드위치된 LCD 층(107)을 포함하되, 상기 제1 패널(100)이, 제1 기판(102), 상기 제1 기판(102) 상에 매트릭스 형태로 배치된 복수의 화소- 상기 화소 각각은 TFT(503), 및 상기 제1 기판(102)의 표면에 평행한 횡전계를 발생시키는 화소 전극(104) 및 공통 전극(106A)을 포함함-, 각기 대응하는 공통 전극(106A)에 접속된 복수의 공통 전극선(106), 각기 화소의 대응하는 행에 설치되고 상기 대응하는 행의 TFT(503)의 게이트에 접속된 복수의 주사선(502), 및 각기 상기 화소의 대응하는 열에 설치되며 상기 대응하는 열의 상기 TFT(503)의 소스/드레인 경로에 접속된 복수의 영상 신호선(103)을 포함하는 LCD 패널 어셈블리에 있어서,

상기 주사선(502)은 상기 각 화소에 대응하여 상기 화소의 상기 화소 전극(104)과 상기 공통 전극(106A)사이에서 동일한 전체 캐패시턴스를 갖는 복수의 그룹을 형성하고, 상기 각 그룹에는 상기 그룹의 다른 것에 인가된 전압과 독립된 개별 전압이 인가되는 LCD 패널 어셈블리.

청구항 2

제1항에 있어서, 상기 각 그룹은 상기 화소의 색들중 하나에 대응하는 LCD 패널 어셈블리.

청구항 3

제2항에 있어서, 상기 각 공통 전극선(106)은 상기 색들중 하나가 반복적으로 나타나는 방향으로 연장되는 LCD 패널 어셈블리.

청구항 4

제2항에 있어서, 상기 공통 전극선(106)의 각 그룹에 인가된 전압들은 상기 색들중 하나를 정하는 상기 화소에 대한 플리커 레벨이 최소가 되도록 조정되는 LCD 패널 어셈블리.

청구항 5

제1항에 있어서, 상기 공통 전극선(106)의 상기 그룹중 하나는 내부에 컬럼 스페이서(504)를 갖는 상기 화소의 한 그룹에 대응하고, 공통 전극선(106)의 상기 그룹의 다른 것은 내부에 컬럼 스페이서(504)가 없는 상기 화소의 다른 그룹에 대응하는 LCD 패널 어셈블리.

청구항 6

제1 패널(100), 제2 패널(200) 및 그 사이에 샌드위치된 LCD 층(107)을 포함하되, 상기 제1 패널(100)이, 제1 기판(102), 상기 제1 기판(102) 상에 매트릭스 형태로 배치된 복수의 화소- 상기 화소 각각은 TFT(503), 및 상기 제1 기판(102)의 표면에 평행한 횡전계를 발생시키는 화소 전극(104) 및 공통 전극

(106A)을 포함함-, 각기 대응하는 공통 전극(106A)에 접속된 복수의 공통 전극선(106), 각기 화소의 대응하는 행에 설치되고 상기 대응하는 행의 TFT(503)의 게이트에 접속된 복수의 주사선(502), 및 각기 상기 화소의 대응하는 열에 설치되며 상기 대응하는 열의 상기 TFT(503)의 소스/드레인 경로에 접속된 복수의 영상 신호선(103)을 포함하는 LCD 패널 어셈블리에 있어서,

레지스터(r_1 내지 r_n)는 상기 공통 전극선(106)중 인접한 2개의 공통 전극선 각각 사이에 접속되며, 상기 레지스터(r_1 내지 r_n) 및 상기 공통 전극선(106)를 접속시키는 몇몇의 노드들 각각에는 서로 독립된 개별 전압이 인가되는 LCD 패널 어셈블리.

청구항 7

제6항에 있어서, 상기 개별 전압 및 상기 레지스터(r_1 내지 r_n)의 저항은 상기 주사선(502)의 전압 입력측에 대응하는 상기 공통 전극선(106)중의 하나에 상기 주사선(502)의 말단에 대응하는 상기 공통 전극선(106)의 다른 것과 비교하여 낮은 전압이 인가되도록 선택되는 LCD 패널 어셈블리.

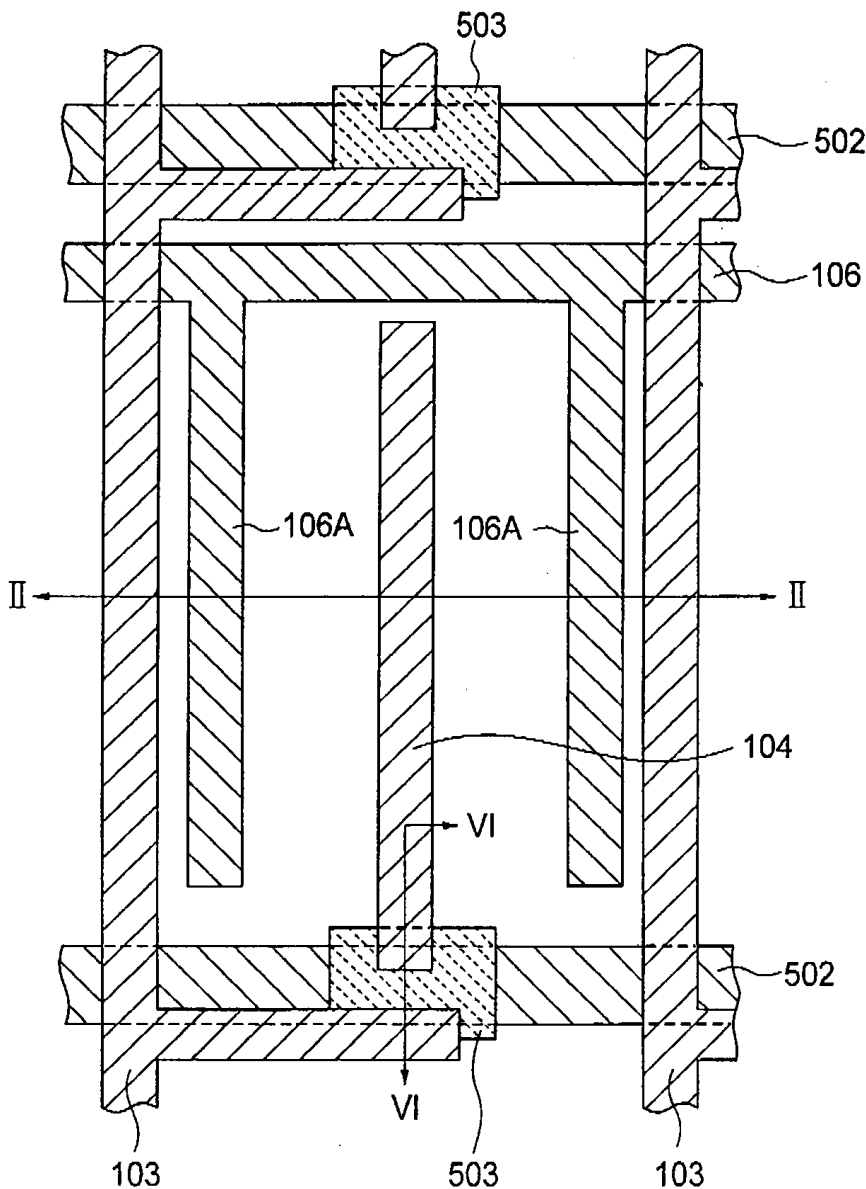
청구항 8

제6항에 있어서, 상기 공통 전극선(106)의 전위들은 상기 LCD 패널의 영역 전체에서의 플리커 레벨이 실질적으로 최소가 되도록 조정되는 LCD 패널 어셈블리.

도면

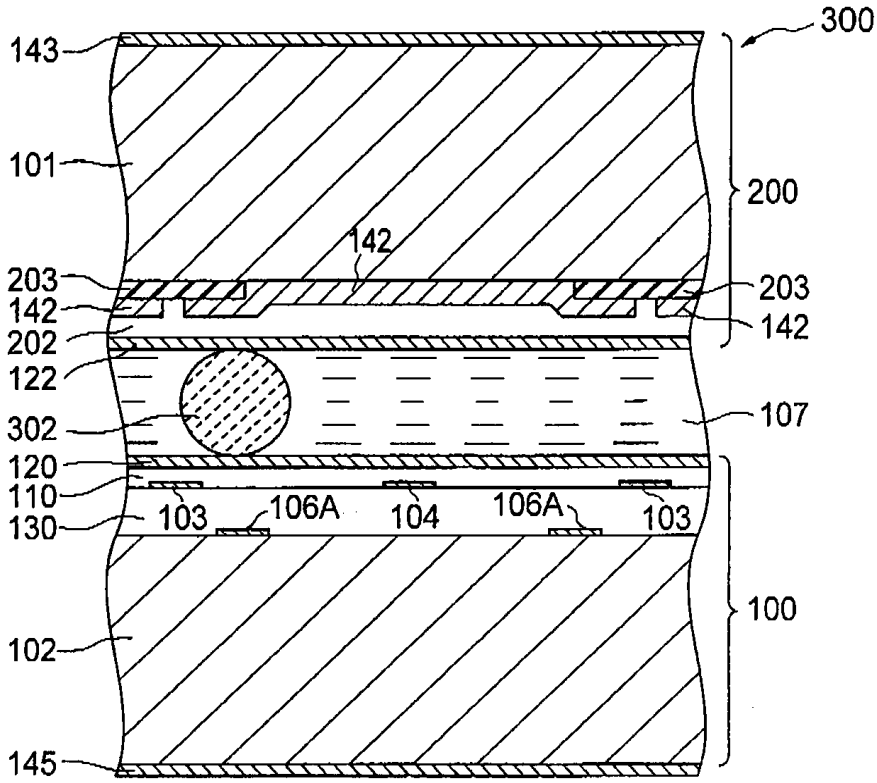
도면1

(종래 기술)



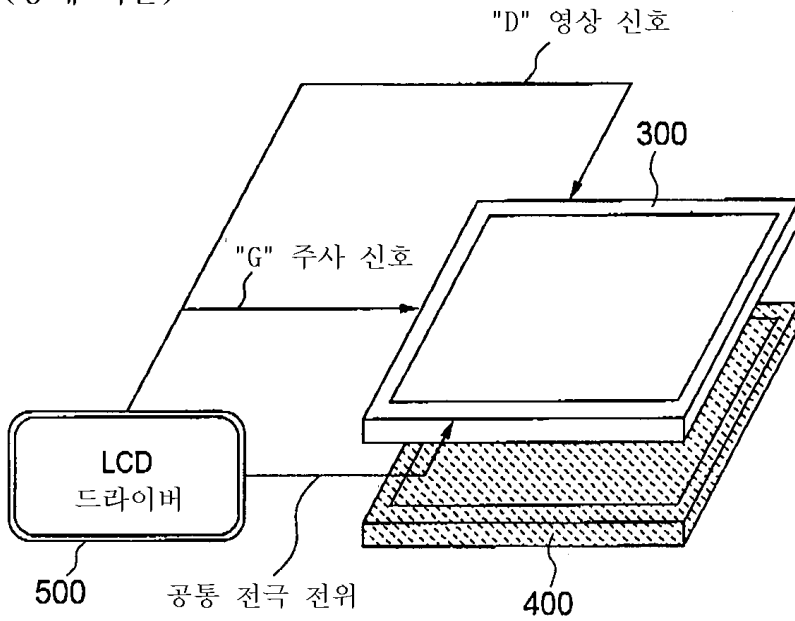
도면2

(종래 기술)

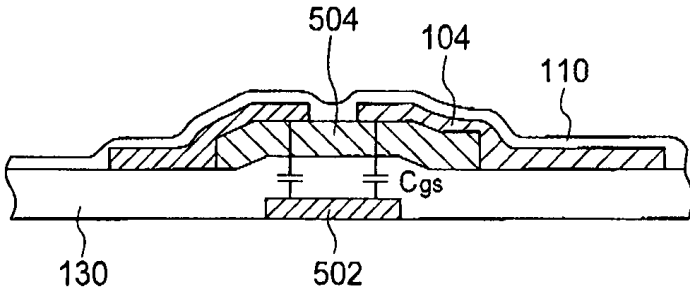


도면3

(종래 기술)

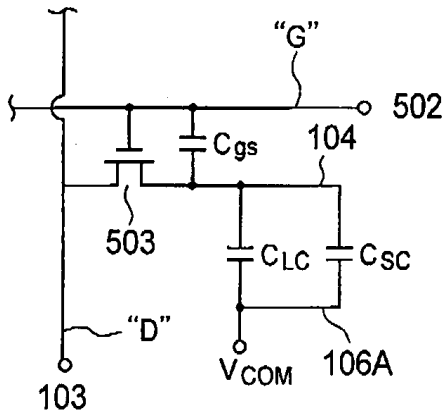


도면6



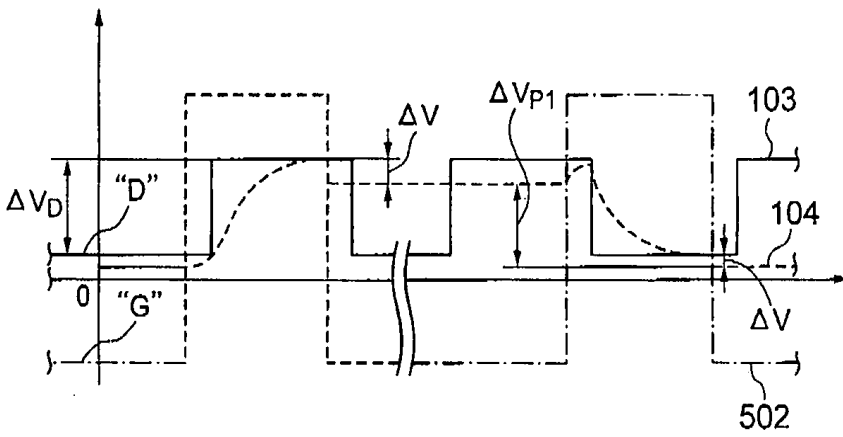
도면7

(종래 기술)



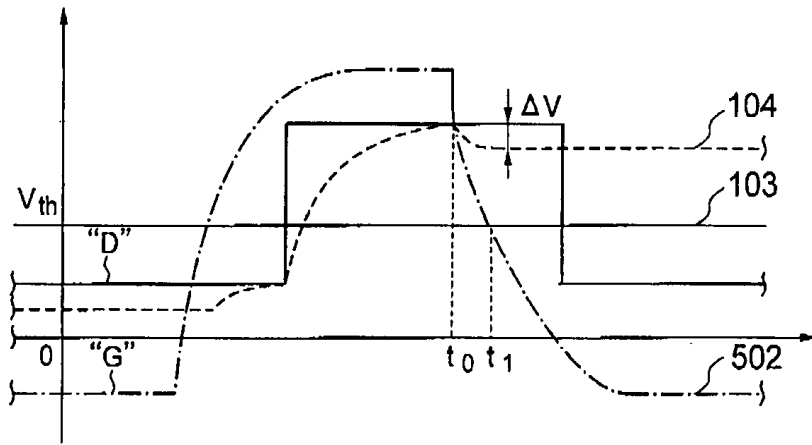
도면8

(종래 기술)



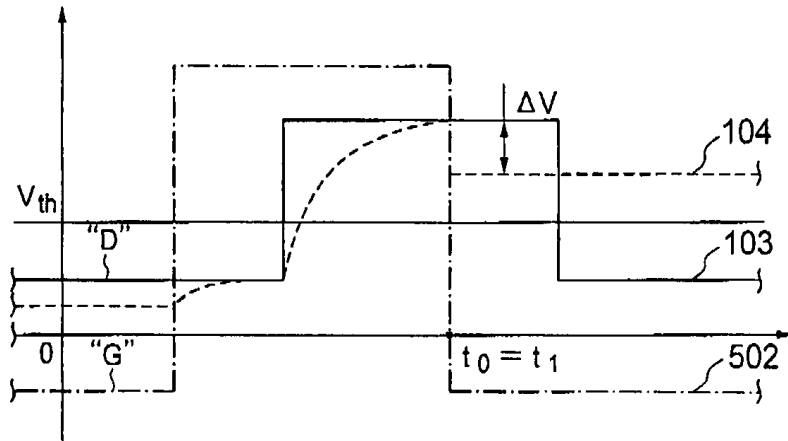
도면9a

(종래 기술)

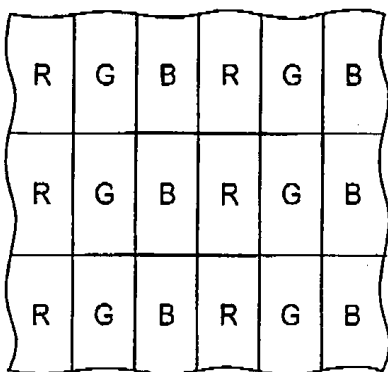


도면9b

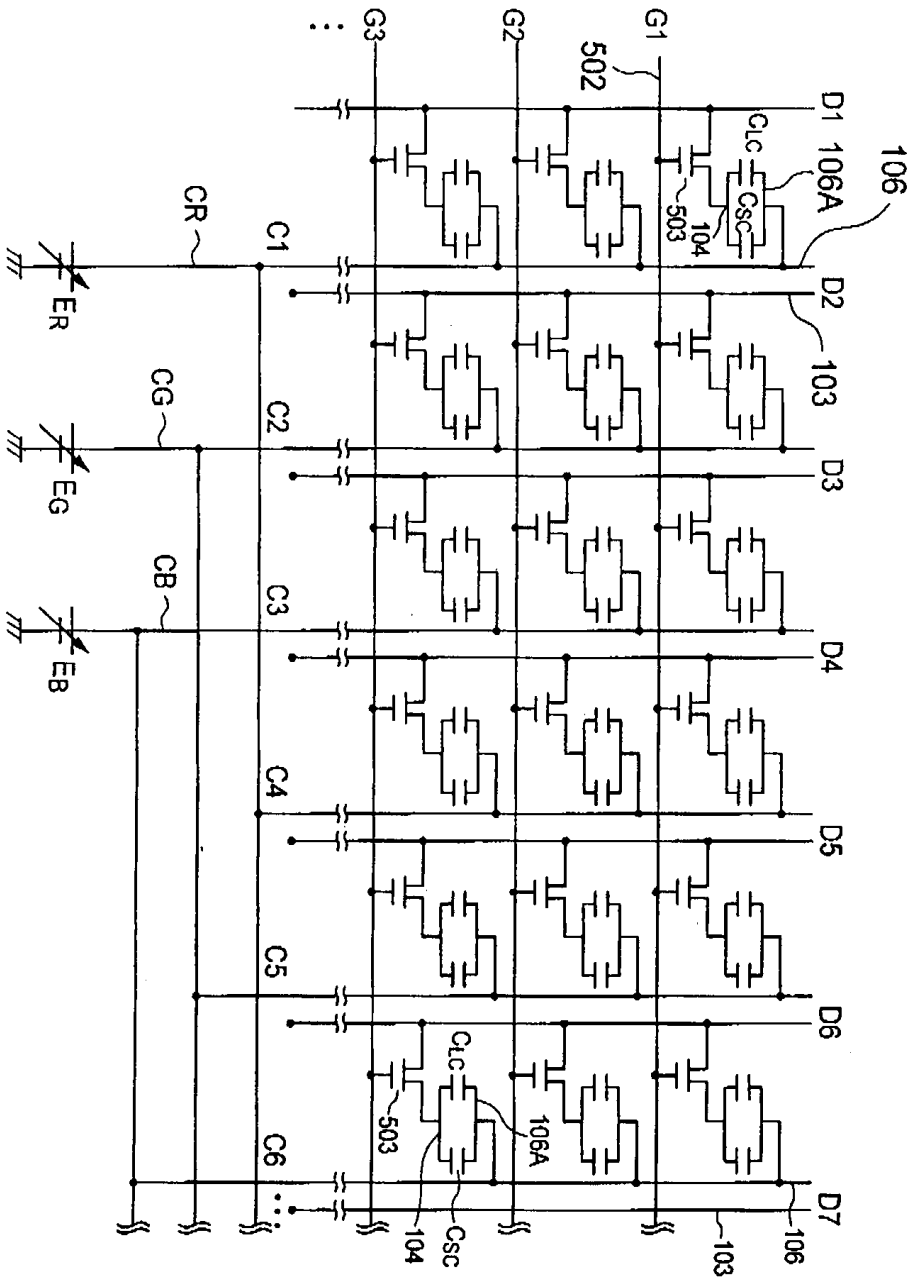
(종래 기술)



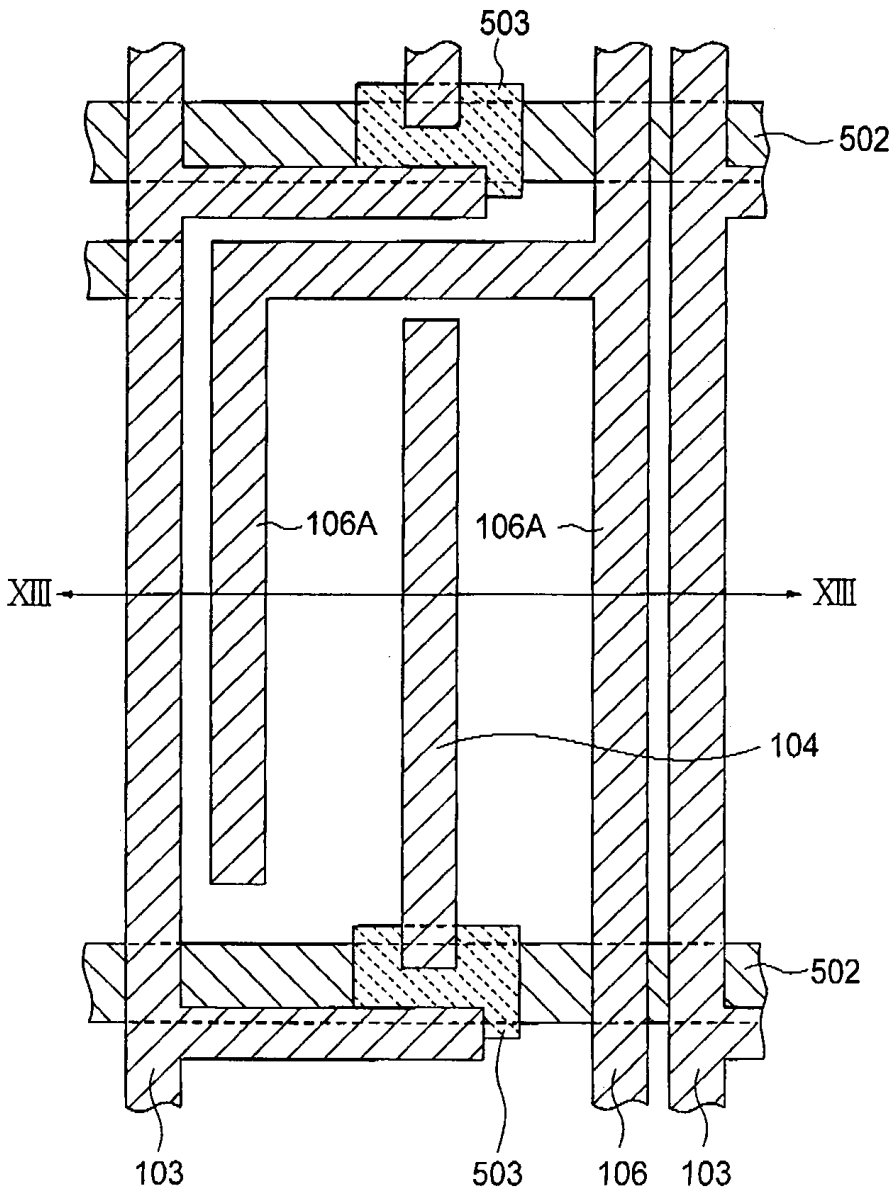
도면10



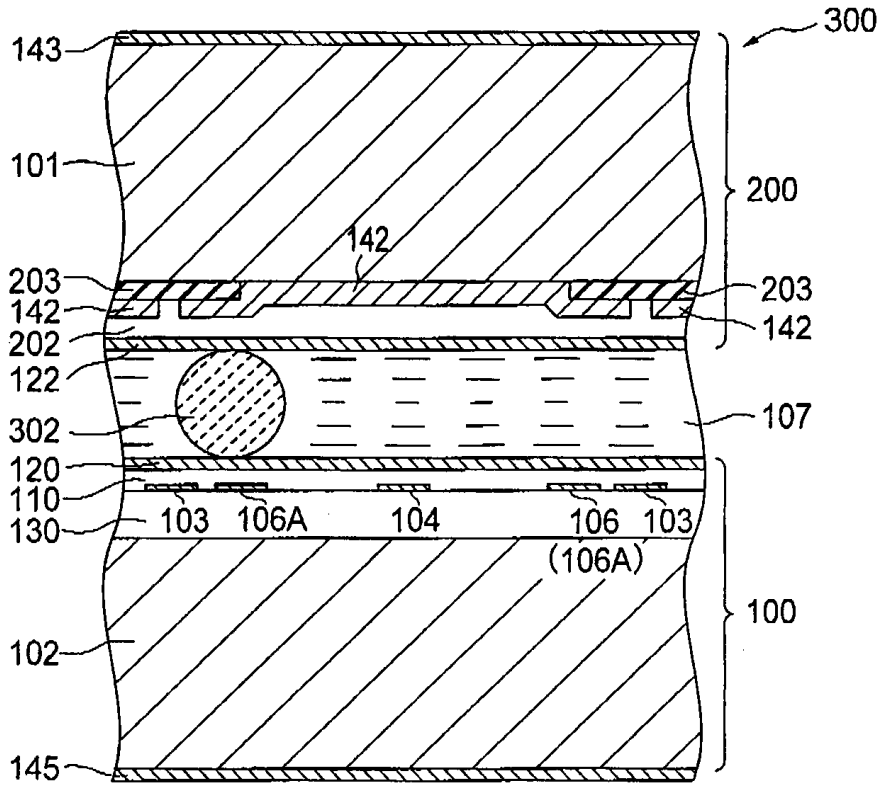
5811



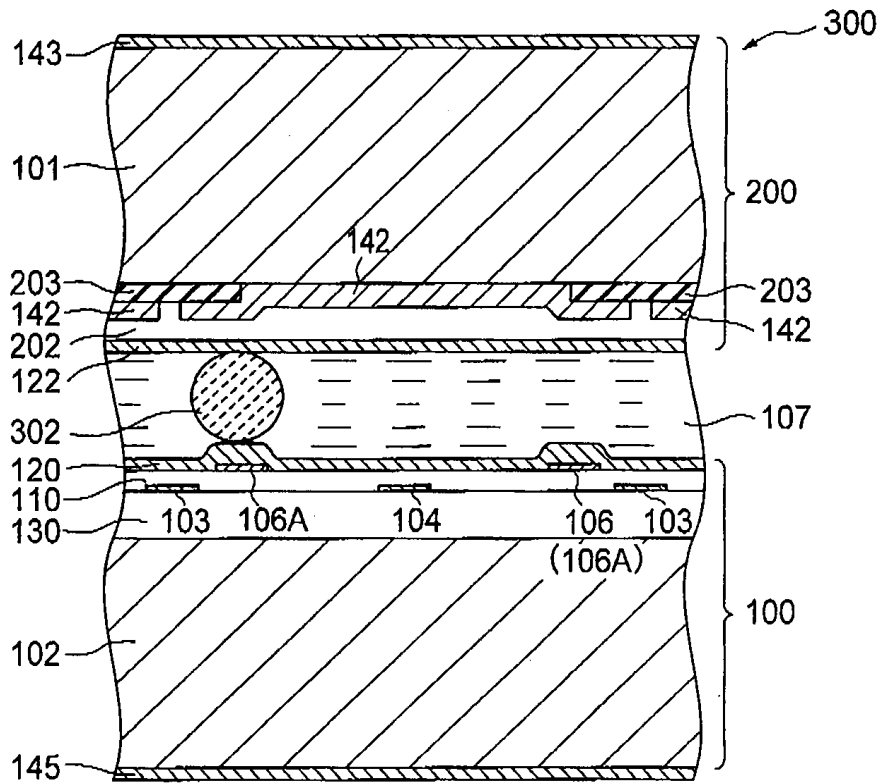
도면 12



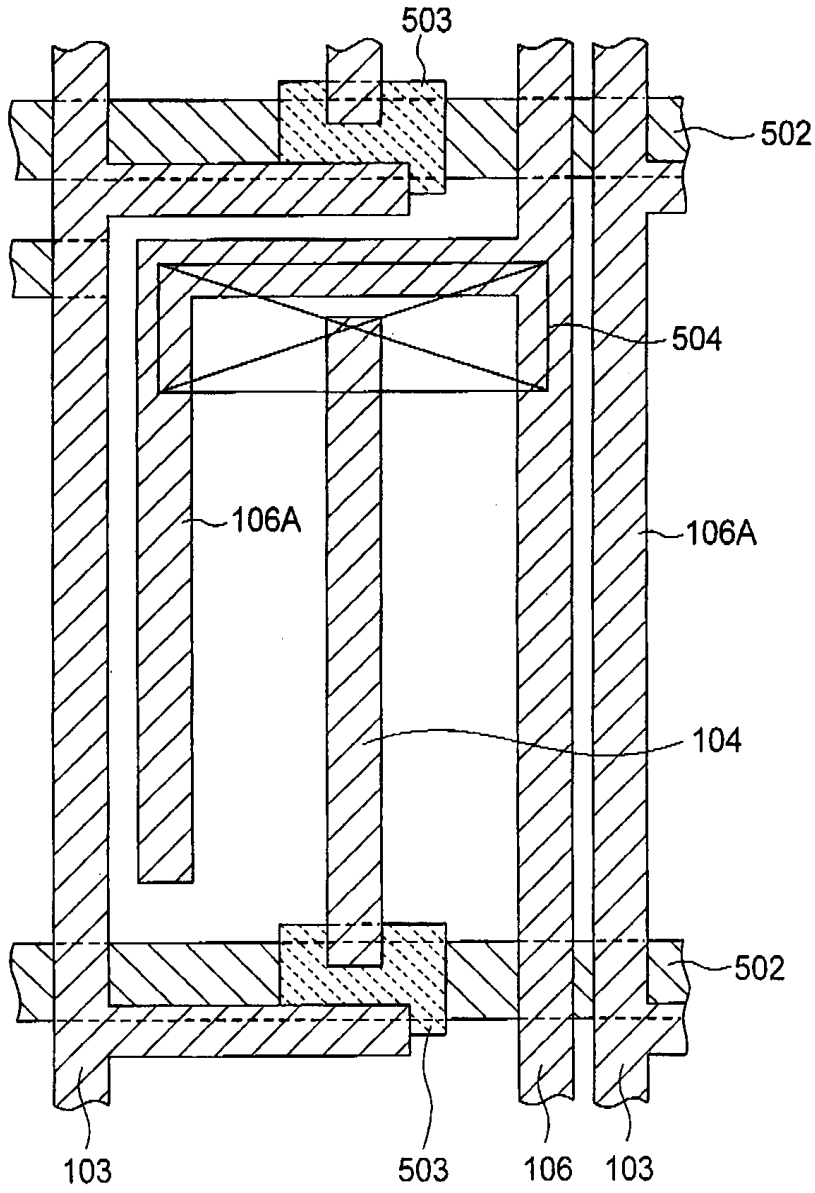
도면 13



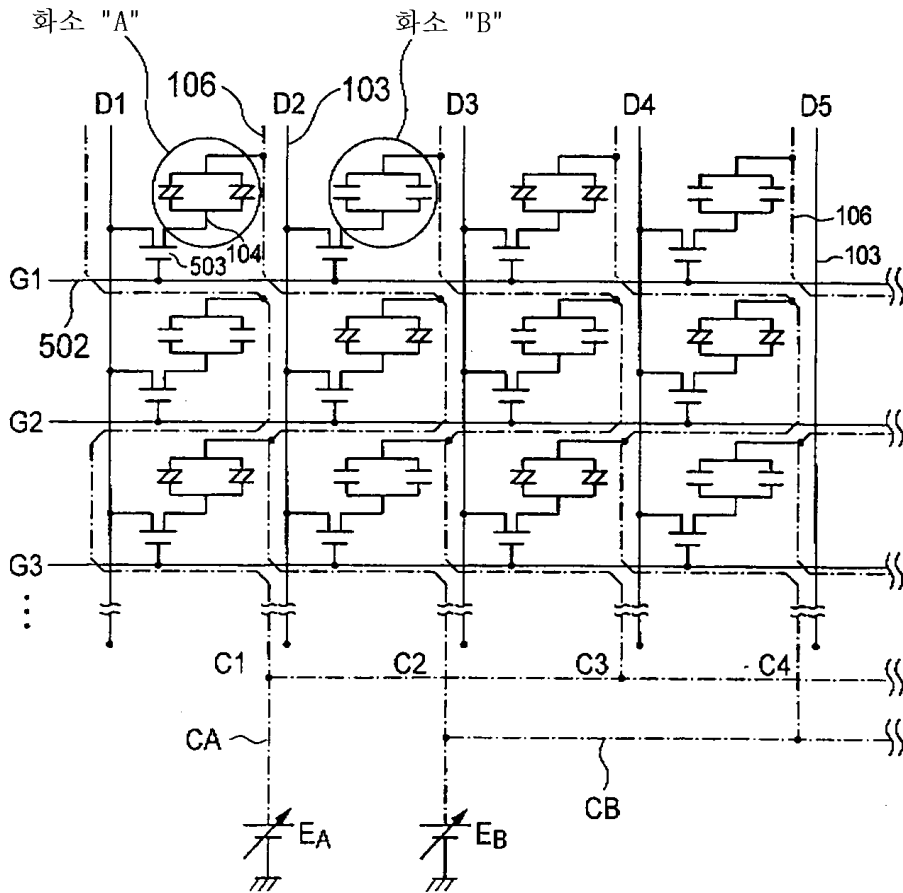
도면 14



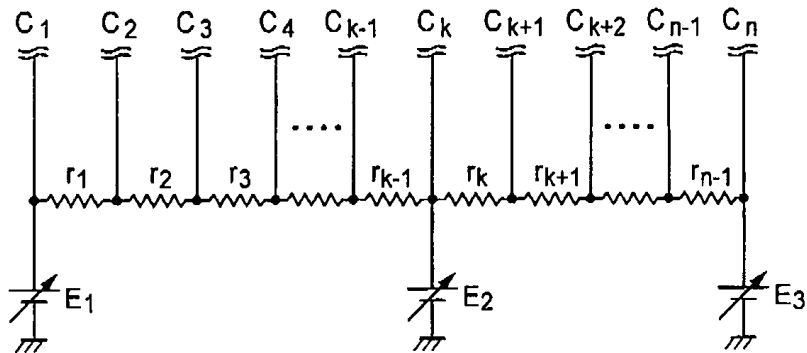
도면 15



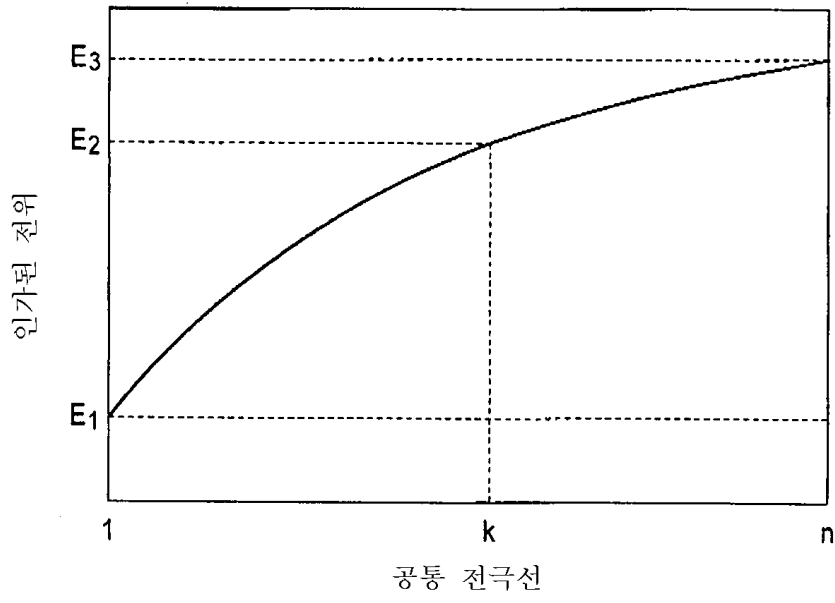
도면 16



도면 17



도면 18



专利名称(译)	有源矩阵红外开关模式LCD面板		
公开(公告)号	KR1020010049879A	公开(公告)日	2001-06-15
申请号	KR1020000042942	申请日	2000-07-26
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	WATANABE MAKOTO 와타나베마코토 WATANABE TAKAHIKO 와타나베다카히코		
发明人	와타나베마코토 와타나베다카히코		
IPC分类号	G02F1/13 G09G3/36 G02F1/1368 G09F G02F1/133 G09F9/30 G02F1/1343 G02F1/1335 G02F		
CPC分类号	G09G2320/0247 G09G2300/0434 G09G2320/0204 G02F1/133514 G09G2320/0219 G09G3/3655 G09G3/3607 G09G2320/0223 G02F1/134363 G09G3/3648		
代理人(译)	CHANG, SOO KIL		
优先权	1999210754 1999-07-26 JP		
其他公开文献	KR100331913B1		
外部链接	Espacenet		

摘要(译)

在平面切换模式中，LCD面板具有3组公共电极线（106），其对应于在3的像素内由着色层限定的颜色。公共电极线（106）的组的电位是独立控制的。由于相应像素的闪烁水平补偿了像素之间的馈通电压的差值，因此它具有最小值。有源矩阵LCD面板，公共电极线，闪烁，显示面板，像素。

