

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G02F 1/133

(11) 공개번호 특2001-0030241  
(43) 공개일자 2001년04월16일

(21) 출원번호	10-2000-0051834
(22) 출원일자	2000년09월02일
(30) 우선권주장	99-249991 1999년09월03일 일본(JP)
(71) 출원인	마츠시타 덴끼 산교 가부시기가이샤
(72) 발명자	일본 오오사카후 가도마시 오오아자 가도마 1006 미츠이키아츠시 일본이시카와켄마토우시야마지마다이5-53 다쿠보요네하루 일본이시카와켄가나자와시요네이즈미초8-138-4-105 나카가와츠요시 일본이시카와켄고마츠시가루미초하70-1
(74) 대리인	김창세

심사청구 : 없음

(54) 액티브 매트릭스형 액정 표시 소자 및 그 제조 방법

요약

본 발명은 액정 표시 소자의 플리커 발생을 감소시키고, 표시 화면의 균일성을 개선한 고품질의 액정 표시 소자를 제공하는 것으로, 화소 출력 배선부(206)의 일부인 드레인 전극(203)과, 주사선(101)의 일부인 게이트 전극(201)을 거의 직교시켜 배치한다. 이것에 의해, 게이트 전극(201)과 드레인 전극(203) 사이에 중첩 부분(204)이 생긴다. 이 중첩 부분(204)이 게이트 전극(201)과 드레인 전극(203)의 사이에 기생 용량(106)을 발생시킨다. 기생 용량(106)은 플리커 억제 수단을 구성한다. 또한, 플리커 억제 수단은 주사선 화소 출력 배선부(206)의 일부인 드레인 전극(203)의 근방에 마련한다. 더욱이, 플리커 억제 수단은 주사선 신호의 입력단(도 2의 (a))과, 그 터미널 측(도 2의 (b))에서 다른 기생 용량을 가지도록, 중첩 부분(204)의 크기가 조정되어 배치되고 있다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1 및 실시예 2에 있어서의 액티브 매트릭스형 액정 표시 소자의 등가 회로도,  
도 2의 (a) 및 (b)는 본 발명의 실시예 1에 제공되는 TFT의 평면도,  
도 3은 본 발명의 액티브 매트릭스형 액정 표시 소자의 대향 전압 최적 값의 측정 결과를 나타내는 도면,  
도 4의 (a) 및 (b)는 본 발명의 실시예 2에 관한 TFT의 평면 배치도,  
도 5는 일반적인 액티브 매트릭스형 액정 표시 소자의 등가 회로도,  
도 6은 일반적인 TFT의 주요 단면도  
도 7은 일반적인 액티브 매트릭스형 액정 표시 소자의 동작을 나타내는 파형도,  
도 8은 일반적인 게이트 전압에 신호 지연이 있는 경우의 화소 전압의 변화를 나타내는 파형도.

도면의 주요 부분에 대한 부호의 설명

- 101 : 주사선
- 102 : 신호선
- 103 : TFT
- 104 : 액정 용량
- 105 : 축적 용량
- 106 : 기생 용량

- 107 : 화소 전극
- 201 : 게이트 전극
- 202 : 소스 전극
- 203 : 드레인 전극
- 204 : 게이트 전극과 드레인 전극의 중첩 부분
- 205 : 화소 전극
- 206 : 화소 출력 배선부
- 207 : 절연막

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 OA 기기나 AV 기기 등에 이용되고 있는 액티브 매트릭스형 액정 표시 소자 및 그 제조 방법에 관한 것이다. 특히, 대화면(large areas)에서 고화질(high picture quality)·고선명(high definition)의 액정 표시 소자에 관한 것이다.

현재, 액정을 사용한 표시 소자는 비디오 카메라(video camera)의 뷰파인더(view finder)나 컬러 TV 또는 고선명 투사형(high definition projection-type) TV, 퍼스널 컴퓨터(personal computer), 워드 프로세서(word processor), 액정 모니터 등의 정보 표시 단말(information display terminal) 등 각종 분야에서 응용되고 있고, 개발, 상품화가 더욱 활발하게 행해지고 있다. 특히 스위칭 소자로서 박막(thin film) 트랜지스터(이하, TFT라고 함)를 이용한 액티브 매트릭스형 방식의 TN(twisted nematic) 액정 표시 장치는 대용량의 표시를 하여도 높은 콘트라스트가 유지된다는 큰 특징을 갖고 있다. 특히, 현재 시장은 랩톱 퍼스널 컴퓨터(laptop personal computer)나 노트북(notebook) 컴퓨터 또는 엔지니어링 워크스테이션(engineering workstation)용의 대형·대용량 풀 컬러 디스플레이(full color display)의 수요가 매우 높고, 그것에 대응하여 개발, 상품화가 활발하게 진행되고 있다.

액티브 매트릭스형으로는 종래의 단순 매트릭스(direct matrix)형과 비교되고 있는 액정의 구동 방식에 있어서, 매트릭스 상에 배치된 화소 전극(pixel electrode)에 각각 동적인 TFT 등의 스위칭 소자를 마련하고, 이들 스위칭 소자를 거쳐 각 화소 전극에 액정의 광학 특성(optical characteristic)을 제어하는 전기 신호를 독립적으로 공급하는 방식이다. 이 구동 방식은 원리적으로는 단순 매트릭스 방식으로 볼 수 있는 크로스 토크(cross talk)가 작고, 액정 표시 소자의 대화면화, 고선명화, 다 계조 표시(multi-tone reproduction)에 매우 적합한 방식이다.

그렇지만, 이와 같은 한 액티브 매트릭스형 액정 표시 장치에 있어서도, 표시 소자의 대화면화, 고선명화로 되도록 했으므로 화질(picture quality)의 저하는 어느 정도 피할 수 없는 것이다. 특히, 표시 소자의 대화면화에 따른 주사선(scanning lines)의 저항 성분과 스위칭 소자인 TFT의 게이트·드레인간의 용량 성분, 즉, 주사선 입력부와 화소 출력 배선부의 중첩 영역(overlapping areas)에서 생기는 기생 용량(parasitic capacitance)에 의한 주사선 신호의 지연에 기인하는, 플리커(flicker)의 면내 분포(in-plane distribution)라고 한 표시 화면의 균일성이 열화한다는 문제가 나타난다. 이하, 이 문제점에 대하여 설명한다.

도 5는 액티브 매트릭스형 액정 표시 소자의 일반적인 등가 회로를 나타낸다. 복수의 주사선(101)과 복수의 신호선(102)은 직교하여 배치되고 그들의 교점에 스위칭 소자인 TFT(103)가 설치된다. 도면 상, 주사선(101) 및 신호선(102)을 각각 3개씩 나타냈지만, 이 개수는 실제보다 광장히 적다. 축적 용량(105)은 액정 용량(104)에 인가되는 화소 전압의 유지 특성을 향상시키기 위해 형성된다. 또한, TFT(103)에는 그 구성상 게이트·드레인간에 기생 용량(parasitic capacitance) (106)(Cgd)이 존재한다.

도 6은 일반적인 TFT의 단면 구조도를 나타낸다. TFT는 게이트 전극(201: 주사선), 소스 전극(202: 신호선) 및 드레인 전극(203: 화소 출력 배선부)을 구비한다. 게이트 전극(201)과 드레인 전극(203) 사이에는 절연층(207)을 두어 게이트·드레인 전극의 중첩 영역(204)이 존재한다. 이 중첩 영역(204)에 의해 TFT의 게이트·드레인간에 기생 용량(106)(Cgd)이 야기된다.

또 도 6에 나타내지는 않지만, 소스 전극(202) 및 드레인 전극(203)의 게이트 전극(201)과는 반대측, 즉 도 6을 정시(正視)한 상태에서 드레인 전극(203) 등의 위쪽에는 액정이 배치되고, 그 액정에는 상기의 전극을 갖는 FET를 거쳐 신호가 인가된다. 또한 FET와 대향하는 액정 측에는 대향 전극(Counter electrode)이 배치되어 있다.

도 7은 도 1에 나타낸 액티브 매트릭스형 액정 표시 소자의 동작을 나타내는 신호 파형도이다. 도 5에 도시한 주사선(101)을 거쳐 TFT(103)의 게이트 전극에 공급되는 게이트 전압(301)(주사선 신호)과, TFT(103)의 소스 전극(202)에 인가되는 신호 전압(302)과 화소 전압(303)의 상대적인 시간 관계와 파형의 변화를 나타내고 있다. 또, 화소 전압이라는 것은 화소 전극에서 추출되는 전압이다. 도 7에 나타내는 바와 같이, 선택된 주사선의 주사선 신호에 의해 TFT의 게이트 전압(301)이 ON 상태로 되면, 신호 전압(302)이 TFT를 거쳐 화소 전극에 공급된다. 한편, 게이트 전압이 ON(HIGH) 상태에서 OFF(LOW) 상태로 변화할 때, 기생 용량(106)(Cgd)에 의해 화소 전압(303)이 변화한다. 이 화소 전압(303)의 변화  $\Delta V_p$ 는 피드 스루 전압(feed through voltage)이라 한다. 게이트 전압(301)의 진폭을  $V_g$ , 액정 용량(104)의 값을  $C_{lc}$ , 축적 용량(105)의 값을  $C_{st}$ 라고 하면, 피드 스루 전압  $\Delta V_p$ 는 거의 수학적 1로

나타낼 수 있다.

$$\Delta V_p = V_g \cdot (C_{gd}/C_t)$$

단,  $C_t = C_{lc} + C_{st} + C_{gd}$

또한, 화소 전극에 생기는 부적합한 피드 스루 전압  $\Delta V_p$ 을 보상하기 위해, 상기 대향 전극에 적절한 값으로 조정된 전압이 인가되는 것이 일반적이다. 그러나, 대향 전극에의 인가 전압이 적절하게 조정되었다고 하여도 액정 패널의 크기 및 화소수의 증가에 따라 주사선(101)의 용량 성분 C 및 저항 성분 R은 무시할 수 없기 때문에, 이들의 CR 시정수에 의한 신호 지연이라는 문제가 여전히 남는다.

도 8은 게이트 전압(주사선(101)의 전압)에 지연이 있는 경우의 화소 전압의 변화를 나타낸다. 이 경우, 게이트 전압의 ON 상태에 신호 전압이 화소 전극에 공급된다. 게이트 전압이 ON 상태에서부터 OFF 상태로 변화할 때, 상기와 동일한 현상이 생기지만, 신호 지연이 생기고 있으면, 게이트 전압(301)이 변화하고 기생 용량(106)( $C_{gd}$ )의 영향을 받아 화소 전압이 변화함과 동시에, TFT가 순식간에 OFF 상태로 되지 않는 것에 의한 화소 전극에의 신호 전압의 충전이 동시에 발생한다. 이 때, 대향 전극에 인가하는 전압의 크기나 액정 표시 화면의 면내에서의 액정 인가 전압차에도 좌우되지만, 액정 화면에 플리커가 발생하고, 액정 표시 소자의 화질 열화를 야기한다.

요즘은 액정 표시 소자의 대형화, 고선명화에 수반하여 생기는 부적절한 플리커를 배제하기 위해, 각종의 방법이 개발·제안되고 있다. 기본적으로는 수학적 1의 피드 스루 전압  $\Delta V_p$ 을 어떻게 하여 작게 하는가가 문제로 된다. 피드 스루 전압  $\Delta V_p$ 을 작게 하기 위해서는, 수학적 1에서 명백하게 되듯이, 축적 용량( $C_{st}$ )을 크게 하는 방법이 고려된다. 그러나 이 방법에서는 그것에 수반하여 TFT의 구동 능력도 높게 해야 하므로 소자 크기를 크게 해야 한다. 따라서, 이 방법에서는 결과로서 기생 용량(106)( $C_{gd}$ )의 증가에 관계되므로 효과적이라고는 할 수 없다. 또한, 피드 스루 전압  $\Delta V_p$ 을 작게 하기에는 수학적 1에서 명백하듯이, TFT의 기생 용량(106)( $C_{gd}$ )을 저감시키는 것이 고려되고, 실제로 기생 용량을 저감시키는 구체적인 프로세스의 개발·제안도 많이 발표되고 있다. 그러나, 액정 표시 소자, TFT의 제조 프로세스의 개량, 개선에 의해 기생 용량을 사실상 무시할 수 있을 정도로 작게 할 수 있다 하여도 TFT 채널부의 용량 성분을 배제하는 것은 사실상 곤란하다. 따라서, 표시 소자의 고선명화가 진행되어 TFT의 동작에 고속화가 요구되면, TFT의 구동 능력도 높게 해야 하고, 나아가서는 TFT의 크기도 크게 해야 하는 것으로 된다. 이것은 TFT의 기생 용량을 증가시키는 것에 관계되어 효과적인 대책이라고는 할 수 없다.

스위칭 소자에 TFT를 이용한 액티브 매트릭스 방식에 있어서 피드 스루 전압의 증대를 회피시키는 종래 기술로서는 일본 특허 공개 평성 9-258261호 공보(이하, 선행 기술 1)에 개시된 것이 알려져 있다. 이 선행 기술 1에는 게이트 버스 라인의 터미널로 됨에 따라 TFT의 크기를 확대시키고, 또한, 소스 전극을 화소 전극에 접속한 TFT를 포함하는 액정 패널에 있어서, 각 화소 전극의 크기를 게이트 버스 라인(본 발명의 주사선에 상당)의 터미널(terminal)로 됨에 따라 축소하는 것이 개시되어 있다.

그러나, 선행 기술 1에 개시된 기술 사상은 TFT의 크기를 다르게 하는 것이므로, 액티브 매트릭스형의 액정 표시 소자 전체에 걸쳐 바람직한 액정 구동 조건(Driving condition)을 찾아내는 것이 곤란하다.

또한, 액티브 매트릭스형 액정 표시 소자에 생기는 플리커를 억제하기 위해 게이트 신호(주사선 신호)가 공급되는 게이트 라인(주사선)의 입력 측과 그 터미널 측에서, 스위칭 소자(TFT)의 채널의 폭(W)과 길이(L)의 비, W/L을 제어한다는 기술 사상은 예컨대, 일본 특허 공개 평성 5-232512호 공보(이하, 선행 기술 2)에 개시되어 있다. 선행 기술 2에 나타내고 있는 것은 게이트 라인의 터미널에서는 스위칭 소자(TFT)의 드레인 전류가 크게 되고, 온 저항이 감소하고, 스위칭 소자가 가진 시정수가 작게 되고, 게이트 라인의 라인 저항에 기인하는 지연 시간을 보정하는 것에 의해 충전 특성을 가지리히 한다는 것이다.

이러한 선행 기술 2에도 선행 기술 1과 동일하도록 게이트 라인에 접속된 스위칭 소자(TFT)의 채널 폭(W)과 길이(L)의 비, W/L을 게이트 신호의 입력단 측보다 그 터미널 측(종단과 동일한 의미로 사용하고 있음)에서 크게 형성해야 하므로, 바람직한 액정 구동 조건을 찾는 것이 곤란하여, 실용성이 결여된다.

또한, TFT를 사용한 액티브 매트릭스 액정 표시 장치에 있어서, 게이트 신호의 입력 측과 그 터미널 측에서 보조 용량(auxiliary capacitance)을 다르게 하여 플리커를 억제하는 기술 사상으로서 일본 특허 공개 평성 5-232509호 공보(이하, 선행 기술 3)에 개시되어 있다.

선행 기술 3은 게이트 라인으로부터 공급되는 게이트 신호가 입력단 측과, 그 터미널 측에서는 충전 특성이나 기생 용량( $C_{gs}$ )에 의한 커플링 다운에 의해, 휘도 경사나 부분적 플리커가 생긴다는 문제점을 배제하기 위해, 보조 용량을 주사선의 입력단 측에서 크게 하고, 터미널(종단) 측에서 작게 한다는 것이다.

선행 기술 3에 개시된 것은 게이트 라인으로부터 공급되는 게이트 신호가 입력 측과, 그 터미널 측에서는 충전 특성이나 기생 용량( $C_{gs}$ )에 의한 커플링 다운에 의해 휘도 경사나 부분적 플리커가 생긴다는 문제점을 배제하기 위해, 보조 용량을 입력 측에서 크게 하고, 그 터미널 측에서 작게 한다는 것이다.

더욱이 액정 표시 장치에 있어서, 플리커를 억제하기 위해, 게이트 전극과 소스 전극 사이의 용량을 신호선의 입력 측에서 작게 하고, 그 터미널(종단) 측에서 크게 구성하는 것이 일본 특허 공개 평성 11-84428호 공보(이하, 선행 기술 4)에 개시되어 있다.

선행 기술 4는 상기 구성에 의해 게이트·소스간 용량을 조정하여 화소 전극의 전위 저하 성분의 화소간 차를 작게 한다는 것이다. 이와 같은 선행 기술 4에는 본원 발명의 기술 사상과 유사한 구성이 개시되

어 있다.

즉, 선행 기술 4의 도 27(a)에는 입력 단자 측의 화소의 TFT, 선행 기술 4의 도 27(b)는 입력 단자로부터 먼 쪽(터미널)의 TFT를 각각 나타내고, 소스 전극 SD1에 조절 패턴 12를 마련하는 것이 개시되어 있다. 게다가 이 조절 패턴 12는 박막 트랜지스터 TFT의 채널 길이 L 및 채널 폭 W를 규정하는 부분으로부터 떨어져 마련되는 것이 개시되어 있다.

**발명이 이루고자하는 기술적 과제**

그러나, 선행 기술 4에는 본원 발명에 나타낸 것의 소스 전극과 드레인 전극을 거의 평행하게 배치하는 것이 개시되어 있지 않다. 또한, 이들 2개의 전극을 게이트 전극과 거의 직교하도록 배치하는 것이 개시되어 있지 않다. 또한, 게이트 전극과 드레인 전극에 생기는 기생 용량을 조정하기 위해, 소스 전극과 대향한다는 것은 반대측의 드레인 전극의 변의 길이를 조정하는 것 또는, 드레인 전극의 폭을 조정하기 위해 게이트 전극 상에 있어서 드레인 전극의 근방에 공간부를 마련하는 것도 나타내고 있지 않다.

본 발명은 액정 표시 소자의 대형화, 고선명화에 대응할 수 있고, 패널의 설계 상 큰 문제로 되는 휘도 분포, 플리커 분포 등의 표시 화면의 균일성을 개선하는 액티브 매트릭스형 액정 표시 소자 및 제조 방법을 제공하는 것을 목적으로 한다.

**발명의 구성 및 작용**

본 발명은 상기 과제를 해결하기 위해, 복수의 주사선과 복수의 신호선과 복수의 화소 전극과 주사선 입력부와 신호선 입력부와 화소 출력 배선부를 구비한 복수의 스위칭 소자를 기판 상에 배치하고, 상기 신호선 입력부와 상기 화소 출력 배선부끼리는 대향하고 또한 거의 병행하게 배치함과 동시에, 상기 주사선과 거의 직교시켜 매트릭스형으로 배치되고, 상기 주사선과 상기 신호선의 교점의 근방에는 상기 화소 전극과 상기 스위칭 소자가 구비되고, 상기 스위칭 소자의 상기 주사선 입력부에는 상기 주사선이 접속되고, 상기 스위칭 소자의 상기 신호선 입력부에는 상기 신호선이 접속되고, 상기 스위칭 소자의 상기 화소 출력 배선부에는 상기 화소 전극이 접속된 액티브 매트릭스형 액정 표시 소자에 있어서, 상기 액티브 매트릭스형 액정 표시 소자의 피드 스루 전압이 주사선의 입력 측과 그 터미널 측에서 다른 것에 기인하는 표시 화면의 플리커를 억제하는 플리커 억제 수단을 상기 화소 출력 배선부의 근방에 설치한 액티브 매트릭스형 액정 표시 소자이다.

이것에 의하면, 화소 출력 배선의 폭을 상기 주사선상에 있어서, 또한 상기 신호 배선부와는 대향하지 않는 쪽에 넓게 하여 두는 것이므로 TFT의 채널 폭이나 채널 길이에 영향을 주지 않고, 플리커 억제 수단의 기생 용량을 조절할 수 있다.

또한, 본 발명 중 하나는 청구항 1 기재의 플리커 억제 수단이 상기 화소 출력 배선부의 일부에 있어서 상기 신호선 입력부로부터 멀어지는 쪽에 배치되어 있는 액티브 매트릭스형 액정 표시 소자이다. 이것에 의하면, TFT의 채널 폭, 채널 길이의 크기에 지장을 초래하지 않게 플리커 억제 수단의 기생 용량을 조절할 수 있다.

또한, 본 발명 중 다른 하나는, 청구항 1 기재의 액티브 매트릭스형 액정 표시 소자에 있어서, 플리커 억제 수단의 기생 용량의 조절은 주사선 상의 화소 출력 배선부의 근방에 준비한 공간부에 상기 화소 출력 배선부의 배선 폭을 조정하는 것에 의해 이루어지는 액티브 매트릭스형 액정 표시 소자이다. 이것에 의하면, 미리 기생 용량을 조정하기 위한 공간부가 화소 출력 배선부의 근접부에 배치되어 있으므로, 기생 용량의 설정이 용이하다.

또한, 본 발명 중 또 다른 발명은, 청구항 1 내지 청구항 3 기재에 있어서, 주사선은 TFT의 게이트 전극에, 신호선은 소스 전극에, 화소 출력 배선부는 드레인 전극에 각각 접속되고, 플리커 억제 수단에 있어서의 기생 용량 조절은 드레인 전극의 일부에 있어서 상기 소스 전극과 멀어지는 쪽의 배선 폭의 조정에 의해 행하는 액티브 매트릭스형 액정 표시 소자이다. 이것에 의하면, 드레인 전극의 배선 폭을 조정하지만, 소스 전극 측에는 영향을 미치지 않으므로, TFT의 채널 폭, 채널 길이의 크기에 영향을 주지 않는 것이다.

또한, 본 발명 중 또 다른 발명은, 청구항 1 기재의 액티브 매트릭스형 액정 표시 소자에 있어서, 플리커 억제 수단의 기생 용량의 조절은 주사선 상의 화소 출력 배선부의 근방에 준비한 공간부에 더하여 상기 화소 출력 배선부의 배선 폭을 조정하는 것에 의해 이루어지는 액티브 매트릭스형 액정 표시 소자이다. 이것에 의하면, 미리 배선 폭을 조정하기 위한 공간부가 준비되어 있으므로 용이하게 기생 용량을 조절할 수 있다.

또한, 본 발명 중 또 다른 발명은, 청구항 1 기재의 액티브 매트릭스형 액정 표시 소자에 있어서, 플리커 억제 수단에 있어서의 주사선의 입력단 측으로부터 그 터미널 측까지의 기생 용량의 크기는 입력단 측에서 작고, 그 터미널 측에서 크게 선택된 액티브 매트릭스형 액정 표시 소자이다. 이것에 의하면, 플리커 발생의 피드 스루 전압을 입력단 측과 그 터미널 측에서 소망의 크기나 소정의 관계를 갖게 하여 조절할 수 있다.

더욱이 본 발명 중 또 다른 발명은, 청구항 5 기재의 액티브 매트릭스형 액정 표시 소자에 있어서, 플리커 억제 수단에 있어서의 용량 조절은 주사선의 입력단 측에서 그 터미널 측까지 블록마다 나뉘어져 이루어진 액티브 매트릭스형 액정 표시 소자이다. 이것에 의하면, TFT 개개의 기생 용량을 조절하지 않고도 실용상 지장이 없는 레벨까지 플리커를 억제할 수 있다.

또한, 본 발명은 청구항 1 내지 청구항 6 중 어느 하나에 기재된 액티브 매트릭스 액정 표시 소자를 제조할 때, 노광 조건을 변화시켜 플리커 억제 수단이 구비되도록 한 액티브 매트릭스형 액정 표시 소자의 제조 방법이다. 이것에 의하면, 공정을 증가시키지 않고 실제의 액정 표시 소자의 제조 공정에 있어서

플리커 대책을 강구할 수 있다.

더욱이 본 발명 중 다른 발명은 청구항 1 내지 청구항 6 중 어느 하나에 기재된 액티브 매트릭스 액정 표시 소자를 제조할 때, 노광용 마스크의 사양에서 플리커 억제 수단이 구비되도록 한 액티브 매트릭스형 액정 표시 소자의 제조 방법이다. 이것에 의하면, 화소 출력 배선부의 배선 폭은 노광용 마스크로 설정하므로 확실히 기생 용량의 크기를 조절할 수 있다.

이하, 본 발명의 각 실시예에 대하여 도면을 참조하면서 설명한다.

(실시예 1)

도 1은 본 발명의 실시예 1의 액티브 매트릭스형 액정 표시 소자의 등가 회로의 일부를 나타낸다. 주사선(101)과 신호선(102)은 거의 직교하여 복수 배치된다. 주사선(101)의 접속할 곳은 도시하지 않는 행 드라이버에 접속되어 있고, 복수의 스위칭 소자(TFT)(103)의 게이트 전극이 대응하는 주사선(101)에 각각 접속된다.

복수 TFT(103)의 게이트 각각으로의 게이트 전극 전압 공급은 도 1을 정시하여 좌측(주사선의 입력 측)에서 우측(주사선의 터미널 측)을 향하여 주사선(101)을 통해 행해진다. 도 1에 있어서는 좌측에 배치한 상하 2개의 TFT(103) 즉, 스위칭 소자(103)(m-1, n) 및 (103)(m, n)이 주사선의 입력 측에 배치되고, 그들 우측에 배치한 상하 2개의 TFT(103) 즉, 스위칭 소자(103)(m-1, n+1) 및 (103)(m, n+1)이 주사선의 터미널 측에 배치되어 있는 것으로 된다. 그러나, 도 1에는 도면 제작 상 이들 4개의 TFT(103)를 나타낸 것에 지나지 않고, 실제의 표시 소자는 이들을 훨씬 초과하는 스위칭 소자(103)를 배치하고 있다.

또한, 복수의 신호선(102)은 도시하는 않는 열 드라이버에 접속되어 있고, 이 복수의 신호선(102)에는 그들에 대응하는 복수의 스위칭 소자(103)의 소스 전극이 각각 접속되어 있다.

또한, 복수의 스위칭 소자(103)의 각 드레인 전극은 대응하는 화소 전극(107)에 각각 접속되고, 더욱이 화소 전극(107)과 도시하지 않는 대향 전극간에는 축적 용량(105), 액정 용량(104)을 형성한다.

또한, 스위칭 소자(TFT)(103)는 예컨대, 아몰퍼스 실리콘을 반도체층으로 하는 박막 트랜지스터이다. TFT(103)의 드레인 전극과 게이트 전극간에는 그 구조 상 기생 용량(106)이 개재되는 것으로 된다. 본 발명의 기술 사상은 이 기생 용량(106)을 감소, 배제하는 것은 아니고, 적극적으로 이용하지만, 그 크기가 소망의 값으로 설정할 수 있도록, 미리 게이트 전극(201)의 배치와 크기가 고안되어 있다.

(m-1, n)번째의 TFT(103)는 (m-1)번째의 주사선(101)과 n번째의 신호선(102)에 전기적으로 접속하여 배치되고 있다. (m, n)번째의 TFT(103)는 m번째의 주사선(101)과 n번째의 신호선(102)에 전기적으로 접속하여 배치되고 있다. (m-1, n+1)번째의 TFT(103)는 (m-1)번째의 주사선(101)과 (n+1)번째의 신호선(102)에 전기적으로 접속하여 배치되고 있다. (m, n+1)번째의 TFT(103)는 m번째의 주사선(101)과 (n+1)번째의 신호선(102)에 전기적으로 접속하여 배치되고 있다.

도 2는 도 1에 나타낸 실시예 1에 제공되는 TFT(103)의 평면도를 나타낸다. 도 2의 (a)는 도 1의 매트릭스 형상으로 배열한 복수의 TFT(103) 임의의 (m-1, n)번째 및 (m, n)번째를 나타내고, 도 2의 (b)는 TFT(103)의 (m-1, n+1)번째 및 (m, n+1)번째를 나타낸다.

도 2의 (a) 및 (b)에 있어서, 주사선 신호(게이트 신호)는 이들 도면을 정시하여, 좌측에서 우측을 향하여 인가된다. 즉, 도 2의 (a)에 도시한 TFT가 신호 입력 측에 배치되고, 도 2의 (b)에 도시한 TFT가 그 터미널 측(종단 측)에 배치되어 있다.

도 2의 (a)와 (b)의 차이는 TFT의 게이트 전극(201)과 드레인 전극(203)의 중첩 부분(204)의 면적 즉, 기생 용량(106)이 소정의 값으로 설정되도록, 소스 전극(202)과는 대향하지 않는 쪽의 드레인 전극(203)의 일변이 조정되어, 폭 W2가 조정되는 것에 있다. 환언하면, 본 발명은 주사선 상 즉, 게이트 전극(201) 상의 화소 출력 배선부의 신호선과 대향하는 면의 근방에는 드레인 전극의 크기를 조정하기 위한 공간부가 분명히 준비되어 있다. 여기서, 공간부로는 주사선(게이트 전극(201)) 및 신호선(소스 전극(202))과 동일층 즉, 절연막(207) 상에 있어서 배선이나 소자가 존재하지 않는 영역이라는 것이다. 즉, 본 발명의 기생 용량을 조정하는 플리커 억제 수단은 화소 출력 배선부에 상당하는 드레인 전극(203)과, 그 드레인 전극(203)의 배선 폭 W2를 조정하기 위해 준비된, 게이트 전극(201) 상에 절연막(207)을 거쳐 마련된 공간부를 갖는 것에 의해 구성된다.

또한, 드레인 전극(203)의 일단은 게이트 전극(201)의 일단과 동일선 상이든지 혹은 그것을 넘어서 배치된다. 즉, 드레인 전극(203)은 게이트 전극(201)의 폭 W1을 넘도록 설치되어 있다. 이것에 의해, 게이트 전극(201)과 드레인 전극(203)의 사이에 야기되는 기생 용량(106)의 조정 범위를 넓힐 수 있다.

또한, TFT의 소스 영역 S 및 드레인 영역 D의 전체가 게이트 전극(201)으로부터 비켜 나오지 않도록 배치하고 있다. 이것에 의해, 드레인 전극(203)은 게이트 전극(201)의 단부까지 연장하여 설치할 수 있으므로, 기생 용량(106)의 조정 범위를 더욱 넓힐 수 있다.

또, TFT의 게이트·드레인간의 기생 용량(106)의 조정, 설정은 주사선(101)의 입력단 측으로부터 그 터미널 측까지 TFT(103) 개개의 단위로 점증시켜도 되고 또는, TFT(103) 개개의 단위가 아닌 액정 표시 소자의 블록 단위여도 되며, 예컨대, 주사선의 입력단 측으로부터 그 터미널 측(종단)까지를 3개로 나누고, 각각의 구간에 있어서의 TFT(103)의 게이트·드레인간의 기생 용량(106)이 거의 일정하게 되도록 하여도 된다. 즉, 기생 용량(106)의 크기를 3종류로 설정하는 것이어도 된다.

도 2에 도시하는 바와 같이, 게이트 전극(201)은 주사선(101)의 일부분을 공유하고 있다. 또한, 신호선(102)의 일부분을 소스 전극(202)이 공유하고 있다. 또한, 드레인 전극(203)은 드레인 영역 D에 접속되어 있음과 동시에 화소 출력 배선부(206)의 일부분을 공유하고 있다. 화소 출력 배선부(206)의 일단은 화소 전극(205)에 접속되는 게이트 전극(201)과 드레인 전극(203)의 중첩 부분(204)을 사선 부분으로 나타낸다. 이 게이트 전극(201)과 드레인 전극(203)의 중첩 부분(204)이 TFT(103)의 기생 용량 영

역부이고, 또한, 본 발명의 플리커 억제 수단의 일부를 이루는 것이다.

도 2는 소스 전극(202)(신호선(102)) 및 드레인 전극(203)끼리는 적어도 게이트 전극(201)의 부근에 있어서, 대향하고 또는 평행하게 배치되고, 더욱이 이들 2개의 전극은 게이트 전극(201)(주사선(101))과 거의 직교하여 배치되고 있다. 소스 전극(202)은 예컨대, 아몰퍼스 실리콘 층으로 형성된 TFT(103)의 소스 영역 S에 접속되고, 드레인 전극(203)은 드레인 영역 D에 각각 접속되어 있다. 게이트 전극(201)의 전극 폭 W1은 도 2에서 명백하듯이, 드레인 전극(203)의 전극 폭 W2보다도 넓은 폭으로 설정되어 있다. 게이트 전극(201)과 드레인 전극(203)의 중첩 부분(204)의 면적은 전극 폭 W1과 W2의 곱으로 나타내어진다. 따라서, 게이트 전극(201)의 전극 폭 W1을 될 수 있는 한 큰 값(폭)으로 설정하여 두면, 동일 면적을 요하는 경우, 드레인 전극(203)의 전극 폭 W2는 작게 할 수 있게 된다.

게이트 전극(201)은 예컨대, 유리 등의 절연 기판 상에 형성된다. 도 6을 참조하면, 게이트 전극(201)은 도시하지 않은 예컨대, 절연 기판 상에 형성되어 있다. 이 절연 기판 상에는, 이것도 도시하지 않은 축적 용량(105)의 한 쪽의 전극이 형성되어 있을 뿐이므로, 게이트 전극(201)의 전극 폭 W1은 축적 용량 전극의 한 쪽 크기를 고려하는 것만으로 좋다. 따라서, 게이트 전극의 폭, 길이는, 다른 예에 의하면, 소스 전극(202), 드레인 전극(203)의 크기에 좌우되지 않게 설정할 수 있다. 또한, 게이트 전극(201)의 전극 폭 W1을 될 수 있는 한 크게(넓게) 하면, 액정 표시 소자를 거의 똑같이 평탄화할 수 있다는 부차적인 효과도 얻을 수 있다.

즉, 본 발명은 첫째 게이트 전극(201)의 전극 폭 W1을 될 수 있는 한 크게 설정하여 두는 것에 있다. 둘째 소스 전극(202)과 드레인 전극(203)을 거의 평행하게 배치하지만 게이트 전극(201)과는 거의 직교시켜 배치한다. 셋째 게이트 전극(201)과 드레인 전극(203)간의 기생 용량의 조정은 드레인 전극(203)의 폭을 게이트 전극의 길이 방향으로 조정하여 행하는 것이다.

다음에 기생 용량(106)의 값을 구체적으로 설정, 조정하는 경우에 대하여 설명한다. 본 실시예에서는 TFT(103)의 드레인 전극(203)을 구성하는 박막 패턴을 형성하는 공정에 있어서, 노광 시의 노광 스테이지 스캔 속도 또는 노광량을 변화시켜, 축소 보정 값을 제어하는 것에 의해, 도 2에 도시하는 바와 같이, 주사선(101)의 주사 방향의 n번째의 TFT의 기생 용량 영역을 (n+1)번째의 TFT의 기생 용량 영역보다 작게 되는 패턴을 갖는 액티브 매트릭스형 액정 표시 소자를 형성하였다. 이 구성의 패턴을 13.3형×GA의 액정 패널에 적용하고, 주사선(101)의 전압 공급단, 중심부 및 터미널의 대향 전압 최적값(플리커 특성의 최적값)을 측정하였다.

도 3은 본 발명과 종래 예의 대향 전압 최적값의 측정 결과를 나타낸다. 도 3의 곡선(31)은 종래 구성의 액정 패널의 측정값을 나타낸다. 종래의 패널에서는 전압 공급원 근방과 종전단(終電端)에서 대략 0.3V 정도의 차가 생기고, 액정 패널 전면을 대향 전압 최적값으로 조정하여도 플리커를 확인할 수 있다. 그리고 곡선(32)은 실시예 1의 구성에 의한 액정 패널의 측정값을 나타내고, 전압 공급단과 종전단과의 차가 0.1V 이하로 억제되고, 대향 전압 최적값으로 조정하면 플리커는 확인되지 않고, 표시 화면 특성의 균일성이 대폭 개선된다.

도 6은 도 2의 TFT(103)의 평면도에서 나타난 부분의 단면도이다. 게이트 전극(201)은, 도시하지 않은 예컨대, 절연 기판 상에 형성되어 있다. 게이트 전극(201)은 주사선의 일부분을 공유하고 있다. 또한, 소스 전극(202)은 신호선의 일부분을 공유하고 있다. 또한, 드레인 전극(203)은 화소 출력 배선부의 일부분을 공유하고 있다. 게이트 전극(201)과 드레인 전극(203)의 중첩 부분(204)을 점선과 화살표로 나타낸다.

(실시예 2)

실시예 2의 액티브 매트릭스형 액정 표시 소자의 등가 회로는 실시예 1에 나타난 등가 회로와 동일한 도면인 도 1로 나타내어진다. 본 실시예에서는, TFT(103)의 드레인 전극(203)을 구성하는 박막 패턴을 형성하는 공정에 있어서, 노광 시에 도 4의 (a)에서 도시하는 바와 같이, 주사선(101)에 접속되는 n번째의 TFT의 드레인 전극(204)의 폭 Wn이, 도 4의 (b)에 도시하는 바와 같이, (n+1)번째의 TFT의 드레인 전극(204)의 폭 W(n+1)보다 작게 되도록 하는 포토 마스크를 이용하여 각각의 드레인 전극 폭을 제어하고, TFT(103)의 게이트·드레인간의 기생 용량이 조정된 액티브 매트릭스형 액정 표시 소자를 형성하였다. 이 구성의 패턴을 13.3형×GA의 액정 패널에 적용하고, 주사선의 전압 공급단, 중심부 및 종단의 대향 전압 최적값(플리커 특성의 최적값)을 측정하였다.

도 3의 곡선(33)은 실시예 2의 액정 패널의 측정값을 나타낸다. 실시예 2의 액정 패널의 대향 전압 최적값의 전압 공급단과 종전단의 차는 0.1V 이하이고, 플리커는 확인되지 않아, 표시 화면 특성의 균일성이 대폭 개선되었다.

### 발명의 효과

이상 기술한 바와 같이, 본 발명의 구성의 액티브 매트릭스형 액정 표시 소자를 갖는 액정 패널에 의하면, 액정 패널의 대형화, 고선명화에 따라서 패널 설계 상 매우 큰 문제로 되는 배선 지연 및 TFT의 기생 용량의 영향에 의한 플리커 등의 화상 품질 문제에 대하여, 기생 용량에 면내 분포를 가지게 하는 것에 의해, 표시 화면의 균일성을 개선하여, 고화질인 액정 패널을 실현할 수 있다.

### (57) 청구의 범위

#### 청구항 1

복수의 주사선과, 복수의 신호선과, 복수의 화소 전극과, 주사선 입력부와 신호선 입력부와 화소 출력 배선부를 포함한 복수의 스위칭 소자를 기판 상에 배치하고, 상기 신호선 입력부와 상기 화소 출력 배선부끼리는 대향하거나 또는 거의 평행하게 배치됨과 동시에, 이들은 상기 주사선과는 거의 직교시켜 매트

릭스 형상으로 배치시키고, 상기 주사선과 상기 신호선의 교점의 근방에는 상기 화소 전극과 상기 스위칭 소자가 구비되고, 상기 스위칭 소자의 상기 주사선 입력부에는 상기 주사선이 접속되고, 상기 스위칭 소자의 상기 신호선 입력부에는 상기 신호선이 접속되고, 상기 스위칭 소자의 상기 화소 출력 배선부에는 상기 화소 전극이 접속된 액티브 매트릭스형 액정 표시 소자에 있어서,

상기 액티브 매트릭스형 액정 표시 소자의 피드 스루 전압이 주사선의 입력단 측과 그 터미널 측에서 서로 다른 것에 기인하는 표시 화면의 플리커를 억제하는 플리커 억제 수단을 상기 화소 출력 배선부의 근방에 설치한 것을 특징으로 하는 액티브 매트릭스형 액정 표시 소자.

**청구항 2**

제 1 항에 있어서,

상기 플리커 억제 수단은 상기 화소 출력 배선부의 일부에 있어서 상기 신호선 입력부로부터 멀어지는 쪽으로 배치되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 소자.

**청구항 3**

제 1 항에 있어서,

플리커 억제 수단의 기생 용량의 조정은 주사선 상의 화소 출력 배선부의 근방에 준비한 공간부에 상기 화소 출력 배선부의 배선 폭을 조정하는 것에 의해 이루어지는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 소자.

**청구항 4**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

주사선은 TFT의 게이트 전극에, 신호선은 소스 전극에, 화소 출력 배선부는 드레인 전극에 각각 접속되고, 플리커 억제 수단에 있어서의 기생 용량 조정은 상기 드레인 전극의 일부에 있어서 상기 소스 전극과 멀어지는 쪽의 배선 폭 조정에 의해 행해지는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 소자.

**청구항 5**

제 1 항에 있어서,

플리커 억제 수단에 있어서의 주사선의 입력단 측으로부터 그 터미널 측까지의 기생 용량의 크기는 입력단 측이 작고, 그 터미널 측이 큰 것을 특징으로 하는 액티브 매트릭스형 액정 표시 소자.

**청구항 6**

제 5 항에 있어서,

플리커 억제 수단에 있어서의 용량 조정은 주사선의 입력단 측에서 그 터미널 측까지 블록 단위로 이루어지는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 소자.

**청구항 7**

제 1 항 내지 제 6 항 중 어느 한 항에 기재된 액티브 매트릭스형 액정 표시 소자를 제조하는 방법에 있어서,

노광 조건을 변화시켜 플리커 억제 수단이 구비되도록 한 것을 특징으로 하는 액티브 매트릭스형 액정 표시 소자의 제조 방법.

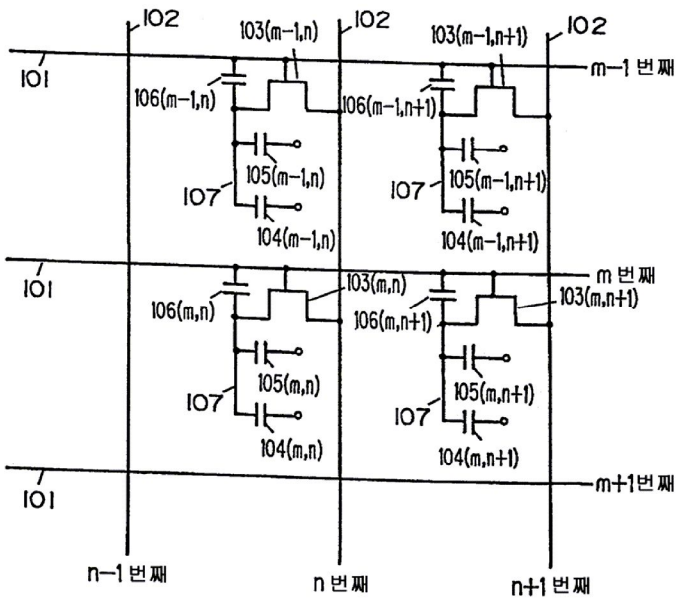
**청구항 8**

제 1 항 내지 제 6 항 중 어느 한 항에 기재된 액티브 매트릭스형 액정 표시 소자를 제조하는 방법에 있어서,

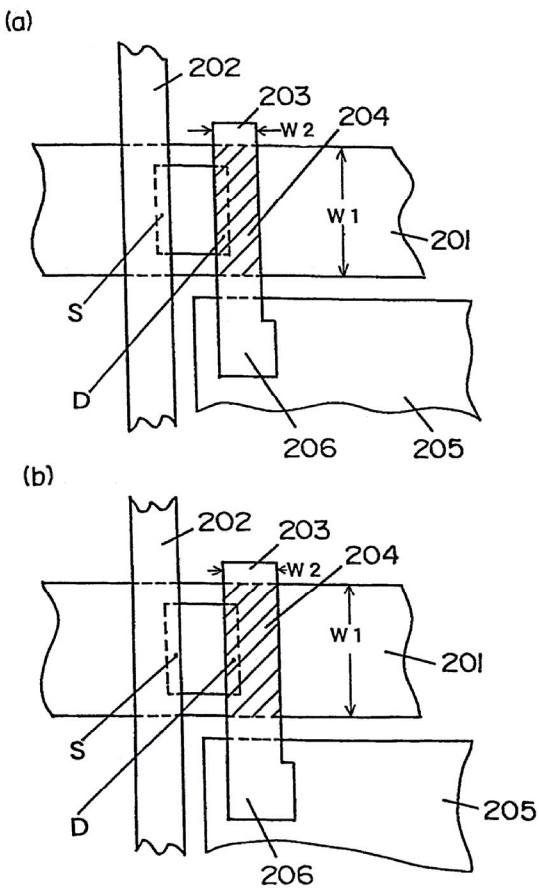
노광용 마스크의 사양에서 플리커 억제 수단이 구비되도록 한 것을 특징으로 하는 액티브 매트릭스형 액정 표시 소자의 제조 방법.

**도면**

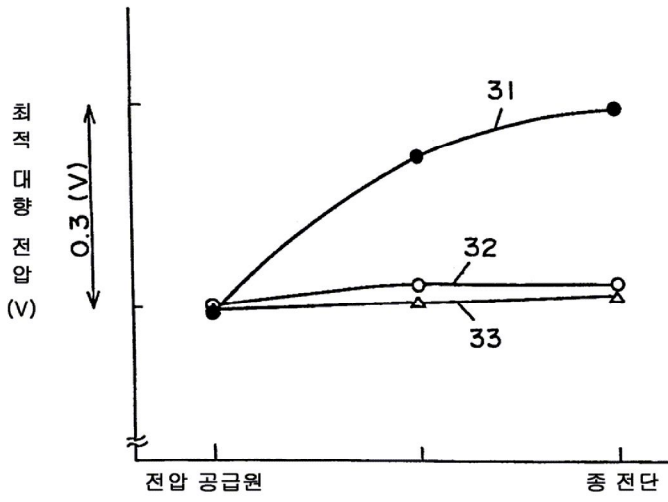
도면1



도면2

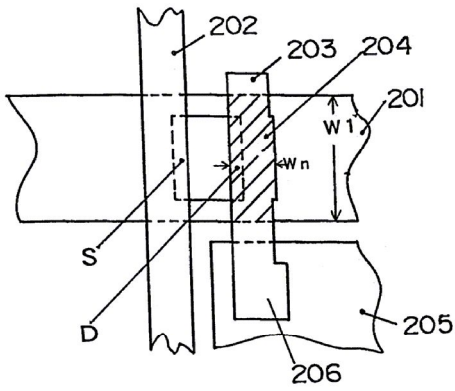


도면3

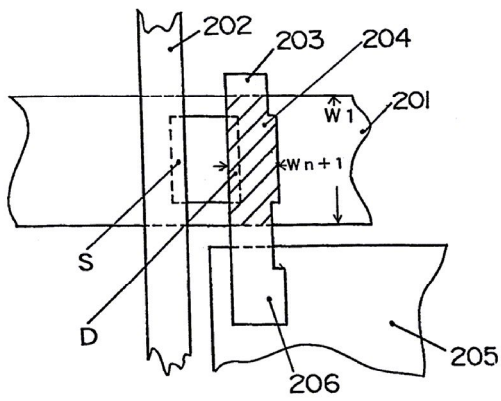


도면4

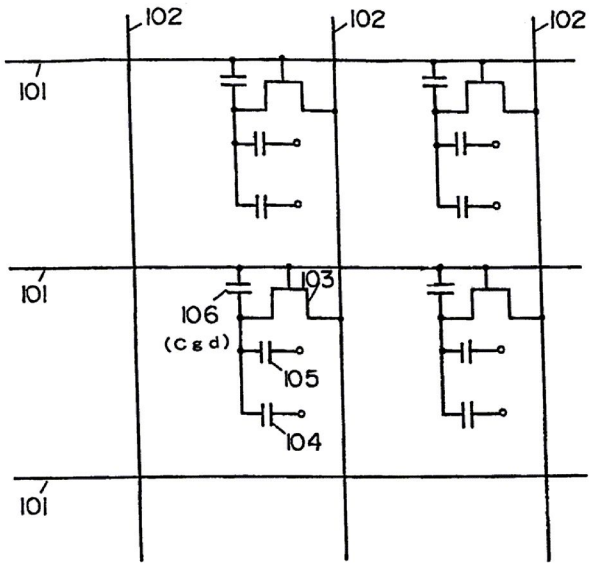
(a)



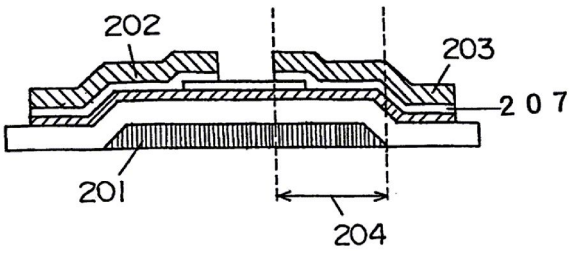
(b)



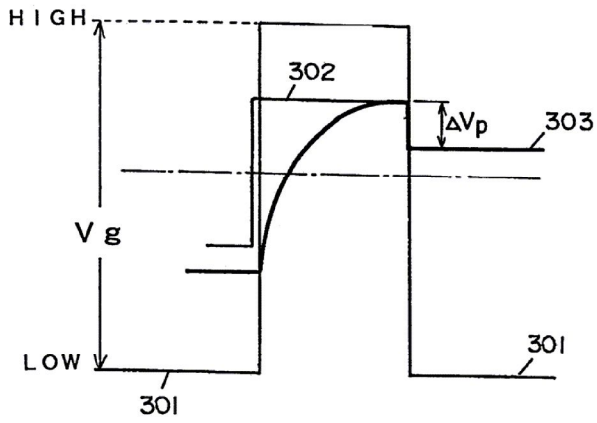
도면5



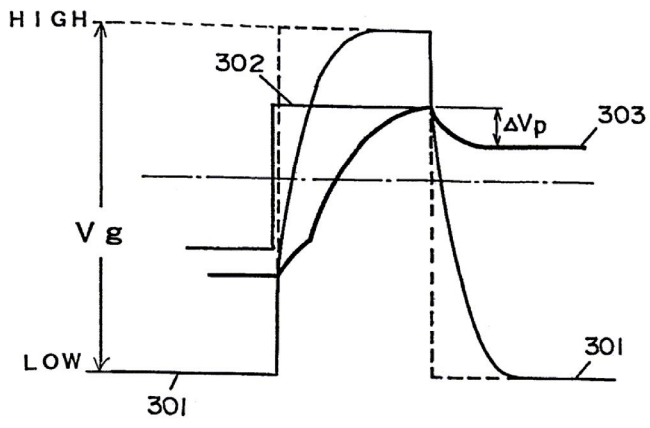
도면6



도면7



도면8



专利名称(译)	有源矩阵型液晶显示元件及其制造方法		
公开(公告)号	<a href="#">KR1020010030241A</a>	公开(公告)日	2001-04-16
申请号	KR1020000051834	申请日	2000-09-02
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	MITSUIKI ATSUSHI 미츠이키아츠시 TAKUBO YONEHARU 다쿠보요네하루 NAKAGAWA TSUYOSHI 나카가와츠요시		
发明人	미츠이키아츠시 다쿠보요네하루 나카가와츠요시		
IPC分类号	G02F1/1368 G02F1/133 H01L29/786 H01L21/336 G02F H01L G02F1/136		
代理人(译)	KIM, CHANG SE		
优先权	1999249991 1999-09-03 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种高清晰度的液晶显示装置，其减少了液晶显示装置的闪烁发展，并提高了显示屏的均匀性，使得漏电极（203）称为像素输出线部分的一部分（206），将称为扫描线（101）的一部分的栅电极（201）近似正交，并进行排列。据此，在栅电极（201）和漏电极（203）之间产生重叠部分（204）。该重叠部分（204）在栅电极（201）和漏电极（203）之间产生寄生电容（106）。寄生电容（106）构成闪烁威慑装置。此外，在被称为闪烁威慑装置的漏电极（203）附近准备扫描线像素输出线部分（206）的一部分。此外，在闪烁威慑装置中是扫描线信号和端子侧的输入端子（图2的（a））（图2的（b）），以使其具有另一个寄生电容的大小向上调整重叠部分（204）的位置并将其布置。

