

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/36
G02F 1/133

(11) 공개번호 특2000-0062798
(43) 공개일자 2000년10월25일

(21) 출원번호 10-2000-0011782
(22) 출원일자 2000년03월09일
(30) 우선권 주장 99-074612 1999년03월18일 일본(JP)
(71) 출원인 알프스 덴키 가부시기가이샤 가타오카 마사타카
일본국 도쿄도 오타구 유키가야 오츠카초 1반 7고
(72) 발명자 첸 구오 핑
일본 미야기현 구로카와군 도미야초 우나리다 4-20-1
(74) 대리인 박해선, 조영원

심사청구 : 있음

(54) 액정표시장치 및 그 구동방법

요약

TL-AFLC 자체가 갖는 응답속도의 빠르기를 살릴 수 있는 구동회로를 구비한 액정표시장치를 제공한다.

본 발명의 액정표시장치는, 종래의 소스 드라이버 (19), 게이트 드라이버 (20) 에 더하여, 1 게이트선상의 모든 화소에 영상신호를 기록할 때, 그 1 게이트선상의 모든 화소에 영상신호를 기록하는 1 H 기간 이전의 복수의 1 H 기간에 걸쳐, 상기 1 게이트선의 후단의 복수의 게이트선상의 모든 화소에 대해 이들 모든 화소에 인가되어 있는 전압을 기록하기 전에 미리 리셋해 두기 위한 리셋전압을 인가하는 리셋용 소스 드라이버 (21), 리셋용 게이트 드라이버 (22) 를 구비한 구동회로 (12) 를 가지고 있다.

대표도

도1

색인어

액정표시장치

명세서

도면의 간단한 설명

도 1 은 본 발명의 실시형태의 액정표시장치의 셀 구조를 나타내는 단면도.
도 2 는 동 액정표시장치의 전체 구성을 나타내는 블록도.
도 3 은 제 1 형태의 액정표시장치의 리셋용 게이트 드라이버의 구성을 나타내는 블록도.
도 4 는 제 1 형태의 액정표시장치의 구동방법을 설명하기 위한 타이밍 차트.
도 5 는 제 2 형태의 액정표시장치의 리셋용 게이트 드라이버의 구성을 나타내는 블록도.
도 6 은 제 2 형태의 액정표시장치의 구동방법을 설명하기 위한 타이밍 차트.
도 7 은 TL-AFLC 의 전압-투과율 곡선을 나타내는 도면.

도면의 주요부분에 대한 간단한 설명

1 액티브 매트릭스 기판
2 대향기판
3 슬래쉬 홀 드레스 반강유전성 액정
12 구동회로
19 소스 드라이버 (신호선 구동수단)
20 게이트 드라이버 (주사선 구동수단)
21 리셋용 소스 드라이버 (리셋전압 인가수단)

22, 30 리셋용 게이트 드라이버 (리셋전압 인가수단)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정표시장치 및 그 구동방법에 관하며, 특히, 액정재료로서 반강유전성 액정을 사용한 액정표시장치에 적합한 구동회로와 구동방법에 관한 것이다.

액정표시장치 (Liquid Crystal Display, 이하, LCD 로 쓰는 경우도 있다.) 에 사용되는 액정재료에는 다양한 종류가 있는데, 그 하나에 반강유전성 액정 (Anti-Ferroelectric Liquid Crystal) 이 있다. 반강유전성 액정을 사용한 LCD 에서는, 전계 무인가시의 반강유전상과 전계 인가시의 강유전상 사이에서 액정분자를 구동하여 빛을 투과 또는 차단하고 있다. 특히, 임계값을 갖지 않는 반강유전성 액정 (Threshold-Less Anti-Ferroelectric Liquid Crystal, 이하, TL-AFLC 로 약기한다.) 은 광시야각, 고속 응답 등의 면에서 우수한 특성을 가지고 있다. TL-AFLC 의 V-T 곡선 (전압-투과율 특성 곡선) 은, 도 7 에 나타낸 바와 같이, 원점을 중심으로 좌우대칭의 V 자형의 특성을 나타낸다. 액정재료 자체의 응답시간을 비교한 경우, 일례로서 트위스티드 네마틱 (Twisted Nematic, 이하 TN 으로 약기한다.) 액정은 수십 msec, TL-AFLC 는 수십 μ s 정도이며, TL-AFLC 가 3 자리나 응답속도가 빠르다.

그런데, 일반적인 LCD 의 구동방법에 반전구동이 있다. 반전구동은, 액정에 인가하는 영상신호 (전압) 의 극성을 교류전압을 사용하여 예컨대, 1 프레임 마다 음양반전시키면서 구동하는 방법이다. 통상, 1 프레임 시간은 약 16 msec 이며, 이 시간내에 모든 주사선을 구동하기 위해 각 주사선마다에 인가되는 게이트 펄스의 폭은, 주사선의 개수에 따라 다른데, 예컨대, XGA 용 디스플레이의 경우, 약 16 μ s 가 된다.

발명이 이루고자하는 기술적 과제

그러나, 액정재료에 TL-AFLC 을 사용한 LCD 에 대해 상기 종래의 반전구동방식을 적용하면, 결과적으로 응답속도가 느려져 동화 잔상이 발생한다는 문제가 있었다. 그 이유는, 각 주사선에 인가되는 게이트 펄스 폭이 예컨대 16 μ s 이라는 것은, 각 주사선마다의 기록시간이 16 μ s 인 것을 의미한다. 그렇다면, 기록시간이 16 μ s 인데 비해, TL-AFLC 의 응답시간이 수십 μ s 정도이기 때문에, 기록시간보다도 TL-AFLC 의 응답시간이 길다. 그러므로, 1 프레임 시간내에서 데이터 기록을 실시한 것에서는 TL-AFLC 이 충분히 응답할 수 없어, 소정의 투과율을 얻을 수 없게 된다.

소정의 투과율을 얻기 위해서는, 1 프레임만이 아니라, 수 프레임에 걸쳐 데이터 기록을 실시해야 하지만, 이 경우, LCD 전체로 보면 응답시간이 실질적으로 길어지게 된다. 예컨대, 5 프레임에 걸쳐 기록을 실시하면, 실질적인 응답시간은 16 msec $\times$ 5 = 80 msec 이 되어, TL-AFLC 를 사용하여도 결국 TN-LCD 의 응답시간과 동등해져 버린다. 동화 잔상을 발생시키지 않기 위해서, 이상적으로는 1 프레임 시간내에서 기록을 완료할 필요가 있는데, 이 구동방법에서는 수 프레임에 걸쳐 기록을 실시해야 하기 때문에, 동화 잔상이 발생하는 것이다. 즉, TL-AFLC 를 사용한 LCD 에서는, 액정재료 자체의 응답속도가 빨라도, 구동시의 실질적인 응답속도는 다른 액정의 경우와 동등해져, TL-AFLC 의 응답속도의 빠르기를 전혀 살릴 수 없다. 그래서, TL-AFLC 를 사용한 LCD 에 최적의 구동방법의 제공이 요구되어 왔다.

본 발명은, 상기의 과제를 해결하기 위해 이루어진 것으로써, TL-AFLC 자체가 갖는 응답속도의 빠르기를 살릴 수 있는 구동회로를 구비한 액정표시장치와 그 구동방법을 제공하는 것을 목적으로 한다.

상기의 목적을 달성하기 위해, 본 발명의 제 1 액정표시장치는, 복수의 신호선과 복수의 주사선이 매트릭스상으로 배치되어 복수의 화소가 구성된 액티브 매트릭스 기판과 대향기판 사이에 반강유전성 액정이 끼워지고, 상기 복수의 신호선을 구동하는 신호선 구동수단과, 상기 복수의 주사선을 구동하는 주사선 구동수단과, 상기 복수의 주사선중의 일주사선상의 모든 화소에 영상신호를 기록할 때, 상기 일주사선상의 모든 화소에 영상신호를 기록하는 일수평기간 이전이며 그 일수평기간과 시간적으로 연속하는 복수의 일수평기간에 걸쳐, 상기 일주사선에 인접하고 상기 일수평기간 이후에 영상신호가 기록되는 복수의 주사선상의 모든 화소에 대해 이들 모든 화소에 인가되어 있는 전압을 기록하기 전에 미리 리셋해 두기 위한 리셋전압을 인가하는 리셋전압 인가수단을 구비한 구동회로를 갖는 것을 특징으로 하는 것이다.

본 발명의 제 2 액정표시장치는, 복수의 신호선과 복수의 주사선이 매트릭스상으로 배치되어 복수의 화소가 구성된 액티브 매트릭스 기판과 대향기판 사이에 반강유전성 액정이 끼워지고, 상기 복수의 신호선을 구동하는 신호선 구동수단과, 상기 복수의 주사선을 구동하는 주사선 구동수단과, 상기 복수의 주사선중의 일주사선상의 모든 화소에 영상신호를 기록할 때, 상기 일주사선상의 모든 화소에 영상신호를 기록하는 일수평기간 이전이며 그 일수평기간과 시간적으로 떨어져 있는 복수의 일수평기간에 걸쳐, 상기 일주사선과 떨어져 있고 상기 일수평기간 이후에 영상신호가 기록되는 복수의 주사선상의 모든 화소에 대해 이들 모든 화소에 인가되어 있는 전압을 기록하기 전에 미리 리셋해 두기 위한 리셋전압을 인가하는 리셋전압 인가수단을 구비한 구동회로를 갖는 것을 특징으로 하는 것이다.

주사선을 위에서 아래로 차례로 주사하면서 1 주사선마다 신호를 공급하는, 소위 선순차(線順次) 구동방식의 액정표시장치의 경우, 1 프레임 시간을 주사선 수로 나눈 시간이 1 주사선당 구동시간 (1 수평기간, 1 H 기간) 이 되고, 1 프레임 시간중에 여분의 시간은 없다. 이에 비해, 신호선 구동수단 (소스 드라이버) 에 신호를 기록할 때에는 여분의 시간이 있다. 신호선 구동수단의 클럭 신호에는, 통상 1 수평기간내에 신호선의 개수 이상의 수의 펄스가 포함되어 있고, 실제 신호선의 개수 만큼의 데이터 기

록이 완료된 후, 약간의 시간 (일례로서, 펄스 수로 말하면, 1 수평기간의 전 펄스 수의 10 % 정도에 상당하는 시간) 이 귀선기간으로서 남아 있다.

여기서, 본 발명자들은, 신호선 구동수단에의 신호기록시에 1 수평기간마다 남은 시간이 존재하는 것에 착목하여, 이 시간을 이용하여 액정에 인가한 전압을 미리 리셋해 두고, 리셋후 기록을 실시하면 (전압을 인가하면), 액정이 인가전압에 충분히 응답할 수 있다는 것에 상치하였다. 여기서 말하는 「리셋」이란, 액정에 대한 인가전압을 무인가 상태로 하는 것을 의미한다. 따라서, 리셋전압이란 0 V 인 것이다.

그러나, 전압인가 상태에서 무인가 상태로 리셋하는 경우에도 액정의 응답시간이 필요하기 때문에, 1 수평기간내의 약간의 잉여시간만으로는 리셋전압을 인가하는 시간으로서 불충분하며, 완전한 리셋상태로 되지 않는다. 그래서, 화면상의 복수의 주사선중의 임의의 일주사선에 착목했을 때, 본 발명의 제 1 액정표시장치의 구동회로에서는, 상기 일주사선상의 모든 화소에 영상신호를 기록하는 1 수평기간 이전이며 이 1 수평기간과 시간적으로 연속하는 복수의 1 수평기간에 걸쳐, 상기 일주사선의 주사방향 후단측에 인접하는 복수의 주사선상의 모든 화소에 대해 리셋전압을 인가하도록 하였다. 또, 본 발명의 제 2 액정표시장치의 구동회로에서는, 상기 일주사선상의 모든 화소에 영상신호를 기록하는 1 수평기간 이전이며 이 1 수평기간과 시간적으로 떨어져 있는 복수의 1 수평기간에 걸쳐, 상기 일주사선과 떨어져 있는 복수의 주사선상의 모든 화소에 대해 리셋전압을 인가하도록 하였다.

어떤 경우에도, 1 수평기간내의 리셋전압 인가시간은 짧아도, 복수의 1 수평기간에 걸쳐 리셋전압을 인가함으로써, 충분한 리셋을 실시하는 것이 가능해진다. 완전한 리셋이 실시되면, 리셋후, 각 화소에서의 데이터 기록시에는 인가전압이 0 V 인 상태에서 양 또는 음의 전압의 방향으로 인가가 개시되게 되므로, 액정의 응답시간을 단축할 수 있다. 도 7 을 사용하여 설명하면, 종래의 구동방법에서는, 인가전압을 + V1 에서 - V1 까지 반전시키면, V 자형의 화살표 Y1, Y2 의 경로를 따라 액정이 응답했기 때문에, 응답시간이 오래 걸렸다. 이에 비해, 본 발명에서는, 리셋을 실시함으로써 전압인가가 0 V 에서 개시되기 때문에, V 자의 한쪽 화살표 Y2 의 경로를 따라 액정이 응답하면 되므로, 응답시간을 거의 반감하는 것이 가능해진다.

복수의 주사선에 리셋전압을 인가하는 경우, 동시에 리셋전압을 인가하는 주사선의 개수는, τ_{off}/τ_{reset} 의 정수배로 하는 것이 바람직하다. 여기서, τ_{off} 는 응답속도가 가장 늦은 계조의 하강시간(fall time), τ_{reset} 는 리셋전압의 인가시간이다. 동시에 리셋전압을 인가하는 최대의 주사선 개수는, 1/2 프레임에 상당하는 개수이다. 왜냐하면, 1/2 프레임 분을 초과하면, 사용자가 화면의 연속성을 느끼기 어렵게 되고, 또한 화면이 어두워지기 때문에, 바람직하지 않기 때문이다.

또, 상기 본 발명의 제 2 액정표시장치에 있어서는, 상기 리셋전압 인가수단에 있어서, 일주사선상의 모든 화소에 대한 리셋전압의 인가의 개시부터 종료까지의 리셋시간과, 일주사선상의 모든 화소에 대해 리셋전압의 인가가 종료한 후 영상신호의 기록이 개시될 때까지의 기다리는 시간의 합을, 1 프레임 시간의 1/2 이하로 설정하는 것이 바람직하다. 즉, 본 발명의 제 2 액정표시장치와 같이 기록을 실시하는 주사선과는 떨어진 주사선에서 리셋을 실시하는 경우, 무한정 떨어져 있어도 된다는 것은 아니고, 어느 정도의 기준이 있다. 리셋전압을 인가한다는 것은, 그 주사선상의 모든 화소의 표시를 소거하게 되기 때문에, 상기 리셋시간과 기다리는 시간의 합이 1/2 프레임 분의 시간을 초과하면, 사용자가 화면의 연속성을 느끼기 어렵게 되고, 또한 화면이 어두워지기 때문에, 바람직하지 않다.

본 발명의 액정표시장치의 구동방법은, 복수의 신호선과 복수의 주사선이 매트릭스상으로 배치되어 복수의 화소가 구성된 액티브 매트릭스 기판과 대향기판 사이에 반강유전성 액정이 끼워진 액정표시장치를 구동하는 방법으로써, 상기 복수의 주사선중의 일주사선상의 모든 화소에 영상신호를 기록할 때, 상기 일주사선상의 모든 화소에 영상신호를 기록하는 일수평기간 이전의 복수의 일수평기간에 걸쳐, 상기 일수평기간 이후에 영상신호가 기록되는 복수의 주사선상의 모든 화소에 대해 리셋전압을 인가하여 상기 모든 화소에 인가되어 있는 전압을 미리 리셋하고, 이어서, 상기 리셋전압이 인가된 일주사선상의 모든 화소에 대해, 사용하는 액정재료로 결정되는 계조(階調)전압의 1.5 배 이상의 구동전압을 인가하여 상기 영상신호의 기록을 실시하는 것을 특징으로 하는 것이다.

상술한 바와 같이, 본 발명의 액정표시장치의 구동회로에 의해, 액정의 응답시간을 단축할 수 있다. 그러나, 액정의 종류나 액정표시장치의 여러가지 조건에 따라서는, 응답시간의 단축이 아직 불충분하며, 기록시간보다 액정의 응답시간이 길어, 1 프레임내에서 기록이 불가능한 경우가 있다. 그 경우, 기록 전압을 높임으로써, 응답시간을 더 단축할 수 있다. 왜냐하면, 일반적으로 액정의 응답시간 τ 은,

$$\tau \propto 1/(P_s \cdot E) \cdots \cdots (1)$$

라는 관계에 있기 때문이다. 단, P_s 는 액정의 자발분극, E 는 인가전계이다.

액정표시장치에서는, 액정의 V-T 곡선 (전압-투과율 특성 곡선) 에 의거하여, 원하는 계조수에 따라 각 계조전압이 설정되는데, 이 V-T 곡선이 액정재료에 의해 달라지기 때문에, 그 액정표시장치에서 사용하는 액정재료에 의해 계조전압이 결정되게 된다. 상기 「사용하는 액정재료로 결정되는 계조전압」이란, 이와 같은 의미이다.

또한, 상기 (1) 의 관계를 변형하면,

$$\tau \propto d/(P_s \cdot V) \cdots \cdots (2)$$

가 된다. 단, d 는 기판간 갭 (액정층의 두께), V 는 인가전압이다. 따라서, (2) 의 관계로부터, 기판간 갭을 작게해도, 응답시간을 단축할 수 있다.

발명의 구성 및 작용

[제 1 실시형태]

이하, 본 발명의 제 1 실시형태를 도 1 내지 도 4 를 참조하여 설명한다.

도 1 은, 본 실시형태의 액정표시장치의 셀의 단면구조를 나타내는 도이다. 도 1 에 나타낸 바와 같이, TFT 어레이를 갖는 액티브 매트릭스 기관 (1) 과 대향기관 (2) 이 대향배치되고, 이들 기관 (1,2) 사이에 슬래쉬 홀 드레스 반강유전성 액정 (3, TL-AFLC) 이 봉입되어 있다. 액티브 매트릭스 기관 (1) 측은, 투명기관 (4) 상에 투명전극 (5), 배향막 (6) 이 순서대로 설치되어 있다. 마찬가지로, 대향기관 (2) 측도, 투명기관 (7) 상에 투명전극 (8), 배향막 (9) 이 순서대로 설치되어 있다. 그리고, 양 기관 (1,2) 의 외면에는 편광판 (10,11) 이 각각 설치되어 있다. 본 실시형태의 경우, 투명기관 (4,7) 에 6 인치 각의 소다 유리기관, 투명전극 (5,8) 에 ITO 막, 배향막 (6,9) 에 RN1286 (상품명, 닛산카가꾸사 제조), 편광판 (10,11) 에 AGK20 (상품명, 산리쯔사 제조), 액정 (3) 에 MX-X532 (상품명, 미쯔비시가스가꾸사 제조) 가 사용되고 있다.

도 2 는, 구동회로를 포함한 본 실시형태의 액정표시장치의 전체 구성을 나타내는 블록도이다. 이 블록도의 구동회로 (12) 중에서, 동기분리회로 (13), 로우패스 필터 (14, 이하 LPF 로 약기), 앰프회로 (15, 이하 AMP 로 약기), A/D 컨버터 (16, 이하 A/D 로 약기), 위상동기회로 (17, 이하 PLL 로 약기), 프로그래머블 · 로직 · 디바이스 (18, 이하 PLD 로 약기), 소스 드라이버 (19, 신호선 구동수단), 게이트 드라이버 (20, 주사선 구동수단) 에 관해서는, 종래와 동일한 구성요소이다. 그리고, 본 장치의 특징점은, 구동회로 (12) 중에 리셋용 소스 드라이버 (21, 리셋전압 인가수단), 및 리셋용 게이트 드라이버 (22, 리셋전압 인가수단) 를 구비한 것이다.

다음, 상기 구성의 구동회로 (12) 의 동작을 설명하는데, 본 실시형태에서는, 화면상의 임의의 1 게이트선 (주사선) 상의 모든 화소에 영상신호를 기록함에 있어서, 그 게이트선에 기록하는 1 수평기간과 시간적으로 연속하는 4 개의 1 수평기간에 걸쳐, 그 게이트선에 인접하는 4 개의 게이트선에 대해 리셋전압을 인가하는 경우를 예를 들어 설명한다. 도 4 는 각종 신호의 타이밍 차트이다.

(1) 영상신호 (R, G, B) 는, 동기분리회로 (13)(G 만), LPF (14), AMP (15) 를 순서대로, A/D 컨버터 (16) 에 의해 A/D 변환된 후, PLD (18) 에서 소정의 데이터 연산이 실시되어, 소스 드라이버 (19) 에 공급된다.

(2) 동기분리회로 (13) 의 출력신호인 수직동기신호 (VD), 수평동기신호 (HD) 를 기초로 하여 PLL (17) 에 의해 기준 클럭 (CLK) 이 발생하고, 그 기준 클럭이 PLD (18) 에 입력되고, PLD (18) 에 있어서 그 기준 클럭을 기초로 각종 타이밍 신호가 발생한다. 여기서는, PLD (18) 가, 내부에서 발생시킨 아웃풋 이너블 신호 (OE) 의 펄스의 "ON"타이밍에 동기시켜, 내부에서 발생시킨 리셋용 소스 드라이버 (21) 를 구동하는 구동신호 (SD-R) 를 리셋용 소스 드라이버 (21) 에 출력한다. OE 신호에 대해서는, 스타트 펄스 신호 (ST-R) 가 출력된 후, 1 수평기간 (1 H 기간) 중에서 데이터 기록이 완료된 후의 약간의 시간이 OE 시간이 된다.

(3) 상기 구동신호 SD-R 를 받아 리셋용 소스 드라이버 (21) 에 의해 「0」의 데이터가 모든 소스선에 출력되고, 그와 동시에, 리셋용 게이트 드라이버 (22) 에 의해 제 1 게이트선에 대한 리셋용 펄스 신호 (G1-R) 가 제 1 게이트선에 출력된다.

(4) 리셋용 게이트 드라이버 (22) 에 의해 G1-R, G2-R (제 2 게이트선에 대한 리셋용 펄스 신호) 가 각 게이트선에 출력되고, 이어서, G1-R, G2-R, G3-R (제 3 게이트선에 대한 리셋용 펄스 신호) 가 각 게이트선에 출력되고, 이어서, G1-R, G2-R, G3-R, G4-R (제 4 게이트선에 대한 리셋용 펄스 신호) 가 각 게이트선에 출력된다. 이 때에 이르러, 제 1 ~ 제 4 게이트선의 4 라인이 동시에 리셋되게 된다. 또, 이때 (2) 단계와 마찬가지로, 리셋용 소스 드라이버 (21) 에서는 「0」의 데이터가 모든 소스선에 동시에 출력된다.

도 3 은, 리셋용 게이트 드라이버 (22) 내부의 회로구성을 나타내는 블록도이다. 이를 이용하여 리셋용 게이트 드라이버 (22) 의 동작의 부분을 더욱 상세하게 설명한다.

① 프리셋 카운터 (24) 에서 프리셋 수 (동시에 리셋을 실시하는 게이트선의 개수) n 을 설정한다. 여기서는, D4 를 선택 (n=4) 한다.

② 플립플롭 (25, 이하 F/F 로 약기) 의 S 에 입력된 스타트 펄스 신호 (ST-R) 의 "ON"타이밍에 동기시키고 또, R 에 입력된 프리셋 카운터 (24) 의 출력 (C.O) 에 의해 생성된 신호 Q 를, 시프트 레지스터 (26) 에 출력한다.

③ 시프트 레지스터 (26) 가, n=4 의 펄스가 클럭의 1 펄스씩 타이밍이 어긋난 신호 S1, S2, S3, ..., Sn 을 생성하여, 출력 드라이버 (27) 에 출력한다.

④ 출력 드라이버 (27) 가, 신호 S1, S2, S3, ..., Sn 이 "하이"의 기간이며, 별도로 입력된 OE 신호의 펄스의 "하이"기간에만 상승하는 펄스를 갖는 리셋신호 G1-R, G2-R, G3-R, ..., Gn-R 을 생성하여, 각 게이트선에 차례로 출력한다. 이로써, 각 게이트선상의 모든 화소의 TFT 가 "ON"이 되고, 리셋용 데이터 「0」 가 기록된다. 이러한 동작에 의해, 리셋이 실시된다.

(5) 제 1 게이트선에 대해서는, (4) 까지의 단계에서 리셋동작은 종료되고, 이하 데이터의 기록동작으로 된다. 리셋 수 n=4 일 때에는, 이 시점에서, PLD 가 생성하는 기록 데이터의 스타트 펄스 신호 ST-D 가 "하이"가 되어, 이 신호가 소스 드라이버 (19) 및 게이트 드라이버 (20) 에 출력된다.

(6) 소스 드라이버 (19) 는, 스타트 펄스 신호 ST-D 를 받아, OE 신호의 하강 타이밍에 동기하여 상승하고, OE 신호의 상승 타이밍에 동기하여 하강하는 펄스를 갖는 영상신호 (SD-D) 를 생성하여, 모든 소스

선에 출력한다.

(7) 게이트 드라이버 (20) 는, 스타트 펄스 신호 ST-D 를 받아, OE 신호의 하강 타이밍에 동기하여 상승하고, OE 신호의 상승 타이밍에 동기하여 하강하는 펄스를 갖는 구동신호 (G1-D) 를 생성하여, 제 1 게이트선에 출력한다.

(8) 리셋용 소스 드라이버 (21) 를 "ON"상태로 하고, 리셋용 게이트 드라이버 (22) 로부터의 신호 G1-R ~ Gn-R 의 출력대상이 되는 게이트선을 아래쪽으로 1 라인 진행시킨 상태에서 리셋용 게이트 드라이버 (22) 로부터 게이트선에 리셋신호를 출력한다. 구체적으로, 다음 단계에서는, G2-R, G3-R, G4-R, G5-R 의 출력대상이 되는 제 2 ~ 제 5 게이트선이 동시에 리셋되게 된다.

(9) 소스 드라이버 (19) 가 스타트 펄스 신호 ST-D 를 받아 영상신호 SD-D 를 모든 소스선에 출력하는 한편, 게이트 드라이버 (20) 가 구동신호의 출력대상이 되는 게이트선을 아래쪽으로 1 라인 진행시켜, 구동신호 G2-D 를 제 2 게이트선에 출력한다.

(10) 이하, (8), (9) 의 단계를 반복하여, 게이트 드라이버 (20) 가 구동신호 Gn-D 를 제 n 게이트선에 출력하고, 모든 게이트선상의 모든 화소의 기록이 완료된 시점에서 1 프레임이 종료한다. 단, 제 n 게이트선상의 화소에의 기록이 완료된 시점에서는, 다시 제 1 ~ 제 4 게이트선상의 화소가 리셋되어 있다.

또, 본 실시형태의 경우, TL-AFLC 액정 (3) 에의 인가전압을, 사용하는 액정재료로 결정되는 계조전압의 1.5 배인 0 ~ 6 V 의 범위로 하고, 1 게이트선당 전압인가시간 (기록시간) 을 16 μ s 로 하고, 양 기판 (1,2) 의 배향막 (6,9) 사이의 갭을 종래의 2 μ m 에서 1.5 μ m 로 감소하였다.

본 실시형태의 액정표시장치에 있어서는, 화면상의 임의의 1 게이트선에 데이터 기록을 실시할 경우, 해당 게이트선에 기록을 실시하기 전의 4 개의 1 수평기간에 걸쳐, 해당 게이트선상의 모든 화소에 데이터 「0」을 기록함으로써 리셋을 실시하고 있기 때문에, 각 1 수평기간의 리셋시간은 짧지만, 전체적으로 충분한 리셋을 실시할 수 있다. 이로써, 액정의 응답시간을 크게 단축할 수 있다. 또, 액정재료에의 인가전압을 액정재료로 결정되는 계조전압의 1.5 배로 하고, 셀 갭을 감소함으로써, 액정의 응답시간을 10 ~ 20 μ s 정도까지 단축할 수 있다. 그 결과, TL-AFLC 자체가 갖는 응답시간에 근접시킬 수 있기 때문에, TL-AFLC 의 응답속도의 빠르기를 살릴 수 있고, 종래에는 얻을 수 없었던 고속응답으로 동화 잔상이 없는 액정표시장치를 실현할 수 있다.

[제 2 실시형태]

이하, 본 발명의 제 2 실시형태를 도 2, 도 5, 도 6 을 참조하여 설명한다.

제 1 실시형태에서는 시간적으로 인접하는 복수의 1 수평기간에 걸쳐 인접하는 복수의 게이트선에 대해 리셋하는 예를 설명했지만, 본 실시형태에서는 시간적으로 떨어져 있는 복수의 1 수평기간에 걸쳐 떨어져 있는 복수의 게이트선에 대해 리셋하는 예에 대해 설명한다. 본 실시형태의 액정표시장치의 전체 구성은 제 1 실시형태 (도 2 에 나타냄) 와 동일하기 때문에 설명을 생략하고, 제 1 실시형태와 구성이 다른 리셋용 게이트 드라이버의 구성과 그 동작에 대해, 이하 설명한다.

도 5 는 본 실시형태의 리셋용 드라이버 (30) 의 구성을 나타내는 블록도이며, 도 6 은 각종 신호의 타이밍 차트이다. 본 실시형태에서는, 화면상의 임의의 1 게이트선 (주사선) 상의 모든 화소에 영상신호를 기록함에 있어서, 그 게이트선에 기록하는 1 수평기간의 6 개 전의 1 수평기간에서 시작하여, 2 개의 1 수평기간에서 리셋전압을 인가하고, 1 수평기간에 있어 또 2 개의 1 수평기간에서 리셋전압을 인가하여, 1 수평기간에 있어서 데이터 기록을 실시하는 경우를 예를 들어 설명한다.

(1) 영상신호 (R, G, B) 는, 동기분리회로 (13)(G 만), LPF (14), AMP (15) 를 순서대로, A/D 컨버터 (16) 에 의해 A/D 변환된 후, PLD (18) 에서 소정의 데이터 연산이 실시되어, 소스 드라이버 (19) 에 공급된다.

(2) 동기분리회로 (13) 의 출력신호인 수직동기신호 (VD), 수평동기신호 (HD) 를 기초로 하여 PLL (17) 이 기준 클럭 (CLK) 을 발생하고, 그 클럭이 PLD (18) 에 입력되어, PLD (18) 가 그 클럭을 기초로 각종 타이밍 신호를 발생한다. 여기서는, PLD (18) 가, 내부에서 발생시킨 아웃풋 이너블 신호 (OE) 의 펄스의 "ON"타이밍에 동기시켜, 내부에서 발생시킨 리셋용 소스 드라이버 (21) 를 구동하는 구동신호 (SD-R) 를 리셋용 소스 드라이버 (21) 에 출력한다.

(3) 상기 구동신호 SD-R 를 받아 리셋용 소스 드라이버 (21) 가 「0」의 데이터를 모든 소스선에 출력하고, 그와 동시에, 리셋용 게이트 드라이버 (30) 가 제 1 게이트선에 대한 리셋용 펄스 신호 (G1-R) 를 게이트선에 출력한다.

(4) 리셋용 게이트 드라이버 (30) 가 G1-R, G2-R 를 게이트선에 출력하고, 이어서, G1-R, G2-R, G3-R 을 게이트선에 출력하고, 이어서, G1-R, G2-R, G3-R, G4-R 를 게이트선에 출력하고, 이어서, G1-R, G2-R, G3-R, G4-R, G5-R 을 게이트선에 출력한다. 이 시점에서, 제 1, 제 2, 제 4, 제 5 게이트선의 4 라인이 동시에 리셋되게 된다. 또, 이때 (2) 단계와 마찬가지로, 리셋용 소스 드라이버 (21) 는 「0」의 데이터를 모든 소스선에 동시에 출력한다.

여기서, 도 5 를 이용하여, 리셋용 게이트 드라이버 (30) 의 동작 부분을 더욱 상세하게 설명한다.

① 스타트 펄스 신호 ST-R 에 의해 F/F (31) 를 리셋하고, 그 출력 Q 로 프리셋 카운터 (32) 와 ROM (33) (리셋 순서 설정용 ROM) 의 리셋을 해제하여, 리셋용 게이트 드라이버 (30) 의 리셋을 개시한다.

② 리셋의 순서 (이 예로 말하면, 2 개의 1 수평기간에서 연속하여 리셋하고, 1 수평기간 띄우고 2 개의 1 수평기간에서 연속하여 리셋하는 순서) 를 ROM (33) 에 기억시켜 둔다. 구체적으로는 리셋이 있는 것을 데이터 「1」, 리셋이 없는 것을 데이터 「0」으로 할당하고, 이 예의 리셋순을 「1」, 「1」, 「0」,

「1」, 「1」로 기억시킨다.

③ 프리셋 카운터 (32) 의 출력 Qn 에 의해 ROM (33) 의 출력단자 D1 으로부터 데이터 「11011」를 출력하고, 그 데이터를 시프트 레지스터 (34) 의 입력단자 D2 에 입력한다.

④ 프리셋 카운터 (32) 에서 프리셋 수 n 을 설정해 둔다. 여기서, n=5 (리셋하는 라인수 (4) + 리셋하지 않은 라인수 (1)) 로 설정해 두고, C.O 의 출력으로 F/F (31) 를 리셋하여 결정한다.

⑤ 시프트 레지스터 (34) 가, n=5 의 펄스가 클록의 1 펄스씩 타이밍이 어긋난 신호 S1, S2, S3, ..., Sn 을 생성하여, 출력 드라이버 (35) 에 출력한다 (도 6 의 타이밍 차트에서의 도시는 생략).

⑥ 출력 드라이버 (35) 가, 신호 S1, S2, S3, ..., Sn 이 "하이"의 기간이며, 별도로 입력된 OE 신호의 펄스의 "하이"기간에만 상승하는 펄스를 갖는 리셋신호 G1-R, G2-R, G3-R, ..., Gn-R 을 생성하여, 각 게이트선에 차례로 출력한다. 이로써, 각 게이트선상의 모든 화소의 TFT 가 "ON"이 되고, 리셋용 데이터 「0」가 기록된다.

(5) 제 1 게이트선에 대해서는, (4) 까지의 단계에서 리셋동작은 종료하고, 다음의 1 수평기간은 리셋 상태를 유지한 후, 다음 1 수평기간에서 데이터의 기록동작을 실시한다. 이 시점에서, PLD (18) 가 생성하는 기록 데이터의 스타트 펄스 신호 ST-D 가 "하이"가 되어, 이 신호를 소스 드라이버 (19) 및 게이트 드라이버 (20) 에 출력한다.

(6) 소스 드라이버 (19) 는, 스타트 펄스 신호 ST-D 를 받아, OE 신호의 하강 타이밍에 동기하여 상승하고, OE 신호의 상승 타이밍에 동기하여 하강하는 펄스를 갖는 영상신호 (SD-D) 를 생성하여, 모든 소스선에 출력한다.

(7) 게이트 드라이버 (20) 는, 스타트 펄스 신호 ST-D 를 받아, OE 신호의 하강 타이밍에 동기하여 상승하고, OE 신호의 상승 타이밍에 동기하여 하강하는 펄스를 갖는 구동신호 (G1-D) 를 생성하여, 제 1 게이트선에 출력한다. 한편, 이 1 수평기간에서는, G3-R, G4-R, G6-R, G7-R 의 펄스가 상승하기 때문에, 제 3, 제 4, 제 6, 제 7 게이트선에 리셋전압이 인가된 것이 된다. 즉, 제 1 게이트선상의 모든 화소에서 기록이 실시될 때는, 그 게이트선과 떨어져 있는 제 3, 제 4, 제 6, 제 7 게이트선상의 모든 화소에서 리셋이 실시되고 있다.

(8) 리셋용 소스 드라이버 (21) 를 "ON"상태로 하고, 리셋용 게이트 드라이버 (30) 로부터의 신호 G1-R ~Gn-R 의 출력대상이 되는 게이트선을 아래쪽으로 1 라인 진행시킨 상태에서, 리셋용 게이트 드라이버 (30) 로부터 게이트선에 리셋신호를 출력한다.

(9) 소스 드라이버 (19) 가 스타트 펄스 신호 ST-D 를 받아 영상신호 SD-D 를 모든 소스선에 출력하는 한편, 게이트 드라이버 (20) 가 구동신호의 출력대상이 되는 게이트선을 아래쪽으로 1 라인 진행시켜, 구동신호 G2-D 를 제 2 게이트선에 출력한다.

(10) 이하, (8), (9) 의 단계를 반복하여, 게이트 드라이버 (20) 가 구동신호 Gn-D 를 제 n 게이트선에 출력하고, 모든 게이트선상의 모든 화소의 기록이 완료된 시점에서 1 프레임이 종료한다.

본 실시형태의 액정표시장치에 있어서도, 화면상의 임의의 1 게이트선에 데이터 기록을 실시할 경우, 해당 게이트선에 기록을 실시하기 전의 4 개의 1 수평기간에서 리셋을 실시하고 있기 때문에, 전체적으로 충분한 리셋을 실시할 수 있고, 액정의 응답시간을 크게 단축할 수 있다. 본 실시형태의 경우, 리셋을 실시하는 4 개의 1 수평기간은, 제 1 실시형태와 같이 시간적으로 연속되지 않고, 2 개의 1 수평기간에서 리셋, 1 수평기간은 유지, 2 개의 1 수평기간에서 리셋, 1 수평기간은 유지, 데이터 기록이라는 과정을 취한다. 하지만, 리셋전압의 인가가 종료된 후 영상신호의 기록이 개시되기까지의 기다리는 시간이 1 수평기간뿐이라 짧기 때문에, 사용자가 화면의 연속성을 느끼기 어렵거나, 화면이 어두워지거나 하는 문제가 없다.

또한, 본 발명의 기술범위는 상기 실시형태에 한정되는 것이 아니고, 본 발명의 취지를 일탈하지 않는 범위에서 여러가지 변형을 추가할 수 있다. 예컨대, 상기 실시형태에서 구체적으로 나타낸 리셋전압을 동시에 인가하는 게이트선의 수, 전압인가시간, 기록전압, 또한 액정표시장치의 구체적 구성 등에 관해서는, 적절한 변경이 가능한 것은 물론이다.

발명의 효과

이상, 상세하게 설명한 바와 같이, 본 발명에 의하면, 액정표시화면의 임의의 주사선상의 화소에 데이터 기록을 실시하는 경우, 해당 주사선에 기록을 실시하기 이전의 복수의 1 수평기간에 걸쳐 리셋을 실시하기 때문에, 종래에 비해 액정의 응답시간을 대폭으로 단축할 수 있다. 따라서, TL-AFLC 와 같은 액정재료 자체가 갖는 응답속도의 빠르기를 살릴 수 있고, 종래에는 얻을 수 없었던 고속응답이며 동화 잔상이 없는 액정표시장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1

복수의 신호선과 복수의 주사선이 매트릭스상으로 배치되어 복수의 화소가 구성된 액티브 매트릭스 기판과 대향기판 사이에 반광유전성 액정이 끼워지고, 상기 복수의 신호선을 구동하는 신호선 구동수단과, 상기 복수의 주사선을 구동하는 주사선 구동수단과, 상기 복수의 주사선중의 일주사선상의 모든 화소에 영상신호를 기록할 때, 상기 일주사선상의 모든 화소에 영상신호를 기록하는 일수평기간 이전이며 그 일수평기간과 시간적으로 연속하는 복수의 일수평기간에 걸쳐, 상기 일주사선에 인접하고 상기 일수평기간 이후에 영상신호가 기록되는 복수의 주사선상의 모든 화소에 대해 이들 모든 화소에 인가되어 있는 전압

을 기록하기 전에 미리 리셋해 두기 위한 리셋전압을 인가하는 리셋전압 인가수단을 구비한 구동회로를 갖는 것을 특징으로 하는 액정표시장치.

청구항 2

복수의 신호선과 복수의 주사선이 매트릭스상으로 배치되어 복수의 화소가 구성된 액티브 매트릭스 기판과 대향기판 사이에 반강유전성 액정이 끼워지고, 상기 복수의 신호선을 구동하는 신호선 구동수단과, 상기 복수의 주사선을 구동하는 주사선 구동수단과, 상기 복수의 주사선중의 일주사선상의 모든 화소에 영상신호를 기록할 때, 상기 일주사선상의 모든 화소에 영상신호를 기록하는 일수평기간 이전이며 그 일수평기간과 시간적으로 떨어져 있는 복수의 일수평기간에 걸쳐, 상기 일주사선과 떨어져 있고 상기 일수평기간 이후에 영상신호가 기록되는 복수의 주사선상의 모든 화소에 대해 이들 모든 화소에 인가되어 있는 전압을 기록하기 전에 미리 리셋해 두기 위한 리셋전압을 인가하는 리셋전압 인가수단을 구비한 구동회로를 갖는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서, 상기 리셋전압 인가수단에 있어, 일주사선상의 모든 화소에 대한 상기 리셋전압의 인가의 개시부터 종료까지의 리셋시간과, 상기 일주사선상의 모든 화소에 대해 상기 리셋전압의 인가가 종료된 후 상기 영상신호의 기록이 개시될 때까지의 기다리는 시간의 합이, 1 프레임 시간의 1/2 이하로 설정되어 있는 것을 특징으로 하는 액정표시장치.

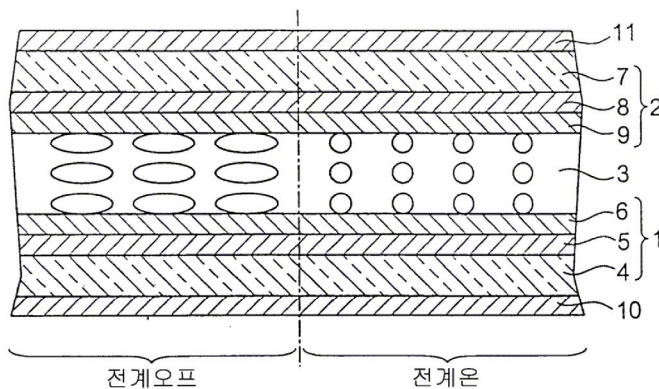
청구항 4

복수의 신호선과 복수의 주사선이 매트릭스상으로 배치되어 복수의 화소가 구성된 액티브 매트릭스 기판과 대향기판 사이에 반강유전성 액정이 끼워진 액정표시장치를 구동하는 방법으로서,

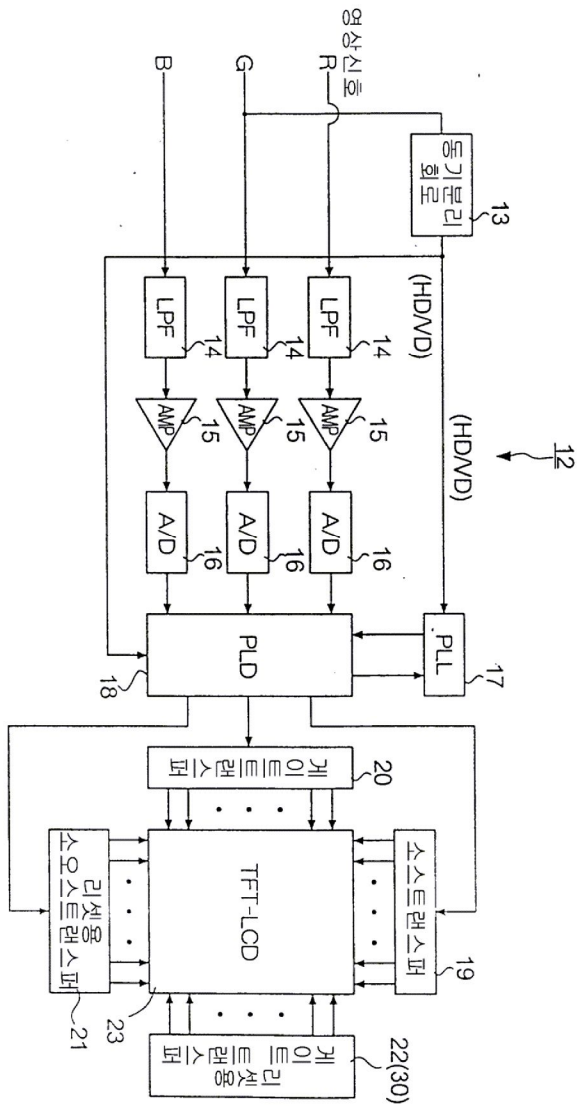
상기 복수의 주사선중의 일주사선상의 모든 화소에 영상신호를 기록할 때, 상기 일주사선상의 모든 화소에 영상신호를 기록하는 일수평기간 이전의 복수의 일수평기간에 걸쳐, 상기 일수평기간 이후에 영상신호가 기록되는 복수의 주사선상의 모든 화소에 대해 리셋전압을 인가하여 상기 모든 화소에 인가되어 있는 전압을 미리 리셋하고, 이어서, 상기 리셋전압이 인가된 일주사선상의 모든 화소에 대해, 사용하는 액정재료로 결정되는 게조전압의 1.5 배 이상의 구동전압을 인가하여 상기 영상신호의 기록을 실시하는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

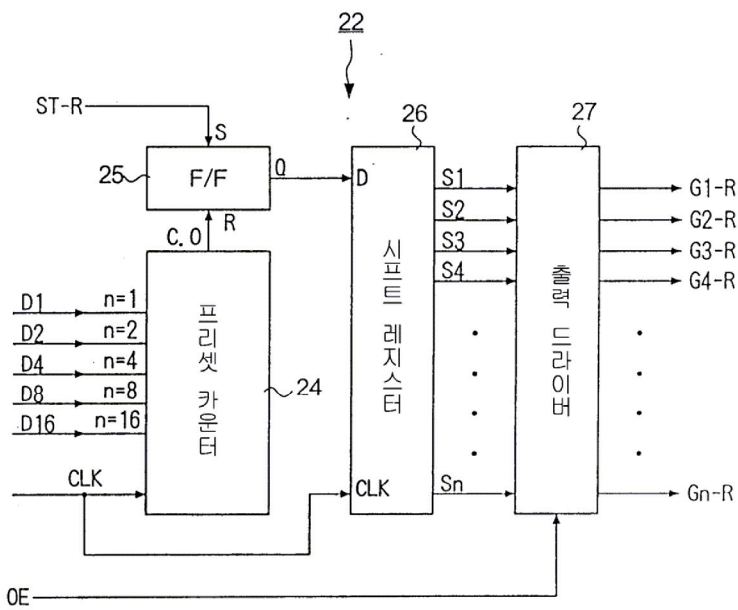
도면1



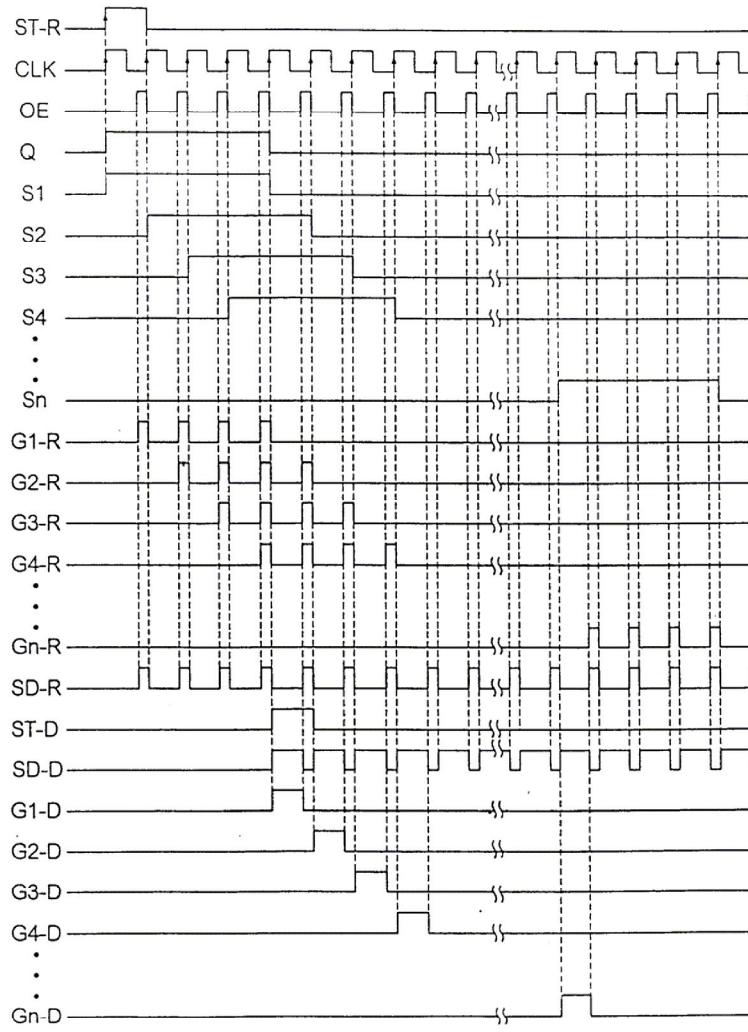
도면2



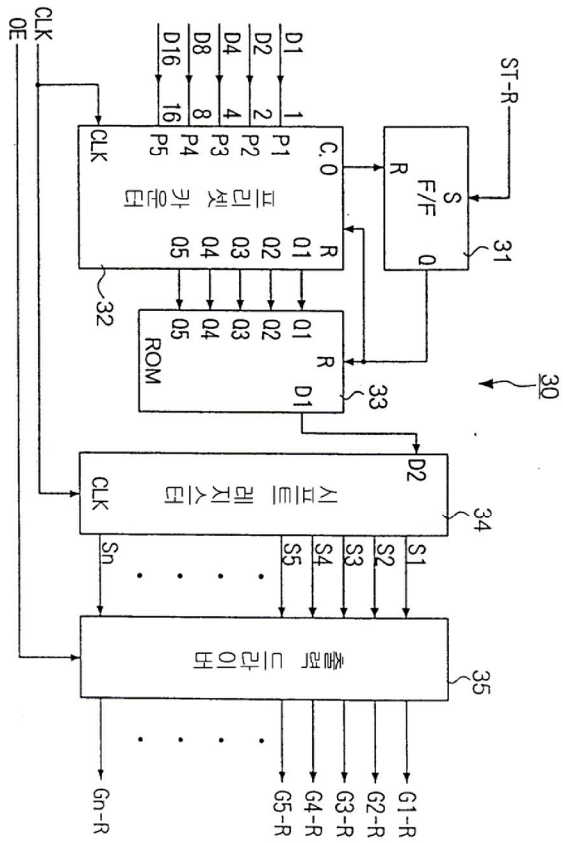
도면3



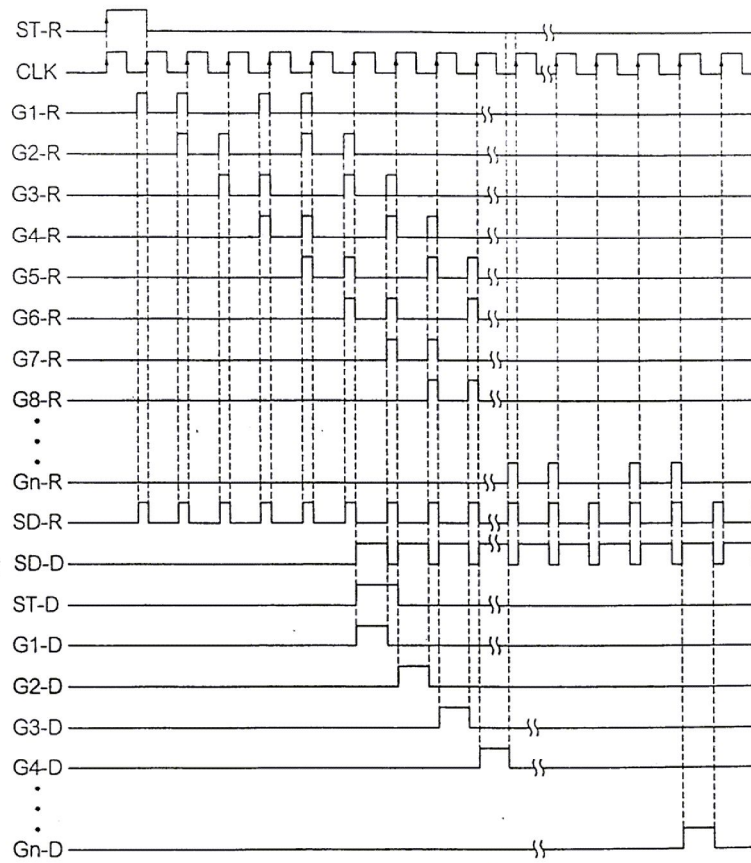
도면4



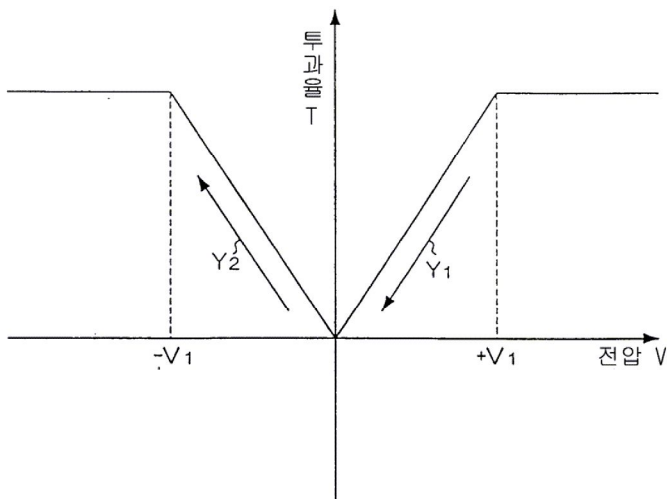
도면5



도면6



도면7



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020000062798A	公开(公告)日	2000-10-25
申请号	KR1020000011782	申请日	2000-03-09
[标]申请(专利权)人(译)	阿尔卑斯电气株式会社		
申请(专利权)人(译)	阿尔卑斯电气有限公司		
当前申请(专利权)人(译)	阿尔卑斯电气有限公司		
[标]发明人	CHEN HUO PING 첸구오핑		
发明人	첸구오핑		
IPC分类号	G02F1/133 G02F1/137 G02F1/141 G09G3/20 G09G3/36		
CPC分类号	G09G3/3651 G09G2310/0251		
代理人(译)	韩国专利公司 CHO, YOUNG WON		
优先权	1999074612 1999-03-18 JP		
其他公开文献	KR100331730B1		
外部链接	Espacenet		

摘要(译)

提供了配备有驱动电路的液晶显示器，其保存了TL-AFLC本身具有的响应速度的速度。本发明的液晶显示器具有配备有传统源极驱动器（19）的驱动电路（12），用于复位的源极驱动器（21）和用于复位的栅极驱动器（22）。除了栅极驱动器（20）之外，当在1条栅极线上的所有像素中记录图像信号时用于复位的源极驱动器（21）在记录围绕多个栅极上的所有像素施加的电压之前授权复位电压用于预先复位。这些所有像素中的1条栅极线的后端的线在1 H时段的多个1 H周期之前，在1条栅极线上的所有像素中记录图像信号。液晶显示器。

