



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년04월21일
(11) 등록번호 10-0954332
(24) 등록일자 2010년04월15일

(51) Int. Cl.

G02F 1/13 (2006.01)

(21) 출원번호 10-2003-0043804
(22) 출원일자 2003년06월30일
심사청구일자 2008년03월25일
(65) 공개번호 10-2005-0002426
(43) 공개일자 2005년01월07일

(56) 선행기술조사문헌

KR1020050001513 A

JP2001326363 A

JP59201422 A

KR100200350 B1

전체 청구항 수 : 총 11 항

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

유재성

서울특별시영등포구대림2동무림아파트2동502호

(74) 대리인

김용인, 박영복

심사관 : 김주승

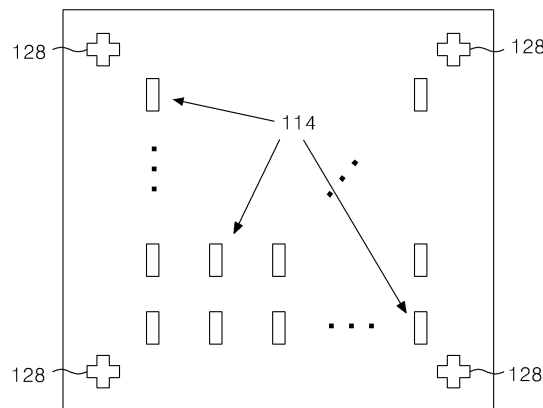
(54) 액정표시소자와 그 제조방법

(57) 요약

본 발명은 공정수를 줄이고 생산단가를 낮추도록 한 액정표시소자와 그 제조방법에 관한 것이다.

이 액정표시소자와 그 제조방법은 비정질 실리콘을 부분적으로 결정화하여 폴리 실리콘 패턴을 형성하고, 상기 비정질 실리콘과 상기 폴리 실리콘 패턴을 동시에 식각하여 상기 비정질 실리콘을 제거하고 상기 폴리 실리콘 패턴을 기판 상에 잔류시킨다.

대표도 - 도11



특허청구의 범위

청구항 1

비정질 실리콘과 폴리 실리콘의 동시 식각공정으로 패터닝된 폴리 실리콘 패턴과;
상기 폴리 실리콘 패턴이 형성되는 표시영역을 구비하는 것을 특징으로 하는 액정표시소자.

청구항 2

제 1 항에 있어서,
상기 폴리 실리콘 패턴은 상기 표시영역에 형성된 다수의 박막트랜지스터들 각각에 포함된 액티브층인 것을 특징으로 하는 액정표시소자.

청구항 3

제 1 항에 있어서,
상기 액정표시소자의 비표시영역 상에 형성되는 제2 폴리 실리콘 패턴을 더 구비하는 것을 특징으로 하는 액정표시소자.

청구항 4

제 3 항에 있어서,
상기 제2 폴리 실리콘 패턴은 얼라인 마크인 것을 특징으로 하는 액정표시소자.

청구항 5

비정질 실리콘을 기판 상에 형성하는 단계와;
상기 비정질 실리콘을 부분적으로 결정화하여 폴리 실리콘 패턴을 형성하는 단계와;
상기 비정질 실리콘과 상기 폴리 실리콘 패턴을 동시에 식각하여 상기 비정질 실리콘을 제거하고 상기 폴리 실리콘 패턴을 상기 기판 상에 잔류시키는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 6

제 5 항에 있어서,
상기 폴리 실리콘 패턴은 다수의 박막트랜지스터들 각각에 포함된 액티브층인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 7

제 5 항에 있어서,
상기 폴리 실리콘 패턴은 얼라인 마크인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8

기판 상에 버퍼층을 형성하는 단계와;
상기 버퍼층 상에 비정질 실리콘을 형성하는 단계와;
상기 비정질 실리콘 상에 레이저 빔을 부분적으로 조사하고 상기 레이저 빔이 조사된 부분의 측면으로부터 결정의 성장을 유도하여 폴리 실리콘 패턴을 형성하는 단계와;
상기 비정질 실리콘과 폴리 실리콘을 동시에 식각하여 상기 비정질 실리콘을 제거하고 폴리 실리콘 패턴을 상기 기판 상에 잔류시키는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 9

제 8 항에 있어서,

상기 폴리 실리콘 패턴은 다수의 박막트랜지스터들 각각에 포함된 액티브층인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 10

제 8 항에 있어서,

상기 폴리 실리콘 패턴은 열라인 마크인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 11

제 9 항에 있어서,

상기 폴리 실리콘 패턴을 덮도록 상기 버퍼층 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 게이트 금속층을 형성하고 상기 게이트 금속층을 패터닝하여 상기 폴리 실리콘 패턴의 일부분에 중첩되는 상기 박막트랜지스터의 게이트전극을 형성하는 단계와;

상기 게이트전극을 마스크로 하여 상기 게이트전극과 중첩된 부분 이외의 상기 폴리 실리콘 패턴에 불순물을 제 1 농도로 주입하여 상기 폴리 실리콘 패턴 상에 도핑영역을 형성하는 단계와;

상기 도핑영역의 일부분에 불순물을 상기 제1 농도보다 높은 제2 농도로 주입하여 상기 폴리 실리콘 패턴 상에 소스영역과 드레인영역을 형성하는 단계와;

상기 게이트전극을 덮도록 상기 게이트 절연막 상에 층간 절연막을 형성하고 상기 층간 절연막과 상기 게이트 절연막을 관통하는 제1 접촉홀을 형성하여 상기 소스영역과 상기 드레인영역의 노출시키는 단계와;

상기 소스영역에 접속되는 상기 박막트랜지스터의 소스전극과 상기 드레인영역에 접속되는 상기 박막트랜지스터의 드레인전극을 형성하는 단계와;

상기 소스전극과 상기 드레인전극을 덮도록 상기 층간 절연막 상에 보호막을 형성하는 단계와;

상기 드레인전극이 노출되도록 상기 보호막 상에 제2 접촉홀을 형성하고 상기 드레인전극에 접속되는 화소전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0023] 본 발명은 폴리 실리콘을 이용한 액정표시소자에 관한 것으로, 특히 공정수를 줄이고 생산단가를 낮추도록 한 액정표시소자와 그 제조방법에 관한 것이다.
- [0024] 실리콘은 결정상태에 따라 비정질 실리콘(Amorphous siliscon)과 결정질 실리콘(Crystalline silicon)으로 대별된다.
- [0025] 비정질 실리콘은 350℃ 이하의 낮은 온도에서 박막으로 증착 가능하다. 이 때문에 비정질 실리콘은 액정표시소자의 박막트랜지스터(Thin Film Transistor : 이하, "TFT"라 한다)에 주로 이용되고 있다.
- [0026] 그런데 비정질 실리콘은 0.5 cm²/Vs 이하의 낮은 이동도로 인하여 우수한 전기적 특성이 요구되는 대화면 액정표시소자에 적용되기가 곤란하다.
- [0027] 이에 비하여 폴리 실리콘은 이동도가 수십에서 수백 cm²/Vs 이하의 높은 이동도를 가진다. 이러한 폴리 실리콘을 TFT의 반도체층으로 적용함으로써 고품위, 대화면의 액정표시소자를 구현하기 위한 연구가 활발히 진행되고 있다. 특히 폴리 실리콘 TFT를 액정표시소자에 적용하면 화면 영역의 TFT 어레이 기관과 구동 드라이브 집적회

로를 함께 기판 상에 집적시킬 수 있다.

- [0028] 폴리 실리콘의 전기적 특성은 결정립(grain)의 크기에 좌우된다. 즉, 결정립의 크기가 커질수록 폴리 실리콘의 이동도는 높아진다.
- [0029] 이러한 폴리 실리콘층을 형성하기 위한 방법으로는 폴리 실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후에 그 비정질 실리콘막을 폴리 실리콘으로 결정화하는 방법이 있다.
- [0030] 폴리 실리콘을 기판 상에 직접 증착하는 방법으로는 400℃ 이하의 증착온도에서 SiF_4 , SiH_4 , H_2 혼합가스를 사용하여 폴리 실리콘을 증착하는 플라즈마 화학기상증착법(Plasma Enhanced CVD) 등이 있으나 결정립의 제어가 어려워 실제 액정표시소자에 적용하는 데에 많은 어려움이 있다.
- [0031] 비정질 실리콘을 폴리 실리콘으로 결정화하는 방법으로는 반응로(furnace) 속에서 비정질 실리콘을 가열하여 그 비정질 실리콘을 결정화하는 고상결정화법(Solid Phase Crystallization : SPC)과, 엑시머 레이저(Eximer laser)를 비정질 실리콘에 조사하여 그 비정질 실리콘을 결정화하는 방법이 있다. 이 중 후자의 방법은 공정온도가 낮고 결정립의 제어가 비교적 용이하기 때문에 주로 이용되고 있다.
- [0032] 최근에는 엑시머 레이저를 비정질 실리콘 박막에 조사하여 그 박막을 완전히 녹이고(Complete melting), 냉각과정에서 결정이 측면으로부터 수직으로 성장되게 하는 순차적 측면 고상화법(Sequential lateral solidification : 이하, "SLS"라 한다)이 제안된 바 있다. 이 SLS 방법은 국제특허 WO 97/45827과 대한민국 공개특허공보 제 2001-004129호 등에 개시되어 있다.
- [0033] 도 1 및 도 2는 액정표시소자에 적용되는 탑게이트구조의 폴리 실리콘 TFT를 보여 준다.
- [0034] 도 1 및 도 2를 참조하면, 액정표시소자의 폴리 실리콘 TFT는 게이트라인(2)과 접속되는 게이트전극(6)과, 데이터라인(4)과 접속되는 소스전극(8)과, 화소전극(22)과 접속되는 드레인전극(10)과, 게이트전극(6)에 인가되는 제어신호에 응답하여 채널을 형성하기 위한 액티브층(14)을 구비한다.
- [0035] 액티브층(14)은 버퍼막(16) 상에 형성되는 폴리 실리콘층으로서 게이트전극(6)과 중첩되며 불순물이 도핑되지 않은 채널영역(14C), n+ 이온이 도핑된 소스영역(14S) 및 드레인영역(14D), n- 이온이 도핑된 엘디디(Lightly Doped Drain : 이하, "LDD"라 한다) 영역(14L)을 포함한다. LDD 영역(14L)은 채널영역(14C)과 소스영역(14S) 사이와, 채널영역(14C)과 드레인영역(14D) 사이에 위치하여 오프전류를 감소시킨다.
- [0036] 게이트전극(6)은 게이트 절연막(12)을 사이에 두고 액티브층(14)의 채널영역(14C)과 중첩되며 게이트라인(2)으로부터 공급되는 스캔전압에 응답하여 소스전극(8)과 드레인전극(10) 사이에 전류가 흐를 수 있는 채널을 형성시킨다. 소스전극(8)은 게이트 절연막(12)과 층간 절연막(26)을 관통하는 소스접촉홀(24S)을 통하여 액티브층(14)의 소스영역(14S)에 접속된다. 드레인전극(14D)은 게이트 절연막(12)과 층간 절연막(26)을 관통하는 드레인접촉홀(24D)을 통하여 액티브층(14)의 드레인영역(14D)과 접속된다.
- [0037] 이러한 TFT는 게이트라인으로부터의 스캔펄스에 응답하여 데이터라인(4) 상의 데이터전압을 드레인전극(10)에 접속된 화소전극(22)에 공급한다.
- [0038] 이러한 액정표시소자의 기판 네 가장자리에는 제조공정에서 마스크 정렬의 기준으로 이용되는 얼라인마크(28)가 형성된다. 이러한 얼라인마크(28)는 액티브층(14)과 동시에 반도체층으로 형성된다.
- [0039] 이러한 액정표시소자의 제조방법을 도 3a 내지 도 3f를 결부하여 설명하기로 한다.
- [0040] 도 3a를 참조하면, 하부기판(1) 상에 SiO_2 , SiN_x 등의 절연물질이 전면 증착됨으로써 버퍼막(16)이 형성된다. 버퍼막(16) 상에는 비정질 실리콘층이 전면 증착된다. 이 비정질 실리콘에 혼입된 수소는 대략 400℃의 온도로 비정질 실리콘층을 가열하는 탈수소공정을 통해 제거된다. 탈수소 공정 후, 비정질 실리콘층은 레이저 어닐링으로 결정화됨으로써 폴리 실리콘층으로 전환된다.
- [0041] 레이저 결정화 공정을 SLS 방법으로 가정하여 설명하면, 도 4a 같이 비정질 실리콘층(43) 상에는 결정화를 위한 마스크(41)가 정렬된다. 마스크(41)에는 레이저빔(42)을 투과시키기 위한 투과패턴(41a)과 레이저빔(42)을 차단하기 위한 차단패턴(41b)이 형성된다. 이 마스크(41)를 통해 레이저빔(42)이 비정질 실리콘층(43) 상에 조사된다. 그러면 마스크(41)의 투과패턴(41a)을 통해 레이저빔(42)에 노출된 비정질 실리콘층(43)은 용융(melting)된다. 레이저빔(42)이 조사된 비정질 실리콘층(43)은 버퍼막(16)과 접하는 계면까지 용융된다. 이렇게 용융된 비정질 실리콘층(43)은 온도가 낮아지면서 결정화가 진행된다. 이 때 아직 고체상태를 유지하는 이

웃한 비정질 실리콘층(43)과 접하는 측면에 존재하는 시드(seed)로부터 결정화가 유도되어 레이저빔에 노출된 비정질 실리콘층(43)은 도 4a 및 도 5a와 같이 폴리 실리콘층(44)으로 변하게 된다. 이어서 마스크(41)나 기판(1)이 이동되어 마스크(41)의 투과패턴(41a)은 결정화되지 않은 비정질 실리콘층(43)에 정렬된다. 그리고 레이저빔(42)이 이동된 마스크(41)를 통하여 비정질 실리콘층(43) 상에 조사된다. 그러면 나머지 비정질 실리콘층(43)은 용융된 후에 온도가 낮아지면서 측면 즉, 폴리 실리콘층(44)과의 계면에 존재하는 시드로부터 결정화가 유도된다. 이렇게 두차례에 걸친 노광공정으로 비정질 반도체층(43)의 전면이나 일부가 결정화되면서 도 4b 및 도 5b와 같이 폴리 실리콘층(44)으로 전환된다.

[0042] 폴리 실리콘층(44) 상에는 도 6a와 같이 감광층으로서 포토레지스트(Photoresist)(47)가 전면 도포된다. 포토레지스트(47) 상에는 패터닝을 위한 마스크(45)가 정렬된다. 이 마스크(45)에는 레이저빔(46)을 투과하여 액티브영역과 얼라인 마크를 한정하기 위한 투과패턴(45a)과, 레이저빔(46)을 차단하기 위한 차단패턴(45b)이 형성된다. 이 마스크(45)를 통하여 포토레지스트(47)는 노광된다. 포토레지스트(47)가 도 6b와 같이 현상된 후에 포토레지스트(47)의 잔류 패턴들을 통하여 폴리 실리콘층(44)이 건식식각된다. 그리고 포토레지스트(47)의 잔류패턴들이 스트립공정을 통해 제거되면 도 3a와 같은 액티브층(14)의 패턴과 얼라인마크(28)가 기판(1) 상에 형성된다.

[0043] 버퍼층(16)부터 액티브층(14)과 얼라인마크(28)까지의 공정순수를 단계적으로 요약하면, 도 7과 같이 버퍼층(16)의 증착공정(S11), 비정질 실리콘층(43)의 증착(S12), 탈수소공정(S13), 레이저 결정화공정(S14), 포토레지스트 도포공정, 노광공정 및 현상공정을 포함하여 액티브층(14)과 얼라인마크(28)를 정의하기 위한 포토공정(S15), 폴리 실리콘층(44)의 식각공정(S16) 및 포토레지스트의 제거공정(S17)이 순차적으로 실시된다.

[0044] 도 3b를 참조하면, SiO_2 , SiN_x 등의 절연물질이 액티브층(14)과 얼라인마크(28)가 형성된 버퍼층(16) 상에 전면 증착됨으로써 게이트 절연막(12)이 버퍼층(16) 상에 형성된다. 게이트 절연막(12)이 형성된 하부기판(1) 상에는 알루미늄, 알루미늄/네오듐 등의 게이트금속층이 전면 증착된다. 이 게이트 금속층 상에는 게이트 금속패턴들을 정의하기 위한 마스크가 정렬된다. 그리고 포토레지스트의 도포공정, 노광공정 및 현상공정을 포함한 포토리쓰그래피공정(Photolithography), 식각공정, 포토레지스트의 제거공정이 실시됨으로써 게이트금속층이 패터닝된다. 그 결과, 게이트절연막(12) 상에는 폴리 실리콘 TFT의 게이트전극(6), 게이트라인(2) 및 도시하지 않은 게이트패드가 형성된다.

[0045] 이렇게 게이트전극(6)이 형성되면 게이트전극(6)을 마스크로 하여 액티브층(14)에 n-이온이 주입된다. 그러면 게이트전극(6)과 중첩되는 진성 폴리 실리콘의 액티브층(14)의 양측에는 LDD 영역(14L)이 형성된다.

[0046] 도 3c를 참조하면, 게이트 금속패턴들이 형성된 하부기판(1) 상에는 도시하지 않은 포토레지스트가 전면 도포된다. 그리고 이 포토레지스트 상에는 액티브층(14)의 소스영역(14S)과 드레인영역(14D)을 정의하기 위한 마스크가 정렬된다. 노광공정과 현상공정을 통해 하부기판(1) 상에는 포토레지스트패턴들이 형성된다. 이 포토레지스트패턴들은 액티브층(14)의 소스영역(14S)과 드레인영역(14D)을 노출시킨다. 포토레지스트패턴들을 통하여 액티브층(14)의 소스영역(14S)과 드레인영역(14D)에는 n^+ 이온이 주입된다.

[0047] 도 3d를 참조하면, SiO_2 , SiN_x 등의 절연물질이 게이트 절연막(12) 상에 전면 증착됨으로써 층간 절연막(26)이 게이트 절연막(12) 상에 형성된다. 층간 절연막(26) 상에는 도시하지 않은 포토레지스트가 전면 도포된다. 그리고 이 포토레지스트 상에는 소스접촉홀(24S)과 드레인접촉홀(24D)을 정의하기 위한 마스크가 정렬된다. 노광공정과 현상공정을 통해 층간 절연막(26) 상에는 포토레지스트패턴들이 형성된다. 이 포토레지스트패턴들을 통하여 층간 절연막(26)과 게이트 절연막(12)은 식각된다. 그 결과, 층간 절연막(26)과 게이트 절연막(12)을 관통하는 소스접촉홀(24S)과 드레인접촉홀(24D)이 형성되며 액티브층(14)의 소스영역(14S)과 드레인영역(14D)이 노출된다.

[0048] 도 3e 및 도 3f를 참조하면, 소스접촉홀(24S)과 드레인접촉홀(24D)이 형성된 층간 절연막(26) 상에는 금속층이 전면 증착된다. 이 금속층 상에는 도시하지 않은 포토레지스트가 전면 도포된다. 그리고 이 포토레지스트 상에는 소스전극(8)과 드레인전극(10)을 정의하기 위한 마스크가 정렬된다. 노광공정과 현상공정을 통해 금속층 상에는 포토레지스트패턴들이 형성된다. 이 포토레지스트패턴들을 통하여 금속층은 식각되고 포토레지스트패턴들이 제거된다. 그 결과, 하부기판(1) 상에는 소스전극(8), 데이터라인(4), 드레인전극(10)이 형성됨과 동시에 도시하지 않은 데이터패드들이 형성된다. 소스전극(8)은 소스접촉홀(24S)을 통해 액티브층(14)의 소스영역(14S)과 접속된다. 드레인전극(10)은 드레인접촉홀(24D)을 통해 액티브층(14)의 드레인영역(14D)과 접속된다. 이렇게 소스전극(8)과 드레인전극(10)이 형성된 층간 절연막(26) 상에는 무기 또는 유기 절연물질이 전면 형성

됨으로써 보호막(18)에 형성된다. 그리고 보호막(18) 상에는 도시하지 않은 포토레지스트가 전면 도포된다. 그리고 이 포토레지스트 상에는 화소접촉홀(20)을 정의하기 위한 마스크가 정렬된다. 노광공정과 현상공정을 통해 보호막(18) 상에는 포토레지스트패턴들이 형성된다. 이 포토레지스트패턴들을 통하여 보호막(18)은 식각된다. 그 결과, 보호막(18)을 관통하는 화소접촉홀(20)이 형성되며 이 화소접촉홀(20)을 통하여 드레인전극(10)의 일부가 노출된다.

[0049] 화소접촉홀(20)이 형성된 보호막(18) 상에는 IT0와 같은 투명전도성물질이 전면 증착된다. 이 투명전도성물질층 상에는 도시하지 않은 포토레지스트가 전면 도포된다. 그리고 이 포토레지스트 상에는 화소전극(22)을 정의하기 위한 마스크가 정렬된다. 노광공정과 현상공정을 통해 투명전도성물질층 상에는 포토레지스트패턴들이 형성된다. 이 포토레지스트패턴들을 통하여 투명전도성물질층은 식각된다. 그 결과, 도 1 및 도 2와 같은 화소접촉홀(20)을 통하여 드레인전극(10)과 접속되는 화소전극들(22)이 형성된다.

[0050] 그런데 종래의 폴리 실리콘 TFT의 제조방법은 전술한 바와 같이 공정수가 많고 공정소요시간이 길며, 포토레지스트와 같은 재료의 낭비가 많은 문제점이 있다. 또한, 이러한 문제점으로 인하여 종래의 폴리 실리콘 TFT와 이 TFT가 적용되는 액정표시소자는 생산단가가 높을 수 밖에 없다.

발명이 이루고자 하는 기술적 과제

[0051] 따라서, 본 발명의 목적은 공정수를 줄이고 생산단가를 낮추도록 한 액정표시소자와 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

[0052] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시소자는 비정질 실리콘과 폴리 실리콘의 동시 식각공정으로 패터닝된 폴리 실리콘 패턴과; 상기 폴리 실리콘 패턴이 형성되는 표시영역을 구비한다.

[0053] 상기 폴리 실리콘 패턴은 상기 표시영역에 형성된 다수의 TFT들 각각에 포함된 액티브층인 것을 특징으로 한다.

[0054] 본 발명에 따른 액정표시소자는 상기 액정표시소자의 비표시영역 상에 형성되는 제2 폴리 실리콘 패턴을 더 구비한다.

[0055] 상기 제2 폴리 실리콘 패턴은 얼라인 마크인 것을 특징으로 한다.

[0056] 본 발명의 실시예에 따른 액정표시소자의 제조방법은 비정질 실리콘을 기판 상에 형성하는 단계와; 상기 비정질 실리콘을 부분적으로 결정화하여 폴리 실리콘 패턴을 형성하는 단계와; 상기 비정질 실리콘과 상기 폴리 실리콘 패턴을 동시에 식각하여 상기 비정질 실리콘을 제거하고 상기 폴리 실리콘 패턴을 상기 기판 상에 잔류시키는 단계를 포함한다.

[0057] 본 발명의 다른 실시예에 따른 액정표시소자의 제조방법은 기판 상에 버퍼층을 형성하는 단계와; 상기 버퍼층 상에 비정질 실리콘을 형성하는 단계와; 상기 비정질 실리콘 상에 레이저 빔을 부분적으로 조사하고 상기 레이저 빔이 조사된 부분의 측면으로부터 결정의 성장을 유도하여 폴리 실리콘 패턴을 형성하는 단계와; 상기 비정질 실리콘과 폴리 실리콘을 동시에 식각하여 상기 비정질 실리콘을 제거하고 폴리 실리콘 패턴을 상기 기판 상에 잔류시키는 단계를 포함한다.

[0058] 본 발명의 다른 실시예에 따른 액정표시소자의 제조방법은 상기 폴리 실리콘 패턴을 덮도록 상기 버퍼층 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 게이트 금속층을 형성하고 상기 게이트 금속층을 패터닝하여 상기 폴리 실리콘 패턴의 일부분에 중첩되는 상기 TFT의 게이트전극을 형성하는 단계와; 상기 게이트전극을 마스크로 하여 상기 게이트전극과 중첩된 부분 이외의 상기 폴리 실리콘 패턴에 불순물을 제1 농도로 주입하여 상기 폴리 실리콘 패턴 상에 도핑영역을 형성하는 단계와; 상기 도핑영역의 일부분에 불순물을 상기 제1 농도보다 높은 제2 농도로 주입하여 상기 폴리 실리콘 패턴 상에 소스영역과 드레인영역을 형성하는 단계와; 상기 게이트전극을 덮도록 상기 게이트 절연막 상에 층간 절연막을 형성하고 상기 층간 절연막과 상기 게이트 절연막을 관통하는 제1 접촉홀을 형성하여 상기 소스영역과 상기 드레인영역의 노출시키는 단계와; 상기 소스영역에 접속되는 상기 TFT의 소스전극과 상기 드레인영역에 접속되는 상기 TFT의 드레인전극을 형성하는 단계와; 상기 소스전극과 상기 드레인전극을 덮도록 상기 층간 절연막 상에 보호막을 형성하는 단계와; 상기 드레

인전극이 노출되도록 상기 보호막 상에 제2 접촉홀을 형성하고 상기 드레인전극에 접속되는 화소전극을 형성하는 단계를 더 포함한다.

[0059] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0060] 이하, 도 8 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0061] 도 8을 참조하면, 본 발명의 실시예에 따른 마스크에는 레이저빔을 투과시키기 위한 투과패턴들(141a)과, 레이저빔을 차단하기 위한 차단패턴들(141b)이 형성된다. 투과패턴들(141a)은 1차 샷영역(1st Shot domain : SD1)과 2차 샷영역(2nd Shot domain : SD2)으로 분할되어 액티브층과 얼라인마크에 대응되는 영역만을 정의한다. 투과패턴들(141a) 각각의 폭은 결정립(Grain)의 측면성장 길이의 두 배와 같거나 그 이하로 결정된다.

[0062] 이 마스크를 이용하여 SLS 방법의 레이저 결정화를 설명하면 다음과 같다. 레이저빔이 마스크의 1차 샷영역(SD1)과 2차 샷영역(SD2)을 통해 비정질 실리콘층 상에 조사되면 마스크의 투과패턴들(141a)에 대응하는 비정질 실리콘이 용융된다. 이 때 레이저빔에 노출된 비정질 실리콘은 거의 완전히 녹게 되고 온도가 낮아지면서 측면의 시드로부터 결정화되기 시작한다. 이어서, 레이저빔의 폭이 W라 할 때 마스크나 도시하지 않은 기판이 중 어느 하나가 1/2 W 만큼 가로 방향으로 이동되고 레이저빔이 상기 마스크를 통해 비정질 실리콘에 다시 조사되어 1차 레이저 조사에 의해 폴리실리콘으로 전환된 영역 이외의 다른 비정질 실리콘의 결정화를 유도한다.

[0063] 도 10은 본 발명의 실시예에 따른 액정표시소자의 제조방법의 공정수순을 시계열적으로 보여 주는 흐름도이다.

[0064] 도 10을 참조하면, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 먼저 버퍼층을 기판 상에 증착하고 그 버퍼층 상에 비정질 실리콘을 증착한다.(S1, S2) 이어서, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 비정질 실리콘 내에 혼입된 수소를 제거하기 위한 탈수소공정을 실시한 후에(S3) 액티브층의 패턴과 얼라인마크의 패턴에 대응하는 영역들에 도 9와 같은 마스크를 통해 레이저빔을 비정질 실리콘 상에 두 차례에 걸쳐 조사함으로써 비정질 실리콘의 결정화를 유도하여 상기 액티브층의 패턴과 얼라인마크의 패턴에 대응하는 영역들의 비정질 실리콘층을 폴리 실리콘으로 전환시킨다.(S4) S4 단계에 이어서, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 폴리 실리콘과 비정질 실리콘을 동시에 식각하여 폴리 실리콘을 기판 상에 잔류시키고 비정질 실리콘을 제거한다.(S5) S5 단계의 식각 공정에서 폴리 실리콘은 그 구조가 치밀하여 식각비(echant ratio)가 작은데 반하여, 비정질 실리콘은 그 구조가 성기기 때문에 식각비가 크다. 이 때문에 폴리 실리콘에 비하여 동일한 식각 조건에서도 비정질 실리콘은 더 깊이 그리고 더 빨리 식각된다. 그 결과, 식각 공정 시간이 경과됨에 따라 도 11과 같이 기판 상에는 폴리 실리콘으로 된 액티브층(114)과 얼라인 마크(128) 만이 남게 된다.

[0065] 종래 기술과 대비하면, 종래 기술은 도 7과 같이 액티브영역의 액티브층과 얼라인마크를 정의하기 위하여 포토 레지스트 도포공정, 노광공정 및 현상공정을 포함하는 포토리소그래피 공정(S15)과, 포토레지스트 제거공정(S17)이 필수적이다. 이에 비하여, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 폴리 실리콘층(144)과 비정질 실리콘층(143)의 식각비 차이를 이용하여 선택적인 레이저 결정화공정(S4)과 식각공정(S5) 만으로 액티브층(114)과 얼라인마크(128)를 형성할 수 있다.

[0066] 본 발명의 실시예에 따른 액정표시소자의 제조방법을 도 12a 내지 도 12k를 결부하여 상세히 설명하기로 한다.

[0067] 도 12a를 참조하면, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 하부기판(101) 상에 SiO_2 , SiN_x 등의 절연물질을 전면 증착함으로써 상기 하부기판(101) 상에 버퍼막(116)을 형성하고, 그 버퍼막(116) 상에 비정질 실리콘층(143)을 전면 증착한다. 이어서, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 대략 400℃의 온도로 비정질 실리콘층을 가열하는 탈수소공정을 통해 비정질 실리콘에 혼입된 수소를 제거한다. 탈수소 공정 후, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 비정질 실리콘층을 SLS 방법으로 레이저 어닐링함으로써 상기 비정질 실리콘층을 폴리 실리콘층으로 전환시킨다.

[0068] 레이저 결정화 공정을 SLS 방법으로 가정하여 설명하면, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 도 12b와 같이 비정질 실리콘층(143) 상에 결정화를 위한 마스크(141)를 정렬한다. 이 마스크(141)에는 도 8과 같이 레이저빔(142)을 투과시키기 위한 투과패턴들(141a)과, 레이저빔(142)을 차단하기 위한 차단패턴들(141b)이 형성된다. 이 마스크(141)를 통해 레이저 빔(142)은 두 차례 연속으로 비정질 실리콘층(143) 상에 조사된다. 1차 레이저 조사시에 레이저빔(142)은 도 12b 및 도 12c와 같이 1차 샷영역(SD1)과 2차 샷영역(SD2)을 통

해 비정질 실리콘층(143) 상에 조사되어 투과패턴들(141a)에 대응하는 영역들의 비정질 실리콘층(143)을 용융시킨다. 이 때 레이저빔(142)이 조사된 비정질 실리콘층(143)은 버퍼막(116)과 접하는 계면까지 거의 용융된다. 이렇게 용융된 비정질 실리콘층(143)은 온도가 낮아지면서 결정화가 진행된다. 이 때 고체상태를 유지하는 이웃한 비정질 실리콘층(143)과 접하는 측면에 존재하는 시드로부터 결정화가 유도되어 레이저빔에 노출된 비정질 실리콘층(143)은 측면에 대하여 거의 수직으로 결정이 성장되어 도 9a와 같이 폴리 실리콘층(144)으로 변하게 된다. 이러한 1차 레이저 조사는 액티브층과 얼라인마크의 일부분을 폴리 실리콘으로 결정화한다. 이어서, 레이저빔(142)의 폭이 W라 할 때 하부기관(101)이나 마스크(141) 중 어느 하나가 1/2 W 만큼 가로 방향으로 이동된 후 레이저빔(142)은 그 마스크(141)의 1차 샷영역(SD1)과 2차 샷영역(SD2)을 통해 비정질 실리콘층(143) 상에 조사된다. 이를 위하여, 하부기관(101)은 X축과 Y축의 2 축 방향으로 이동가능하도록 도시하지 않은 X-Y 스테이지(Stage) 상에 설치될 수 있다. 마스크(142)가 이동하기 위해서는 도시하지 않은 X-Y 로봇에 마스크(142)가 설치된다. 이렇게 두 차례에 걸친 레이저 조사에 의해 도 9b와 같이 액티브층과 얼라인마크만이 폴리 실리콘으로 전환된다.

[0069] 이어서 본 발명의 실시예에 따른 액정표시소자의 제조방법은 도 12d와 같이 동일층 상에 분포되는 폴리 실리콘층(144)과 비정질 실리콘층(143)을 동시에 건식 또는 습식 식각한다. 이러한 식각공정에서 비정질 실리콘층(143)은 폴리 실리콘층(144)에 비하여 더 빨리 식각된다. 이는 폴리 실리콘은 그 구조가 치밀하여 식각비(echant ratio)가 작은데 반하여, 비정질 실리콘은 그 구조가 폴리 실리콘에 비하여 성기기 때문에 식각비가 크다. 이 때문에 비정질 실리콘층(143)은 폴리 실리콘층(144)에 비하여 동일한 식각 조건에서도 더 깊이 그리고 더 빨리 식각된다. 그 결과, 도 11과 도 12e와 같이 일정 시간이 지나면 버퍼층(116) 상에는 폴리 실리콘층(144)으로 된 액티브층(114)과 얼라인 마크(128) 만이 남는다.

[0070] 한편, 폴리 실리콘으로 이루어진 액티브층(114)의 패턴은 도 11에서 직사각형으로 도시되어 있지만 이러한 패턴 모양에 국한되지 않고 '┐', '┌', '└', '┐' 등 다양한 형태로 형성될 수 있다. 마찬가지로, 폴리 실리콘으로 이루어진 얼라인 마크(128)의 패턴 역시 도 11에서 '+'형으로 도시되어 있지만 이러한 패턴 모양에 국한되지 않고 원형이나 사각형 등 다양한 형태로 형성될 수 있다. 이러한 패턴 변경은 마스크(141)에 형성되는 투과패턴들(141)의 형태 변경만으로 가능하다.

[0071] 도 12f를 참조하면, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 액티브층(114)과 얼라인마크(128)를 덮는 SiO_2 , SiN_x 등의 절연물질을 버퍼층(116) 상에 전면 증착함으로써 게이트 절연막(112)을 버퍼층(116) 상에 형성한다. 게이트 절연막(112)이 형성된 하부기관(101) 상에는 알루미늄, 알루미늄/네오듐 등의 게이트금속층이 전면 증착된다. 이 게이트 금속층 상에는 게이트 금속패턴들을 정의하기 위한 마스크가 정렬된다. 그리고 본 발명의 실시예에 따른 액정표시소자의 제조방법은 포토레지스트의 도포공정, 노광공정 및 현상공정을 포함한 포토리쓰그래피공정, 식각공정, 포토레지스트의 제거공정을 실시하여 게이트금속층을 패터닝한다. 그 결과, 게이트절연막(112) 상에는 폴리 실리콘 TFT의 게이트전극(106)과 도시하지 않은 게이트라인과 게이트패드가 형성된다.

[0072] 이렇게 게이트전극(6)이 형성되면 게이트전극(6)을 마스크로 하여 액티브층(114)에 n-이온이 주입된다. 여기서, n-이온은 인(P)이나 비소(As)와 같은 불순물로써 그 농도가 $10^{12} \sim 10^{13}/\text{cm}^2$ 정도로 비교적 작다. 그러면 게이트전극(106)과 중첩되는 진성 폴리 실리콘의 액티브층(114)의 양측에는 오프전류를 감소시키기 위한 LDD 영역(114L)이 형성된다.

[0073] 도 12g를 참조하면, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 게이트 금속패턴들이 형성된 하부기관(101) 상에 포토레지스트를 전면 도포하고 그 포토레지스트 상에 액티브층(114)의 소스영역(114S)과 드레인영역(114D)을 정의하기 위한 마스크를 정렬한다. 그리고 본 발명의 실시예에 따른 액정표시소자의 제조방법은 노광공정과 현상공정을 통해 하부기관(101) 상에 소스영역(114S)과 드레인영역(114D)을 노출시키기 위한 포토레지스트패턴들을 형성한다. 이 포토레지스트패턴들을 통하여 액티브층(114)의 소스영역(114S)과 드레인영역(114D)에는 nt 이온이 주입된다. 여기서, nt 이온은 인(P)이나 비소(As)와 같은 불순물로써 그 농도가 $1 \sim 2 \times 10^{15}/\text{cm}^2$ 정도로 비교적 높다.

[0074] 도 12h를 참조하면, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 게이트전극(106)을 포함한 게이트 금속패턴들을 덮도록 SiO_2 , SiN_x 등의 절연물질을 게이트 절연막(112) 상에 전면 증착함으로써 층간 절연막(126)을 게이트 절연막(112) 상에 형성한다. 층간 절연막(126) 상에는 도시하지 않은 포토레지스트가 전면 도포된다. 그리고 본 발명의 실시예에 따른 액정표시소자의 제조방법은 포토레지스트 상에 소스접촉홀(124S)과 드레인접촉

홀(124D)을 정의하기 위한 마스크를 정렬하고, 노광공정과 현상공정을 실시하여 층간 절연막(126) 상에 소스접촉홀(124S)의 영역과 드레인접촉홀(124D)의 영역을 노출시키는 포토레지스트패턴들을 형성한다. 이 포토레지스트패턴들을 통하여 본 발명의 실시예에 따른 액정표시소자의 제조방법은 층간 절연막(126)과 게이트 절연막(112)을 식각함으로써 액티브층(114)의 소스영역(114S)과 드레인영역(114D)을 노출시키는 소스접촉홀(124S)의 영역과 드레인접촉홀(124D)을 층간 절연막(126)과 게이트 절연막(112)에 형성한다.

[0075] 도 12i를 참조하면, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 금속을 소스접촉홀(124S)과 드레인접촉홀(124D)이 형성된 층간 절연막(126) 상에 전면 증착한다. 이어서, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 상기 금속층 상에 포토레지스트를 전면 도포하고, 그 포토레지스트 상에 소스전극(108)과 드레인전극(110)을 정의하기 위한 마스크를 정렬한다. 노광공정과 현상공정을 통해 금속층 상에는 포토레지스트패턴들이 형성된다. 이 포토레지스트패턴들을 통하여 본 발명의 실시예에 따른 액정표시소자의 제조방법은 상기 금속층을 식각하고 포토레지스트패턴들을 제거한다. 그 결과, 하부기판(101) 상에는 소스전극들(108)과 드레인전극들(110)이 형성됨과 동시에 도시하지 않은 데이터라인들과 데이터패드들이 형성된다. 소스전극(108)은 소스접촉홀(124S)을 통해 액티브층(114)의 소스영역(114S)과 접속된다. 드레인전극(110)은 드레인접촉홀(124D)을 통해 액티브층(114)의 드레인영역(114D)과 접속된다. 그리고 본 발명의 실시예에 따른 액정표시소자의 제조방법은 소스전극(108)과 드레인전극(110)을 덮도록 층간 절연막(126) 상에 무기 또는 유기 절연물질을 전면 형성함으로써 보호막(118)을 상기 층간 절연막(126) 상에 형성한다.

[0076] 본 발명의 실시예에 따른 액정표시소자의 제조방법은 보호막(118) 상에 도시하지 않은 포토레지스트를 전면 도포하고, 그 포토레지스트 상에 화소접촉홀(120)을 정의하기 위한 마스크를 정렬한다. 그리고 본 발명의 실시예에 따른 액정표시소자의 제조방법은 노광공정과 현상공정을 실시하여 보호막(118) 상에 화소접촉홀(120)의 영역을 노출시키는 포토레지스트패턴들을 형성하고, 그 포토레지스트패턴들을 통하여 보호막(118)을 식각한 다음, 포토레지스트패턴들을 제거한다. 그 결과, 도 12j와 같이 보호막(118)을 관통하는 화소접촉홀(120)이 형성되며 그 화소접촉홀(120)을 통하여 드레인전극(110)의 일부가 노출된다.

[0077] 본 발명의 실시예에 따른 액정표시소자의 제조방법은 화소접촉홀(120)이 형성된 보호막(118) 상에 ITO와 같은 투명전도성물질을 전면 증착하고, 그 투명전도성물질층 상에 도시하지 않은 포토레지스트를 전면 도포한다. 그리고 본 발명의 실시예에 따른 액정표시소자의 제조방법은 포토레지스트 상에 화소전극(122)을 정의하기 위한 마스크를 정렬한 후에 노광공정과 현상공정을 실시하여 상기 투명전도성물질층을 식각한다. 그 결과, 도 12k와 같이 화소접촉홀(120)을 통해 드레인전극(110)과 접속되는 화소전극들(122)이 형성된다.

발명의 효과

[0078] 상술한 바와 같이, 본 발명에 따른 액정표시소자와 그 제조방법은 비정질 실리콘을 폴리실리콘으로 전환하는 방법에 있어서 SLS 방법으로 액티브패턴 영역과 얼라인마크패턴 영역만을 대상으로 하여 상기 비정질 실리콘을 레이저 어닐링하고 폴리 실리콘과 비정질 실리콘을 동시에 식각한다. 그 결과, 본 발명에 따른 액정표시소자와 그 제조방법은 포토레지스트 도포공정, 노광공정, 현상공정을 포함한 포토리소그래피공정과 포토레지스트 제거 공정 등 복잡한 과정이 필요없이 폴리 실리콘과 비정질 실리콘의 식각비 차이를 이용하여 한 차례의 식각공정만으로 상기 액티브패턴과 얼라인마크패턴을 형성할 수 있다.

[0079] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 액정표시소자의 한 셀과 얼라인마크를 개략적으로 나타내는 평면도이다.

[0002] 도 2는 도 1에서 선 'I-I''과 선 'II-II''을 따라 절취하여 액정표시소자의 단면구조를 나타내는 단면도이다.

[0003] 도 3a 내지 도 3f는 도 1에 도시된 액정표시소자의 제조공정을 설명하기 위한 단면도들이다.

[0004] 도 4a 및 도 4b는 종래의 비정질 실리콘을 폴리 실리콘으로 전환하는 방법에 있어서 순차적 측면 고상화법(SLS)을 이용한 레이저 어닐링 방법으로 도 3a에 도시된 폴리 실리콘 패턴을 형성하는 방법을 보여 주는 단면도들이다.

[0005] 도 5a 및 도 5b는 도 4a 및 도 4b 각각에 도시된 비정질 실리콘과 폴리 실리콘의 평면 배치를 보여 주는 평면도들이다.

[0006] 도 6a 및 도 6b는 종래의 액정표시소자의 제조방법에 있어서 폴리 실리콘층에서 액티브층 패턴과 얼라인마크를 정의하기 위한 포토리소그래피공정을 보여 주는 단면도들이다.

[0007] 도 7은 종래의 액정표시소자의 제조방법을 시계열적으로 나타내는 흐름도이다.

[0008] 도 8은 본 발명의 실시예에 따른 마스크에 형성되는 투과패턴(또는 슬릿)을 개략적으로 보여 주는 도면이다.

[0009] 도 9a 및 도 9b는 순차적 측면 고상화법(SLS)을 이용한 레이저 어닐링으로 비정질 실리콘을 폴리 실리콘으로 전환할 때의 폴리 실리콘 전환부분을 보여 주는 평면도이다.

[0010] 도 10은 본 발명의 실시예에 따른 액정표시소자의 제조방법을 시계열적으로 나타내는 흐름도이다.

[0011] 도 11은 본 발명의 실시예에 따른 액정표시소자에 형성되는 액티브층의 패턴과 얼라인 마크의 패턴을 나타내는 평면도이다.

[0012] 도 12a 내지 도 12k는 본 발명의 실시예에 따른 액정표시소자의 제조방법을 설명하기 위한 단면도들이다.

[0013] < 도면의 주요부분에 대한 설명>

[0014] 1,101 : 기판 2 : 게이트라인

[0015] 4 : 데이터라인 6, 106 : 게이트전극

[0016] 8, 108 : 소스전극 10, 120 : 드레인전극

[0017] 12, 112 : 게이트 절연막 14, 114 : 액티브층

[0018] 16, 116 : 버퍼막 18, 118 : 보호막

[0019] 20, 120 : 화소접촉홀 22, 122 : 화소전극

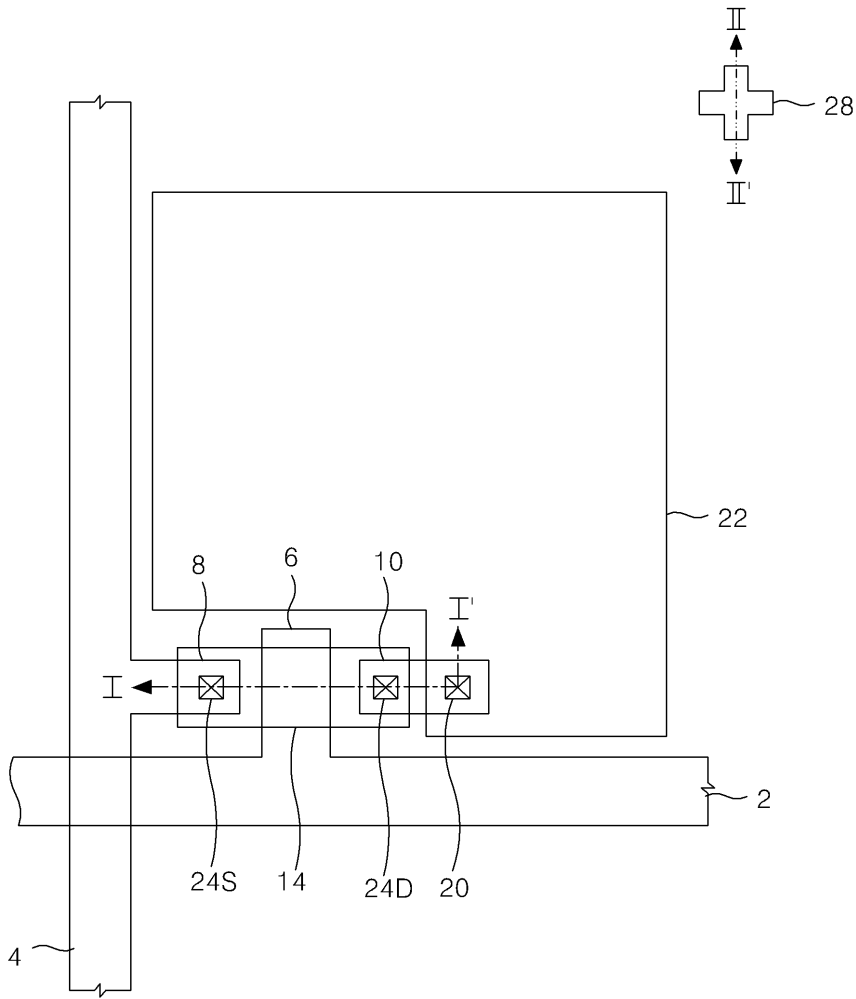
[0020] 26, 126 : 층간 절연막 28, 128 : 얼라인마크

[0021] 43, 143 : 비정질 실리콘 44, 144 : 폴리 실리콘

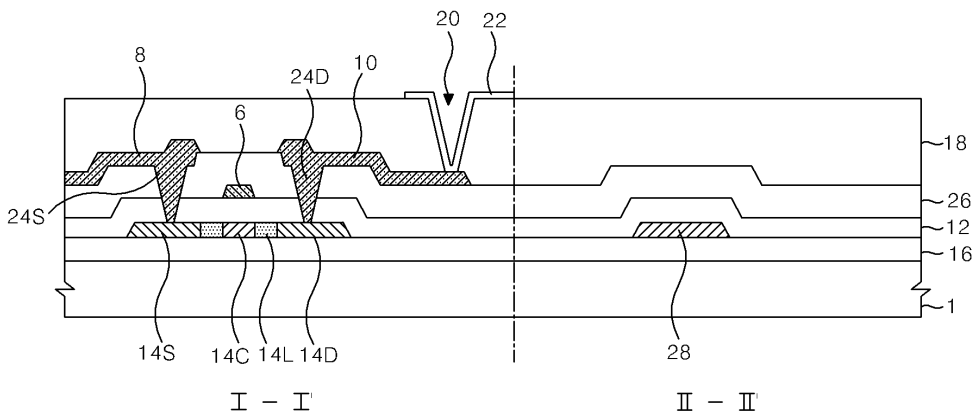
[0022] 41, 141 : 마스크 42, 142 : 레이저빔

도면

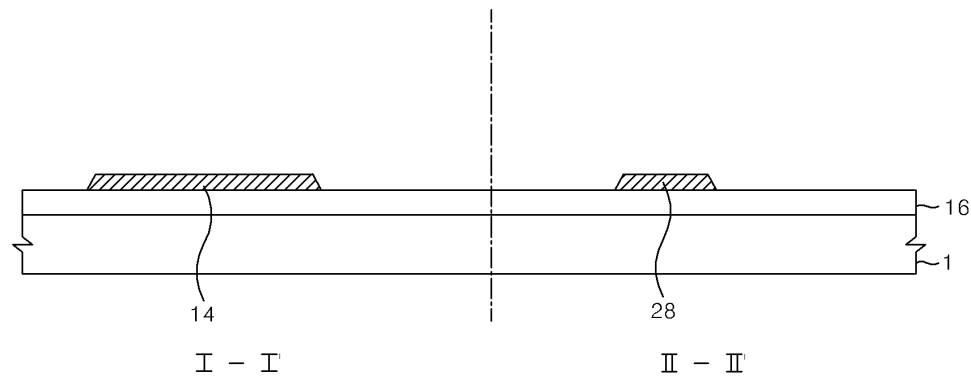
도면1



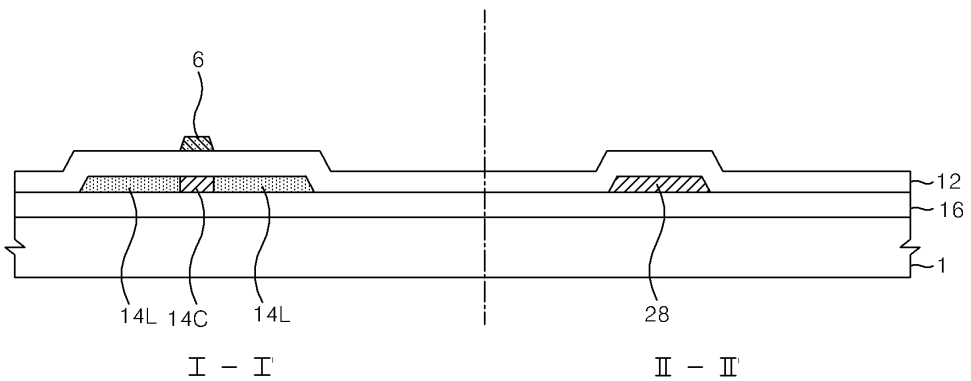
도면2



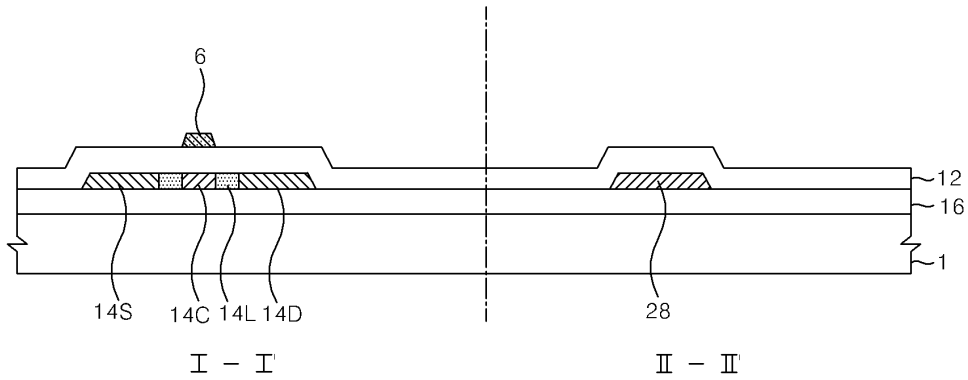
도면3a



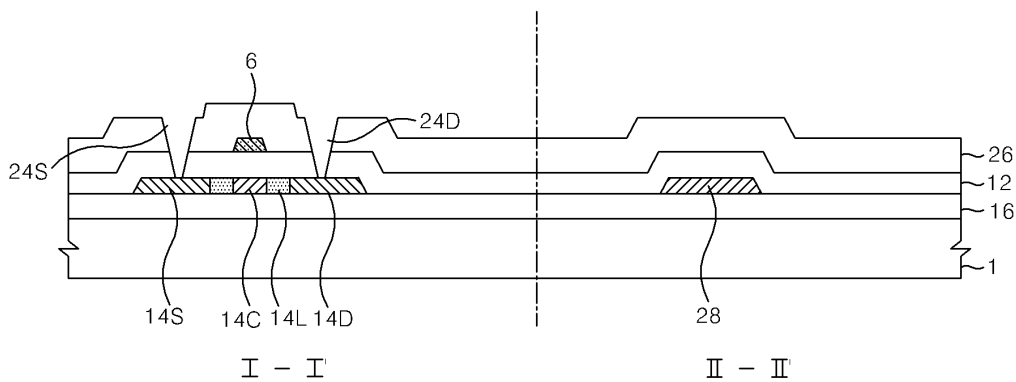
도면3b



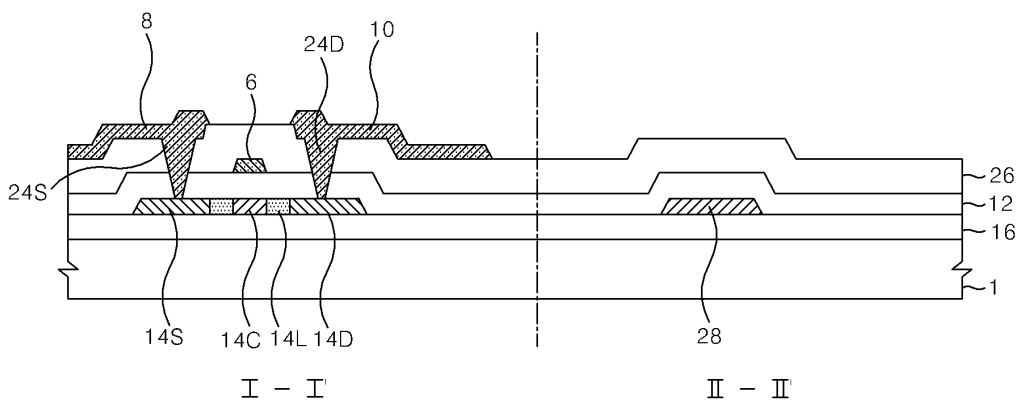
도면3c



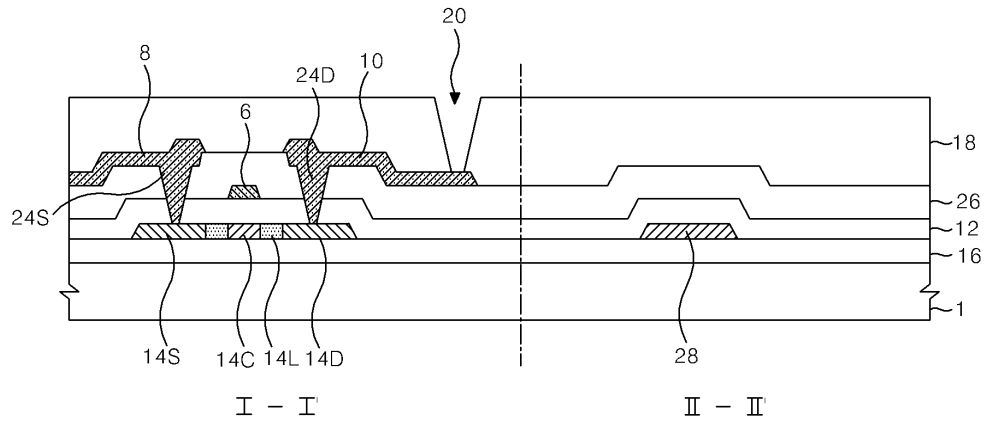
도면3d



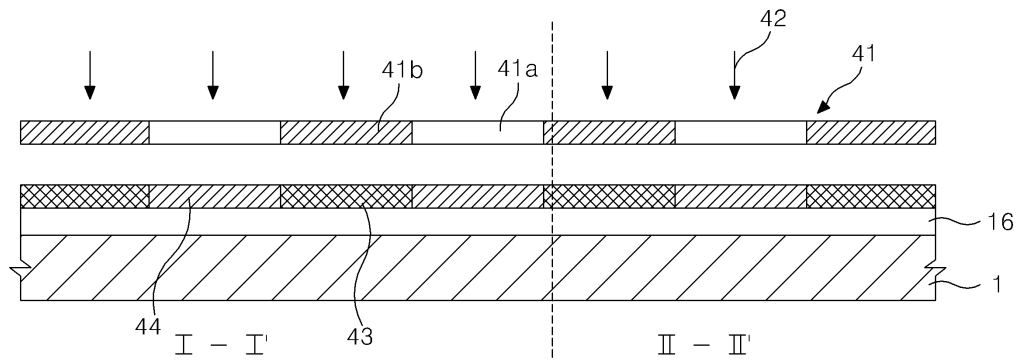
도면3e



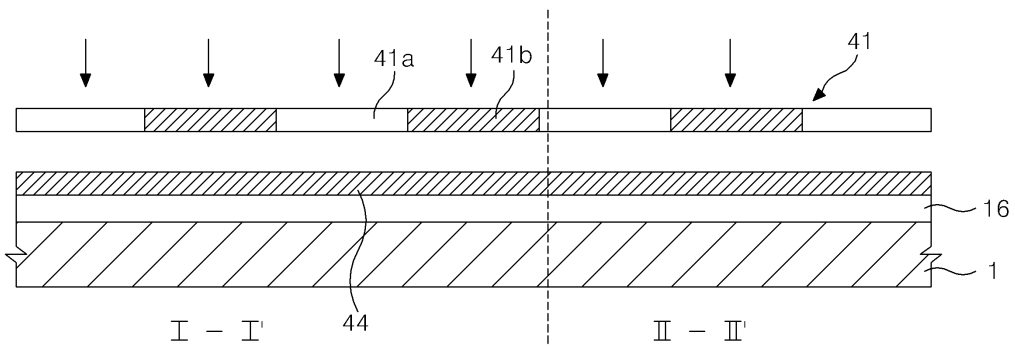
도면3f



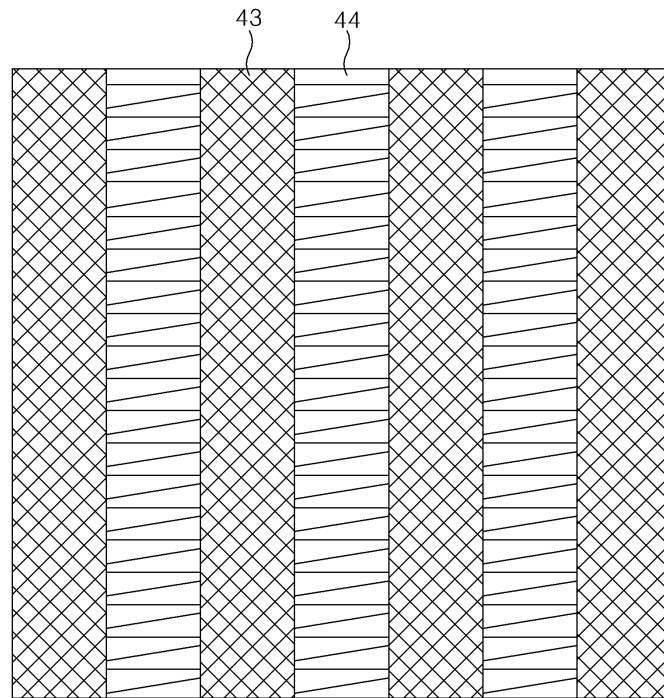
도면4a



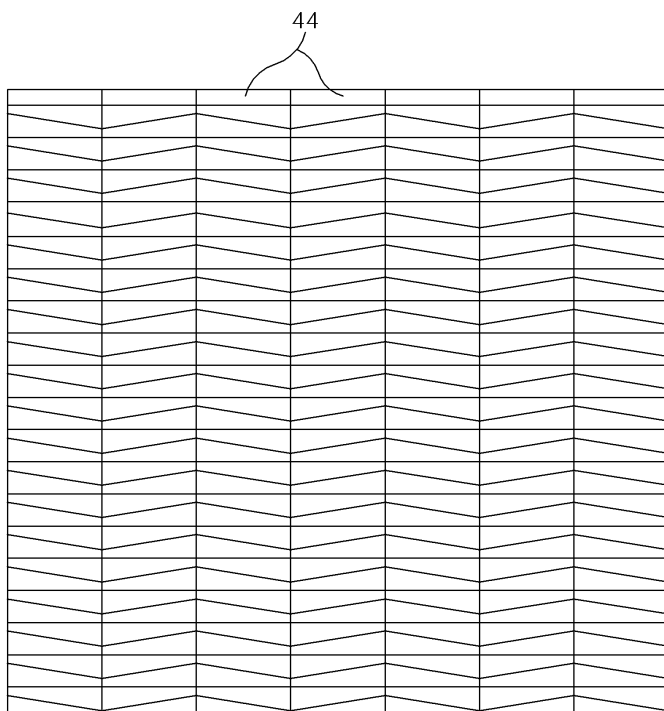
도면4b



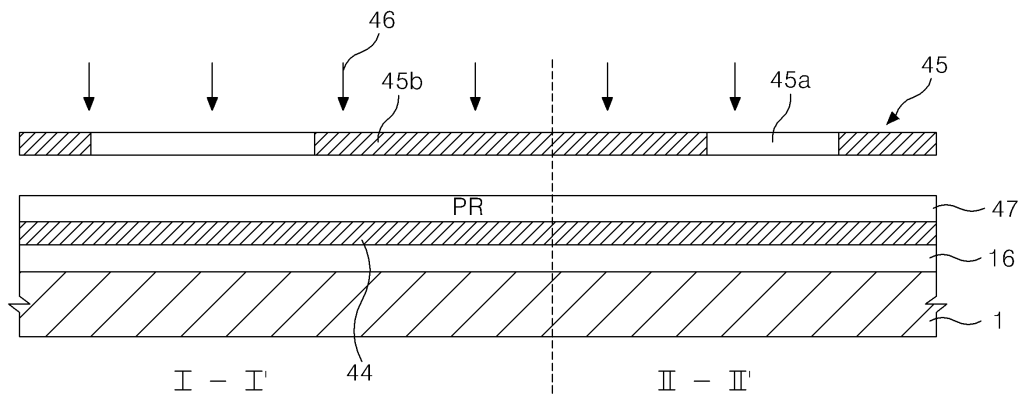
도면5a



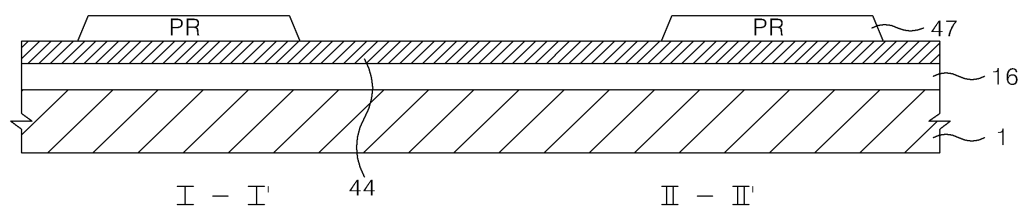
도면5b



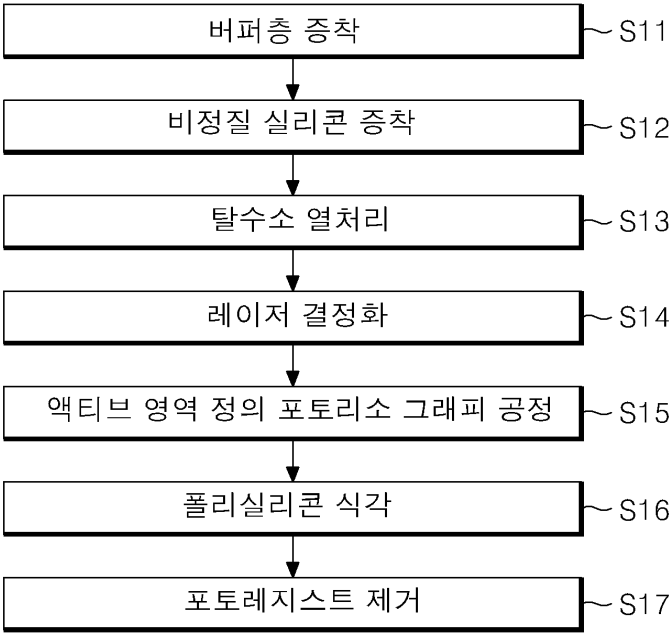
도면6a



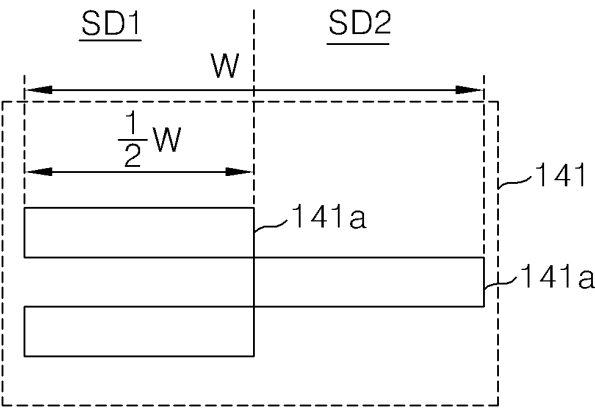
도면6b



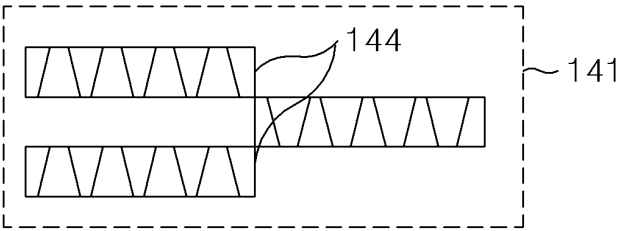
도면7



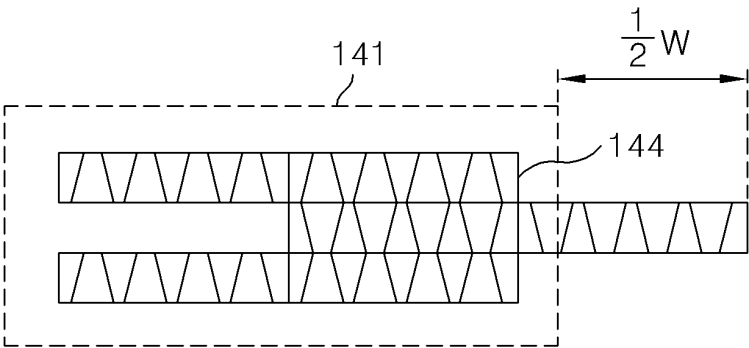
도면8



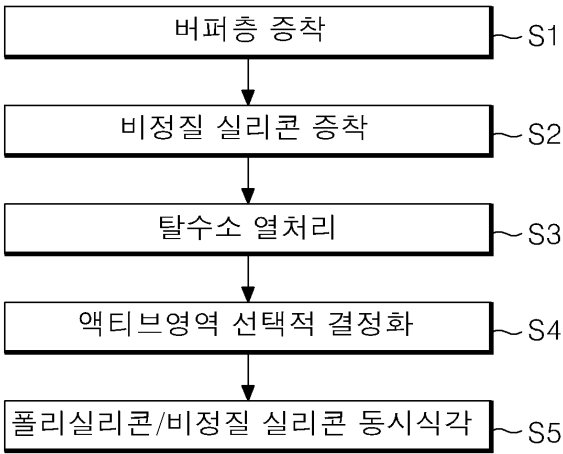
도면9a



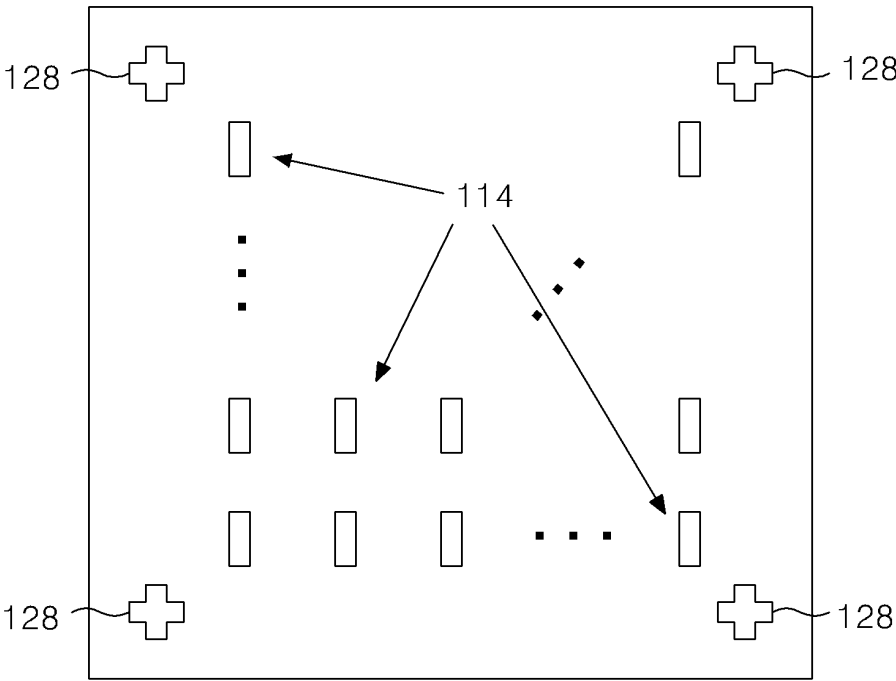
도면9b



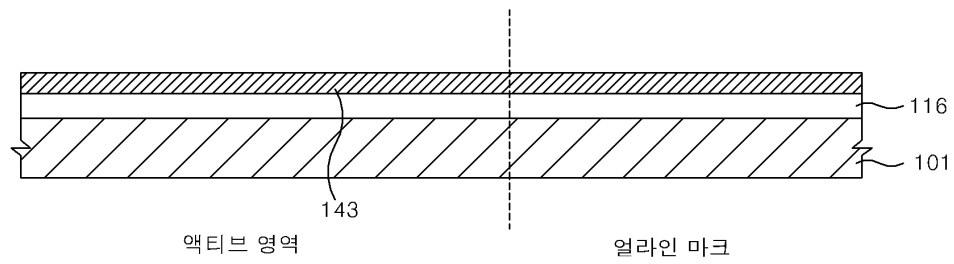
도면10



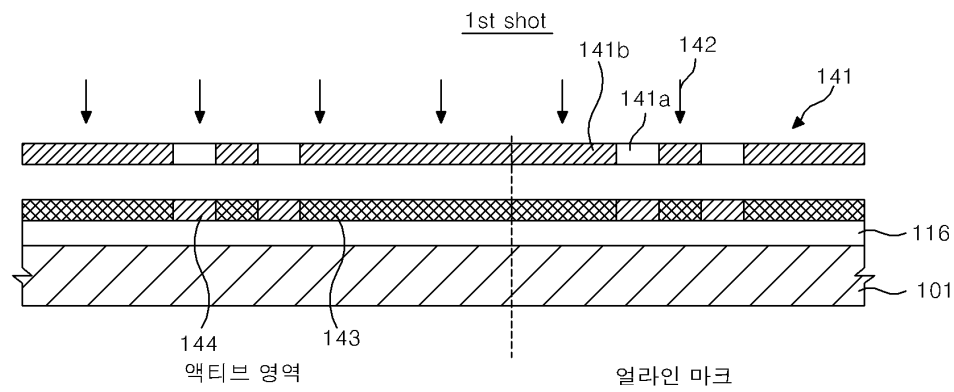
도면11



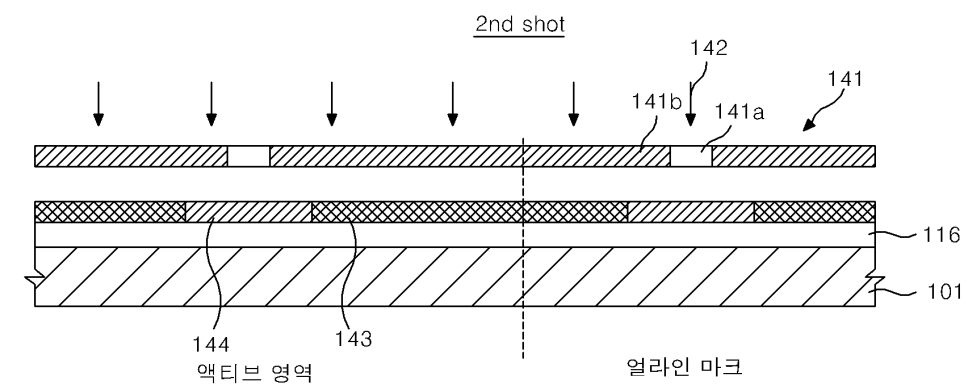
도면12a



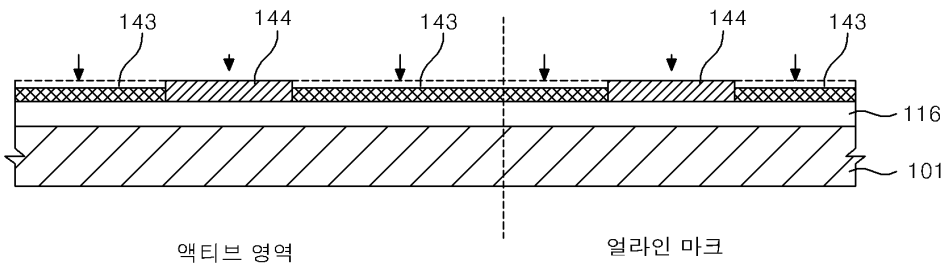
도면12b



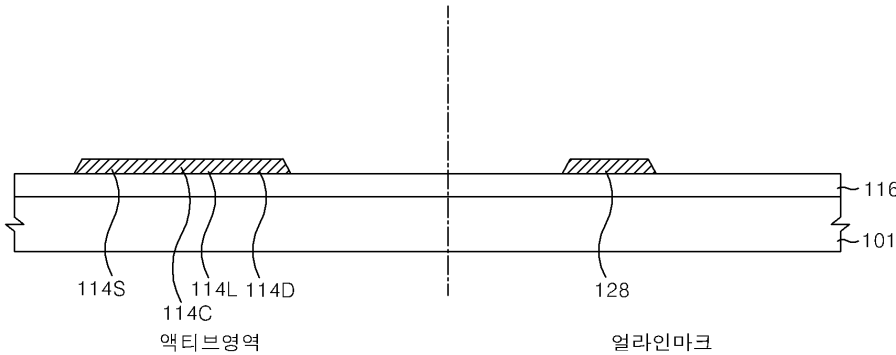
도면12c



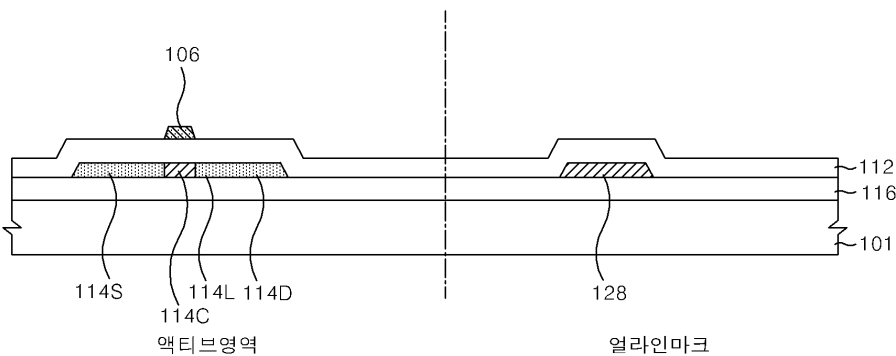
도면12d



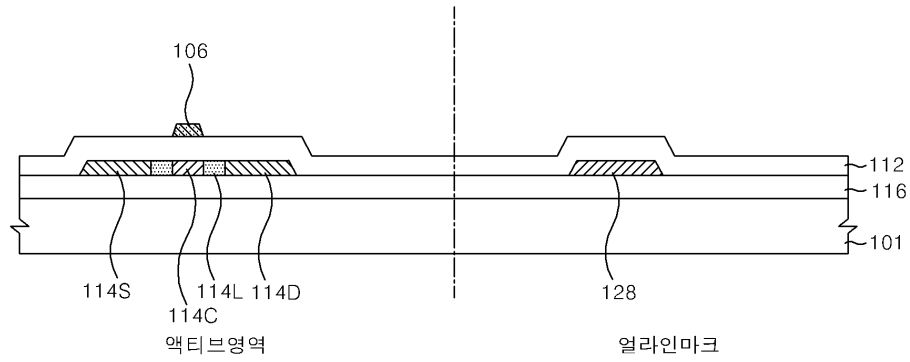
도면12e



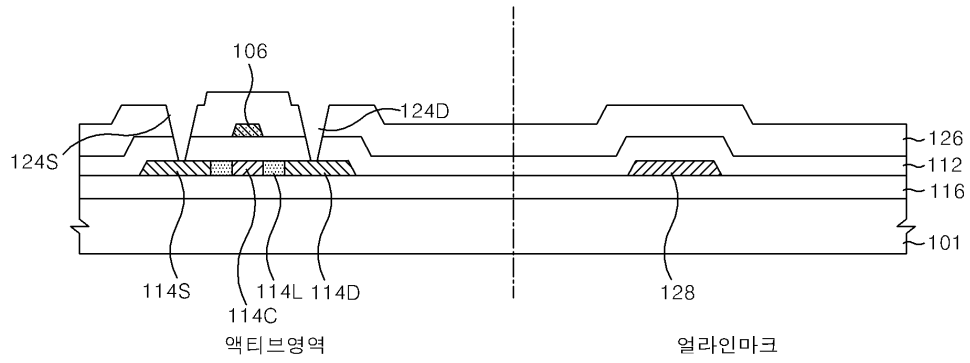
도면12f



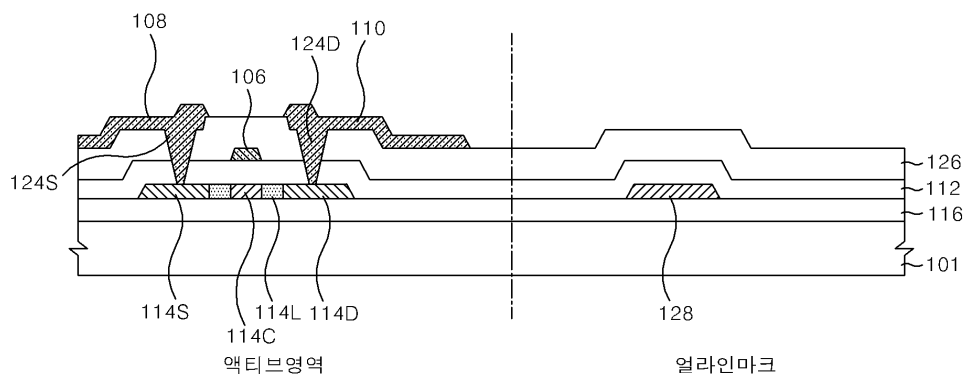
도면12g



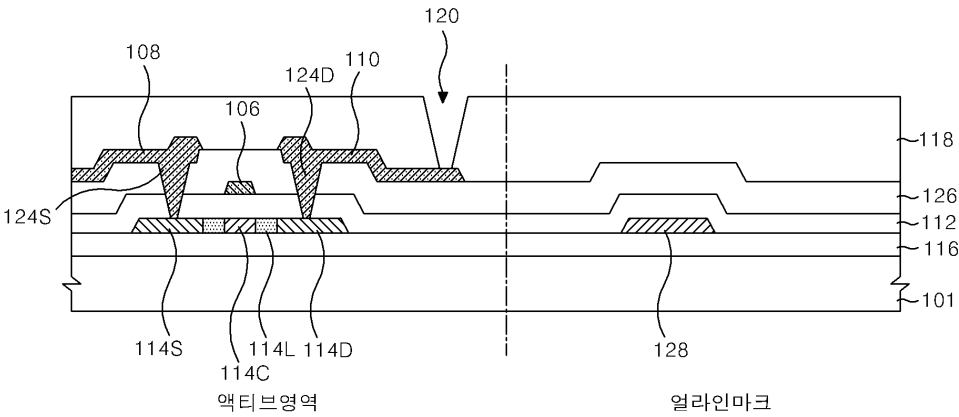
도면12h



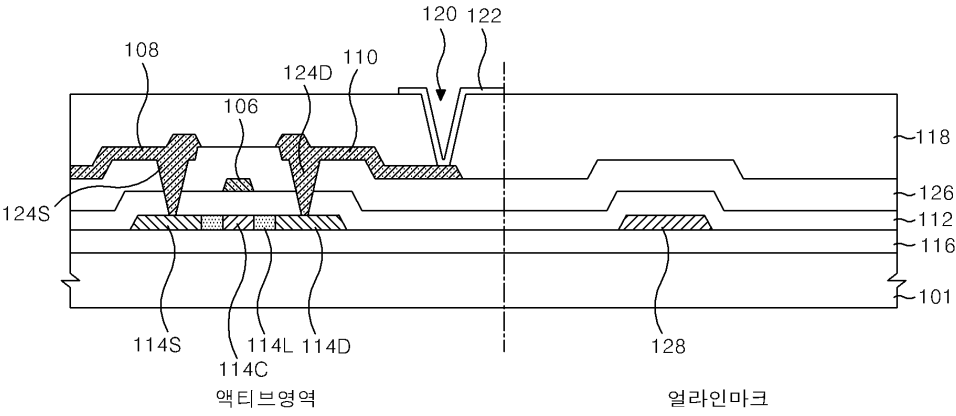
도면12i



도면12j



도면12k



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100954332B1	公开(公告)日	2010-04-21
申请号	KR1020030043804	申请日	2003-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOU JAESUNG		
发明人	YOU,JAESUNG		
IPC分类号	G02F1/13 G02F1/1362		
CPC分类号	G02F2001/136231 Y10S438/924 G02F1/136277		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020050002426A		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示装置及其制造方法，其减少了工艺数量和生产成本。根据本发明实施例的液晶显示装置及其制造方法通过部分地结晶非晶硅形成多晶硅图案，并同时蚀刻非晶硅和多晶硅图案，从而去除非晶硅和将多晶硅图案留在基板上。

