



**특허청구의 범위**

**청구항 1**

기관상에 수직 교차되도록 배열된 게이트 배선들 및 소스 배선들과;

상기 게이트 배선들의 일측 끝단에서 게이트 배선들과 연결되는 게이트 패드들 및 상기 소스 배선들의 일측 끝단에서 소스 배선들과 연결되는 소스 패드들과;

상기 소스 패드들과 적어도 두 개씩 교번하여 연결되는 제1, 제2소스 단락배선을 구비하는 액정 표시장치.

**청구항 2**

제 1 항에 있어서, 상기 제1, 제2소스 단락배선은 상기 소스 패드들과 두 개씩 교번하여 연결되는 것을 특징으로 하는 액정 표시장치.

**청구항 3**

제 1 항에 있어서, 상기 제1, 제2소스 단락배선은 상기 소스 패드들과 세 개씩 교번하여 연결되는 것을 특징으로 하는 액정 표시장치.

**청구항 4**

제 1 항에 있어서, 상기 게이트 배선들 및 소스 배선들이 서로 교차·형성되어 각각 정의된 단위 액정 셀과; 상기 단위 액정 셀에 구비된 박막 트랜지스터; 및 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소전극을 구비하는 액정 표시장치.

**청구항 5**

제 4 항에 있어서, 상기 박막 트랜지스터는 게이트 전극이 상기 게이트 배선들에 연결되고, 소스 전극이 상기 소스 배선들에 연결되는 것을 특징으로 하는 액정 표시장치.

**청구항 6**

제 1 항에 있어서, 상기 게이트 패드들 중에서 홀수 번째 게이트 패드들과 연결되는 제1게이트 단락배선과, 짝수 번째 게이트 패드들과 연결되는 제2게이트 단락배선을 구비하는 액정 표시장치.

**청구항 7**

제 1 항에 있어서, 상기 게이트 패드들과 적어도 두 개씩 교번하여 연결되는 제1, 제2게이트 단락배선을 구비하는 액정 표시장치.

**청구항 8**

기관상에 수직 교차되도록 배열된 게이트 배선들 및 소스 배선들과;

상기 게이트 배선들 및 소스 배선들이 서로 교차·형성되어 각각 정의된 단위 액정 셀과;

상기 단위 액정 셀에 구비된 박막 트랜지스터 및 그 박막 트랜지스터의 드레인 전극과 접속되는 화소전극과;

상기 게이트 배선들의 일측 끝단에서 게이트 배선들과 연결되는 게이트 패드들 및 상기 소스 배선들의 일측 끝단에서 소스 배선들과 연결되는 소스 패드들과;

상기 게이트 패드들과 선택적으로 연결되는 제1, 제2게이트 단락배선과;

상기 소스 패드들과 적어도 두 개씩 교번하여 연결되는 제1, 제2소스 단락배선을 구비하는 액정 표시장치.

**청구항 9**

제 8 항에 있어서, 상기 제1게이트 단락배선은 홀수 번째 게이트 패드들과 연결되고, 제2게이트 단락배선은 짝수 번째 게이트 패드들과 연결되는 것을 특징으로 하는 액정 표시장치.

**청구항 10**

제 8 항에 있어서, 상기 제1,제2게이트 단락배선은 상기 게이트 패드들과 적어도 두 개씩 교번하여 연결되는 것을 특징으로 하는 액정 표시장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <14> 본 발명은 박막 트랜지스터(Thin Film Transistor : TFT)와 상기 박막 트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 액티브 패널을 포함하는 능동 매트릭스 액정 표시장치(Active Matrix Liquid Crystal Display, 이하 액정 표시 장치로 표기함) 및 그 제조방법에 관련된 것이다. 특히, 본 발명은 완성된 액티브 패널을 검사하는데 있어서, 고해상도 제품에 적합하도록 한 박막 트랜지스터 검사용 단락 배선을 갖는 액정 표시 장치에 관한 것이다.
- <15> 화상 정보를 화면에 나타내는 화면 표시 장치들 중에서, 박막형 평판 표시 장치가 가볍고, 어느 장소에든지 쉽게 사용할수 있다는 장점 때문에 근래에 집중적인 개발의 대상이 되고 있다. 특히, 액정 표시장치는 해상도가 높고, 동화상을 실현하기에 충분할 만큼 반응 속도가 빠르기 때문에, 가장 활발한 연구가 이루어지고 있는 제품이다.
- <16> 상기 액정 표시장치의 원리는 액정의 광학적 이방성과 분극 성질을 이용한 것이다. 즉, 방향성을 갖고 있는 액정 분자의 배향 방향을 분극성을 이용하여 인위적으로 조절함으로써, 배향 방향에 따른 광학적 이방성으로 빛의 투과, 차단이 가능하다. 이것을 응용하여 화면 표시장치로 사용한다. 현재에는 박막 트랜지스터와 그것에 연결된 화소전극이 행렬 방식으로 배열된 능동 매트릭스 액정 표시장치가 뛰어난 화질을 제공하기 때문에 가장 많이 사용되고 있다. 일반적인 액정 표시 장치의 구조를 자세히 살펴보면 다음과 같다.
- <17> 상기 액정 표시장치의 한쪽 패널(혹은 칼라 필터 패널)은 투명 기판 위에 픽셀의 위치에 빨강, 파랑, 초록의 칼라 필터가 순차적으로 배치된 구조로 이루어져 있다. 그 칼라 필터 사이에는 블랙 매트릭스가 그물 모양으로 형성되어 있다. 그리고, 상기 칼라 필터 위에 공통전극이 형성되어 있다.
- <18> 상기 액정 표시장치의 다른 쪽 패널(혹은 액티브 패널)은 투명 기판위에 행렬 방식으로 설계된 화소의 위치에 화소 전극들이 배열된 구조로 이루어져 있다. 그 화소 전극의 수평 방향을 따라서 신호 배선이 형성되어 있고, 수직 방향을 따라서 데이터 배선이 형성되어 있다. 그 화소 전극의 한쪽 구석에는 화소 전극을 구동하기 위한 박막 트랜지스터가 형성되어 있다. 그 박막 트랜지스터의 게이트 전극은 신호 배선에 연결되어 있고(따라서, 게이트 배선이라고 부르기도 한다), 박막 트랜지스터의 소스 전극이 데이터 배선에 연결되어 있다(따라서, 소스 배선이라고 부르기도 한다).
- <19> 그리고, 각 배선의 끝단에는 외부의 구동 회로와 연결하기 위한 패드부가 형성되어 있다.
- <20> 상기한 바와같은 두 개의 패널이 일정 간격(이 간격을 셀갭(cell gap)이라고 부른다)을 두고 서로 대향하여 부착되고, 그 사이에 액정 물질이 채워진다.
- <21> 상기 액정 표시장치에 사용되는 액티브 패널을 제작하는데 있어서, 기판을 완성한 후에 각 소자들의 구동 상태를 검사하기 위한 단락배선을 기판 제조 과정에서 동시에 형성하는 방법에 대하여 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다. 즉, 액티브기판의 한 부분에 대한 평면구조를 보인 도1의 예시도와, 도1의 II-II선을 따라 절단한 액티브기판 제조의 순차적인 단면구조를 보인 도2a 내지 도2e의 예시도와, 도1의 III-III선을 따라 절단한 액티브기판 제조의 순차적인 단면구조를 보인 도3a 내지 도3e의 예시도와, 그리고 도1의 IV-IV선을 따라 절단한 액티브기판 제조의 순차적인 단면구조를 보인 도4a 내지 도4e의 예시도를 참조하여 설명한다.
- <22> 도1, 도2a, 도3a 및 도4a를 살펴보면, 투명한 기판(1) 상에 알루미늄이나 알루미늄 합금을 증착하고, 패터닝하여 게이트 전극(11), 게이트 배선(13), 게이트 패드(15), 소스 패드(25), 그리고 단락 배선(45)을 형성한다. 상기 게이트 배선(13)은 일정하게 이격되어 행으로 배열되고, 그 게이트 배선(13)의 소정의 위치에서 연장되어 게이트 전극(11)이 형성되어 있다. 상기 게이트 패드(15)는 상기 게이트 배선(13)의 끝단에 형성되고, 소스 패드

(25)는 나중에 형성될 소스 배선(23)의 끝단에 형성된다. 상기 단락 배선(45)은 상기 게이트 패드(15)와 상기 소스 패드(25)를 연결하면서, 기판(1)의 외주부에 형성되어 있다.

- <23> 일반적으로, 알루미늄을 포함하는 금속층의 표면에는 힐락(Hillock)이 성장하기 쉽고, 이는 추후에 다른 물질들이 적층될 때 장애를 유발할 수 있다.
- <24> 상기 힐락을 방지하고자 금속층을 양극 산화하여 표면에 양극 산화막(19)을 형성한다. 이때, 상기 게이트 전극(11), 게이트 배선(13), 게이트 패드(15), 및 소스 패드(25)는 단락 배선(45)을 통해 서로 연결되어 있으므로, 양극 산화하기에 적합하다.
- <25> 그러나, 양극 산화된 표면은 전류가 잘 통하지 않으므로, 외부 단자와 연결될 게이트 패드(15)와 소스 패드(25)는 양극 산화를 실시하지 않는 것이 바람직하다. 따라서, 게이트 패드(15)와 소스 패드(25)에 포토레지스트를 이용하여 양극 산화를 방지하는 막을 형성하고, 양극 산화 공정을 수행한다.
- <26> 그 결과, 박막 트랜지스터 부분은 도2a와 같이 기판(1)의 표면에 양극 산화막(19)을 포함하는 게이트 전극(11)이 형성된다. 그리고, 게이트 패드(15)와 단락 배선(45)이 형성되는 부분은 도3a와 같이 기판(1)의 표면에 양극 산화막(19)을 포함하는 단락 배선(45)과 게이트 배선(13)이 형성되고, 기판(1)의 표면에 양극 산화막(19)을 포함하지 않는 게이트 패드(15)가 형성된다. 또한, 소스 패드(25)와 단락 배선(45)이 형성되는 부분은 도4a와 같이 기판(1)의 표면에 양극 산화막(19)을 포함하는 단락 배선(45)이 형성되고, 기판(1)의 표면에 양극 산화막(19)을 포함하지 않는 소스 패드(25)가 형성된다.
- <27> 도2b, 도3b 및 도4b를 살펴보면, 상기 게이트 전극(11), 게이트 배선(13), 게이트 패드(15), 소스 패드(25) 및 단락 배선(45)이 형성된 기판(1) 전면에 산화 실리콘이나 질화 실리콘 등을 증착하여 게이트 절연막(17)을 형성한다.
- <28> 그리고, 진성 반도체 물질과 불순물이 첨가된 반도체 물질을 상기 게이트 절연막(17) 위에 차례로 형성하고, 포토 리소그래피 법으로 패터닝하여 도2b와 같이 박막 트랜지스터 부분에 반도체층(35)과 불순물 반도체층(37)을 형성한다.
- <29> 그리고, 도3b 및 도4b와 같이 상기 게이트 패드(15)와 상기 소스 패드(25)를 덮는 부분의 게이트 절연막(17)을 식각하여 제1게이트 콘택홀들(51)과 제1소스 콘택홀(61)들을 형성한다. 상기 제1게이트 콘택홀들(51)은 게이트 패드(15) 부분에서 양극 산화되지 않은 부분을 노출시킨다. 그리고, 제1소스 콘택홀들(61)은 소스 패드(25) 부분에서 양극 산화되지 않은 부분을 노출시킨다.
- <30> 도2c, 도3c 및 도4c를 살펴보면, 상기 반도체층(35)과 불순물 반도체층(37)이 형성된 기판(1) 전면에 크롬과 같은 금속을 전면 증착한 후 패터닝하여 소스 전극(21), 드레인 전극(31), 소스 배선(23), 게이트 패드 중간전극(55) 그리고, 소스 패드 중간전극(65)을 형성한다.
- <31> 따라서, 박막 트랜지스터가 형성되는 부분은 도2c와 같이 상기 소스 전극(21)과 드레인 전극(31)이 게이트 전극(11)을 기준으로 서로 대향하도록 패터닝된다. 그 소스 전극(21)과 드레인 전극(31)을 통해 노출된 불순물 반도체층(37)은 소스 전극(21)과 드레인 전극(31)이 전기적으로 절연되도록 식각된다.
- <32> 그리고, 상기 게이트 패드(15)가 형성된 부분은 도3c와 같이 상기 게이트 패드 중간전극(55)이 상기 게이트 절연막(17)에 형성된 제1게이트 콘택홀들(51)을 통해서 게이트 패드(15)와 연결된다.
- <33> 또한, 상기 소스 패드(25)가 형성된 부분은 도4c와 같이 상기 소스 패드 중간전극(65)이 상기 게이트 절연막(17)에 형성된 제1소스 콘택홀들(61)을 통해서 소스 패드(25)와 연결된다.
- <34> 도2d, 도3d 및 도4d를 참조하면, 상기 소스 전극(21), 소스 배선(23), 드레인 전극(31), 게이트 패드 중간전극(55) 및 소스 패드 중간전극(65)이 형성된 기판(1) 위에 보호막(41)을 형성한 다음 포토 리소그래피 법으로 패터닝한다.
- <35> 따라서, 박막 트랜지스터가 형성되는 부분은 도2d와 같이 상기 보호막(41)의 일부가 포토 리소그래피법으로 식각되어 상기 드레인 전극(31)의 일부를 노출시키는 드레인 콘택홀(71)이 형성된다.
- <36> 그리고, 상기 게이트 패드(15)가 형성된 부분은 도3d와 같이 상기 보호막(41)의 일부가 포토 리소그래피법으로 식각되어 상기 게이트 패드 중간전극(55)의 일부를 노출시키는 제2게이트 콘택홀들(53)이 형성된다.
- <37> 또한, 상기 소스 패드(25)가 형성된 부분은 도4d와 같이 상기 보호막(41)의 일부가 포토 리소그래피법으로 식각

되어 상기 소스 패드 중간전극(65)의 일부를 노출시키는 제2소스 콘택홀들(63)이 형성된다.

- <38> 상기 보호막(41)은 주로 질화 실리콘이나 산화 실리콘 재질의 무기 절연막이 적용되었으나, 최근 들어 BCB(benzocyclobutene), SOG(spin on glass) 또는 Acryl 등의 유기 절연막을 적용함으로써, 액정 셀의 개구율을 향상시키기 위한 노력이 시도되고 있다.
- <39> 한편, 도전성 막들을 형성할 때, 정전기 발생을 방지하기 위하여 상기 게이트 패드(15)와 소스 패드(25)를 연결하고 있는 단락 배선(45)의 교차영역(도1의 A)은 더 이상 연결될 필요가 없으므로, 포토 리소그래피법으로 식각하여 선택적으로 제거한다. 그 결과, 행 방향으로 진행되는 단락 배선(45)은 소스 패드(25)들을 연결하게 된다(따라서, 소스 단락 배선이라고도 한다). 한편, 열 방향으로 진행되는 단락 배선(45)은 게이트 패드(15)들을 연결하게 된다(따라서, 게이트 단락 배선이라고도 한다).
- <40> 도2e, 도3e 및 도4e를 참조하면, 상기 보호막(41) 위에 ITO(Indium Tin Oxide)와 같은 투명 도전물질을 전면 증착한 다음 포토 리소그래피법으로 패터닝한다.
- <41> 따라서, 박막 트랜지스터가 형성되는 부분은 도2e와 같이 화소전극(33)이 상기 드레인 콘택홀(71)을 통해 드레인 전극(31)과 연결된다.
- <42> 그리고, 상기 게이트 패드(15)가 형성되는 부분은 도3e와 같이 게이트 패드 연결단자(57)가 상기 제2게이트 콘택홀들(53)을 통해 게이트 패드 중간전극(55)과 연결된다.
- <43> 또한, 상기 소스 패드(25)가 형성되는 부분은 도4e와 같이 소스 패드 연결단자(67)가 상기 제2소스 콘택홀들(63)을 통해 소스 패드 중간전극(65)과 연결된다.
- <44> 상기한 바와같은 종래의 액티브기판은 양극 산화를 용이하게 하기 위하여 게이트 배선을 패터닝할 때, 박막 트랜지스터 검사용 단락배선이 모든 게이트 패드들 및 소스 패드들과 전기적으로 연결된 상태로 형성된다.
- <45> 그리고, 추후에 단락배선이 게이트 패드들 및 소스 패드들과 각각 연결되도록 단락배선의 교차영역을 선택적으로 제거하여 게이트 패드들을 연결하는 게이트 단락배선과 소스 패드들을 연결하는 소스 단락배선으로 분리시켰다.
- <46> 상기한 바와같은 박막 트랜지스터 검사용 단락배선을 갖는 액티브 패널의 검사과정은 다음과 같다.
- <47> 먼저, 상기 게이트 단락배선에 게이트 턴-온 전압을 인가하면, 액티브 패널의 모든 게이트 패드들과 게이트 배선들을 통해 박막 트랜지스터의 게이트에 게이트 턴-온 전압이 인가되어 박막 트랜지스터가 턴-온된다. 그리고, 상기 소스 단락배선에 테스트 전압을 인가하면, 액티브 패널의 모든 소스 패드들과 소스 배선들을 통해 박막 트랜지스터의 소스 전극에 테스트 전압이 인가된다.
- <48> 상기 박막 트랜지스터의 소스 전극에 인가된 테스트 전압은 박막 트랜지스터가 턴-온되어 있으므로, 도전 채널을 경유하여 드레인 전극에 인가된다.
- <49> 상기 드레인 전극은 화소전극에 연결되어 있으므로, 결과적으로 테스트 전압은 액티브 패널의 모든 화소전극에 인가된다.
- <50> 따라서, 상기 화소전극의 전압 인가여부를 스캐닝(scanning)하면, 게이트 배선들이나 소스 배선들의 단선 불량을 검사할 수 있게 된다.
- <51> 그러나, 종래의 기술은 다음과 같은 단점들을 갖는다.
- <52> 첫 번째로, 이웃하는 게이트 배선들끼리 혹은 이웃하는 소스 배선들끼리 단락이 발생하였을 경우에는 정상적인 단선 불량을 검출할 수 없다.
- <53> 두 번째로, 양극산화 공정과 단락배선의 교차영역을 제거하는 마스크 공정이 추가적으로 요구됨에 따라 제품 생산에 소요되는 시간이 길어지고, 제품 생산 비용이 증가하며, 마스크 오정렬에 의한 불량 발생이 증가하여 수율이 저하된다.
- <54> 따라서, 상기한 바와같은 단점들을 감안하여 마스크 공정수를 줄이면서 이웃하는 게이트 배선들끼리 혹은 이웃하는 소스 배선들끼리 단락이 발생하였을 경우에도 게이트 배선들 및 소스 배선들의 단선 불량과 박막 트랜지스터의 구동 불량을 검출할 수 있는 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치 및 그 제조방법이 본 출원인에 의해 제안되었다(대한민국 특허 등록번호 제10-0244449호 및 제10-0271038호).

- <55> 상기 대한민국 특허 등록번호 제10-0244449호와 제10-0271038호에 개시된 내용을 간략히 살펴보면, 게이트 배선을 형성할 때, 알루미늄 표면에서 발생하는 힐락을 방지하기 위해 양극산화하는 방법을 택하지 않고, 알루미늄을 크롬과 같이 표면 안정성이 좋은 금속으로 보호함으로써, 양극산화 단계와 패드 부분 콘택홀 형성 단계에서 사용되는 마스크 공정수를 줄이고, 또한 게이트 배선과 소스 배선의 불량을 검출하는 단락배선을 홀수 번째 배선과 짝수 번째 배선으로 분리 형성함으로써, 각 배선의 단선 불량을 검사할 수 있을 뿐만 아니라 이웃하는 두개 배선의 단락 불량을 검사할 수 있다.
- <56> 즉, 도5의 간략화된 예시도를 참조하면, 기관(101) 상에 게이트 배선들(113)이 일정하게 이격되어 행으로 배열되고, 소스 배선들(123)이 일정하게 이격되어 열로 배열된다. 따라서, 게이트 배선들(113)과 소스 배선들(123)은 수직 교차된다. 이때, 단위 액정 셀은 게이트 배선들(113)과 소스 배선들(123)의 교차부마다 정의되며, 단위 액정 셀에는 박막 트랜지스터(TFT) 및 그 박막 트랜지스터(TFT)의 드레인 전극(도면상에 도시되지 않음)에 접속된 화소전극(133)이 구비된다.
- <57> 상기 게이트 배선들(113)의 일측 끝단에는 게이트 패드들(115)이 형성되어 게이트 배선들(113)과 각기 접속되고, 그 게이트 패드들(115)과 연결되는 제1, 제2게이트 단락배선(145, 146)이 형성되어 있다. 이때, 제1게이트 단락배선(145)은 홀수 번째 게이트 패드들(115)에 연결되고, 제2게이트 단락배선(146)은 짝수 번째 게이트 패드들(115)에 연결된다.
- <58> 한편, 상기 소스 배선들(123)의 일측 끝단에는 소스 패드들(125)이 형성되어 소스 배선들(123)과 각기 접속되고, 그 소스 패드들(125)과 연결되는 제1, 제2소스 단락배선(155, 156)이 형성되어 있다. 이때, 제1소스 단락배선(155)은 홀수 번째 소스 패드들(125)에 연결되고, 제2소스 단락배선(156)은 짝수 번째 소스 패드들(125)에 연결된다.
- <59> 상기한 바와같은 박막 트랜지스터 검사용 단락배선을 갖는 액티브 패널의 검사과정은 다음과 같다.
- <60> 먼저, 상기 제1게이트 단락배선(145) 또는 제2게이트 단락배선(146)에 게이트 턴-온 전압을 인가하면, 액티브 패널의 홀수 번째 또는 짝수 번째 게이트 패드들(115)과 게이트 배선들(113)을 통해 박막 트랜지스터(TFT)의 게이트에 게이트 턴-온 전압이 인가되어 박막 트랜지스터(TFT)가 턴-온된다. 그리고, 상기 제1, 제2소스 단락배선(155, 156)에 테스트 전압을 인가하면, 액티브 패널의 홀수 번째 및 짝수 번째 소스 패드들(125)과 소스 배선들(123)을 통해 박막 트랜지스터(TFT)의 소스 전극에 테스트 전압이 인가된다.
- <61> 상기 박막 트랜지스터(TFT)의 소스 전극에 인가된 테스트 전압은 턴-온된 박막 트랜지스터(TFT)의 도전 채널을 경유하여 드레인 전극에 인가된다. 상기 드레인 전극은 화소전극(133)에 연결되어 있으므로, 결과적으로 테스트 전압은 액티브 패널의 턴-온된 박막 트랜지스터(TFT)의 드레인 전극에 연결된 화소전극(133)에 인가된다.
- <62> 여기서, 상기 제1, 제2소스 단락배선(155, 156)에 인가되는 테스트 전압은 상이하게 인가된다. 예를 들어, 제1소스 단락배선(155)에는 10V의 테스트 전압을 인가하고, 제2소스 단락배선(156)에는 5V의 테스트 전압을 인가한다.
- <63> 상기 제1소스 단락배선(155)에 홀수 번째 소스 패드들(125)이 연결되고, 제2소스 단락배선(156)에 짝수 번째 소스 패드들(125)이 연결되어 있으므로, 홀수 번째 소스 패드들(125) 및 그에 접속되는 소스 배선들(123)을 통해 10V의 테스트 전압이 인가된 화소전극(133)들을 서로 비교하여 단선 불량을 검사하고, 상기 제2소스 단락배선(156)에 접속되는 짝수 번째 소스 패드들(125) 및 그에 접속되는 소스 배선들(123)을 통해 5V의 테스트 전압이 인가된 화소전극(133)들을 서로 비교하여 단선 불량을 검사한다.
- <64> 따라서, 서로 이웃하는 소스 배선들(123)의 단락 불량이 발생한 경우에도 효과적으로 각 소스 배선들(123)의 단선 불량을 검사할 수 있으며, 서로 이웃하는 소스 배선들(123)의 단락 불량도 검사할 수 있다.
- <65> 상기한 바와같이 제1, 제2게이트 단락배선이 각각 홀수 번째 게이트 패드들과 짝수 번째 게이트 패드들에 연결되고, 제1, 제2소스 단락배선이 각각 홀수 번째 소스 패드들과 짝수 번째 소스 패드들에 연결되는 종래의 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치는 화소전극의 이격 거리 및 면적에서 비교적 여유가 있는 저해상도 제품에서는 매우 효과적으로 액티브 패널을 검사할 수 있지만, 화소전극의 이격 거리 및 면적이 저해상도 제품에 비해 미세해지는 고해상도 제품에서는 액티브 패널의 검사가 불가능한 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <66> 따라서, 본 발명은 상기한 바와같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 본 발명의 목적은 고해상

도 제품의 액티브 패널 검사가 가능한 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치를 제공하는데 있다.

**발명의 구성 및 작용**

- <67> 상기한 바와같은 본 발명의 목적을 달성하기 위한 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치는 기관 상에 수직 교차되도록 배열된 게이트 배선들 및 소스 배선들과; 상기 게이트 배선들의 일측 끝단에서 게이트 배선들과 연결되는 게이트 패드들 및 상기 소스 배선들의 일측 끝단에서 소스 배선들과 연결되는 소스 패드들과; 상기 소스 패드들과 적어도 두 개씩 교번하여 연결되는 제1, 제2소스 단락배선을 구비하여 구성되는 것을 특징으로 한다.
- <68> 상기한 바와같은 본 발명에 의한 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치를 첨부한 도6의 예시도를 일 실시예로 하여 상세히 설명하면 다음과 같다.
- <69> 도6을 참조하면, 기관(201) 상에 게이트 배선들(213)이 일정하게 이격되어 행으로 배열되고, 소스 배선들(223)이 일정하게 이격되어 열로 배열된다. 따라서, 게이트 배선들(213)과 소스 배선들(223)은 수직 교차된다. 이때, 단위 액정 셀은 게이트 배선들(213)과 소스 배선들(223)이 서로 교차·형성되는 것에 의해 각각 정의(혹은 구획)되며, 단위 액정 셀에는 박막 트랜지스터(TFT) 및 그 박막 트랜지스터(TFT)의 드레인 전극(도면상에 도시되지 않음)에 접속된 화소전극(233)이 구비된다. 또한, 박막 트랜지스터(TFT)의 소스 전극(도면상에 도시되지 않음)은 소스 배선들(223)에 접속되고, 게이트 전극(도면상에 도시되지 않음)은 상기 게이트 배선들(213)에 접속된다.
- <70> 상기 게이트 배선들(213)의 일측 끝단에는 게이트 패드들(215)이 형성되어 게이트 배선들(213)과 각기 접속되고, 그 게이트 패드들(215)과 연결되는 제1, 제2게이트 단락배선(245, 246)이 형성되어 있다. 이때, 제1게이트 단락배선(245)은 홀수 번째 게이트 패드들(215)에 연결되고, 제2게이트 단락배선(246)은 짝수 번째 게이트 패드들(215)에 연결된다.
- <71> 한편, 상기 소스 배선들(223)의 일측 끝단에는 소스 패드들(225)이 형성되어 소스 배선들(223)과 각기 접속되고, 그 소스 패드들(225)과 연결되는 제1, 제2소스 단락배선(255, 256)이 형성되어 있다. 이때, 제1, 제2소스 단락배선(255, 256)은 상기 소스 패드들(225)들과 두개씩 교번하여 연결된다.
- <72> 예를 들어, 제1소스 단락배선(255)은 첫 번째와 두 번째, 다섯 번째와 여섯 번째, 아홉 번째와 열 번째 순으로 배열된 소스 패드들(225)과 연결되며, 제2소스 단락배선(256)은 세 번째와 네 번째, 일곱 번째와 여덟 번째, 열한 번째와 열두 번째 순으로 배열된 소스 패드들(225)과 연결된다.
- <73> 상기한 바와같은 박막 트랜지스터 검사용 단락배선을 갖는 액티브 패널의 검사과정은 다음과 같다.
- <74> 먼저, 상기 제1게이트 단락배선(245) 또는 제2게이트 단락배선(246)에 게이트 턴-온 전압을 인가하면, 액티브 패널의 홀수 번째 또는 짝수 번째 게이트 패드들(215)과 게이트 배선들(213)을 통해 박막 트랜지스터(TFT)의 게이트에 게이트 턴-온 전압이 인가되어 박막 트랜지스터(TFT)가 턴-온된다. 그리고, 상기 제1, 제2소스 단락배선(255, 256)에 테스트 전압을 인가하면, 액티브 패널의 두개씩 교번하여 제1, 제2소스 단락배선(255, 256)에 연결된 소스 패드들(225)과 소스 배선들(223)을 통해 박막 트랜지스터(TFT)의 소스 전극에 테스트 전압이 인가된다.
- <75> 상기 박막 트랜지스터(TFT)의 소스 전극에 인가된 테스트 전압은 턴-온된 박막 트랜지스터(TFT)의 도전 채널을 경유하여 드레인 전극에 인가된다. 상기 드레인 전극은 화소전극(233)에 연결되어 있으므로, 결과적으로 테스트 전압은 액티브 패널의 턴-온된 박막 트랜지스터(TFT)의 드레인 전극에 연결된 화소전극(233)에 인가된다.
- <76> 여기서, 상기 제1, 제2소스 단락배선(255, 256)에 인가되는 테스트 전압은 상이하게 인가된다. 예를 들어, 제1소스 단락배선(255)에는 10V의 테스트 전압을 인가하고, 제2소스 단락배선(256)에는 5V의 테스트 전압을 인가한다.
- <77> 상기 제1소스 단락배선(255)에는 첫 번째와 두 번째, 다섯 번째와 여섯 번째, 아홉 번째와 열 번째 순으로 배열된 소스 패드들(225)이 연결되고, 제2소스 단락배선(256)에는 세 번째와 네 번째, 일곱 번째와 여덟 번째, 열한 번째와 열두 번째 순으로 배열된 소스 패드들(225)이 연결되어 있으므로, 첫 번째와 두 번째, 다섯 번째와 여섯 번째, 아홉 번째와 열 번째 순으로 배열된 소스 패드들(225) 및 그에 접속되는 소스 배선들(223)을 통해 10V의 테스트 전압이 인가된 인접하는 두 개씩의 화소전극(233)들을 서로 비교하여 단선 불량을 검사하고, 세 번째와 네 번째, 일곱 번째와 여덟 번째, 열한 번째와 열두 번째 순으로 배열된 소스 패드들(225) 및 그에 접속되는 소

스 배선들(223)을 통해 5V의 테스트 전압이 인가된 인접하는 두 개씩의 화소전극(233)들을 서로 비교하여 단선 불량을 검사한다.

- <78> 예를 들어, 상기 제1소스 단락배선(255)에 연결되는 첫 번째와 두 번째 소스 패드들(225) 및 그에 접속되는 소스 배선들(223)을 통해 10V의 테스트 전압이 인가된 두 개의 화소전극(233)을 하나로 인식하여 스캐닝하고, 다섯 번째와 여섯 번째 소스 패드들(225) 및 그에 접속되는 소스 배선들(223)을 통해 10V의 테스트 전압이 인가된 두 개의 화소전극(233)을 다른 하나로 인식하여 스캐닝한 다음 이들을 서로 비교하여 단선 불량을 검사한다.
- <79> 마찬가지로, 상기 제2소스 단락배선(256)에 연결되는 세 번째와 네 번째 소스 패드들(225) 및 그에 접속되는 소스 배선들(223)을 통해 5V의 테스트 전압이 인가된 두 개의 화소전극(233)을 하나로 인식하여 스캐닝하고, 일곱 번째와 여덟 번째 소스 패드들(225) 및 그에 접속되는 소스 배선들(223)을 통해 5V의 테스트 전압이 인가된 두 개의 화소전극(233)을 다른 하나로 인식하여 스캐닝한 다음 이들을 서로 비교하여 단선 불량을 검사한다.
- <80> 따라서, 본 발명에 의한 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치는 화소전극의 이격 거리 및 면적이 미세해지는 고해상도 제품의 액티브 패드를 검사하는 경우에 매우 효과적으로 적용될 수 있다.
- <81> 즉, 종래에는 개별 화소전극을 스캐닝하여 비교하는 방식으로 인해 화소전극의 이격 거리 및 면적이 미세해지는 고해상도 제품에 적용할 수 없었지만, 본 발명에서는 두 개의 화소전극을 하나로 인식하여 스캐닝하여 비교함으로써, 화소전극의 이격 거리 및 면적이 미세해지는 고해상도 제품에 적용할 수 있게 된다.
- <82> 상기 제1, 제2소스 단락배선과 마찬가지로, 제1, 제2게이트 단락배선도 게이트 패드들과 두 개씩 교번하여 연결되도록 구성할 수 있으며, 이를 도7의 예시도에 도시하였다.
- <83> 통상적으로, 고해상도 제품의 경우에는 두 개의 화소전극이 차지하는 영역이 저해상도 제품의 한 개의 화소전극이 차지하는 영역과 비슷하므로, 본 발명의 일 실시예에서는 제1, 제2소스 단락배선이 소스 패드들과 두 개씩 교번하여 연결되는 구성으로 한정하여 설명하였으나, 제품의 해상도에 따른 화소전극의 이격 거리 및 면적에 따라 제1, 제2소스 단락배선이 소스 패드들과 세 개씩 교번하여 연결되도록 구성할 수 있으며, 이를 도8의 예시도에 도시하였다.
- <84> 나아가, 본 발명의 도면에 도시되지 않았지만, 제1, 제2소스 단락배선이 소스 패드들과 세 개 이상씩 교번하여 연결되도록 구성할 수도 있으며, 마찬가지로 제1, 제2게이트 단락배선이 게이트 패드들과 세 개 이상씩 교번하여 연결되도록 구성할 수도 있다.

**발명의 효과**

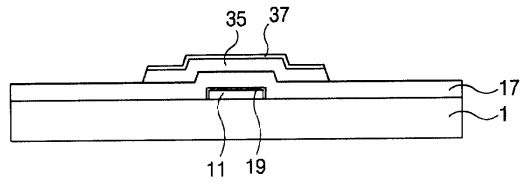
- <85> 상술한 바와같이 본 발명에 의한 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치는 제1, 제2소스 단락배선을 소스 패드들과 적어도 두 개씩 교번하여 연결되도록 구성하고, 두 개의 화소전극을 하나로 인식하여 스캐닝함으로써, 화소전극의 이격 거리 및 면적이 미세해지는 고해상도 제품의 액티브 패드를 검사할 수 있게 된다.
- <86> 따라서, 고해상도 제품의 불량 발생율을 감소시켜 수율 및 생산성을 향상시킬 수 있으며, 그로 인해 제품의 원가를 절감할 수 있는 효과가 있다.

**도면의 간단한 설명**

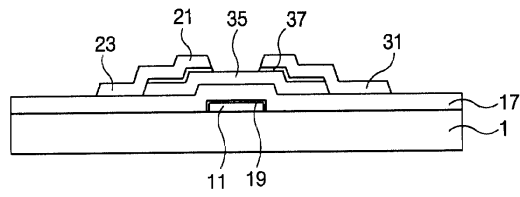
- <1> 도1은 일반적인 박막 트랜지스터 검사용 단락배선을 갖는 액티브기판의 한 부분에 대한 평면구조를 보인 예시도.
- <2> 도2a 내지 도2e는 도1의 II-II선을 따라 절단한 액티브기판 제조의 순차적인 단면구조를 보인 예시도.
- <3> 도3a 내지 도3e는 도1의 III-III선을 따라 절단한 액티브기판 제조의 순차적인 단면구조를 보인 예시도.
- <4> 도4a 내지 도4e는 도1의 IV-IV선을 따라 절단한 액티브기판 제조의 순차적인 단면구조를 보인 예시도.
- <5> 도5는 홀수 번째와 짝수 번째 게이트 배선들 및 소스 배선들에 연결되는 단락배선을 분리 형성한 종래의 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치를 간략히 보인 예시도.
- <6> 도6은 본 발명에 의한 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치의 일 실시예를 보인 예시도.
- <7> 도7은 본 발명에 의한 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치의 다른 실시예를 보인 예시도.
- <8> 도8은 본 발명에 의한 박막 트랜지스터 검사용 단락배선을 갖는 액정 표시장치의 또 다른 실시예를 보인



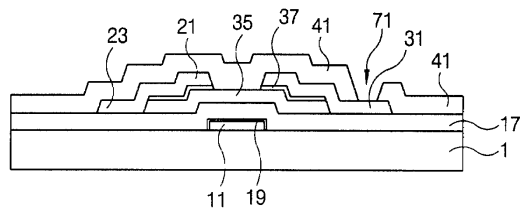
도면2b



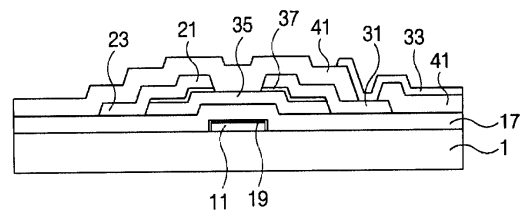
도면2c



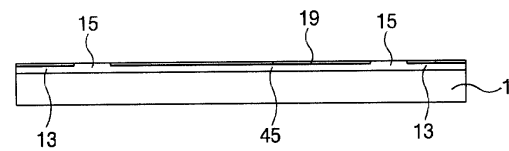
도면2d



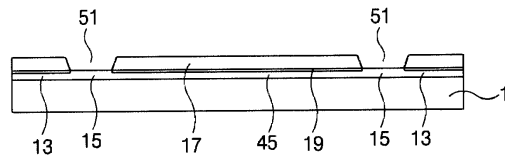
도면2e



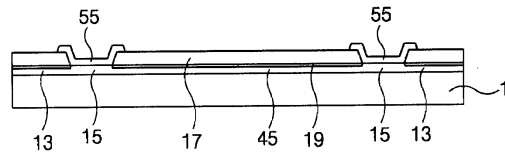
도면3a



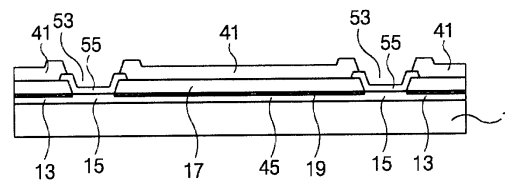
도면3b



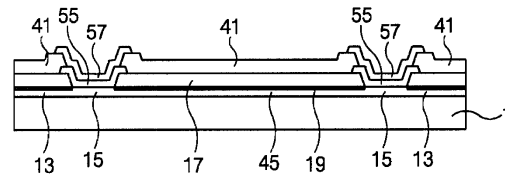
도면3c



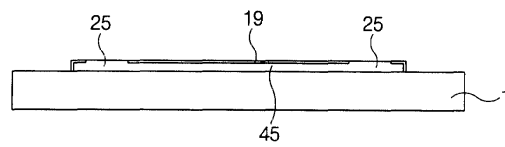
도면3d



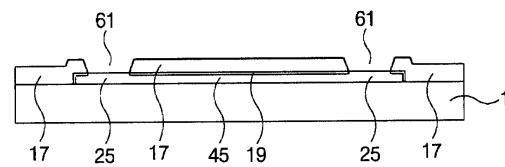
도면3e



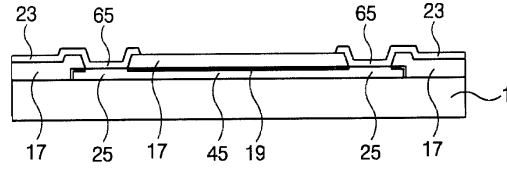
도면4a



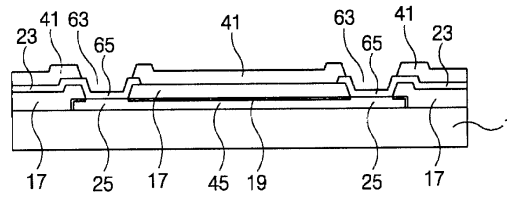
도면4b



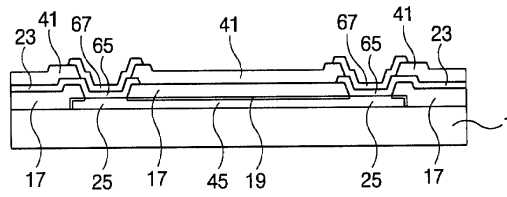
도면4c



도면4d

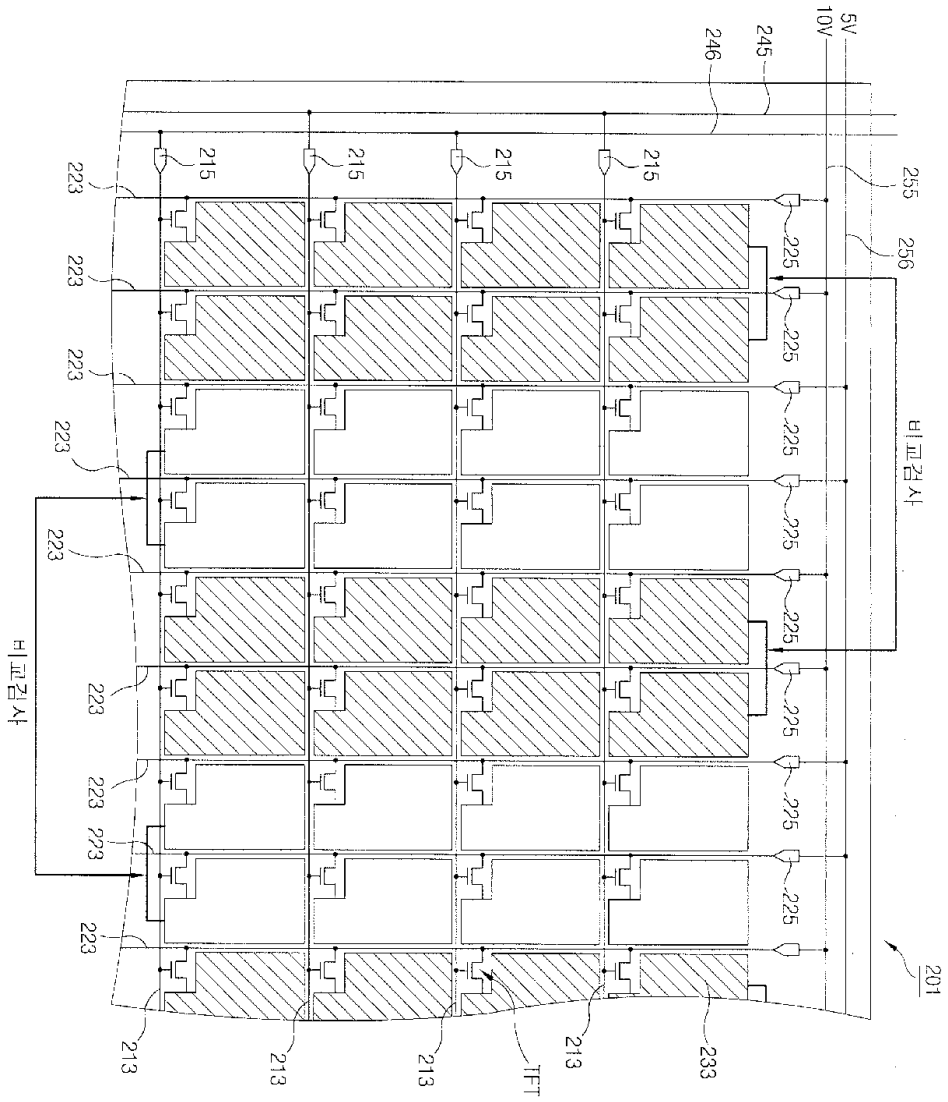


도면4e

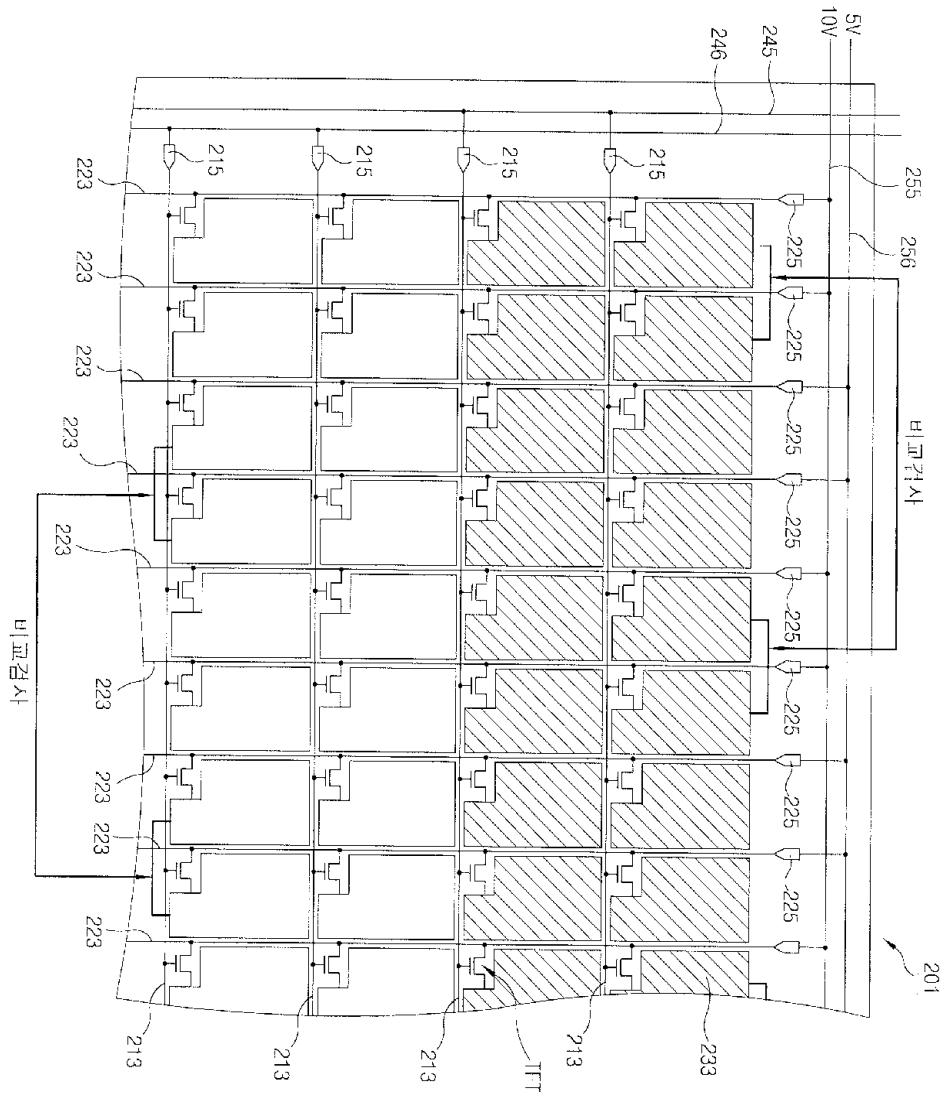




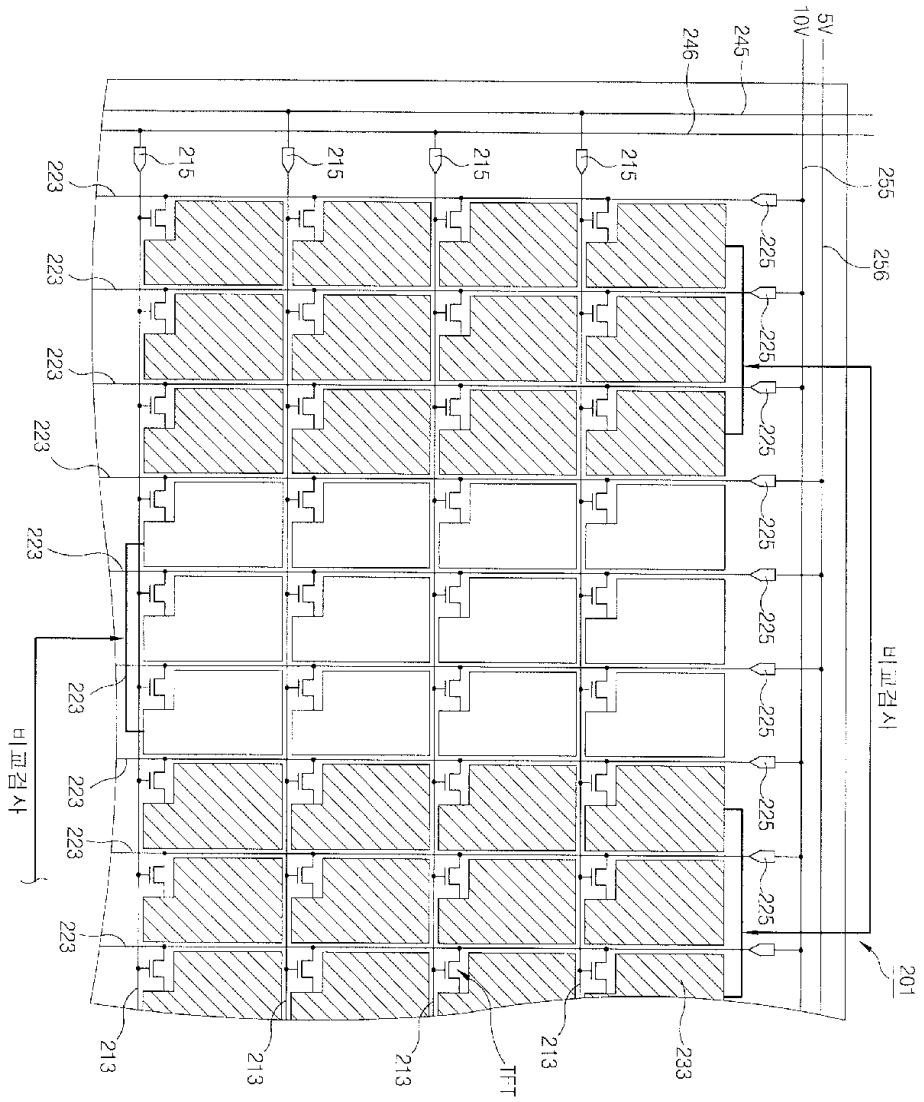
도면6



도면7



도면8



专利名称(译)	具有用于薄膜晶体管检查的短路布线的液晶显示装置		
公开(公告)号	<a href="#">KR100841613B1</a>	公开(公告)日	2008-06-27
申请号	KR1020010087415	申请日	2001-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI SEUNGKYU 최승규 KIM HYUNTAE 김현태		
发明人	최승규 김현태		
IPC分类号	G02F1/133 G02F1/13 G02F1/1362		
CPC分类号	G02F1/1309 G02F2001/136254		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020030057043A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示装置技术领域本发明涉及一种具有用于薄膜晶体管检查的短路布线的液晶显示装置，其中第一和第二源极短路布线交替地连接到至少两个源极焊盘，使得两个像素电极被识别为一个，可以检查其中分离距离和像素电极的面积变得微小的高分辨率产品的有源面板。

